

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5520192号
(P5520192)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int.Cl.		F I			
H03F	3/34	(2006.01)	H03F	3/34	C
G05F	3/24	(2006.01)	G05F	3/24	A
H03F	3/45	(2006.01)	H03F	3/45	A

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2010-237238 (P2010-237238)	(73) 特許権者	591128453
(22) 出願日	平成22年10月22日(2010.10.22)		株式会社メガチップス
(65) 公開番号	特開2012-90211 (P2012-90211A)		大阪府大阪市淀川区宮原一丁目1番1号
(43) 公開日	平成24年5月10日(2012.5.10)	(74) 代理人	100088672
審査請求日	平成25年7月11日(2013.7.11)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	阿部 佳久
			千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 電圧電流変換回路

(57) 【特許請求の範囲】

【請求項1】

差動入力電圧を受け取って、その入力電圧に応じた出力電流に変換する電圧電流変換回路であって、

一方の端子が電源もしくはグラウンドの一方に接続された第1および第2の負荷抵抗と、一方の端子がグラウンドもしくは電源の他方に接続された第1および第2の電流源と、前記差動入力電圧によってオン/オフが制御される第1および第2の差動対とを備え、

前記第1の差動対は、それぞれ、前記第1および第2の負荷抵抗の他方の端子と前記第1の電流源の他方の端子との間に接続された第1および第2のMOSトランジスタを備え、前記第2の差動対は、それぞれ、前記第1および第2の負荷抵抗の他方の端子と前記第2の電流源の他方の端子との間に接続された第3および第4のMOSトランジスタを備え、

前記第1および第4のMOSトランジスタのゲートには前記差動入力電圧の一方および他方が入力され、前記第2および第3のMOSトランジスタのゲートにはバイアス電圧が入力され、

前記バイアス電圧は、前記差動入力電圧のそれぞれがグラウンド電圧から電源電圧の範囲で変化するとき、前記差動入力電圧のいずれかが電源電圧のときを除いて前記第2および第3のMOSトランジスタの両方がオンする電圧に設定されていることを特徴とする電圧電流変換回路。

【請求項2】

前記第 1 および第 2 の差動対の前記差動入力電圧が入力する MOS トランジスタの閾値が、 $V_{DD} / 2$ 以下であることを特徴とする請求項 1 に記載の電圧電流変換回路。

【請求項 3】

さらに、前記第 1 および第 2 の負荷抵抗と、前記第 1 の差動対と、前記第 1 の電流源とからなる回路のレプリカ回路によって構成され、前記バイアス電圧を生成するバイアス電圧生成回路を備えることを特徴とする請求項 1 または 2 に記載の電圧電流変換回路。

【請求項 4】

前記バイアス電圧生成回路は、一方の端子が前記電源もしくはグランドの一方に接続された第 3 および第 4 の負荷抵抗と、一方の端子が前記グランドもしくは電源の他方に接続された第 3 の電流源と、第 3 の差動対とを備え、

10

前記第 3 の差動対は、それぞれ、前記第 3 および第 4 の負荷抵抗の他方の端子と前記第 3 の電流源の他方の端子との間に接続された第 5 および第 6 の MOS トランジスタを備え、前記第 5 の MOS トランジスタのゲートには電源電圧が入力され、前記第 6 の MOS トランジスタのゲートは自分自身のドレインに接続され、前記第 6 の MOS トランジスタのドレインの電圧が前記バイアス電圧として出力され、

さらに前記第 3 の電流源の電流を $J : 1$ ($0 < J < 1$) の比でミラーした電流を前記第 4 の負荷抵抗に流すカレントミラー回路を備えることを特徴とする請求項 3 に記載の電圧電流変換回路。

【請求項 5】

前記第 1 の負荷抵抗は、電源と前記第 1 および第 3 の MOS トランジスタのドレインとの間に接続され、ゲートが自分自身のドレインに接続された PMOS であり、前記第 2 の負荷抵抗は、電源と前記第 2 および第 4 の MOS トランジスタのドレインとの間に接続され、ゲートが自分自身のドレインに接続された PMOS であり、

20

前記第 1 の電流源は、前記第 1 および第 2 の MOS トランジスタのソースとグランドとの間に接続された NMOS であり、前記第 2 の電流源は、前記第 3 および第 4 の MOS トランジスタのソースとグランドとの間に接続された NMOS であり、前記第 1 および第 2 の電流源の NMOS のゲートに第 2 のバイアス電圧が入力され、

前記第 1、第 2、第 3 および第 4 の MOS トランジスタは NMOS であることを特徴とする請求項 1 ~ 4 のいずれかに記載の電圧電流変換回路。

【請求項 6】

30

前記第 3 の負荷抵抗は、電源と前記第 5 の MOS トランジスタのドレインとの間に接続され、ゲートが自分自身のドレインに接続された PMOS であり、前記第 4 の負荷抵抗は、電源と前記第 6 の MOS トランジスタのドレインとの間に接続された PMOS であり、

前記第 3 の電流源は、前記第 5 および第 6 の MOS トランジスタのソースとグランドとの間に接続された NMOS であり、第 2 のバイアス電圧が前記第 3 の電流源の NMOS のゲートに入力され、

前記カレントミラー回路が、ソースがグランドに接続され、ゲートに前記第 2 のバイアス電圧が入力されたミラー回路 NMOS と、ソースが電源に接続され、ゲートが自分自身のドレインと前記ミラー回路 NMOS のドレインに接続されるとともに、前記第 4 の負荷抵抗の PMOS のゲートに接続されたミラー回路 PMOS とを備え、

40

前記第 5 および第 6 の MOS トランジスタは NMOS であることを特徴とする請求項 4 に記載の電圧電流変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、差動入力電圧を受け取って、その入力電圧に応じた出力電流に変換する電圧電流変換回路に関するものである。

【背景技術】

【0002】

図 13 は、従来の電圧電流変換回路の構成を表す一例の回路図である。同図に示す電圧

50

電流変換回路20は、特許文献1に開示されたものであり、入力デバイスとなる差動対のN型MOSトランジスタ(以下、NMOSという)M1, M2と、負荷抵抗のP型MOSトランジスタ(以下、PMOSという)M3, M4と、電流源のNMOSM5とによって構成されている。

【0003】

PMOSM3, M4のソースは電源VDDに接続され、ゲートは、それぞれ自分自身のドレインに接続(ダイオード接続)されている。NMOSM1, M2のソースはNMOSM5のドレインに接続され、ドレインは、それぞれPMOSM3, M4のドレインに接続され、ゲートには、それぞれ差動入力電圧INN, INPが入力されている。NMOSM5のソースはグランドに接続され、ゲートにはバイアス電圧Vbが入力されている。

10

【0004】

電流電圧変換回路20では、NMOSM5のゲートにバイアス電圧Vbが供給される。これにより、NMOSM5には、バイアス電圧Vbに応じた定電流Issが流れる。

【0005】

ここで、NMOSM1, M2のソース電圧をVs1とし、PMOSM3およびNMOSM1を介して流れる電流をI1、PMOSM4およびNMOSM2を介して流れる電流をI2とする。

【0006】

差動入力電圧INP(=vin), INN(=VDD - vin)は、入力電圧vin=0V(グランド電圧)からVDD(電源電圧)の範囲でダイナミックに変化する。差動入力電圧INN, INPが変化すると、それぞれNMOSM1, M2のオン状態(オン抵抗)が変化して、電流I1と電流I2の割合が変化する(ただし、I1 + I2 = Iss)。

20

【0007】

電圧電流変換回路20からは、図15のグラフに示すように、PMOSM3のソース・ドレイン間に流れる電流I1が、差動入力電圧INP, INNに対応する出力電流Iout1として出力される。出力電流Iout1は、例えば、PMOSM3をミラー基とするカレントミラー回路(図示省略)により、カレントミラー回路を構成するミラー先のPMOSにミラーして次段の回路等に分配される。

【0008】

上記電圧電流変換回路20は、図15のグラフに示すように、電圧電流変換特性として、差動入力電圧INP, INNに対して出力電流Iout1が線形に変化する領域(線形領域)と、差動入力電圧INP, INNが変化しても出力電流Iout1が変化しない領域(不感帯領域)を持つ。この不感帯領域を削減するために、例えば、図14に示すような電圧電流変換回路22が特許文献2によって提案されている。

30

【0009】

図14に示す電圧電流変換回路22は、図13に示す電圧電流変換回路20において、さらに、もう1つ別の入力デバイスとなる差動対のNMOSM7, M8と、電流源のNMOSM9とを備えたものである。ここで、差動対のNMOSM1, M2およびNMOSM7, M8のアスペクト比は、M1 : M2 = M7 : M8 = 1 : Kに設定されている。

【0010】

NMOSM1, M2、PMOSM3, M4およびNMOSM5からなる回路の構成は、図13に示す電圧電流変換回路20と同じである。NMOSM7, M8のソースはNMOSM9のドレインに接続され、ドレインは、それぞれPMOSM4, M3のドレインに接続され、ゲートには、それぞれ差動入力電圧INP, INNが入力されている。NMOSM9のソースはグランドに接続され、ゲートにはバイアス電圧Vbが入力されている。

40

【0011】

電圧電流変換回路22において、図14中左側の差動対を第1の差動対とし、右側の差動対を第2の差動対とする。電圧電流変換回路22では、第1の差動対と同様に、第2の差動対において、NMOSM9のゲートにバイアス電圧Vbが供給される。これにより、NMOSM9には、バイアス電圧Vbに応じた定電流Issが流れる。

50

【0012】

ここで、NMOSM1, M2のソース電圧を V_{s2} 、NMOSM7, M8のソース電圧を V_{s3} とし、PMOSM3およびNMOSM1を介して流れる電流を I_3 、PMOSM4およびNMOSM2を介して流れる電流を I_4 、PMOSM4およびNMOSM7を介して流れる電流を I_5 、PMOSM3およびNMOSM8を介して流れる電流を I_6 とする。

【0013】

差動入力電圧 I_{NN} , I_{NP} が変化すると、それぞれ第1の差動対のNMOSM1, M2のオン状態が変化し、アスペクト比に応じて電流 I_3 と電流 I_4 の割合が変化するとともに(ただし、 $I_3 + I_4 = I_{ss}$)、それぞれ第2の差動対のNMOSM7, M8のオン状態が変化し、アスペクト比に応じて電流 I_5 と電流 I_6 の割合が変化する(ただし、 $I_5 + I_6 = I_{ss}$)。

10

【0014】

そして、電圧電流変換回路22からは、図15のグラフに示すように、PMOSM3のソース-ドレイン間に流れる電流 $I_3 + I_6$ が、差動入力電圧 I_{NP} , I_{NN} に対応する出力電流 I_{out2} として出力される。

【0015】

このように、電圧電流変換回路22では、アスペクト比が異なる2つの差動対の入力デバイスを使用することにより、差動対のソース電圧 V_{s2} , V_{s3} の特性が異なり、差動入力電圧 I_{NP} , I_{NN} に対して異なる閾値を持つ電流 I_3 と電流 I_6 を発生させることができる。これにより、差動入力電圧 I_{NP} , I_{NN} に対して幅広いレンジで変化するトータルの出力電流 I_{out2} を発生させることを可能としている。

20

【0016】

図15は、従来の電圧電流変換回路の電圧電流変換特性を表す一例のグラフである。このグラフは、図13および図14に示す電圧電流変換回路20, 22について、SPICEシミュレーションを行って得られた電圧電流変換特性の結果である。グラフの横軸は差動入力電圧 $I_{NP} (= v_{in}) (V)$ 、縦軸は電流(A)である。このグラフから、 I_{out1} は差動入力電圧 I_{NP} が0.45Vから0.75Vの範囲で変化し、一方 I_{out2} は差動入力電圧 I_{NP} が0.35Vから0.85Vの範囲で変化しており、図14に示す電圧電流変換回路22は、図13に示す電圧電流変換回路20と比べて、差動入力電圧 I_{NP} の変化に対して出力電流 I_{out2} が変化する領域が拡大されていることが分かる。

30

【0017】

しかしながら、図14に示す電圧電流変換回路22にも、入力レンジ(差動入力電圧の変化に対して出力電流が変化する領域)に限界が存在する、つまり、差動入力電圧の全ての入力電圧範囲で出力電流 I_{out2} を変化させることができないという問題が依然として残っている。

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2002-76787号公報

【特許文献2】特開平11-214935号公報

【発明の概要】

【発明が解決しようとする課題】

【0019】

本発明の目的は、0VからVDDの範囲でダイナミックに変化する差動入力電圧の全ての入力電圧範囲において出力電流を変化させることができる電圧電流変換回路を提供することにある。

【課題を解決するための手段】

【0020】

40

50

上記目的を達成するために、本発明は、差動入力電圧を受け取って、その入力電圧に応じた出力電流に変換する電圧電流変換回路であって、

一方の端子が電源もしくはグランドの一方に接続された第1および第2の負荷抵抗と、一方の端子がグランドもしくは電源の他方に接続された第1および第2の電流源と、前記差動入力電圧によってオン/オフが制御される第1および第2の差動対とを備え、

前記第1の差動対は、それぞれ、前記第1および第2の負荷抵抗の他方の端子と前記第1の電流源の他方の端子との間に接続された第1および第2のMOSトランジスタを備え、前記第2の差動対は、それぞれ、前記第1および第2の負荷抵抗の他方の端子と前記第2の電流源の他方の端子との間に接続された第3および第4のMOSトランジスタを備え、

10

前記第1および第4のMOSトランジスタのゲートには前記差動入力電圧の一方および他方が入力され、前記第2および第3のMOSトランジスタのゲートにはバイアス電圧が入力され、

前記バイアス電圧は、前記差動入力電圧のそれぞれがグランド電圧から電源電圧の範囲で変化するとき、前記差動入力電圧のいずれかが電源電圧のときを除いて前記第2および第3のMOSトランジスタの両方がオンする電圧に設定されていることを特徴とする電圧電流変換回路を提供するものである。

【0021】

ここで、前記第1および第2の差動対の前記差動入力電圧が入力するMOSトランジスタの閾値が、 $V_{DD}/2$ 以下であることが好ましい。

20

【0022】

さらに、前記第1および第2の負荷抵抗と、前記第1の差動対と、前記第1の電流源とからなる回路のレプリカ回路によって構成され、前記バイアス電圧を生成するバイアス電圧生成回路を備えることが好ましい。

【0023】

また、前記バイアス電圧生成回路は、一方の端子が前記電源もしくはグランドの一方に接続された第3および第4の負荷抵抗と、一方の端子が前記グランドもしくは電源の他方に接続された第3の電流源と、第3の差動対とを備え、

前記第3の差動対は、それぞれ、前記第3および第4の負荷抵抗の他方の端子と前記第3の電流源の他方の端子との間に接続された第5および第6のMOSトランジスタを備え、前記第5のMOSトランジスタのゲートには電源電圧が入力され、前記第6のMOSトランジスタのゲートは自分自身のドレインに接続され、前記第6のMOSトランジスタのドレインの電圧が前記バイアス電圧として出力され、

30

さらに前記第3の電流源の電流を $J:1$ ($0 < J < 1$)の比でミラーした電流を前記第4の負荷抵抗に流すカレントミラー回路を備えることが好ましい。

【0024】

また、前記第1の負荷抵抗は、電源と前記第1および第3のMOSトランジスタのドレインとの間に接続され、ゲートが自分自身のドレインに接続されたPMOSであり、前記第2の負荷抵抗は、電源と前記第2および第4のMOSトランジスタのドレインとの間に接続され、ゲートが自分自身のドレインに接続されたPMOSであり、

40

前記第1の電流源は、前記第1および第2のMOSトランジスタのソースとグランドとの間に接続されたNMOSであり、前記第2の電流源は、前記第3および第4のMOSトランジスタのソースとグランドとの間に接続されたNMOSであり、前記第1および第2の電流源のNMOSのゲートに第2のバイアス電圧が入力され、

前記第1、第2、第3および第4のMOSトランジスタはNMOSであることが好ましい。

【0025】

また、前記第3の負荷抵抗は、電源と前記第5のMOSトランジスタのドレインとの間に接続され、ゲートが自分自身のドレインに接続されたPMOSであり、前記第4の負荷抵抗は、電源と前記第6のMOSトランジスタのドレインとの間に接続されたPMOSで

50

あり、

前記第3の電流源は、前記第5および第6のMOSトランジスタのソースとグランドとの間に接続されたNMOSであり、第2のバイアス電圧が前記第3の電流源のNMOSのゲートに入力され、

前記カレントミラー回路が、ソースがグランドに接続され、ゲートに前記第2のバイアス電圧が入力されたミラー回路NMOSと、ソースが電源に接続され、ゲートが自分自身のドレインと前記ミラー回路NMOSのドレインに接続されるとともに、前記第4の負荷抵抗のPMOSのゲートに接続されたミラー回路PMOSとを備え、

前記第5および第6のMOSトランジスタはNMOSであることが好ましい。

【発明の効果】

10

【0026】

本発明によれば、入力電圧を変化させたときに、グランド電圧0VからVDD電圧まで入力電圧範囲の全体で出力電流を変化させることができる。また、第1および第2の負荷回路、第1の差動対および第1の電流源からなる回路のレプリカ回路で構成されたバイアス電圧生成回路を使用することにより、プロセス、温度、電圧の変動にかかわらず、不感帯領域が生じることのないバイアス電圧を生成し、全ての入力電圧範囲で電圧電流変換を行うことができる。

【図面の簡単な説明】

【0027】

【図1】本発明の電圧電流変換回路の構成を表す一実施形態の回路図である。

20

【図2】バイアス電圧生成回路の構成を表す一実施形態の回路図である。

【図3】図1に示す電圧電流変換回路の具体例を表す一実施形態の概略図である。

【図4】図2に示すバイアス電圧生成回路の具体例を表す一実施形態の概略図である。

【図5】本発明の電圧電流変換回路の電圧電流変換特性を表す一実施形態のグラフである。

【図6】本発明の電圧電流変換回路と従来の電圧電流変換回路の電圧電流変換特性の対比を表す一実施形態のグラフである。

【図7】NMOSM1, M8の閾値がVDD/2以下の場合について、入力電圧の変化に対する電流I7~I10の変化を表す一実施例のグラフである。

【図8】NMOSM1, M8の閾値がVDD/2以下の場合について、入力電圧の変化に対する出力電流の変化を表す一実施例のグラフである。

30

【図9】NMOSM1, M8の閾値がVDD/2よりも大きい場合について、入力電圧の変化に対する電流I7~I10の変化を表す一実施例のグラフである。

【図10】NMOSM1, M8の閾値がVDD/2よりも大きい場合について、入力電圧の変化に対する出力電流の変化を表す一実施例のグラフである。

【図11】バイアス電圧Vb2=VDDの場合について、入力電圧の変化に対する電流I7~I10の変化を表す一実施例のグラフである。

【図12】バイアス電圧Vb2=VDDの場合について、入力電圧の変化に対する出力電流の変化を表す一実施例のグラフである。

【図13】従来の電圧電流変換回路の構成を表す一例の回路図である。

40

【図14】従来の電圧電流変換回路の構成を表す別の例の回路図である。

【図15】従来の電圧電流変換回路の電圧電流変換特性を表す一例のグラフである。

【発明を実施するための形態】

【0028】

以下に、添付の図面に示す好適実施形態に基づいて、本発明の電圧電流変換回路を詳細に説明する。

【0029】

図1は、本発明の電圧電流変換回路の構成を表す一実施形態の回路図である。同図に示す電圧電流変換回路10は、差動入力電圧INP, INNを受け取って、その入力電圧に応じた出力電流に変換するものであり、入力デバイスとなる第1の差動対のNMOSM1

50

、M2および第2の差動対のNMOSM7、M8と、負荷抵抗のPMOSM3、M4と、電流源のNMOSM5およびNMOSM9とによって構成されている。

【0030】

負荷抵抗のPMOSM3、M4のソースは電源VDDに接続され、ゲートは、それぞれ自分自身のドレインに接続（ダイオード接続）されている。

【0031】

第1の差動対のNMOSM1、M2のソースはNMOSM5のドレインに接続され、ドレインは、それぞれPMOSM3、M4のドレインに接続され、ゲートには、それぞれ差動入力電圧INP (= v_{in}) およびバイアス電圧Vb2が入力されている。また、第2の差動対のNMOSM7、M8のソースはNMOSM9のドレインに接続され、ドレインは、それぞれPMOSM3、M4のドレインに接続され、ゲートには、それぞれバイアス電圧Vb2および差動入力電圧INN (= $V_{DD} - v_{in}$) が入力されている。

10

【0032】

電流源のNMOSM5、M9のソースはグラウンドに接続され、ゲートにはバイアス電圧Vbが入力されている。これにより、NMOSM5、M9には、それぞれ、バイアス電圧Vbに応じた同一の定電流Issが流れる。

【0033】

ここで、NMOSM1、M2のソース電圧をVs4、NMOSM7、M8のソース電圧をVs5とする。また、PMOSM3およびNMOSM1を介して流れる電流をI7、PMOSM4およびNMOSM2を介して流れる電流をI8、PMOSM3およびNMOSM7を介して流れる電流をI9、PMOSM4およびNMOSM8を介して流れる電流をI10とする。

20

【0034】

以下、電圧電流変換回路10の第1の差動対のNMOSM1、M2、負荷抵抗のPMOSM3、M4、電流源のNMOSM5からなる回路を第1の変換回路とし、第2の差動対のNMOSM7、M8、負荷抵抗のPMOSM3、M4、電流源のNMOSM9からなる回路を第2の変換回路とする。

【0035】

差動入力電圧INP (= v_{in})、INN (= $V_{DD} - v_{in}$) は、入力電圧 $v_{in} = 0V$ からVDDの範囲でダイナミックに変化する。第1の差動対のNMOSM1、M2および第2の差動対のNMOSM7、M8は、差動入力電圧INP、INNによって制御される。差動入力電圧INN、INPが変化すると、第1の差動対のNMOSM1、M2のオン/オフ状態およびオン抵抗が変化し、電流I7と電流I8の割合が変化するとともに（ただし、 $I7 + I8 = I_{ss}$ ）、それぞれ第2の差動対のNMOSM7、M8のオン/オフ状態およびオン抵抗が変化し、電流I9と電流I10の割合が変化する（ただし、 $I9 + I10 = I_{ss}$ ）。

30

【0036】

そして、PMOSM3のソース - ドレイン間に流れる電流 $I7 + I9$ が、差動入力電圧INP、INNに対応する出力電流I_{out3}として出力される。

【0037】

電圧電流変換回路10において、バイアス電圧Vbは、上記のように、電流源のNMOSM5、M9に定電流Issが流れる電圧に設定される。

40

【0038】

また、バイアス電圧Vb2は、入力電圧 v_{in} が0VからVDDの範囲で変化するとき、差動入力電圧INPがVDD ($v_{in} = V_{DD}$) のときに初めてNMOSM2がオフ、かつ、差動入力電圧INNがVDD ($v_{in} = 0V$) 以外のとき ($0 < v_{in} < V_{DD}$) にNMOSM2、M7両方がオンする電圧に設定される。つまり、INP = VDDのときのNMOSM2のソース電圧Vs4、もしくはINN = VDDのときのNMOSM7のソース電圧Vs5に対して、それぞれNMOSM2、M7の閾値電圧Vth2、Vth7 ($V_{th2} = V_{th7}$) だけ上昇した電圧に設定される。

50

【 0 0 3 9 】

次に、バイアス電圧 V_b , $V_b 2$ を生成するバイアス電圧生成回路について説明する。

【 0 0 4 0 】

図 2 は、バイアス電圧生成回路の構成を表す一実施形態の回路図である。同図に示すバイアス電圧生成回路 1 2 は、第 1 のバイアス電圧 V_b を生成する V_b 生成回路 1 4 と、第 2 のバイアス電圧 $V_b 2$ を生成する $V_b 2$ 生成回路 1 6 とによって構成されている。

【 0 0 4 1 】

V_b 生成回路 1 4 は、電流源 1 8 と、負荷抵抗の $NMOSM 1 0$ とによって構成されている。

【 0 0 4 2 】

電流源 1 8 は、電源 VDD と $NMOSM 1 0$ のドレインとの間に接続されている。 $NMOSM 1 0$ のソースはグラウンドに接続され、ゲートは、自分自身のドレインに接続（ダイオード接続）されている。

【 0 0 4 3 】

V_b 生成回路 1 4 では、電流源 1 8 により、電流 I_{ss} が $NMOSM 1 0$ を介して流れ、その時の $NMOSM 1 0$ のドレインの電圧が第 1 のバイアス電圧 V_b として出力される。このバイアス電圧 V_b が、電圧電流変換回路 1 0 の電流源の $NMOSM 5$, $M 9$ のゲートに供給される。これにより、 V_b 生成回路 1 4 の $NMOSM 1 0$ をミラー基とし、 $NMOSM 5$, $M 9$ をミラー先とするカレントミラー回路が構成される。従って、 $NMOSM 5$, $M 9$ には、 $NMOSM 1 0$ と同じ、もしくは、 $NMOSM 5$, $M 9$ と $NMOSM 1 0$ 20
との寸法比（ミラー比）に応じた定電流 I_{ss} が流れる。

【 0 0 4 4 】

$V_b 2$ 生成回路 1 6 は、差動対の $NMOSM 1 1$, $M 1 2$ と、負荷抵抗の $PMOSM 1 3$, $M 1 4$, $M 1 6$ と、電流源の $NMOSM 1 5$, $M 1 7$ とによって構成されている。 $V_b 2$ 生成回路 1 6 のうち、差動対の $NMOSM 1 1$, $M 1 2$ 、負荷抵抗の $PMOSM 1 3$, $M 1 4$ および電流源の $NMOSM 1 5$ は、図 1 に示す電圧電流変換回路 1 0 において、差動入力電圧 $I_{NP} = VDD$, $I_{NN} = 0V$ のときの第 1 の変換回路の状態を再現するレプリカ回路である。具体的には、 $NMOSM 1 1$ が $NMOSM 1$ に、 $NMOSM 1 2$ が $NMOSM 2$ に、 $PMOSM 1 3$ が $PMOSM 3$ に、 $PMOSM 1 4$ が $PMOSM 4$ に対応し、それぞれに対応するトランジスタと同一、もしくは、一定の比率の寸法を有する。 30

【 0 0 4 5 】

$PMOSM 1 3$, $M 1 4$ のソースは電源に接続されている。 $PMOSM 1 3$ のゲートは自分自身のドレインに接続（ダイオード接続）されている。 $NMOSM 1 1$, $M 1 2$ のソースは $NMOSM 1 5$ のドレインに接続され、ドレインは、それぞれ、 $PMOSM 1 3$, $M 1 4$ のドレインに接続されている。 $NMOSM 1 1$ のゲートは電源 VDD に接続され、 $NMOSM 1 2$ のゲートは、自分自身のドレインに接続（ダイオード接続）されている。 $NMOSM 1 5$ のソースはグラウンドに接続され、ゲートには、バイアス電圧 V_b が入力されている。

【 0 0 4 6 】

また、 $PMOSM 1 6$ のソースは電源 VDD に接続され、ゲートは、 $PMOSM 1 4$ のゲートに接続されるとともに自分自身のドレインに接続されている。 $NMOSM 1 7$ のソースはグラウンドに接続され、ドレインは $PMOSM 1 6$ のドレインに接続され、ゲートには、バイアス電圧 V_b が入力されている。 40

【 0 0 4 7 】

ここで、 $NMOSM 1 1$, $M 1 2$ のソース電圧を V_{s6} とする。また、 $PMOSM 1 3$ および $NMOSM 1 1$ を介して流れる電流を I_{11} 、 $PMOSM 1 4$ および $NMOSM 1 2$ を介して流れる電流を I_{12} とする。

【 0 0 4 8 】

$V_b 2$ 生成回路 1 6 では、 $NMOSM 1 5$, $M 1 7$ のゲートにバイアス電圧 V_b が供給され、 V_b 生成回路 1 4 の $NMOSM 1 0$ をミラー基とし、 $V_b 2$ 生成回路 1 6 の $NMOSM 1 5$, $M 1 7$ をミラー先とするカレントミラー回路が構成される。従って、 $NMOSM 1 5$, $M 1 7$ には、 $NMOSM 1 0$ と同じ、もしくは、 $NMOSM 1 5$, $M 1 7$ と $NMOSM 1 0$ 50
との寸法比（ミラー比）に応じた定電流 I_{ss} が流れる。

SM15, M17をミラー先とするカレントミラー回路が構成されている。従って、NMOSM15には、NMOSM10と同じ、もしくはNMOSM15とNMOSM10との寸法比(ミラー比)に応じた定電流 I_{ss} が流れる。NMOSM17にもNMOSM17とNMOSM10との寸法比(ミラー比)に応じた電流が流れる。

【0049】

NMOSM17に流れる電流がPMOSM14にも流れる。また、PMOSM14, M16のゲートが接続され、PMOSM16をミラー基とし、PMOSM14をミラー先とするカレントミラー回路が構成されている。上記のように、PMOSM16およびNMOSM15には定電流 I_{ss} が流れる。そして、PMOSM14とPMOSM16のミラー比を非常に小さく設定することにより、PMOSM14およびNMOSM12を介して流れる電流 I_{12} は、PMOSM16およびNMOSM17を介して流れる電流に比較して微弱なものとされている。

10

【0050】

また、差動対のNMOSM11のゲートが電源VDDに接続されているため、電流 I_{12} が、電流源のNMOSM15を流れる電流に比較して無視できる程度に微弱であるとすると、電流 $I_{11} = I_{ss}$ と見なせる(ただし、 $I_{11} + I_{12} = I_{ss}$)。つまり、Vb2生成回路16では、電流 $I_{11} = I_{ss}$ であり、NMOSM12がほぼオフして微弱な電流 I_{12} がNMOSM12を介して流れる時のNMOSM12のドレインの電圧が第2のバイアス電圧Vb2として出力される。

【0051】

20

このようにして、バイアス電圧Vb2として、NMOSM11, M12のソース電圧Vs6(差動入力電圧 $I_{NP} = VDD$, $I_{NN} = 0V$ のときのNMOSM1, M2のソース電圧Vs4)に、NMOSM12の閾値電圧Vth12(=NMOSM2の閾値電圧Vth2)を加えた電圧を生成することができる。

【0052】

バイアス電圧生成回路12を、第1の変換回路のレプリカ回路で構成することにより、プロセス、温度、電圧が変動したとしても、バイアス電圧Vb2として、 $I_{NP} = VDD$, $I_{NN} = 0V$ のときのNMOSM2のソース電圧Vs4に、NMOSM2の閾値電圧Vth2を加えた電圧を生成することができ、かつ後述するように不感帯領域が生じることのないバイアス電圧Vb2を生成し、全ての入力電圧範囲で電圧電流変換を行うことができる。

30

【0053】

以下、図5および図6のグラフを参照して、入力電圧vinを0VからVDD(差動電圧信号INPを0VからVDD、差動電圧信号INNをVDDから0V)の範囲で変化した場合の電圧電流変換回路10の動作を説明する。

【0054】

図3は、図1に示す電圧電流変換回路の具体例を表す一実施形態の概略図、図4は、図2に示すバイアス電圧生成回路の具体例を表す一実施形態の概略図である。これらの図において、LおよびWは、MOSトランジスタのチャンネル長およびチャンネル幅であり、Mは、それぞれのMOSトランジスタにおいて、並列に配置されているMOSトランジスタの個数である(実効的にはチャンネル幅WのサイズがMで表された数を掛け合わせた値になっている)。

40

【0055】

図5および図6のグラフは、図3に示す電圧電流変換回路10、および、図4に示すバイアス電圧生成回路12のように、 I_{12} とNMOSM15の電流 I_{ss} との比、すなわちNMOSM17とNMOSM10との寸法比と、PMOSM14とPMOSM16との寸法比との積を1:30に設定した場合のSPICEシミュレーション結果である。

【0056】

図5は、本発明の電圧電流変換回路の電圧電流変換特性を表す一実施形態のグラフである。同図は、図3に示す電圧電流変換回路10の入力電圧vinの変化に対する電流 I_{12}

50

、 I_9 の変化を表したものである。このグラフの横軸は入力電圧 v_{in} (V)、縦軸は電流 (A) である。この例では、 $V_{DD} = 1.2$ V、 $I_{ss} = 50$ μ A であり、入力電圧 v_{in} は0.0 Vから1.2 Vの範囲で変化し、これに応じて電流 I_7 、 I_9 は、0.0 μ Aから50 μ Aの範囲で変化している。

【0057】

差動入力電圧 $I_{NN} = V_{DD}$ (入力電圧 $v_{in} = 0$ V) の時、第2の変換回路では、NMOSM7がほぼオフ、NMOSM8がオンとなる。このとき、厳密には、NMOSM7には $I_9 = I_{12}$ の電流が流れるが、 I_{12} は I_{ss} と比較して十分に小さい。このため実効的には図5のグラフに示すように、電流 $I_9 = 0$ μ A、電流 $I_{10} = I_{ss}$ となる。

【0058】

この状態から差動入力電圧 I_{NN} が低下 (入力電圧 v_{in} が上昇) すると、差動入力電圧 I_{NN} の低下とともに電流 I_{10} が減少し、電流 I_{10} が減少するに従って電圧 V_{s5} が低下する。そして、電圧 V_{s5} の低下によりNMOSM7のゲート-ソース間電圧 (バイアス電圧 V_{b2} と電圧 V_{s5} との間の電圧) がNMOSM7の閾値電圧 V_{th7} よりも大きくなると、NMOSM7がオンする。

【0059】

NMOSM7がオンすると、差動入力電圧 I_{NN} の低下とともにNMOSM7、M8のオン抵抗が変化し、電流 I_{10} が減少するとともに、図5のグラフに示すように電流 I_9 が増加して電流 I_9 と電流 I_{10} の割合が変化する (ただし、 $I_9 + I_{10} = I_{ss}$)。

【0060】

そして、さらに差動入力電圧 I_{NN} が低下して、NMOSM8のゲート-ソース間電圧 (差動入力電圧 I_{NN} と電圧 V_{s5} との間の電圧) がNMOSM8の閾値電圧 V_{th8} よりも小さくなると、NMOSM8がオフし、電流 $I_{10} = 0$ μ A、 $I_9 = I_{ss}$ となる。

【0061】

つまり、第2の変換回路では、入力電圧 v_{in} を0から V_{DD} の範囲で変化させたとき、図5のグラフに示すように、入力電圧 v_{in} が0からNMOSM8がオフするまでの入力電圧範囲で、電流 I_9 が0から I_{ss} まで変化する。

【0062】

一方、第1の変換回路では、差動入力電圧 $I_{NP} = 0$ V (入力電圧 $v_{in} = 0$ V) の時、NMOSM1がオフ、NMOSM2がオンとなる。このとき、電流 $I_7 = 0$ μ A、電流 $I_8 = I_{ss}$ となる。

【0063】

この状態から差動入力電圧 I_{NP} が上昇 (入力電圧 v_{in} が上昇) してNMOSM1のゲート-ソース間電圧 (差動入力電圧 I_{NP} と電圧 V_{s4} との間の電圧) がNMOSM1の閾値電圧 V_{th1} よりも大きくなると、NMOSM1がオンする。

【0064】

NMOSM1がオンすると、差動入力電圧 I_{NP} の上昇とともにNMOSM1、M2のオン抵抗が変化し、電流 I_7 が増加するとともに電流 I_8 が減少して電流 I_7 と電流 I_8 の割合が変化する (ただし、 $I_7 + I_8 = I_{ss}$)。

【0065】

そして、電流 I_7 が増加するに従って電圧 V_{s4} が上昇し、差動入力電圧 $I_{NP} = V_{DD}$ (入力電圧 $v_{in} = V_{DD}$) になったとき、電圧 V_{s4} の上昇によりNMOSM2のゲート-ソース間電圧 (バイアス電圧 V_{b2} と電圧 V_{s4} との間の電圧) がNMOSM2の閾値電圧 V_{th2} と等しくなり、NMOSM2がほぼオフする。このとき、実効的に電流 $I_7 = I_{ss}$ 、電流 $I_8 = 0$ μ Aとなる。

【0066】

つまり、第1の変換回路では、入力電圧 v_{in} を0 Vから V_{DD} の範囲で変化させたとき、NMOSM1がオンしてから入力電圧 v_{in} が V_{DD} となるまでの入力電圧範囲で、電流 I_7 が0から I_{ss} まで変化する。

【0067】

10

20

30

40

50

図6は、本発明の電圧電流変換回路と従来の電圧電流変換回路の電圧電流変換特性の対比を表す一実施形態のグラフである。同図は、図3に示す電圧電流変換回路10の入力電圧 v_{in} の変化に対する出力電流 I_{out3} ($= I_7 + I_9$)の変化を表したものである。このグラフの横軸は入力電圧 v_{in} (V)、縦軸は電流 (A)である。また、同図には、比較例として、図14に示す従来の電圧電流変換回路22の入力電圧 v_{in} の変化に対する出力電流 I_{out2} の変化も表している。この例では、入力電圧 v_{in} は0.0Vから1.2Vの範囲で変化し、これに応じて電流 I_{out3} は、0.0 μ Aから100 μ Aの範囲で変化している。

【0068】

このグラフに示すように、従来の電圧電流変換回路22では、入力電圧 v_{in} を0.0VからVDDの範囲で変化させたとき、入力電圧 v_{in} 0.35Vから0.85Vの範囲で、出力電流 I_{out2} が0.0 μ Aから I_{ss} まで変化し、これ以外に入力電圧範囲では変化しない。これに対し、本発明の電圧電流変換回路10では、入力電圧 v_{in} を0.0VからVDDの範囲で変化させたとき、全ての入力電圧範囲で、出力電流 I_{out3} を0.0 μ Aから I_{ss} まで変化させることができることが分かる。なお、電圧の入力に対してNMOSM8が0V~VDD/2の範囲でオフとなり、NMOSM1がVDD/2~VDDの範囲でオフとなると、VDD/2付近の電圧領域に不感帯の領域が生じてしまう。そこで0V~VDDの全域で不感帯を持たない動作とするには、NMOSM8はVDD/2~VDDの範囲でオフになる必要があり、NMOSM1は0V~VDD/2の範囲でオフになる特性であることが必要となる。

【0069】

なお、Vb2生成回路16において、 I_{12} と I_{ss} との比が十分に小さくないと、電流 I_{11} が I_{ss} よりも小さくなり、従って、電流 I_7 の最大値が I_{ss} よりも小さくなる。この場合、図5のグラフにおいて、電流 I_7 、 I_9 の最大値(振幅)が I_{ss} よりも小さくなり、電圧電流変換特性が悪くなるため好ましくない。従って、前述のように、 I_{12} と I_{ss} との比を小さくし、電流 I_{11} I_{ss} となるように、NMOSM17とNMOSM15との寸法比と、PMOSM14とPMOSM16の寸法比との積を極力小さくすることが望ましい。

【0070】

また、バイアス電圧Vb2が、NMOSM11、M12のソース電圧 $V_{s6} + NMOSM12$ の閾値電圧 V_{th12} よりも小さくなると、 v_{in} を0VからVDDに変化させたとき第1の変換回路ではNMOSM2がオフするタイミングが早くなり、第2の変換回路ではNMOSM7がオンするタイミングが遅くなる。この場合、図5のグラフにおいて、入力電圧 v_{in} がVDDとなる前に電流 I_7 が I_{ss} となり、入力電圧 v_{in} が所定値となるまで電流 I_9 が増加しなくなるため好ましくない。

【0071】

次に、INP、INNがゲートに入力されるNMOSM1、M8の閾値(論理閾値)について説明する。

【0072】

図7および図8は、NMOSM1、M8の閾値がVDD/2以下の場合について、入力電圧の変化に対する電流 $I_7 \sim I_{10}$ および出力電流の変化を表す一実施例のグラフである。一方、図9および図10は、NMOSM1、M8の閾値がVDD/2よりも大きい場合について、入力電圧の変化に対する電流 $I_7 \sim I_{10}$ および出力電流の変化を表す一実施例のグラフである。これらのグラフの横軸は入力電圧 (V)、縦軸は電流 (μ A)である。また、 V_{th1} 、 V_{th5} は、それぞれNMOSM1、M5の閾値電圧である。なお、波形は矩形や線形で変化しているが、説明を簡易にするためであり、実際には図5、6のように一部曲線となっている。

【0073】

NMOSM1、M8の閾値がVDD/2以下の場合、図7のグラフに示すように、入力電圧 v_{in} の変化に対して、第1および第2の差動対ともに電流が流れる電圧区間(図の

10

20

30

40

50

例では、 $0.3V \sim 0.9V$ の区間)が存在する。つまり、 $V_{DD}/2$ 付近で第1および第2の差動対ともに電流が流れる区間が生じ、図8のグラフに示すように、その区間では電流の増加率が高くなる。

【0074】

仮に、 $NMOSM1, M8$ の閾値が丁度 $V_{DD}/2$ の場合、第1および第2の差動対が片側ずつ動作することとなり、電流の増加は連続的となる。これが図4のグラフの I_{out3} の状態である。

【0075】

一方、 $NMOSM1, M8$ の閾値が $V_{DD}/2$ よりも大きい場合、図9のグラフに示すように、入力電圧 v_{in} の変化に対して、第1および第2の差動対ともに電流が流れない電圧区間(図の例では、 $0.3V \sim 0.9V$ の区間)が存在する。つまり、 $V_{DD}/2$ 付近で電流を供給する担い手が存在しない区間が生じ、図10のグラフに示すように、出力電流が変化しなくなる。

10

【0076】

$NMOSM1, M8$ の閾値が $V_{DD}/2$ 以下の場合も、 $V_{DD}/2$ よりも大きい場合も、従来技術の問題点となる $0V, V_{DD}$ 付近の不感帯については解消されているため、何ら問題はない。ただし、上記のように、 $NMOSM1, M8$ の閾値が $V_{DD}/2$ 以下の場合の方が、全ての入力電圧範囲において、入力電圧 v_{in} の変化に対して出力電流を変化させることができるため望ましい。

【0077】

次に、バイアス電圧 V_{b2} について説明する。

20

【0078】

図11および図12は、バイアス電圧 $V_{b2} = V_{DD}$ の場合について、入力電圧の変化に対する電流 $I_7 \sim I_{10}$ および出力電流の変化を表す一実施例のグラフである。同じく、これらのグラフの横軸は入力電圧(V)、縦軸は電流(μA)である。なお、波形は矩形や線形で変化しているが、説明を簡易にするためであり、実際には図5, 6のように一部曲線となっている。

【0079】

バイアス電圧 V_{b2} は、前述の説明では、 $V_{s6} + V_{th12}$ とするとしているが、仮に、バイアス電圧 V_{b2} をそれ以上に高い電圧にすると、出力電流の利得が $0 \sim 2 \times I_{ss}$ から狭くなっていく。図11および図12のグラフに示すように、バイアス電圧 V_{b2} の入力として最も高い V_{DD} の場合であっても、 $I_{ss} \times 1/2 \sim I_{ss} \times 2/3$ の間での利得が得られるため、誤動作となることはない。

30

【0080】

従って、バイアス電圧 V_{b2} は、 $V_{s6} + V_{th12}$ (つまり、 $V_{s4} + V_{th2}$ 、もしくは、 $V_{s5} + V_{th7}$)とするのが最良であるが、それより高い電圧でも機能的には問題はない。

【0081】

なお、図1および図2に示す回路例において、電源とグラウンド、 $PMOS$ と $NMOS$ 、 INP と INN を入れ替えることによっても同様の機能および効果を実現する回路を構成することができる。また、上記実施形態では、差動対を2対使用しているが、この2対の差動対を有する回路を複数組使用してもよい。また、それぞれの差動対において、一方の入力デバイスと他方の入力デバイスの駆動力(例えば、トランジスタサイズ)を変化させてもよい。

40

【0082】

本発明は、基本的に以上のようなものである。

以上、本発明について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【符号の説明】

【0083】

50

1 0 , 2 0 , 2 2 電圧電流変換回路

1 2 バイアス電圧生成回路

1 4 V b 生成回路

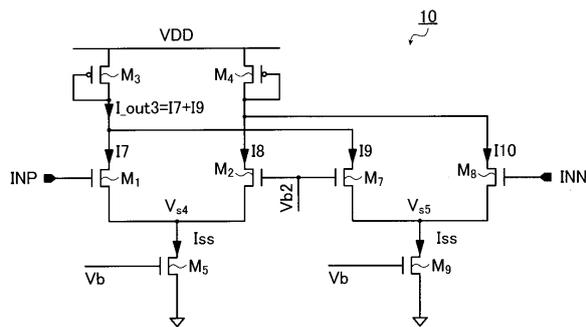
1 6 V b 2 生成回路

1 8 電流源

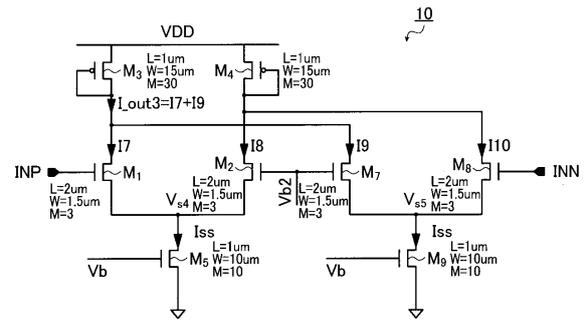
M 1 , M 2 , M 5 , M 7 ~ M 1 2 , M 1 5 , M 1 7 N M O S

M 3 , M 4 , M 1 3 , M 1 4 , M 1 6 P M O S

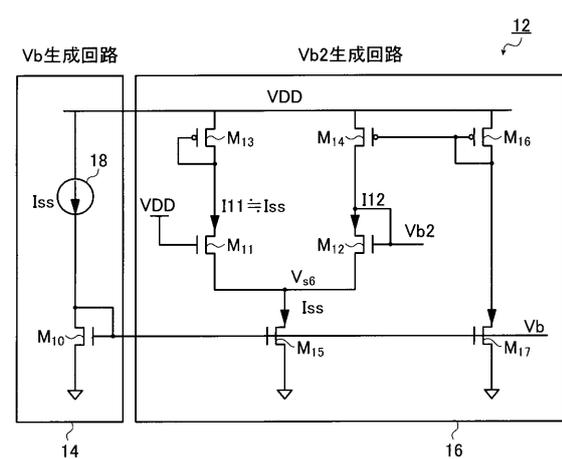
【 図 1 】



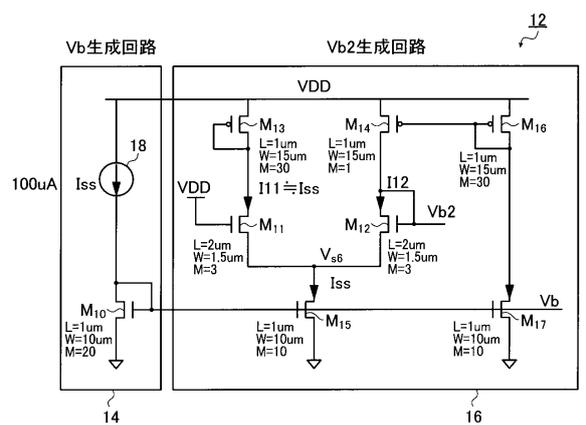
【 図 3 】



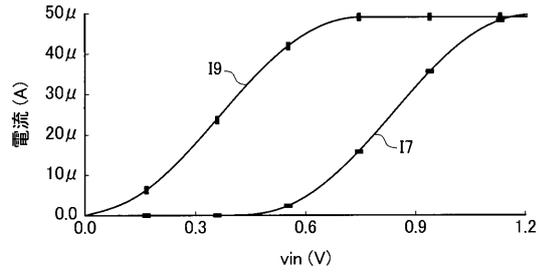
【 図 2 】



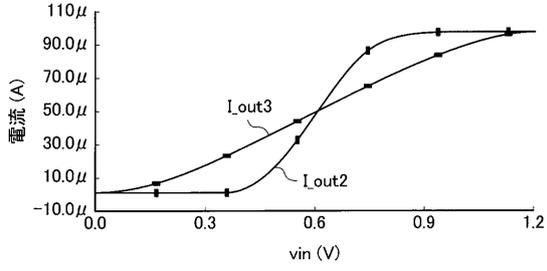
【 図 4 】



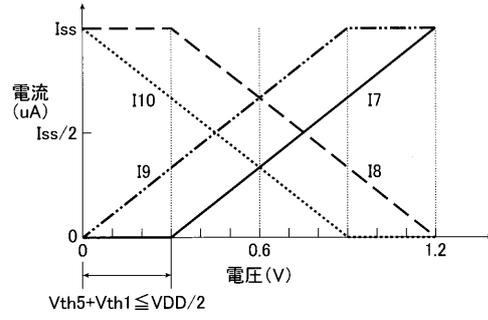
【図5】



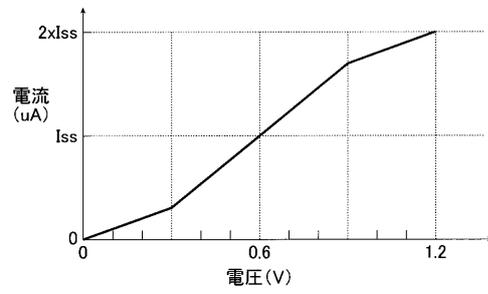
【図6】



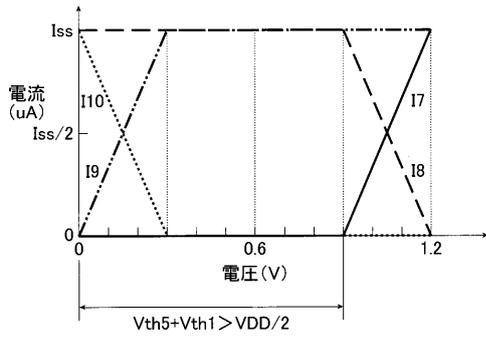
【図7】



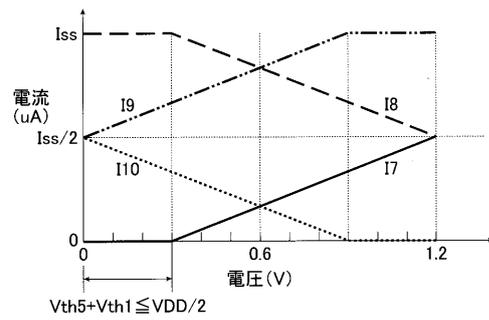
【図8】



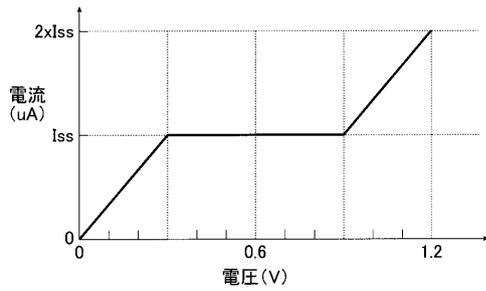
【図9】



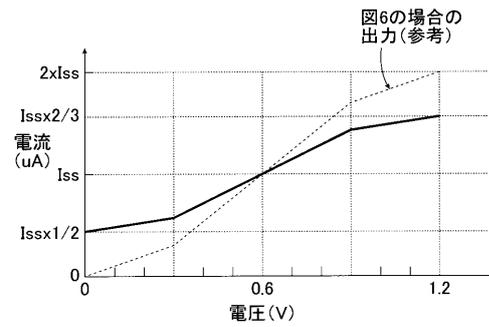
【図11】



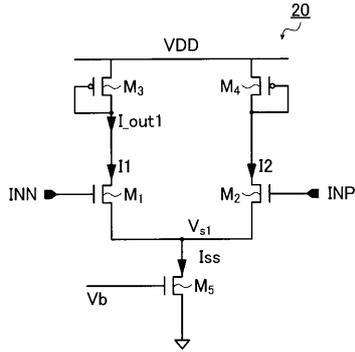
【図10】



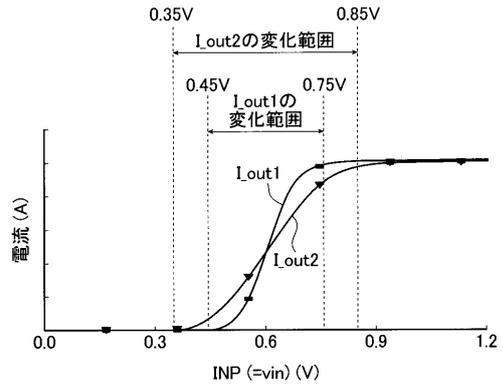
【図12】



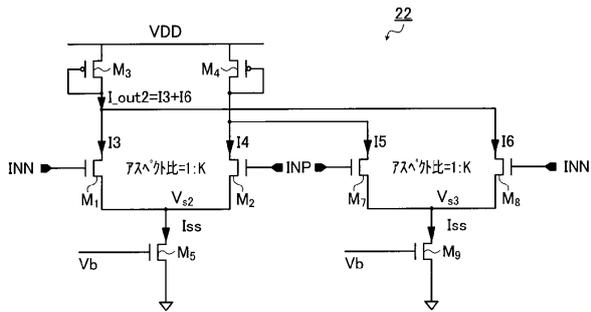
【図13】



【図15】



【図14】



フロントページの続き

(56)参考文献 特開2002-124843(JP,A)
特開2006-157376(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F	3/34
G05F	3/24
H03F	3/45