

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-114676

(P2012-114676A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.  
H04B 5/02 (2006.01)

F I  
H04B 5/02

テーマコード(参考)  
5K012

審査請求 未請求 請求項の数 10 O L (全 31 頁)

(21) 出願番号 特願2010-261945 (P2010-261945)  
(22) 出願日 平成22年11月25日(2010.11.25)

(71) 出願人 302062931  
ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 100080001  
弁理士 筒井 大和  
(74) 代理人 100113642  
弁理士 菅田 篤志  
(74) 代理人 100117008  
弁理士 筒井 章子  
(74) 代理人 100147050  
弁理士 中原 亨  
(74) 代理人 100147430  
弁理士 坂次 哲也

最終頁に続く

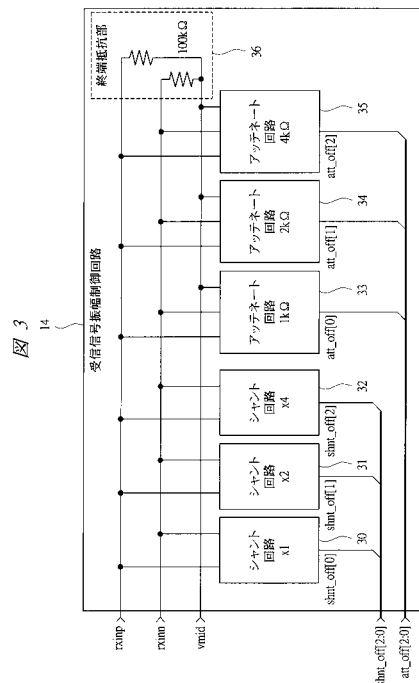
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】通信モードによって最適な受信信号の制御を行うことにより、NFC通信の信頼性を大幅に向上する。

【解決手段】NFCチップには、入力された受信信号の振幅を設定する受信信号振幅制御回路14が設けられている。受信信号振幅制御回路14は、シャント回路30~32、アッテネート回路33~35、および終端抵抗部36から構成されている。シャント回路30~32は、NFCチップがカードモード時に出力されるシャントオフ信号shnt\_offに基づいて、受信信号振幅を非線形に減衰させる。また、アッテネート回路33~35は、NFCチップがカードモード時にMPUから出力されるアッテネートオフ信号att\_offに基づいて、受信信号振幅を線形に減衰させる。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

近距離無線通信機能を付加する半導体装置であって、

動作モード信号に基づいて、前記半導体装置における近距離無線通信機能の動作モードを判定し、制御信号を出力する受信制御部と、

アンテナから外部接続された容量結合を介して受信信号が入力される第 1、および第 2 の受信信号端子と、

前記受信制御部から出力された制御信号に基づいて、前記第 1、および前記第 2 の受信信号端子に入力される受信信号の振幅を、第 1 の受信信号振幅、または第 2 の受信信号振幅のいずれかの信号振幅に制御する受信信号振幅制御回路を有したことを特徴とする半導体装置。

10

**【請求項 2】**

請求項 1 記載の半導体装置において、

前記受信制御部は、

近距離無線通信機能の前記動作モードが、搬送波入力モード、または搬送波出力モードのいずれかを判定し、その判定結果に基づいて前記制御信号を出力し、

前記受信信号振幅制御回路は、

前記制御信号に基づいて、搬送波入力モード、または搬送波出力モードの際に、前記第 1 の受信信号振幅、または前記第 2 の受信信号振幅のいずれかの信号振幅となるように制御することを特徴とする半導体装置。

20

**【請求項 3】**

請求項 2 記載の半導体装置において、

前記受信信号振幅制御回路は、

前記受信制御部が搬送波入力モードと判定した際に、前記第 1 の受信信号振幅に制御する第 1 の受信信号制御回路と、

前記受信制御部が搬送波出力モードと判定した際に、前記第 2 の受信信号振幅に制御する第 2 の受信信号制御回路とを有し、

前記第 1 の受信信号制御回路は、

信号振幅が非線形となるように受信信号振幅の制御を行い、

前記第 2 の受信信号制御回路は、

信号振幅が線形となるように受信信号振幅の制御を行うことを特徴とする半導体装置。

30

**【請求項 4】**

請求項 3 記載の半導体装置において、

前記第 1 の受信信号制御回路は、

前記第 1、および前記第 2 の受信信号端子を介して入力される受信信号を減衰するダイオード接続されたダイオード回路と、

前記受信制御部が搬送波入力モードと判定した際に出力されるダイオード制御信号に基づいて、前記ダイオード回路を前記第 1 の受信信号端子と前記第 2 の受信信号端子との間に接続するダイオード接続制御回路とを有したことを特徴とする半導体装置。

**【請求項 5】**

40

請求項 4 記載の半導体装置において、

前記受信信号振幅制御回路は、

前記第 1 の受信信号制御回路を少なくとも 2 つ以上有した構成からなり、

前記受信制御部は、

受信信号の減衰量に応じて、1 つの前記第 1 の受信信号制御回路、または 2 つ以上の前記第 1 の受信信号制御回路を組み合わせ動作させるように前記ダイオード制御信号を生成することを特徴とする半導体装置。

**【請求項 6】**

請求項 3 記載の半導体装置において、

前記第 2 の受信信号制御回路は、

50

前記第 1、および前記第 2 の受信信号端子を介して入力される受信信号を減衰するアッテネート抵抗と、

前記受信制御部が搬送波出力モードと判定した際に出力されるアッテネート抵抗制御信号に基づいて、前記アッテネート抵抗を前記第 1 の受信信号端子、および前記第 2 の受信信号端子に接続する接続制御部とを備えたことを特徴とする半導体装置。

【請求項 7】

請求項 6 記載の半導体装置において、

前記受信信号振幅制御回路は、

前記第 2 の受信信号制御回路を少なくとも 2 以上有した構成からなり、

前記受信制御部は、

受信信号の減衰量に応じて、

1 つの前記第 2 の受信信号制御回路、または 2 つ以上の前記第 2 の受信信号制御回路を組み合わせ動作させるように前記アッテネート抵抗制御信号を生成することを特徴とする半導体装置。

【請求項 8】

近距離無線通信機能を付加する半導体装置であって、

動作モード信号に基づいて、前記半導体装置における近距離無線通信機能の動作モードを判定し、制御信号を出力する受信制御部と、

アンテナから外部接続された容量結合を介して受信信号が入力される第 1、および第 2 の受信信号端子と、

前記第 1、および前記第 2 の受信信号端子を監視し、受信信号が入力されたことを検知すると搬送波入力モードを示す動作モード信号を出力する搬送波入力モード検出回路とを有し、

前記受信制御部は、

搬送波入力モード検出回路から出力される動作モード信号と外部から入力される搬送波出力モードを示す動作モード信号とがほぼ同時に入力された際に、いずれの信号が先行して入力されたかを判定する先行判定回路を有したことを特徴とする半導体装置。

【請求項 9】

請求項 8 記載の半導体装置において、

前記受信制御部は、

前記先行判定回路が判定した判定結果に基づいて、電源有効信号を生成する電源有効制御部と、

前記電源有効制御部が生成した電源有効信号をある一定時間無効とした後に、前記電源有効信号を出力するスタンバイ時間保持回路と、

前記第 1、および前記第 2 の受信信号端子を介して入力される電力を整流して第 1 の電源電圧を生成し、前記第 1 の電源電圧を生成した際にバッテリレス動作であることを示すバッテリレス信号を出力する整流回路と、

スイッチ制御信号に基づいて、前記第 1 の電源電圧と外部から供給される第 2 の電源電圧とを切り替えて低消費電力モードであるスタンバイモード時に動作する内部回路に供給する第 1 の電源スイッチと、

前記スタンバイ時間保持回路から出力される電源有効信号に基づいて、前記第 1 の電源電圧を前記スタンバイモード時に動作しない前記半導体装置の内部回路に供給する第 2 の電源スイッチとを有することを特徴とする半導体装置。

【請求項 10】

請求項 9 記載の半導体装置において、

前記スタンバイ時間保持回路は、

前記電源有効制御部から出力された電源有効信号をある期間遅延させて出力する遅延回路と、

前記遅延回路から出力された信号が第 1 のしきい値電圧を超えた電圧レベルの場合に、有効となる前記電源有効信号を出力し、前記遅延回路から出力された信号が、前記第 1 の

10

20

30

40

50

しきい値電圧よりも低い第2のしきい値電圧を下回った際に無効となる前記電源有効信号を出力するシュミットトリガ回路とを有したことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、無線通信における受信信号の制御技術に関し、特に、近距離無線通信における通信品質向上に有効な技術に関する。

【背景技術】

【0002】

近年、携帯電話やPDAなどのモバイル機器やICカードなどには、各種の近距離無線通信(NFC: Near Field Communication)規格に準拠した近距離無線通信機能を備えたものが広く普及している。

【0003】

NFCは、磁界結合による通信を行う規格である。NFC規格に準拠した無線通信を行うNFCチップは、自らが磁界を発生し、ICカードなどと通信を行うリーダ/ライタモードと、他のリーダ/ライタからの磁界を受け、ICカードとして動作するカードモードとを備える。

【0004】

NFC規格において、リーダ/ライタからICカードへの通信は、磁界強度を、たとえば、10%~100%変動させることで受信信号振幅を変化させ通信を行うASK(振幅偏移変調: Amplitude Shift Keying)が採用されている。

【0005】

また、ICカードからリーダ/ライタへの通信は、ICカード自体は特に電波・磁場を発生するわけではないため、ICカード側のアンテナにかかる負荷を変化させて、リーダ/ライタ側の信号振幅を変化させるASKが採用されている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところが、上記のような近距離無線通信技術では、次のような問題点があることが本発明者により見いだされた。

【0007】

すなわち、リーダ/ライタからの信号送信が直接磁界強度を制御するのに対し、ICカードからの信号送信はアンテナ負荷の制御によってリーダ/ライタ側にASK信号を与えているため、受信信号振幅の変化率(ASK信号振幅)が小さくなる傾向にある。ここでいう受信信号振幅とASK信号振幅の定義は、図16に示したように、キャリア(搬送波)の振幅を受信信号振幅とし、キャリアの変化分をASK信号振幅としている。

【0008】

ここで、問題となるのが受信信号振幅である。NFCチップ内部でASKを復調する必要があるため、該NFCチップで取り扱うことができるレベルに受信信号振幅を落とす必要がある。

【0009】

通常、受信信号振幅が電源電圧範囲内になるよう、受信信号振幅を減衰させる。NFCチップは、駅の改札などに使用されるリーダ/ライタと比較して出力が低い。よって、受信信号振幅の最大値は、カードモードで大出力のリーダ/ライタに近接している時に現れる。しかし、ASK信号振幅の最小値は、リーダ/ライタモードにおいて対向するICカードが遠距離にある時に現れる。

【0010】

そのため、受信信号振幅の減衰量を、リーダ/ライタが近接している時のカードモードに合わせてしまうと、ICカードが遠距離にある時のリーダ/ライタモードにおいて、ASK信号振幅が極めて小さくなってしまい、受信感度が低減してしまい、通信エラーなど

10

20

30

40

50

が生じてしまうという問題がある。

【0011】

本発明の目的は、通信モードによって最適な受信信号の制御を行うことにより、NFC通信の信頼性を大幅に向上することのできる技術を提供することにある。

【0012】

本発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0013】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0014】

本発明は、近距離無線通信機能を付加する半導体装置であって、動作モード信号に基づいて、該半導体装置における近距離無線通信機能の動作モードを判定し、制御信号を出力する受信制御部と、アンテナから容量結合を介して受信信号が入力される第1、および第2の受信信号端子と、該受信制御部から出力された制御信号に基づいて、第1、および第2の受信信号端子に入力される受信信号の振幅を、第1の受信信号振幅、または第2の受信信号振幅のいずれかの信号振幅に制御する受信信号振幅制御回路を有したものである。

【0015】

また、本発明は、受信制御部が、近距離無線通信機能の動作モードが、搬送波入力モード、または搬送波出力モードのいずれかを判定し、その判定結果に基づいて制御信号を出力し、受信信号振幅制御回路は、制御信号に基づいて、搬送波入力モード、または搬送波出力モードの際に、第1の受信信号振幅、または第2の受信信号振幅のいずれかの信号振幅となるように制御するものである。

【0016】

さらに、本発明は、受信信号振幅制御回路が、受信制御部が搬送波入力モードと判定した際に、第1の受信信号振幅に制御する第1の受信信号制御回路と、受信制御部が搬送波出力モードと判定した際に、第2の受信信号振幅に制御する第2の受信信号制御回路とを有し、第1の受信信号制御回路は、信号振幅が非線形となるように受信信号振幅の制御を行い、第2の受信信号制御回路は、信号振幅が線形となるように受信信号振幅の制御を行うものである。

【0017】

また、本発明は、第1の受信信号制御回路が、第1、および第2の受信信号端子を介して入力される受信信号を減衰するダイオード接続されたダイオード回路と、受信制御部が搬送波入力モードと判定した際に出力されるダイオード制御信号に基づいて、ダイオード回路を第1の受信信号端子と第2の受信信号端子との間に接続するダイオード接続制御回路とを有したものである。

【0018】

さらに、本発明は、受信信号振幅制御回路が、第1の受信信号制御回路を少なくとも2つ以上有した構成からなり、受信制御部は、受信信号の減衰量に応じて、1つの第1の受信信号制御回路、または2つ以上の第1の受信信号制御回路を組み合わせさせて動作させるようにダイオード制御信号を生成するものである。

【0019】

また、本発明は、第2の受信信号制御回路が、第1、および第2の受信信号端子を介して入力される受信信号を減衰するアッテネート抵抗と、受信制御部が搬送波出力モードと判定した際に出力されるアッテネート抵抗制御信号に基づいて、アッテネート抵抗を第1の受信信号端子、および第2の受信信号端子に接続する接続制御部とを備えたものである。

【0020】

さらに、本発明は、受信信号振幅制御回路が、第2の受信信号制御回路を少なくとも2

10

20

30

40

50

以上有した構成からなり、受信制御部は、受信信号の減衰量に応じて、1つの第2の受信信号制御回路、または2つ以上の第2の受信信号制御回路を組み合わせ動作させるようにアッテネート抵抗制御信号を生成するものである。

【0021】

また、本願のその他の発明の概要を簡単に示す。

【0022】

本発明は、近距離無線通信機能を付加する半導体装置であって、動作モード信号に基づいて、半導体装置における近距離無線通信機能の動作モードを判定し、制御信号を出力する受信制御部と、アンテナから容量結合を介して受信信号が入力される第1、および第2の受信信号端子と、第1、および第2の受信信号端子を監視し、受信信号が入力されたことを検知すると搬送波入力モードを示す動作モード信号を出力する搬送波入力モード検出回路とを有し、受信制御部は、搬送波入力モード検出回路から出力される動作モード信号と外部から入力される搬送波出力モードを示す動作モード信号とがほぼ同時に入力された際に、いずれの信号が先行して入力されたかを判定する先行判定回路を有したものである。

10

【0023】

また、本発明は、受信制御部が、先行判定回路が判定した判定結果に基づいて、電源有効信号を生成する電源有効制御部と、電源有効制御部が生成した電源有効信号をある一定時間無効とした後に、電源有効信号を出力するスタンバイ時間保持回路と、第1、および第2の受信信号端子を介して入力される電力を整流して第1の電源電圧を生成し、第1の電源電圧を生成した際にバッテリレス動作であることを示すバッテリレス信号を出力する整流回路と、スイッチ制御信号に基づいて、第1の電源電圧と外部から供給される第2の電源電圧とを切り替えて低消費電力モードであるスタンバイモード時に動作する内部回路に供給する第1の電源スイッチと、スタンバイ時間保持回路から出力される電源有効信号に基づいて、第1の電源電圧をスタンバイモード時に動作しない半導体装置の内部回路に供給する第2の電源スイッチとを有するものである。

20

【0024】

さらに、本発明は、スタンバイ時間保持回路が、電源有効制御部から出力された電源有効信号をある期間遅延させて出力する遅延回路と、該遅延回路から出力された信号が第1のしきい値電圧を超えた電圧レベルの場合に、有効となる電源有効信号を出力し、遅延回路から出力された信号が、第1のしきい値電圧よりも低い第2のしきい値電圧を下回った際に無効となる電源有効信号を出力するシュミットリガ回路とを有したものである。

30

【発明の効果】

【0025】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0026】

(1) 提供される通信モードにおいて、受信信号振幅が最適となるように制御することができるので、無線通信の通信品質を大幅に向上することができる。

【0027】

(2) 上記(1)により、近距離無線通信における信頼性を向上させることができる。

40

【図面の簡単な説明】

【0028】

【図1】本発明の実施の形態1によるNFCシステムにおける構成の一例を示す説明図である。

【図2】図1のNFCシステムに設けられたNFCチップにおける構成の一例を示すブロック図である。

【図3】図2のNFCチップに設けられた受信信号振幅制御回路における構成の一例を示すブロック図である。

【図4】図3の受信信号振幅制御回路に設けられたシャント回路における構成の一例を示

50

す回路図である。

【図5】図3の受信信号振幅制御回路に設けられたアッテネート回路における構成の一例を示す回路図である。

【図6】入力信号強度に対する入力信号振幅の概念を示す説明図である。

【図7】図4のシャント回路における構成の他の例を示す回路図である。

【図8】本発明の実施の形態2によるNFCチップに設けられた電源制御回路の一例を示す回路図である。

【図9】図8の電源制御回路に設けられた先行判定回路における各部信号のタイミングチャートである。

【図10】図8の電源制御回路に設けられたノイズキャンセル回路における各部信号のタイミングチャートである。

10

【図11】図8の電源制御回路に設けられたスタンバイ時間保持回路における構成の一例を示す回路図である。

【図12】図11のスタンバイ保持回路における各部信号のタイミングチャートである。

【図13】図8の電源制御回路に設けられたスイッチ回路における構成の一例を示す説明図である。

【図14】図13のスイッチ回路における各部信号のタイミングチャートである。

【図15】図8の電源制御回路に設けられたスイッチ回路における構成の他の例を示す説明図である。

【図16】受信信号振幅とASK信号振幅における定義の一例を示した説明図である。

20

【発明を実施するための形態】

【0029】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0030】

(実施の形態1)

図1は、本発明の実施の形態1によるNFCシステムにおける構成の一例を示す説明図、図2は、図1のNFCシステムに設けられたNFCチップにおける構成の一例を示すブロック図、図3は、図2のNFCチップに設けられた受信信号振幅制御回路における構成の一例を示すブロック図、図4は、図3の受信信号振幅制御回路に設けられたシャント回路における構成の一例を示す回路図、図5は、図3の受信信号振幅制御回路に設けられたアッテネート回路における構成の一例を示す回路図、図6は、入力信号強度に対する入力信号振幅の概念を示す説明図、図7は、図4のシャント回路における構成の他の例を示す回路図である。

30

【0031】

《発明の概要》

本発明の第1の概要は、近距離無線通信機能を付加する半導体装置(NFCチップ2)である。この半導体装置は、動作モード信号(起動信号PWON、検知信号cdet)に基づいて、前記半導体装置における近距離無線通信機能の動作モード(リーダ/ライタモード、カードモード)を判定し、制御信号を出力する受信制御部(電源制御回路22、MPU29)有している。

40

【0032】

さらには、外部接続されたアンテナ(アンテナ13)、および容量結合(静電容量素子3,4)を介して受信信号が入力される第1、および第2の受信信号端子(ASK信号受信端子rxinp、ASK信号受信端子rxinn)と、前記受信制御部から出力された制御信号(シャントオフ信号shnt\_off、アッテネートオフ信号att\_off)に基づいて、前記第1、および前記第2の受信信号端子に入力される受信信号の振幅を、第1の受信信号振幅(非線形の受信信号振幅制御)、または第2の受信信号振幅(非線形の受信信号振幅制御)のいずれかの信号振幅に制御する受信信号振幅制御回路(受信

50

信号制御回路 14、シャント回路 30 ~ 32、アッテネート回路 33 ~ 35) を有している。

【0033】

以下、上記した概要に基づいて、実施の形態を詳細に説明する。

【0034】

本実施の形態 1 において、NFC システム 1 は、近距離無線通信を行うシステムであり、たとえば、携帯電話などに搭載されるシステムである。NFC システム 1 は、図 1 に示すように、NFC チップ 2、静電容量素子 3 ~ 8、抵抗 9 ~ 12、およびアンテナ 13 から構成されている。

【0035】

NFC チップ 2 は、磁界結合による通信を行う NFC 規格を用いて通信制御を司る半導体装置であり、該 NFC チップ 2 は、自らが磁界を発生し、IC カードと通信を行うリーダ/ライタモード(搬送波出力モード)と、他のリーダ/ライタからの磁界を受け、IC カードとして動作するカードモード(搬送波入力モード)とを備えている。

【0036】

NFC チップ 2 には、外部端子としてアンテナ駆動端子  $t_p$ 、 $t_m$ 、ASK 信号受信用端子  $rx_{inp}$ 、 $rx_{inn}$ 、コモン電位用端子  $v_{mid}$  をそれぞれ備えている。アンテナ駆動端子  $t_p$  とアンテナ 13 の一方の接続部との間には、アンテナのクオリティファクタ  $Q$  調整用の抵抗 11、および静電容量素子 6 が直列接続されている。

【0037】

また、アンテナ駆動端子  $t_m$  とアンテナ 13 の他方の接続部との間には、アンテナのクオリティファクタ  $Q$  調整用の抵抗 12、および静電容量素子 7 が直列接続されている。抵抗 11 と静電容量素子 6 との接続部(ノード a)、および抵抗 12 と静電容量素子 7 との接続部(ノード b)には、アンテナ共振容量となる静電容量素子 8 が接続されている。

【0038】

アンテナ 13 は、アンテナ 13 それ自体の誘導  $L$  と静電容量素子 8 の共振容量  $C$  とで、共振周波数がほぼ  $13.85 \text{ MHz}$  になるように調整されており、 $13.85 \text{ MHz}$  の電力を効率よくアンテナ 13 に伝達し、他の不要周波数成分を除去している。

【0039】

ただし、アンテナ 13 のクオリティファクタ  $Q$  が高すぎると、ASK の信号成分も除去されてしまうため、クオリティファクタ  $Q$  調整用抵抗である抵抗 11、12 でクオリティファクタ  $Q$  を調整している。

【0040】

ASK 信号受信用端子  $rx_{inp}$ 、 $rx_{inn}$  は、ASK 信号を受信する端子であり、ASK 信号受信用端子  $rx_{inp}$  には、静電容量素子 3 の一方の接続部が接続されている。静電容量素子 3 の他方の接続部には、抵抗 9 の一方の接続部が接続されており、該抵抗 9 の他方の接続部には、ノード a が接続されている。

【0041】

ASK 信号受信用端子  $rx_{inn}$  には、静電容量素子 4 の一方の接続部が接続されている。静電容量素子 4 の他方の接続部には、抵抗 10 の一方の接続部が接続されており、該抵抗 10 の他方の接続部には、ノード b が接続されている。

【0042】

ASK 信号受信用端子  $rx_{inp}$ 、 $rx_{inn}$  には、受信信号調整用抵抗である抵抗 9、10 と ASK 信号受信用端子  $rx_{inp}$ 、 $rx_{inn}$  の内部抵抗との分圧比により減衰された受信信号が入力される。

【0043】

なお、コモン電位用端子  $v_{mid}$  は、ASK 信号受信用端子  $rx_{inp}$ 、 $rx_{inn}$  のコモン電位であり、内部で電源電圧の中間電位を生成し、静電容量素子 5 によって安定化している。

【0044】

10

20

30

40

50



NFCシステム1は、アンテナ13を介して、通信するICカード、またはリーダ/ライタなどの通信システムTSと近距離無線通信を行う。

【0045】

図2は、NFCチップ2における構成の一例を示すブロック図である。

【0046】

NFCチップ2は、受信信号振幅制御回路14、ASK復調回路15、クロック抽出回路16、RFセンサ17、送信信号振幅制御回路18、送信端子ドライバ19、整流回路20、セキュリティ回路21、電源制御回路22、クロック発振回路23、PLL(Phase Locked Loop)24、RAM(Random Access Memory)25、ROM(Read Only Memory)26、EEPROM(Electrically Erasable and Programmable Read Only Memory)27、I/O28、およびMPU(Micro-Processing Unit)29から構成されている。

10

【0047】

受信信号振幅制御回路14、ASK復調回路15、クロック抽出回路16、ならびにRFセンサ17には、ASK信号受信用端子rxinpを介してASK信号が入力されるように接続されている。

【0048】

受信信号振幅制御回路14、およびASK復調回路15、ASK信号受信用端子rxinnには、ASK信号受信用端子rxinnを介してASK信号が入力されるように接続されている。

【0049】

また、受信信号振幅制御回路14、ASK復調回路15、クロック抽出回路16、およびRFセンサ17には、コモン電位用端子vmidがそれぞれ接続されている。送信信号振幅制御回路18、送信端子ドライバ19、ならびに整流回路20には、アンテナ駆動端子tp, tmがそれぞれ接続されている。

20

【0050】

受信信号振幅制御回路14、ASK復調回路15、クロック抽出回路16、送信信号振幅制御回路18、送信端子ドライバ19、整流回路20、セキュリティ回路21、電源制御回路22、クロック発振回路23、PLL24、RAM25、ROM26、EEPROM27、およびI/O28は、MPU29にそれぞれ接続されている。また、RFセンサ17は、電源制御回路22に接続されている。

30

【0051】

また、NFCチップ2は、電源端子VCC、グランド端子VSS、パワーオン端子pwn、およびチップイネーブル端子cenをそれぞれ有している。電源端子VCCは、電源電圧が供給される端子であり、グランド端子VSSは、基準電位が接続される端子である。

【0052】

また、パワーオン端子pwnは、リーダ/ライタモードとしてNFCチップ2を起動する際に入力される起動信号PWONが入力される端子である。チップイネーブル端子cenは、NFCチップ2全体を有効にするチップイネーブル信号CENが入力される端子である。

40

【0053】

これら電源端子VCC、グランド端子VSS、パワーオン端子pwn、およびチップイネーブル端子cenに供給される各信号は、携帯電話などのシステムから供給される信号である。

【0054】

ASK信号受信用端子rxinp, rxinnを介して入力された受信信号は、受信信号振幅制御回路14によって受信信号振幅が設定された後、ASK復調回路15に入力され、ASK信号を受信する。同じく、ASK信号受信用端子rxinpからクロック抽出回路16がクロックを抽出する。

【0055】

50

クロック抽出回路16によって抽出されたクロックは、MPU29などのロジック回路を動作させるクロック信号として使用される。MPU29は、NFCチップ2における全ての動作制御を司る。

【0056】

RFセンサ17は、ASK信号受信用端子rxinp, rxinnを監視して、受信信号が入力されたことを検知すると検知信号cdetを出力する。電源制御回路22は、検知信号cdetが入力されると、NFCチップ2を起動させる。

【0057】

また、送信信号振幅制御回路18は、カードモード時において、送信信号の信号振幅を制御する。リーダ/ライタモード時には、送信端子ドライバ19が、アンテナ駆動端子tp, tmを駆動するため、送信信号振幅を制御する必要はない。

【0058】

このNFCチップ2は、電源電圧なしでもカードモードとして動作するバッテリーレスモードに対応しており、整流回路20によって、アンテナ駆動端子tp, tmを介して入力される電力を整流して電源電圧vcc\_rectを生成する。

【0059】

同時に、バッテリーレス動作であることを示すバッテリーレス信号blessを出力する。電源電圧端子VCCを介して入力される電源電圧と整流回路20が生成する電源電圧vcc\_rectは、電源制御回路22によって制御され、各回路ブロックに分配される(電源信号は図中では省略している)。

【0060】

MPU29は、ロジック回路の中心となる回路ブロックであり、アナログ回路を含め各回路を制御している。また、MPU29の記憶領域として、RAM25、ROM26、およびEEPROM27が設けられている。なお、EEPROM27は、不揮発性メモリであればよく、たとえば、フラッシュメモリに例示されるメモリであってもよい。

【0061】

PLL24は、クロック抽出回路16が抽出したクロックを通倍したり、ASK信号の入力時に停止したクロックを補完したりする。クロック発振回路23は、リーダ/ライタモード時に正確なクロックを生成するのに使用する水晶発振回路である。

【0062】

I/O28は、NFCチップ2と外部との通信を行うインタフェースであり、通信規格は、たとえば、UART (Universal Asynchronous Receiver Transmitter)、SWP (Single Wire Protocol)、USB (Universal Serial Bus)などに対応している。セキュリティ回路21は、NFCチップ2のセキュリティを保つための回路ブロックである。

【0063】

図3は、受信信号振幅制御回路14における構成の一例を示すブロック図である。

【0064】

受信信号振幅制御回路14は、図示するように、シャント回路30~32、アッテネート回路33~35、および終端抵抗部36から構成されている。

【0065】

NFCチップ2に使用されるアンテナは、使用者によって異なっており、該NFCチップ2は様々なアンテナに対応することが要求される。そこで、たとえば、3つのシャント回路30~32と、3つのアッテネート回路33~35をそれぞれ備えた構成とする。

【0066】

シャント回路30~32は、MPU29(図2)から出力されるシャントオフ信号shnt\_offに基づいて、ON/OFFが制御される。アッテネート回路33~35は、MPU29(図2)から出力されるアッテネートオフ信号att\_offに基づいて、ON/OFFが制御される。

【0067】

シャント回路30~32は、NFCチップ2がカードモードによって動作する際に非線

10

20

30

40

50

形に受信信号振幅の減衰を行う回路である。図3におけるシャント回路30～32は、100% (x1)、200% (x2)、400% (x4)の信号減衰力をそれぞれ有している。

【0068】

シャント回路30～32における信号減衰力は、後述するダイオード接続トランジスタ部39におけるトランジスタ39a, 39b (図4)におけるゲート幅W、およびゲート長Lにより設定される。

【0069】

これらシャント回路30～32を、シャントオフ信号shnt\_offに基づいて単体、あるいは組み合わせてON (動作) / OFF (停止) させることにより、信号減衰力を100% 1～700%まで調整することができるため、様々なアンテナに対応することができる。

10

【0070】

また、アッテネート回路33～35は、NFCチップ2がリーダー/ライターモードによって動作する時に、リニアに受信信号振幅の減衰を行う回路である。

【0071】

アッテネート回路33～35は、後述するアッテネート抵抗43, 44 (図5)の抵抗値を、たとえば、1k、2k、および4kにそれぞれ設定し、アッテネートオフ信号att\_offによりアッテネート回路33～35を単体、あるいは組み合わせてON (動作) / OFF (停止) させることにより、アッテネート抵抗を570～4kまで調整することができる。

20

【0072】

さらに、シャント回路30～32だけでは、ASK信号受信用端子rxinp, rxinnの直流動作点が確定しないため、終端抵抗として終端抵抗部36が接続されている。終端抵抗部36は、たとえば、抵抗値が100kの2本の抵抗からなり、一方の抵抗は、ASK信号受信用端子rxinpとコモン電位用端子vmidとの間に接続され、他方の抵抗は、ASK信号受信用端子rxinnとコモン電位用端子vmidとの間に接続されている。

【0073】

このように、シャント回路30～32、およびアッテネート回路33～35による調整機能に加えて受信信号振幅調整用抵抗である抵抗9, 10をアンテナ13に応じて適切な値を選択することで、様々なアンテナに対し、適切な減衰量を設定することができる。

30

【0074】

一般に、NFCチップ2がカードモードによって動作する場合に、アンテナ13が小さいと入力される受信信号振幅は小さくなるが、NFCチップ2がリーダー/ライターモードによって動作する場合には、該アンテナ13を駆動する信号振幅を大きくしなければならない。

【0075】

この場合、シャント回路30～32による受信信号振幅の減衰を小さくし、アッテネート回路33～35による受信信号振幅の減衰を大きくすることが考えられる。

40

【0076】

また、アンテナ13が大きい場合には、アンテナ13が小さい場合とは逆となり、シャント回路30～32による受信信号振幅の減衰を大きくし、アッテネート回路33～35による受信信号振幅の減衰を小さくすることが考えられる。

【0077】

図4は、シャント回路30における構成の一例を示す回路図である。

【0078】

シャント回路30は、MOSトランジスタの2乗特性を利用して、受信信号振幅の減衰を行う。これにより、受信信号が大振幅の時には強く、受信信号が小振幅の時には弱く振幅制限をかけることができる。

50

## 【0079】

シャント回路30は、入力インバータ37、rxinp接続インバータ38、ダイオード接続トランジスタ部39、およびrxinn接続インバータ40から構成されている。

## 【0080】

入力インバータ37は、トランジスタ37a, 37bからなり、rxinp接続インバータ38は、トランジスタ38a, 38bからなり、rxinn接続インバータ40は、トランジスタ40a, 40bから構成されている。

## 【0081】

トランジスタ37a, 38a, 40aは、PチャネルMOSからなり、トランジスタ37b, 38b, 40bは、NチャネルMOSからなる。ダイオード接続トランジスタ部39は、PチャネルMOSのトランジスタ39a, 39bからなり、これらダイオード接続されたトランジスタ39a, 39bによってASK信号受信用端子rxinpとASK信号受信用端子rxinnとが接続された構成となっている。

10

## 【0082】

トランジスタ39aの一方の接続部(ダイオードのアノードに相当)には、ASK信号受信用端子rxinnが接続されており、該トランジスタ39aの他方の接続部(ダイオードのカソード)には、ASK信号受信用端子rxinpが接続されている。トランジスタ39aのゲートには、rxinp接続インバータ38の出力部が接続されている。

## 【0083】

また、トランジスタ39bの一方の接続部(ダイオードのアノードに相当)には、ASK信号受信用端子rxinpが接続されており、該トランジスタ39bの他方の接続部(ダイオードのカソードに相当)には、ASK信号受信用端子rxinnが接続されている。トランジスタ39bのゲートには、rxinn接続インバータ40の出力部が接続されている。

20

## 【0084】

入力インバータ37の入力部には、MPU29(図2)から出力されるシャントオフ信号shnt\_offが入力されるように接続されている。入力インバータ37は、シャントオフ信号shnt\_offが入力されると、rxinp接続インバータ38、およびrxinn接続インバータ40をそれぞれ駆動する。

## 【0085】

rxinp接続インバータ38は、トランジスタ39aのゲートをASK信号受信用端子rxinpに接続するインバータであり、rxinn接続インバータ40は、トランジスタ39bのゲートをASK信号受信用端子rxinnに接続するインバータである。

30

## 【0086】

なお、図4では、シャント回路30の構成について説明したが、シャント回路31, 32についても同様の構成となっている。

## 【0087】

図5は、アッテネート回路33における構成の一例を示す回路図である。

## 【0088】

アッテネート回路33は、リーダ/ライターモード時において、抵抗を利用してリニアに受信信号振幅の減衰を行う回路である。

40

## 【0089】

アッテネート回路33は、図示するように、トランスファゲート41, 42、アッテネート抵抗43, 44、ならびにインバータ45から構成されている。トランスファゲート41は、PチャネルMOSのトランジスタ41aとNチャネルMOSのトランジスタ41bとからなり、トランスファゲート42は、PチャネルMOSのトランジスタ42aとNチャネルMOSのトランジスタ42bとからなる。

## 【0090】

トランスファゲート41の一方の接続部には、ASK信号受信用端子rxinpが接続されており、該トランスファゲート41の他方の接続部には、アッテネート抵抗43の一

50

方の接続部が接続されている。

【0091】

アッテネート抵抗43の他方の接続部には、アッテネート抵抗44の一方の接続部が接続されており、該アッテネート抵抗44の他方の接続部には、トランスファゲート42の一方の接続部が接続されている。

【0092】

トランスファゲート42の他方の接続部には、ASK信号受信用端子rxinnが接続されている。また、アッテネート抵抗43とアッテネート抵抗44との接続部には、直流動作点を確定するために、コモン電位用端子vmidが接続されている。

【0093】

トランスファゲート41, 42の一方の制御端子(トランジスタ41a, 42aのゲート)、およびインバータ45の入力部には、MPU29(図2)から出力されるアッテネートオフ信号att\_offが入力されるようにそれぞれ接続されている。インバータ45の出力部には、トランスファゲート41, 42の他方の制御端子(トランジスタ41b, 42bのゲート)がそれぞれ接続されている。

【0094】

次に、本実施の形態1におけるNFCチップ2の動作について説明する。

【0095】

先に述べたように、NFCチップ2においては、受信信号振幅制御回路14は、カードモード時に動作するシャント回路30~32とリーダ/ライタモード時に動作するアッテネート回路33~35とを有している。

【0096】

カードモード時には、シャント回路30~32を用いることにより、非線形に受信信号を制限する。すなわち、信号振幅が大きいほど信号制限を強くかける。なぜなら、カードモード時のASK信号振幅は、リーダ/ライタから出力される磁界強度が直接制御されているため、リーダ/ライタに近接して受信信号振幅が大きければASK信号振幅も大きくなり、受信信号振幅が大きい時は受信振幅制限を強くかけても十分なASK信号振幅が得られるからである。

【0097】

逆に、リーダ/ライタから離れていて受信信号振幅が小さい時は、受信振幅制限を弱くする。これにより、ASK信号振幅の減衰を最小限に留めることができる。

【0098】

一方、リーダ/ライタモード時には、アッテネート回路33~35を用いることにより、線形に受信信号を制限する。リーダ/ライタ時は、自ら磁界を出力しており、受信信号振幅は通信するICカードなどの状態にかかわらずほぼ一定である。

【0099】

よって、通信するICカードなどが離れていてASK信号振幅が小さい時において、過度に受信信号が減衰されてASK信号振幅を減衰させることを防ぐことができる。

【0100】

続いて、NFCチップ2における動作モードの一例について、図2を用いて説明する。

【0101】

NFCチップ2の動作モードは、たとえば、1)カードモード(通常)、2)カードモード(peer to peer)、3)リーダ/ライタモード、および4)バッテリーレスモードを有している。

【0102】

1)カードモード(通常)

NFCチップ2それ自体は、スタンバイモード(NFCチップ2の電源は入っているが動作は最小限に抑えられており、たとえば、RFセンサ17のみが動作)で動作している。

【0103】

10

20

30

40

50

通信するリーダー/ライターからの信号が入力されることで、RFセンサ17が入力信号を検知し、該RFセンサ17から検知信号c d e tが電源制御回路22に出力される。電源制御回路22は、検知信号c d e tを受け取ると、NFCチップ2全体をカードモードとして動作させる。

【0104】

2) カードモード(peer to peer)

NFCチップ2自体は、スタンバイモードで動作している。携帯電話などのシステムから起動信号PWONが出力され、NFCチップ2のパワーオン端子p w o nに該起動信号PWONが入力されると、NFCチップ2がリーダー/ライターモードとして動作を始める。

【0105】

MPU29がROM26などに格納されているプログラムに従い、NFCチップ2をpeer to peerのカードモードに遷移させる。このモードは主として、NFCチップ同士の通信(たとえば、携帯電話間での通信)で使用する。この場合、NFCチップの片方は、カードモードで動作する必要があるため、このようなモード遷移を行う。

【0106】

3) リーダー/ライターモード

NFCチップ2自体はスタンバイモードで動作している。NFCチップ2のパワーオン端子p w o nに携帯電話などのシステムから起動信号PWONが入力されると、NFCチップ2は、リーダー/ライターモードとして動作を始める。

【0107】

MPU29は、ROM26などに格納されているプログラムに従い、NFCチップ2がリーダー/ライターモードのまま動作する。リーダー/ライターモードにおいては、モード遷移としてのpeer to peerモードの区別はない。

【0108】

4) バッテリレスモード

NFCチップ2自体は、電源供給が遮断されているため、全く動作していない。この状態から、通信するリーダー/ライターからの電力が、アンテナ駆動端子t p , t mを介して供給される。整流回路20は、バッテリレス動作であることを示すバッテリレス信号b l e s sを出力する。

【0109】

この場合、NFCチップ2の動作モードは、カードモードに近いが、アンテナ13(図1)からの電力供給によって動作しているため、できるだけ低消費電力で動作させる必要がある。そのため、バッテリレスモードとして別のモードによって動作する。

【0110】

次に、NFCチップ2がカードモードとして動作する際に用いられるシャント回路30(~32)の動作について説明する。

【0111】

NFCチップ2がカードモードとなり、NFCチップ2から受信信号振幅制御回路14に対してLo信号のシャントオフ信号s h n t \_ o f fがシャント回路30(~32)に出力される。

【0112】

シャント回路30(~32)は、Lo信号のシャントオフ信号s h n t \_ o f fが入力されたことにより、r x i n p接続インバータ38、ならびにr x i n n接続インバータ40が動作(Lo信号出力)し、ダイオード接続トランジスタ部39のトランジスタ39a, 39bがダイオード接続される。

【0113】

ダイオード接続されたトランジスタ39a, 39bのドレイン-ソース間に流れる電流は、ドレイン-ソース間電位の2乗にほぼ比例する(実際には、ドレイン-ソース間電位からトランジスタのしきい値電圧V t hを引いた値の2乗)。

【0114】

10

20

30

40

50

これにより、ドレイン - ソース間電位が小さい、すなわち入力信号振幅が小さい時のドレイン - ソース間電流は小さく、ドレイン - ソース間電位が大きい、すなわち入力信号振幅が大きい時のドレイン - ソース間電流は大きい。

【0115】

受信信号調整用抵抗である抵抗 9, 10 (図 1) が設けられていることにより、ASK 信号受信用端子  $rx_{inp}$ ,  $rx_{inn}$  間を流れる電流が大きいほど、信号振幅の減衰が大きくなるので、MOS トランジスタの 2 乗特性を用いた非線形減衰回路を実現することができる。

【0116】

また、NFC チップ 2 がカードモード以外の場合には、NFC チップ 2 から受信信号振幅制御回路 14 に対して Hi 信号のシャントオフ信号  $shnt\_off$  がシャント回路 30 (~ 32) に出力される。

【0117】

この場合、ダイオード接続トランジスタ部 39 におけるトランジスタ 39a, 39b のゲート電位は、NFC チップ 2 の内部動作電圧である電源電圧  $vcc\_inner$  に接続される。

【0118】

ASK 信号受信用端子  $rx_{inp}$ ,  $rx_{inn}$  の電位が、電源電圧  $vcc\_inner$  以下であれば、トランジスタ 39a, 39b は OFF となり、ASK 信号受信用端子  $rx_{inp}$ ,  $rx_{inn}$  間に電流は流れない。よって、受信信号の減衰も起こらないことになる。

【0119】

次に、NFC チップ 2 がリーダ/ライタモードとして動作する際に用いられるアッテネート回路 33 (~ 35) の動作について説明する。

【0120】

NFC チップ 2 がリーダ/ライタモードに遷移すると、MPU 29 から Lo 信号のアッテネートオフ信号  $att\_off$  がアッテネート回路 33 (~ 35) に入力される。アッテネート回路 33 (~ 35) は、Lo 信号のアッテネートオフ信号  $att\_off$  を受け取ると、トランスファゲート 41, 42 が導通状態となり、ASK 信号受信用端子  $rx_{inp}$  とコモン電位用端子  $vmid$  との間、および ASK 信号受信用端子  $rx_{inn}$  とコモン電位用端子  $vmid$  との間にそれぞれアッテネート抵抗 43, 44 がそれぞれ接続される。

【0121】

NFC チップ 2 の ASK 信号受信用端子  $rx_{inp}$ ,  $rx_{inn}$  には、受信信号調整用抵抗である抵抗 9, 10 (図 1) が接続されているので、該 ASK 信号受信用端子  $rx_{inp}$ ,  $rx_{inn}$  に現れる受信信号振幅は、抵抗 9 とアッテネート抵抗 43 との抵抗分圧、および抵抗 10 とアッテネート抵抗 44 との抵抗分圧となる。抵抗分圧であるため、減衰率は入力信号振幅にかかわらず一定である。

【0122】

また、NFC チップ 2 がリーダ/ライタモード以外のモードで動作する際には、MPU 29 から Hi 信号のアッテネートオフ信号  $att\_off$  が出力される。この Hi 信号のアッテネートオフ信号  $att\_off$  によって、アッテネート回路 33 (~ 35) のトランスファゲート 41, 42 が非導通状態となるため、ASK 信号受信用端子  $rx_{inp}$  とコモン電位用端子  $vmid$ 、および ASK 信号受信用端子  $rx_{inn}$  とコモン電位用端子  $vmid$  は、それぞれ切り離され、振幅の減衰は起こらない。

【0123】

図 6 は、入力信号強度に対する入力信号振幅の概念を示す説明図である。

【0124】

図 6 において、実線はシャント回路 30 (~ 32) が動作した場合 (以下、シャント時という)、点線はアッテネート回路 33 (~ 35) が動作した場合 (以下、アッテネート

10

20

30

40

50

時という)を示し、一点鎖線はシャント回路30(～32)、およびアッテネート回路33(～35)が動作しない場合(以下、無制御時という)の入力信号振幅をそれぞれ示している。

【0125】

図示するように、無制御時は、入力信号強度に比例して入力信号振幅が増加する。シャント時は、入力信号強度が低い時は無制御時とほぼ同じ振幅を得られるが、入力信号強度が増加すると振幅の増加が抑えられる。アッテネート時は、無制御時と比較して一定の割合で減衰を受けている。

【0126】

ここで、ASK信号が入力した際の受信信号振幅の差(ASK信号振幅)について考える。受信信号強度が強く受信信号振幅が大きい時、シャント時はASK信号振幅が潰れてしまい、アッテネート時よりもASK信号振幅が小さくなってしまう。

10

【0127】

逆に、受信信号強度が弱く受信信号振幅が小さい時、シャント時は受信信号の減衰がないため、アッテネート時よりもASK信号振幅を大きく取れる。

【0128】

このことから、次のことが言える。NFCチップ2がリーダ/ライタモードによって動作している時、受信信号は、NFCチップ2自体が駆動しているためほぼ一定である。しかし、ASK信号は、通信するICカードなどが近ければ大きく、遠ければ小さいという特徴がある。

20

【0129】

よって、アッテネート回路33(～35)を使用して、受信信号振幅を電源電圧範囲に近いレベルに減衰させる。こうすることにより、ASK信号振幅を最大限に確保することができる。シャント回路30(～35)を使用すると、受信信号振幅自体は大きいため、ASK信号振幅を潰してしまう。

【0130】

NFCチップ2がカードモードによって動作している時、受信信号は通信するリーダ/ライタの距離により変化する。ASK信号は、受信信号振幅に比例するので、受信信号振幅が大きい場合はASK信号は大きく、受信信号振幅が小さい場合はASK信号も小さくなる。

30

【0131】

そのため、受信信号振幅が大きい時には、ASK信号振幅が潰れるものの、受信信号振幅が小さい時にASK信号振幅を確保することができるので、シャント回路30(～35)を使用することが望ましい。アッテネート回路35(～35)を用いると、受信信号振幅が小さく、ASK信号が小さい時に、過度にASK信号振幅を減衰させてしまう。

【0132】

さらに、NFCチップ2は、用途により大出力のものから小出力のものまで存在する。本実施の形態において述べているNFCチップが小出力のものであるとすると、リーダ/ライタモード時の受信信号振幅と比較して、カードモード時の受信信号振幅は大きくなることを前提とする必要がある。

40

【0133】

なぜなら、大出力リーダ/ライタに近接した場合、アンテナから大きな信号が入力するからである。このことも、リーダ/ライタモード時はアッテネート回路を、カードモード時はシャント回路を用いることが望ましいといえる。

【0134】

それにより、本実施の形態1によれば、受信信号振幅制御回路14により、カードモード時には受信信号を非線形に制限し、リーダ/ライタモード時には、受信信号を線形に制限することにより、いずれの動作モードであってもASK信号振幅の減衰を防止することができる。

【0135】

50



また、図4では、シャント回路30(～32)におけるダイオード接続トランジスタ部39のトランジスタ39a, 39bをPチャネルMOSによるダイオード接続としていたが、たとえば、図7に示すように、ダイオード接続トランジスタ部39は、NチャネルMOSのトランジスタ39c, 39dによるダイオード接続としても同様の効果を得ることができる。

#### 【0136】

この場合、図4では、トランジスタ39a, 39bには、基板電位として電源電圧 $v_{cc\_inner}$ が接続されていたが、図7では、トランジスタ39c, 39dに基板電位として基準電位 $V_{SS}$ が接続される構成となる。また、入力インバータ37においては、トランジスタ37a, 37bによって構成されたインバータの後段にトランジスタ37c, 37dによって構成されたインバータが新たに設けられた構成となる。その他の接続構成については、図4と同様である。

#### 【0137】

(実施の形態2)

図8は、本発明の実施の形態2によるNFCチップに設けられた電源制御回路の一例を示す回路図、図9は、図8の電源制御回路に設けられた先行判定回路における各部信号のタイミングチャート、図10は、図8の電源制御回路に設けられたノイズキャンセル回路における各部信号のタイミングチャート、図11は、図8の電源制御回路に設けられたスタンバイ時間保持回路における構成の一例を示す回路図、図12は、図11のスタンバイ保持回路における各部信号のタイミングチャート、図13は、図8の電源制御回路に設けられたスイッチ回路における構成の一例を示す説明図、図14は、図13のスイッチ回路における各部信号のタイミングチャート、図15は、図8の電源制御回路に設けられたスイッチ回路における構成の他の例を示す説明図である。

#### 【0138】

《発明の概要》

本発明の第2の概要は、動作モード信号(起動信号 $PWON$ 、検知信号 $cdet$ )に基づいて、半導体装置(NFCチップ2)における近距離無線通信機能の動作モード(リーダ/ライタモード、カードモード)を判定し、制御信号を出力する受信制御部(電源制御回路22、MPU29)と、外部接続されたアンテナ(アンテナ13)、および容量結合(静電容量素子3, 4)を介して受信信号が入力される第1、および第2の受信信号端子(ASK信号受信用端子 $rxinp$ 、ASK信号受信用端子 $rxinn$ )と、前記第1、および前記第2の受信信号端子を監視し、受信信号が入力されたことを検知すると搬送波入力モードを示す動作モード信号を出力する搬送波入力モード検出回路(整流回路20)とを有している。

#### 【0139】

また、前記受信制御部は、搬送波入力モード検出回路から出力される動作モード信号と外部から入力される搬送波出力モードを示す動作モード信号とがほぼ同時に入力された際に、いずれの信号が先行して入力されたかを判定する先行判定回路(先行判定回路56)を有した構成からなる。

#### 【0140】

以下、上記した概要に基づいて、実施の形態を詳細に説明する。

#### 【0141】

前記実施の形態1において、NFCチップ2の動作モードの区別について説明したが、この動作モードにおいて注意しなければならないのは、通常のカードモードとリーダ/ライタモード(peer to peer、カードモードを含む)の区別である。

#### 【0142】

すなわち、NFCチップ2がスタンバイモードで動作しているときに、通信するリーダ/ライタからの信号入力と、NFCチップ2のパワーオン端子 $pwon$ に入力される起動信号 $PWON$ の立ち上がり時間が極めて近いタイミングであった場合、確実にどちらかのモードに確定させる必要がある。

## 【 0 1 4 3 】

よって、本実施の形態 2 では、動作モードのタイミングが極めて近いタイミングの際にどちらかの動作モードに確定させる技術について説明する。

## 【 0 1 4 4 】

スタンバイモード時は、NFCチップ 2 の動作電力を落とす必要があるため、MPU 2 9 (図 2) などロジック回路は動作を停止している。そのため、アナログ的な技術で、両モードを確実に区別する必要がある。

## 【 0 1 4 5 】

動作モードの遷移は、電源制御回路 2 2 (図 2) で実行する。図 8 は、電源制御回路 2 2 における構成の一例を示した説明図である。

10

## 【 0 1 4 6 】

電源制御回路 2 2 は、論理積回路 4 6 ~ 4 9、論理和回路 5 0、インバータ 5 1, 9 7、スタンバイ時間保持回路 5 3、スイッチ回路 5 4, 5 5、および先行判定回路 5 6 から構成されている。

## 【 0 1 4 7 】

論理積回路 4 6 の一方の入力部には、RFセンサ 1 7 から出力される検知信号 c d e t が入力されるように接続されており、該論理積回路 4 6 の他方の入力部には、携帯電話などのシステムから供給されるチップイネーブル信号 C E N が入力されるように接続されている。

## 【 0 1 4 8 】

また、論理積回路 4 7 の一方の入力部には、携帯電話などのシステムから供給される起動信号 P W O N が入力されるように接続されており、該論理積回路 4 7 の他方の入力部には、携帯電話などのシステムから供給されるチップイネーブル信号 C E N が入力されるように接続されている。

20

## 【 0 1 4 9 】

論理積回路 4 6 の出力部には、先行判定回路 5 6 の一方の入力部が接続されており、論理積回路 4 7 の出力部には、先行判定回路 5 6 の他方の入力部が接続されている。

## 【 0 1 5 0 】

先行判定回路 5 6 は、インバータ 5 7, 5 8、論理和回路 5 9、論理積回路 6 0, 6 1、およびノイズキャンセル回路 6 2, 6 3 から構成されている。また、ノイズキャンセル回路 6 2 は、ディレイ回路 6 4 と論理積回路 6 5 とから構成されており、ノイズキャンセル回路 6 3 は、ディレイ回路 6 6、および論理積回路 6 7 から構成されている。

30

## 【 0 1 5 1 】

論理積回路 4 6 の出力部には、インバータ 5 7 の入力部、論理積回路 6 0 の一方の入力部、および論理和回路 5 0 の 3 つ入力部のうちの 1 つがそれぞれ接続されている。論理積回路 4 7 の出力部には、論理積回路 6 1 の他方の入力部、および論理和回路 5 0 の 3 つ入力部のうちの 1 つがそれぞれ接続されている。

## 【 0 1 5 2 】

インバータ 5 7 の出力部には、論理和回路 5 9 の他方の入力部が接続されており、該論理和回路 5 9 の一方の入力部には、インバータ 5 8 の入力部、論理積回路 6 1 の出力部、ディレイ回路 6 6 の入力部 (ノイズキャンセル回路 6 3 の入力部)、および論理積回路 6 7 の一方の入力部 (ノイズキャンセル回路 6 3 の入力部) がそれぞれ接続されている。

40

## 【 0 1 5 3 】

また、論理和回路 5 9 の出力部には、論理積回路 6 1 の一方の入力部が接続されており、インバータ 5 8 の出力部には、論理積回路 6 0 の他方の入力部が接続されている。論理積回路 6 0 の出力部には、ディレイ回路 6 4 の入力部 (ノイズキャンセル回路 6 2 の入力部)、および論理積回路 6 5 (ノイズキャンセル回路 6 2 の入力部) の一方の入力部がそれぞれ接続されている。

## 【 0 1 5 4 】

ディレイ回路 6 4 の出力部には、論理積回路 6 5 の他方の入力部がそれぞれ接続されて

50

おり、ディレイ回路 66 の出力部には、論理積回路 67 の他方の入力部がそれぞれ接続されている。

【0155】

論理積回路 65 の出力部（ノイズキャンセル回路 62 の出力部）には、論理積回路 48 の一方の入力部が接続されている。論理積回路 67 の出力部（ノイズキャンセル回路 63 の出力部）には、論理積回路 49 の一方の入力部が接続されている。

【0156】

インバータ 97 の入力部には、整流回路 20 が生成するバッテリーレス信号 `bless` が入力されるように接続されており、該インバータ 97 の出力部には、インバータ 51, 52 の入力部、論理積回路 48 の他方の入力部、ならびに論理積回路 49 の他方の入力部がそれぞれ接続されている。

10

【0157】

論理積回路 48 の出力部からは、カードモードであることを示すカードモード信号 `card_mode` が出力され、論理積回路 49 の出力部からは、リーダ/ライタモードであることを示すリーダ/ライタモード信号 `rw_mode` が出力され、論理積回路 52 の出力部からは、電源電圧なしでカードモードとして動作するバッテリーレスモード信号 `bless_mode` が出力される。

【0158】

電源制御回路 22 から出力されるカードモード信号 `card_mode`、リーダ/ライタモード信号 `rw_mode`、またはバッテリーレスモード信号 `bless_mode` は、MPU 29 に入力される。

20

【0159】

インバータ 51 の出力部には、論理和回路 50 の残る 1 つの入力部、およびスイッチ回路 54 の制御端子が接続されており、該論理和回路 50 の出力部には、スタンバイ時間保持回路 53 の入力部が接続されている。スタンバイ時間保持回路 53 の出力部には、スイッチ回路 55 の制御端子が接続されている。

【0160】

先行判定回路 56 は、検知信号 `cdet` と起動信号 `PWON` とがほぼ同時に立ち上がった際に、先に立ち上がった信号が有効となるように判定する回路である。

【0161】

NFC チップ 2 を有効とするチップイネーブル信号 `CEN` が `Lo` 信号の場合には、検知信号 `cdet`、ならびに起動信号 `PWON` のいずれもが無効となる。通常では、検知信号 `cdet` と起動信号 `PWON` は、先に立ち上がった信号が他の信号をそれぞれ無効にするように動作する。

30

【0162】

ただし、検知信号 `cdet` と起動信号 `PWON` がほぼ同時に立ち上がったとき、無効信号にも短いパルスが発生する可能性があるため、ノイズキャンセル回路 62, 63 により短パルスを除去している。

【0163】

たとえば、バッテリーレス信号 `bless` が `Lo` 信号、チップイネーブル信号 `CEN` が `Hi` 信号の時に、検知信号 `cdet` が起動信号 `PWON` よりも先に立ち上がった場合、`Hi` 信号のカードモード信号 `card_mode` が MPU 29 に出力される。

40

【0164】

また、バッテリーレス信号 `bless` が `Lo` 信号、チップイネーブル信号 `CEN` が `Hi` 信号の時に、起動信号 `PWON` が検知信号 `cdet` よりも先に立ち上がった場合には、`Hi` 信号のリーダ/ライタモード信号 `rw_mode` が MPU 29 に出力される。

【0165】

バッテリーレス信号 `bless` は、チップイネーブル信号 `CEN` よりも優先される信号となっており、バッテリーレス信号 `bless` が `Hi` 信号の場合には、他の信号の状態にかかわらず、`Hi` 信号のバッテリーレスモード信号 `bless_mode` が MPU 29 に出力さ

50

れる。

【0166】

次に、電源制御回路22に設けられた先行判定回路56の詳細な動作について、図9のタイミングチャートを用いて説明する。

【0167】

図9において、上方から下方にかけては、論理積回路46から出力される信号c d e t 2、インバータ57から出力される信号c d e t 2 b、論理和回路59から出力される信号c d e t 3 b、論理積回路60から出力される信号c d e t 3、論理積回路47から出力される信号p w o n 2、論理積回路61から出力される信号p w o n 3、ディレイ回路66から出力される信号p w o n 3 bの信号タイミングをそれぞれ示している。

10

【0168】

まず、信号c d e t 2（検知信号c d e t）が先行した場合について説明する。

【0169】

信号c d e t 2が立ち上がる（Hi信号）と、信号c d e t 2 bが立ち下がり（Lo信号）、この状態では、論理積回路56から出力される信号p w o n 3がLo信号であるので、信号c d e t 3 bも立ち下がる。

【0170】

そして、信号c d e t 2にわずかに遅れて信号p w o n 2が立ち上がる。すると、信号p w o n 3も立ち上がることになるが、直後に信号c d e t 3 bが立ち下がるため、信号p w o n 3は立ち下がる。

20

【0171】

その後、信号p w o n 3 bが一瞬立ち下がり、その後立ち上がる。信号c d e t 3はc d e t 2と信号p w o n 3 bとの論理積であるので、信号c d e t 2が立ち上がった直後に該信号c d e t 3が立ち上がり、信号p w o n 3 bの立ち下がりを受けて、一瞬立ち下がった後再度立ち上がり、そのまま安定する。

【0172】

これにより、論理積回路60の出力信号である信号c d e t 3と論理積回路61の出力信号である信号p w o n 3は、信号c d e t 2が先行したことを受けて、信号c d e t 3のみが立ち上がった状態で安定する。

【0173】

次に、信号p w o n 2（起動信号P W O N）が先行した場合について説明する。

30

【0174】

信号p w o n 2が立ち上がる（Hi信号）と、信号p w o n 3が立ち上がる。その後、信号p w o n 3 bが立ち下がる（Lo信号）。信号p w o n 2にわずかに遅れて、信号c d e t 2が立ち上がる。この信号c d e t 2の立ち上がりを受けて、一瞬、信号c d e t 3が立ち上がるが、信号p w o n 3 bの立ち下がりを受けてすぐに立ち下がる。信号c d e t 3 bは立ち上がったままなので、そのままの状態安定する。

【0175】

これにより、信号c d e t 3と信号p w o n 3は、信号p w o n 2が先行したことを受けて、信号p w o n 3のみが立ち上がった状態で安定する。なお、信号c d e t 3、および信号p w o n 3で発生したパルス信号は、ノイズキャンセル回路62, 63によって除去される。

40

【0176】

続いて、ノイズキャンセル回路62の動作について、図10のタイミングチャートを用いて説明する。

【0177】

図10において、上方から下方にかけては、ノイズキャンセル回路62に入力される信号c d e t 3（論理積回路60から出力される信号）、ノイズキャンセル回路62に設けられたディレイ回路64から出力される信号c d e t 3 d、ノイズキャンセル回路62に設けられた論理積回路60から出力される信号c d e t 4の信号タイミングをそれぞれ示

50

している。

【0178】

まず、ノイズキャンセル回路62に信号c d e t 3が入力されると、ディレイ回路64によって遅延された信号c d e t 3 dが得られる。信号c d e t 4は、信号c d e t 3と信号c d e t 4 dとの論理積であるので、ディレイ回路64の遅延量よりも細かいパルスは除去される。

【0179】

図10では、信号c d e t 4の生成(ノイズキャンセル回路62の動作)について述べたが、ノイズキャンセル回路63から出力される信号c d e t 4の生成(ノイズキャンセル回路63の動作)についても同様であることは明らかである。

10

【0180】

また、電源制御回路22では、内部電源ノードのON/OFFを制御している。スイッチ回路54は、外部から供給される電源電圧v c c、または整流回路20が生成する電源電圧v c c \_ r e c tのいずれかに切り替えるスイッチである。

【0181】

たとえば、バッテリーレス信号b l e s sがL o信号(バッテリーレスモード以外のモード)の場合には、論理積回路47から出力される信号p w o n 2に基づいて、電源電圧v c cを内部動作電圧である電源電圧v c c \_ i n n e rとして出力し、バッテリーレス信号b l e s sがH i信号の場合(バッテリーレスモードの場合)には、電源電圧v c c \_ r e c tを電源電圧v c c \_ i n n e rとして出力する。

20

【0182】

電源電圧v c c \_ i n n e rは、N F Cチップ2がスタンバイ状態であっても動作する回路に供給される電源である。たとえば、R Fセンサ17や受信信号振幅制御回路14などがこの電源によって動作している。

【0183】

チップイネーブル信号C E NがH i信号の状態において、H i信号の検知信号c d e t、H i信号の起動信号P W O N、もしくはH i信号のバッテリーレス信号b l e s sが入力されると、スイッチ回路55は、スタンバイ時間保持回路53から出力される信号s t n b yに基づいて、経路を切り替えて電源電圧v c c \_ i n n e rを電源電圧v c c \_ s wとして出力する。

30

【0184】

電源電圧v c c \_ s wは、N F Cチップ2がスタンバイ状態では動作しない回路に供給される電源である。スタンバイ時に動作しない回路(図2におけるR Fセンサ17、および電源制御回路22以外の回路は、スタンバイ時は動作しない)の電源を遮断することにより、スタンバイ電力の低減が可能になる。

【0185】

なお、検知信号c d e tや起動信号P W O Nなどが短いパルスで立ち下がることで、電源電圧v c c \_ s wが中途な電位でまでしか立ち下がらずに、再び回復する可能性がある。

【0186】

それを避けるために、電源制御回路22には、遅延回路とシュミットトリガ回路とからなるスタンバイ時間保持回路53を備えている。

40

【0187】

図11は、スタンバイ時間保持回路53における構成の一例を示す回路図である。

【0188】

スタンバイ時間保持回路53は、PチャンネルM O Sのトランジスタ68とNチャンネルM O Sのトランジスタ69からなる第1のインバータ、遅延回路70、シュミットトリガ回路71、およびPチャンネルM O Sのトランジスタ72とNチャンネルM O Sのトランジスタ73からなる第2のインバータから構成されている。

【0189】

50

第1のインバータの入力部には、論理和回路50から出力される信号  $sw\_on$  が入力されるように接続されており、該第1のインバータの出力部には、遅延回路70の入力部が接続されている。

【0190】

遅延回路70の出力部には、シュミットトリガ回路71の入力部が接続されており、該シュミットトリガ回路71の出力部には、第2のインバータの入力部が接続されている。そして、第2のインバータの出力部から信号  $stnby$  がスイッチ回路55に出力される。

【0191】

遅延回路70は、PチャンネルMOSのトランジスタ74とNチャンネルMOSのトランジスタ75とからなる第3のインバータ、抵抗76、ならびに静電容量素子77から構成されている。

10

【0192】

シュミットトリガ回路71は、PチャンネルMOSのトランジスタ78とNチャンネルMOSのトランジスタ79とからなる第4のインバータ、PチャンネルMOSのトランジスタ80とNチャンネルMOSのトランジスタ81とからなる第5のインバータ、およびトランジスタ82～85から構成されている。トランジスタ82, 83はPチャンネルMOSからなり、トランジスタ84, 85はNチャンネルMOSからなる。

【0193】

第3のインバータの入力部には、第1のインバータの出力部が接続されており、該第3のインバータの出力部には、静電容量素子77の一方の接続部、および第4のインバータの入力部がそれぞれ接続されている。

20

【0194】

また、第4のインバータの出力部には、第5のインバータの入力部が接続されており、該第5のインバータの出力部には、第2のインバータの入力部、およびトランジスタ83のゲートがそれぞれ接続されている。

【0195】

第3のインバータは、抵抗76を介して電源電圧  $vcc\_inner$  が供給されており、静電容量素子77の他方の接続部には、基準電位  $VSS$  が接続されている。第4のインバータは、トランジスタ82, 83を介して電源電圧  $vcc\_inner$  が供給されており、トランジスタ84, 85を介して基準電位  $VSS$  に接続されている。

30

【0196】

トランジスタ82のゲートには、該トランジスタ82の他方の接続部、およびトランジスタ83の他方の接続部(第4のインバータの電源供給部)がそれぞれ接続されている。トランジスタ83のゲートには、トランジスタ85のゲート、ならびに第5のインバータの出力部がそれぞれ接続されている。

【0197】

また、トランジスタ84, 85の一方の接続部、およびトランジスタ84のゲートには、第4のインバータのグランド端子が接続されており、これらトランジスタ84, 85の他方の接続部には、基準電位  $VSS$  が接続されている。さらに、第1のインバータ、第2のインバータ、および第5のインバータには、電源電圧  $vcc\_inner$  が供給されている。

40

【0198】

シュミットトリガ回路71は、入力に2つのしきい値電圧を持つ回路であり、入力電位がシュミットトリガしきい値電圧 ( $H_i$ ) を超えると出力電位が  $H_i$  信号に、入力電位がシュミットトリガしきい値電圧 ( $L_o$ ) を下回ると出力電位が  $L_o$  信号に遷移する回路である。そして、入力電位が2つのシュミットトリガしきい値電圧の中間の場合、出力が保持される。

【0199】

次に、スタンバイ時間保持回路53の動作について、図12のタイミングチャートを用

50

いて説明する。

【0200】

図12において、上方から下方にかけては、スタンバイ時間保持回路53に入力される信号 $sw\_on$ 、第1のインバータから出力される信号 $sw\_onb$ 、遅延回路70の第3のインバータから出力される信号 $sw\_delay$ 、シュミットトリガ回路71の第5のインバータから出力される信号 $sw\_smt$ 、および第2のインバータから出力される信号 $stnby$ （スタンバイ時間保持回路53の出力信号）における信号タイミングをそれぞれ示している。

【0201】

まず、信号 $sw\_on$ が短いパルスで立ち下がると、信号 $sw\_onb$ が立ち下がる。シュミットトリガしきい値電圧（ $Lo$ ）をちょうど下回るまで、信号 $sw\_delay$ が下降し、その直後に上昇するというパターンを考える。

10

【0202】

信号 $sw\_delay$ は、立ち下がりの電流駆動力が大きく、立ち上がりの電流駆動力が小さいため、シュミットトリガしきい値電圧（ $Lo$ ）を下回ってから、シュミットトリガしきい値電圧（ $Hi$ ）を上回るまでに、抵抗76と静電容量素子77とのCR時定数で決定される時間がかかる。

【0203】

そのため、第2のインバータから出力される信号 $stnby$ は、最低でも、図12に示す $t$ の時間、 $Hi$ 信号を保持し続ける。この信号 $stnby$ は、スイッチ回路55（図8）に入力される。

20

【0204】

図13は、スイッチ回路55における構成の一例を示す説明図である。

【0205】

スイッチ回路55は、トランジスタ86～91、抵抗92、および静電容量素子93から構成されている。トランジスタ86, 88, 90は、それぞれPチャネルMOSからなり、トランジスタ87, 89, 91は、それぞれNチャネルMOSからなる。

【0206】

また、トランジスタ86, 87、トランジスタ88, 89、およびトランジスタ90, 91によってそれぞれインバータが構成されている。トランジスタ86の一方の接続部には、電源電圧 $vcc\_inner$ が接続されており、該トランジスタ86の他方の接続部には、トランジスタ87の一方の接続部が接続されている。

30

【0207】

トランジスタ87の他方の接続部には、基準電位 $VSS$ が接続されており、トランジスタ86, 87のゲートには、信号 $stnby$ が入力されるように接続されている。トランジスタ88の一方の接続部には、電源電圧 $vcc\_inner$ が接続されており、該トランジスタ88の他方の接続部には、トランジスタ89の一方の接続部が接続されている。

【0208】

トランジスタ89の他方の接続部には、抵抗92の一方の接続部が接続されており、該抵抗92の他方の接続部には、基準電位 $VSS$ が接続されている。トランジスタ88, 89のゲートには、トランジスタ86, 87によって構成されるインバータから出力される信号 $stnbyb$ が入力されるように接続されている。

40

【0209】

静電容量素子93の一方の接続部には、電源電圧 $vcc\_inner$ が接続されており、トランジスタ88, 89によって構成されるインバータの出力部には、静電容量素子93の他方の接続部、ならびにトランジスタ90, 91のゲート（トランジスタ90, 91によって構成されるインバータの入力部）がそれぞれ接続されている。

【0210】

トランジスタ90の一方の入力部には、電源電圧 $vcc\_inner$ が接続されており、該トランジスタ90の他方の接続部には、トランジスタ91の一方の接続部が接続され

50

ている。トランジスタ 91 の他方の接続部には、基準電位  $V_{SS}$  が接続されている。

【0211】

そして、トランジスタ 90, 91 によって構成されるインバータの出力部（トランジスタ 90 の他方の接続部とトランジスタ 91 の一方の接続部が接続された接続部）がスイッチ回路 55 の出力部となる。

【0212】

次に、スイッチ回路 55 における動作を、図 14 のタイミングチャートを用いて説明する。

【0213】

図 14 において、上方から下方にかけては、スイッチ回路 55 に入力される信号  $stnby$ 、トランジスタ 86, 87 からなるインバータから出力される信号  $stnbyb$ 、トランジスタ 88, 89 からなるインバータから出力される信号  $stnby\_delay$ 、ならびにトランジスタ 90, 91 からなるインバータから出力される電源電圧  $vcc\_sw$  の信号タイミングをそれぞれ示している。

【0214】

まず、信号  $stnby$  が立ち下がると、トランジスタ 88, 89 からなるインバータから出力される信号  $stnby\_delay$  も立ち下がる。この信号  $stnby\_delay$  は、立ち下がりの電流駆動力が小さく、立ち上がりの電流駆動力が大きく設計されているため、ゆっくりと立ち下がる。

【0215】

続いて、信号  $stnby\_delay$  が、トランジスタ 90 のしきい値電圧を下回ると、電源電圧  $vcc\_inner$  を電源電圧  $vcc\_sw$  として出力する。

【0216】

次に、信号  $stnby$  が立ち上がると、信号  $stnby\_delay$  が立ち上がり、電源立ち下げ用のトランジスタ 91 が ON となって電源電圧  $vcc\_sw$  が立ち下げられる。

【0217】

ここで、トランジスタ 91 は、十分に電源電圧  $vcc\_inner$  を立ち下げることができるように、信号  $stnby$  の Hi 期間、 $t$  が設定されているため、電源電圧  $vcc\_sw$  を確実に立ち下げることができる。

【0218】

なお、信号  $stnby\_delay$  には遅延量があるため、短いパルスの信号  $stnby$  の立ち下がりにはスイッチ回路 55 は反応しない。しかし、電源電圧  $vcc\_sw$  が中間まで立ち下がった後、立ち下がっても、NFC チップ 2 の動作に問題はない。

【0219】

図 15 は、スイッチ回路 54 における一例を示す説明図である。

【0220】

スイッチ回路 54 は、インバータ 94、およびトランジスタ 95, 96 から構成されている。トランジスタ 95, 96 は、Pチャネル MOS からなる。インバータ 94 の入力部、およびトランジスタ 95 のゲートには、バッテリレス信号  $bles$  が入力されるように接続されており、該トランジスタ 95 の一方の接続部には、電源電圧  $vcc$  が接続されている。

【0221】

また、インバータ 94 の出力部には、トランジスタ 96 のゲートが接続されており、該トランジスタ 96 の一方の接続部には、電源電圧  $vcc\_rect$  が接続されている。トランジスタ 95 の他方の接続部とトランジスタ 96 の他方の接続部は、共通接続されており、この接続部がスイッチ回路 54 の出力部となり、電源電圧  $vcc\_inner$ 、または電源電圧  $vcc$  が出力される。

【0222】

このように、スイッチ回路 54 は、電源スイッチとして動作し、バッテリレス信号  $bl$

10

20

30

40

50



e s s が L o 信号の場合は、電源電圧 v c c を出力し、バッテリーレス信号 b l e s s が H i 信号の場合は、電源電圧 v c c \_ i n n e r を出力する。

【 0 2 2 3 】

それにより、本実施の形態 2 においては、N F C チップ 2 がスタンバイモード状態の際にカードモード、またはリーダ/ライタモードがほぼ同時に設定される場合であっても、該 N F C チップ 2 を確実にどちらかのモードを設定することができる。

【 0 2 2 4 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 産業上の利用可能性 】

【 0 2 2 5 】

本発明は、近距離無線通信機能を付加する半導体装置における無線通信技術に適している。

【 符号の説明 】

【 0 2 2 6 】

- |    |             |    |
|----|-------------|----|
| 1  | N F C システム  |    |
| 2  | N F C チップ   |    |
| 3  | 静電容量素子      |    |
| 4  | 静電容量素子      | 20 |
| 5  | 静電容量素子      |    |
| 6  | 静電容量素子      |    |
| 7  | 静電容量素子      |    |
| 8  | 静電容量素子      |    |
| 9  | 抵抗          |    |
| 10 | 抵抗          |    |
| 11 | 抵抗          |    |
| 12 | 抵抗          |    |
| 13 | アンテナ        |    |
| 14 | 受信信号振幅制御回路  | 30 |
| 15 | A S K 復調回路  |    |
| 16 | クロック抽出回路    |    |
| 17 | R F センサ     |    |
| 18 | 送信信号振幅制御回路  |    |
| 19 | 送信端子ドライバ    |    |
| 20 | 整流回路        |    |
| 21 | セキュリティ回路    |    |
| 22 | 電源制御回路      |    |
| 23 | クロック発振回路    |    |
| 24 | P L L       | 40 |
| 25 | R A M       |    |
| 26 | R O M       |    |
| 27 | E E P R O M |    |
| 28 | I / O       |    |
| 29 | M P U       |    |
| 30 | シャント回路      |    |
| 31 | シャント回路      |    |
| 32 | シャント回路      |    |
| 33 | アッテネート回路    |    |
| 34 | アッテネート回路    | 50 |

3 5	アッテネート回路	
3 6	終端抵抗部	
3 7	入力インバータ	
3 7 a	トランジスタ	
3 7 b	トランジスタ	
3 8	r x i n p 接続インバータ	
3 8 a	トランジスタ	
3 8 b	トランジスタ	
3 9	ダイオード接続トランジスタ部	
3 9 a	トランジスタ	10
3 9 b	トランジスタ	
4 0	r x i n n 接続インバータ	
4 0 a	トランジスタ	
4 0 b	トランジスタ	
4 1	トランスファゲート	
4 1 a	トランジスタ	
4 1 b	トランジスタ	
4 2	トランスファゲート	
4 2 a	トランジスタ	
4 2 b	トランジスタ	20
4 3	アッテネート抵抗	
4 4	アッテネート抵抗	
4 5	インバータ	
4 6	論理積回路	
4 7	論理積回路	
4 8	論理積回路	
4 9	論理積回路	
5 0	論理和回路	
5 1	インバータ	
5 2	論理積回路	30
5 3	スタンバイ時間保持回路	
5 4	スイッチ回路	
5 5	スイッチ回路	
5 6	先行判定回路	
5 7	インバータ	
5 8	インバータ	
5 9	論理和回路	
6 0	論理積回路	
6 1	論理積回路	
6 2	ノイズキャンセル回路	40
6 3	ノイズキャンセル回路	
6 4	ディレイ回路	
6 5	論理積回路	
6 6	ディレイ回路	
6 7	論理積回路	
6 8	トランジスタ	
6 9	トランジスタ	
7 0	遅延回路	
7 1	シュミットトリガ回路	
7 2	インバータ	50

- 7 3 トランジスタ
- 7 4 トランジスタ
- 7 5 トランジスタ
- 7 6 抵抗
- 7 7 静電容量素子
- 7 8 トランジスタ
- 7 9 トランジスタ
- 8 0 トランジスタ
- 8 1 トランジスタ
- 8 2 トランジスタ
- 8 3 トランジスタ
- 8 4 トランジスタ
- 8 5 トランジスタ
- 8 6 トランジスタ
- 8 7 トランジスタ
- 8 8 トランジスタ
- 8 9 トランジスタ
- 9 0 トランジスタ
- 9 1 トランジスタ
- 9 2 抵抗
- 9 3 静電容量素子
- 9 4 インバータ
- 9 5 トランジスタ
- 9 6 トランジスタ
- 9 7 インバータ

10

20

【 図 1 】

【 図 2 】

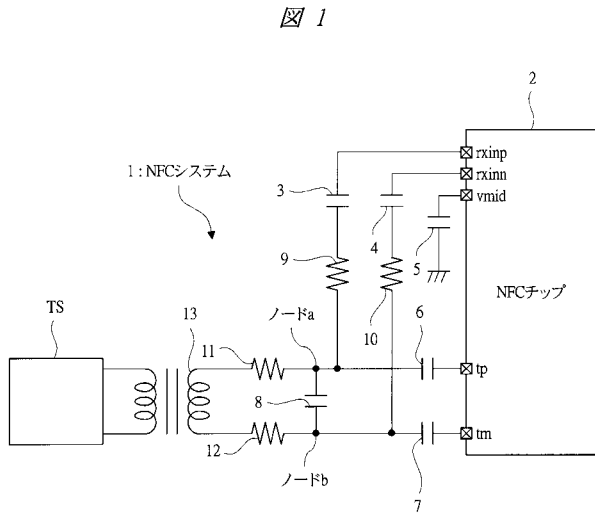
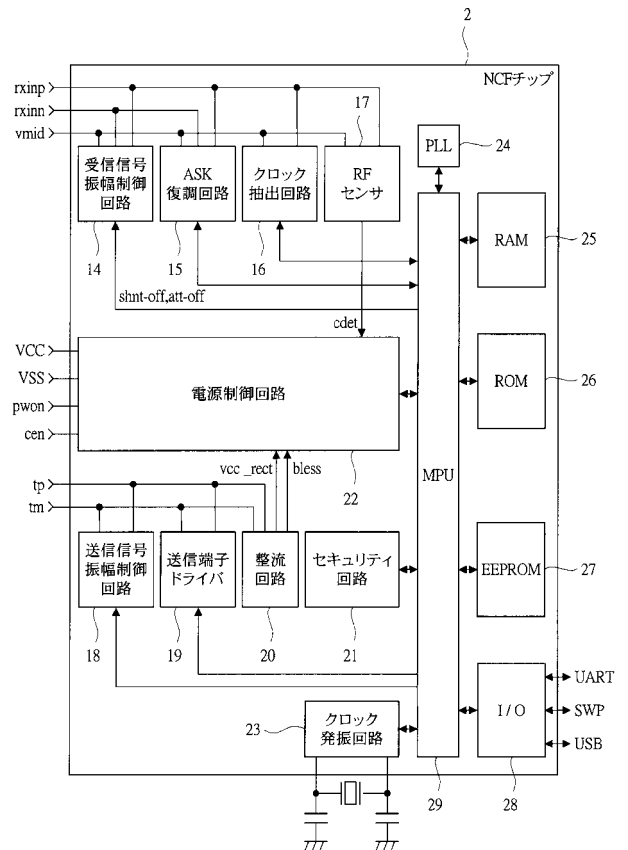


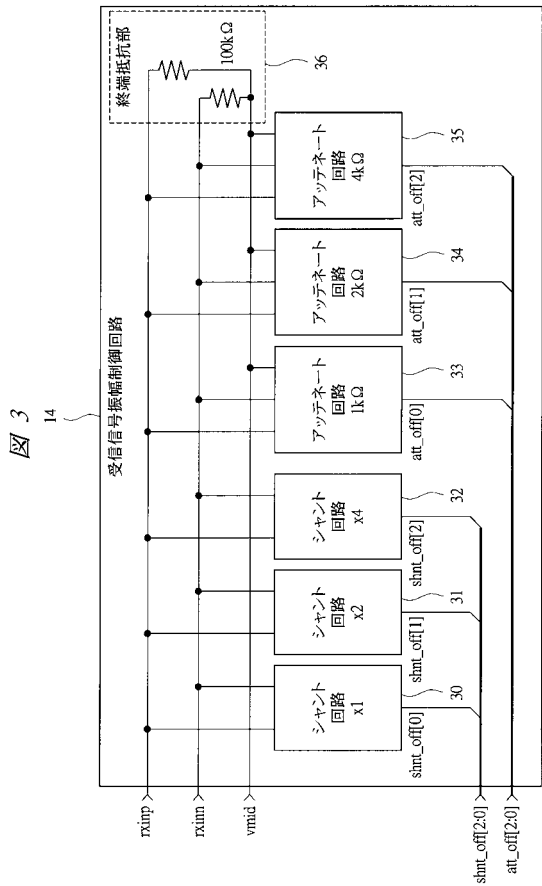
図 1

図 2

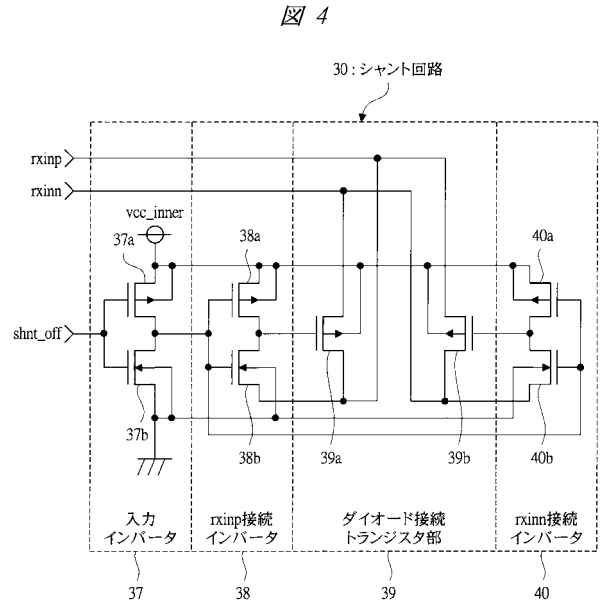


2

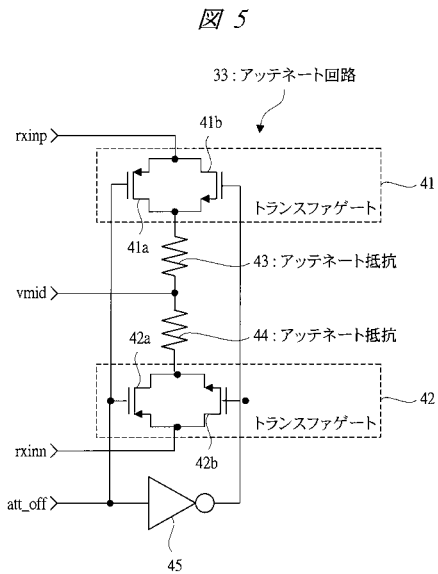
【 図 3 】



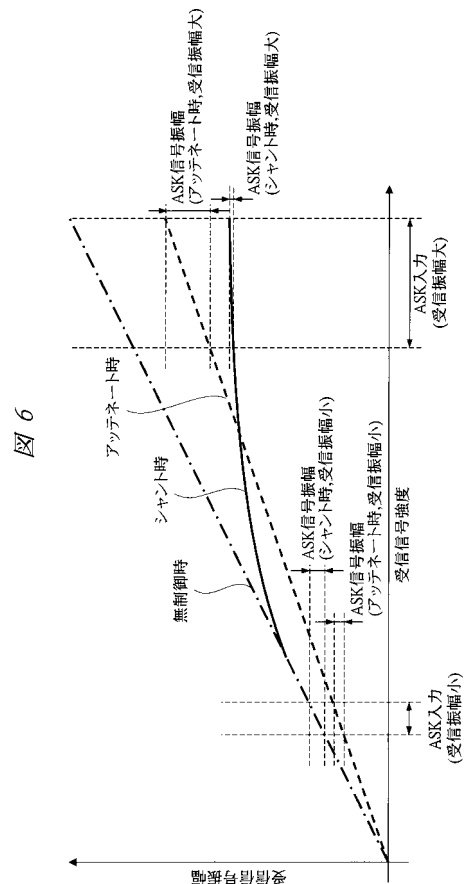
【 図 4 】



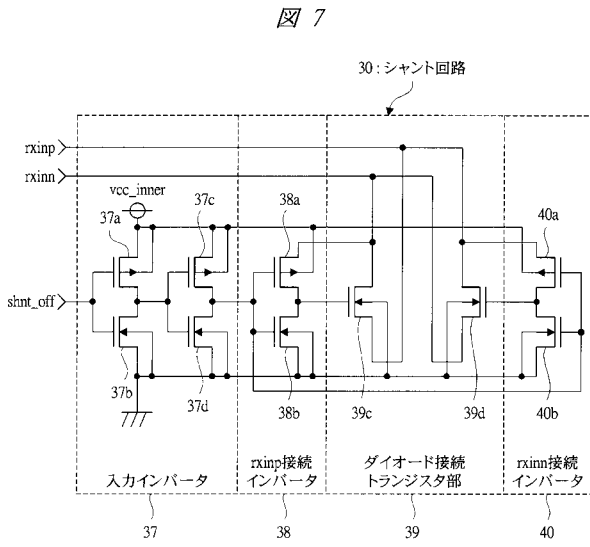
【 図 5 】



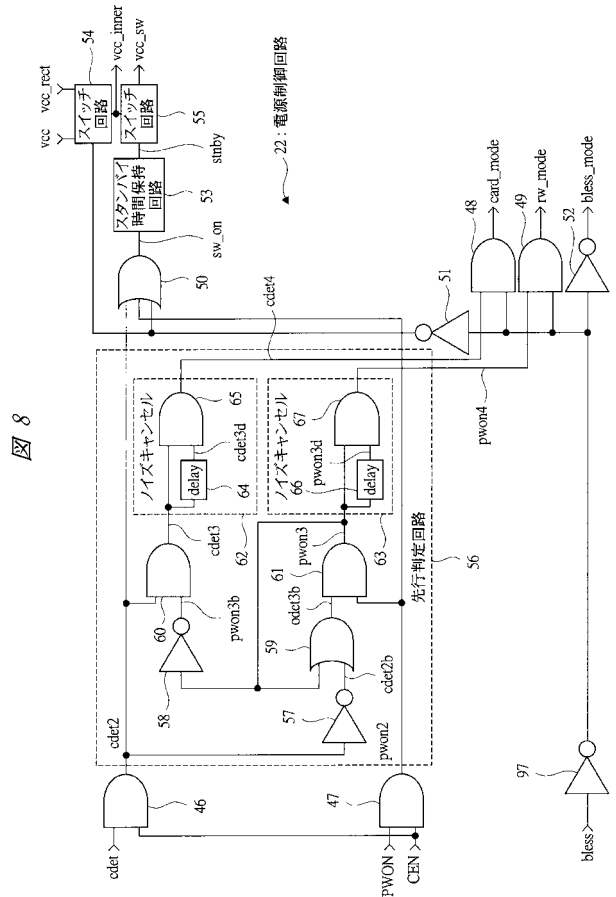
【 図 6 】



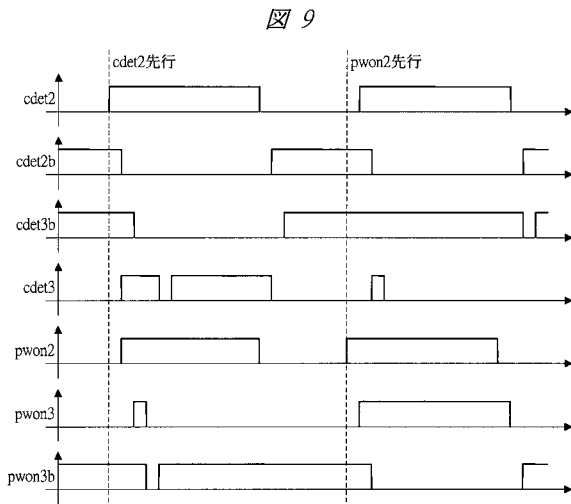
【 図 7 】



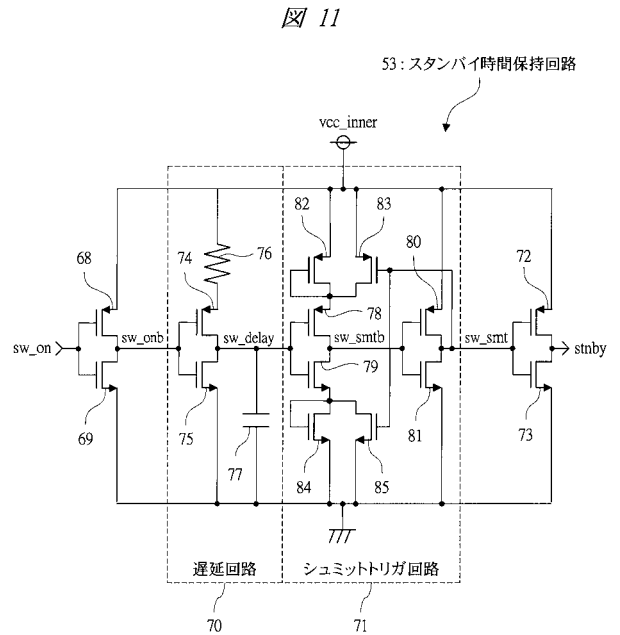
【 図 8 】



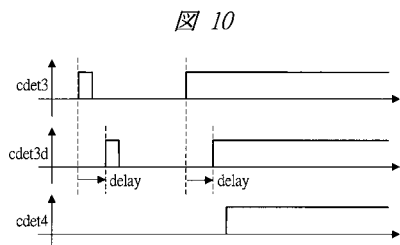
【 図 9 】



【 図 11 】

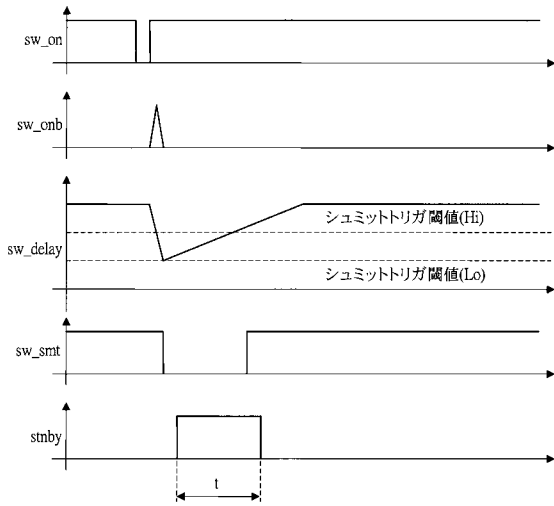


【 図 10 】



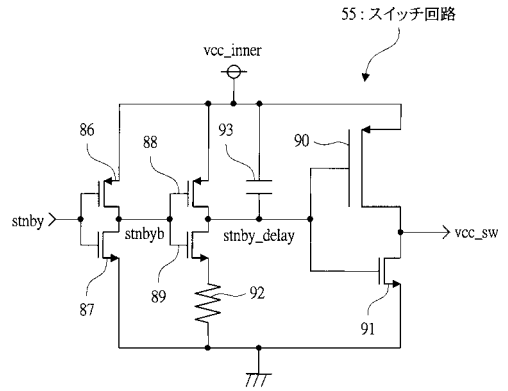
【 図 1 2 】

図 12



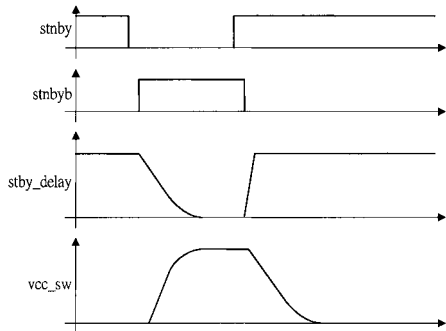
【 図 1 3 】

図 13



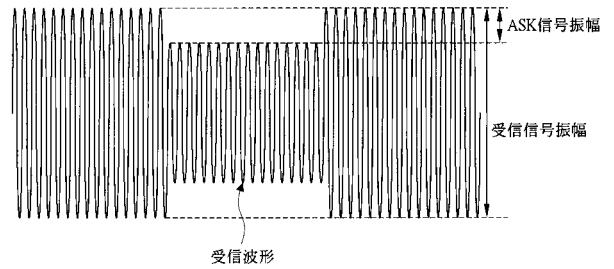
【 図 1 4 】

図 14



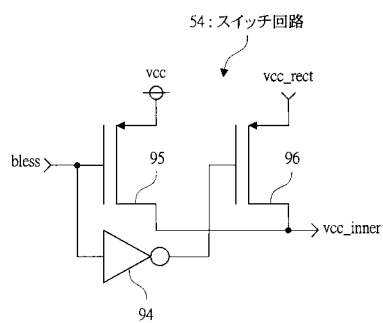
【 図 1 6 】

図 16



【 図 1 5 】

図 15



---

フロントページの続き

- (72)発明者 奥田 裕一  
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 塚本 隆幸  
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- (72)発明者 山本 師久  
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
- Fターム(参考) 5K012 AB04 AD05 AE02