

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/788 (2006.01)

H01L 27/108 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200310123217.3

[45] 授权公告日 2007年6月6日

[11] 授权公告号 CN 1320661C

[22] 申请日 2003.12.19

[21] 申请号 200310123217.3

[30] 优先权

[32] 2002.12.20 [33] JP [31] 369463/2002

[73] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 伊藤昌树 片山雅也 古山孝昭

河端正藏

[56] 参考文献

TW285777A 1996.9.11

JP10-223782 1998.8.21

US6054732A 2000.4.25

CN1177211A 1998.3.25

US6017792A 2000.1.25

JP 特开平5-55602 1993.3.5

TW363229A 1999.7.1

US6410389B1 2002.6.25

审查员 刘红

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 朱海波

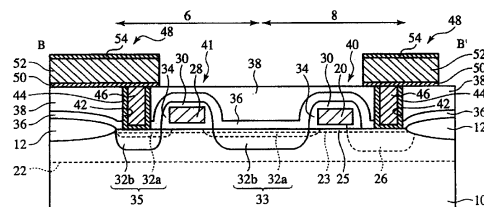
权利要求书7页 说明书22页 附图28页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

该半导体器件包括形成在一个半导体基片(10)中的第一导电型的第一阱(14)；形成在第一阱(14)中的第二导电型的第二阱(16)；以及一个晶体管(40)，其中包括由形成在第二阱(16)中的第一导电型的杂质区所形成的控制栅极(18)、隔着一个沟道区(25)形成的第一杂质扩散层(26)和第二杂质扩散层(33)、以及隔着一个栅绝缘膜(24)形成在该沟道区(25)和该控制栅极(18)之上的浮置栅极(20)。该控制栅极(18)被埋在该半导体基片(10)中，这不必在浮置栅极(20)上形成控制栅极(18)。因此，可以通过相同的制造工艺形成该存储器晶体管和其他晶体管。因此，可以减少制造工艺以及该半导体器件可以变得廉价。



1. 一种半导体器件，包括：

晶体管，包括形成在半导体基片的第一区域中的第一杂质扩散层和第二杂质扩散层；由形成在所述半导体基片的第二区域中的第一导电型的杂质区所形成的控制栅极；以及在从所述第一杂质扩散层和第二杂质扩散层之间的沟道区到所述控制栅极的区域之上形成的浮置栅极，所述浮置栅极隔着第一栅绝缘膜形成在所述沟道区之上，所述浮置栅极隔着第二栅绝缘膜形成在所述控制栅极之上，

形成在所述半导体基片中的第一导电型的第一阱；以及

形成在所述第一阱中的第二导电型的第二阱，所述控制栅极形成在所述第二阱中，其特征在于，

所述第一阱形成在所述半导体基片的包括所述第二区域但不包括第一区域的第三区域中；

所述控制栅极和浮置栅极彼此相对的区域面积是所述沟道区和浮置栅极彼此相对的区域面积的 10 倍或更多倍。

2. 根据权利要求 1 所述的半导体器件，其中

所述栅绝缘膜被构造成允许载流子造成该沟道区和浮置栅极之间的栅绝缘膜隧道导通，以把信息写入到该浮置栅极以及从该浮置栅极擦除信息。

3. 根据权利要求 1 所述的半导体器件，其中

该控制栅极和浮置栅极彼此相对的第一区域的面积比该沟道区和浮置栅极彼此相对的第二区域的面积更大。

4. 根据权利要求 1 所述的半导体器件，其中

所述控制栅极和浮置栅极彼此相对的区域面积是所述沟道区和浮置栅极彼此相对的区域面积的 40 倍或更多倍。

5. 根据权利要求1所述的半导体器件, 其中  
在该沟道区和浮置栅极之间的该栅绝缘膜的膜厚小于在该控制栅极和浮置栅极之间的栅绝缘膜的膜厚。

6. 一种半导体器件, 包括

晶体管, 包括形成在半导体基片的第一区域中的第一杂质扩散层和第二杂质扩散层; 由形成在所述半导体基片的第二区域中的第一导电型的杂质区所形成的控制栅极; 以及在从所述第一杂质扩散层和第二杂质扩散层之间的沟道区到所述控制栅极的区域之上形成的浮置栅极, 所述浮置栅极隔着第一栅绝缘膜形成在所述沟道区之上, 所述浮置栅极隔着第二栅绝缘膜形成在所述控制栅极之上,

形成在所述半导体基片中的第一导电型的第一阱; 以及

形成在所述第一阱中的第二导电型的第二阱, 所述控制栅极形成在所述第二阱中, 其特征在于,

所述第一阱形成在所述半导体基片的包括所述第二区域但不包括第一区域的第三区域中;

所述半导体器件进一步包括另一个晶体管, 该另一个晶体管包括隔着另一个栅绝缘膜形成在该半导体基片上的栅极, 以及

其中在所述另一个晶体管的栅极和该半导体基片之间的所述另一个栅绝缘膜的膜厚大于在该沟道区和浮置栅极之间的栅绝缘膜的膜厚。

7. 一种半导体器件, 包括

晶体管, 包括形成在半导体基片的第一区域中的第一杂质扩散层和第二杂质扩散层; 由形成在所述半导体基片的第二区域中的第一导电型的杂质区所形成的控制栅极; 以及在从所述第一杂质扩散层和第二杂质扩散层之间的沟道区到所述控制栅极的区域之上形成的浮置栅极, 所述浮置栅极隔着第一栅绝缘膜形成在所述沟道区之上, 所述浮置栅极隔着第二栅绝缘膜形成在所述控制栅极之上,

形成在所述半导体基片中的第一导电型的第一阱；以及

形成在所述第一阱中的第二导电型的第二阱，所述控制栅极形成在所述第二阱中，其特征在于，

所述第一阱形成在所述半导体基片的包括所述第二区域但不包括第一区域的第三区域中；

在该沟道区和浮置栅极之间的该栅绝缘膜的膜厚小于在该控制栅极和浮置栅极之间的栅绝缘膜的膜厚，

所述半导体器件进一步包括另一个晶体管，该另一个晶体管包括由与该浮置栅极相同的同一个层所形成的栅极，以及

其中注入在该浮置栅极中的掺杂剂的浓度小于注入在所述另一个晶体管的栅极中的掺杂剂的浓度。

#### 8. 一种半导体器件，包括

晶体管，包括形成在半导体基片的第一区域中的第一杂质扩散层和第二杂质扩散层；由形成在所述半导体基片的第二区域中的第一导电型的杂质区所形成的控制栅极；以及在从所述第一杂质扩散层和第二杂质扩散层之间的沟道区到所述控制栅极的区域之上形成的浮置栅极，所述浮置栅极隔着第一栅绝缘膜形成在所述沟道区之上，所述浮置栅极隔着第二栅绝缘膜形成在所述控制栅极之上，

形成在所述半导体基片中的第一导电型的第一阱；以及

形成在所述第一阱中的第二导电型的第二阱，所述控制栅极形成在所述第二阱中，其特征在于，

所述第一阱形成在所述半导体基片的包括所述第二区域但不包括第一区域的第三区域中；

在该浮置栅极一侧上的第一杂质扩散层的边缘部分的载流子浓度高于在该浮置栅极一侧上的第二杂质扩散层的边缘部分的载流子浓度。

#### 9. 一种半导体器件，包括

晶体管，包括形成在半导体基片的第一区域中的第一杂质扩散层和

第二杂质扩散层；由形成在所述半导体基片的第二区域中的第一导电型的杂质区所形成的控制栅极；以及在从所述第一杂质扩散层和第二杂质扩散层之间的沟道区到所述控制栅极的区域之上形成的浮置栅极，所述浮置栅极隔着第一栅绝缘膜形成在所述沟道区之上，所述浮置栅极隔着第二栅绝缘膜形成在所述控制栅极之上，

形成在所述半导体基片中的第一导电型的第一阱；以及

形成在所述第一阱中的第二导电型的第二阱，所述控制栅极形成在所述第二阱中，其特征在于，

所述第一阱形成在所述半导体基片的包括所述第二区域但不包括第一区域的第三区域中；

其中所述半导体器件还包括多个所述晶体管，其中所述多个晶体管的控制栅极整体形成。

#### 10. 一种半导体器件，包括：

晶体管，包括形成在半导体基片的第一区域中的第一杂质扩散层和第二杂质扩散层；由形成在所述半导体基片的第二区域中的第一导电型的杂质区所形成的控制栅极；以及在从所述第一杂质扩散层和第二杂质扩散层之间的沟道区到所述控制栅极的区域之上形成的浮置栅极，所述浮置栅极隔着第一栅绝缘膜形成在所述沟道区之上，所述浮置栅极隔着第二栅绝缘膜形成在所述控制栅极之上，

形成在所述半导体基片中的第一导电型的第一阱；以及

形成在所述第一阱中的第二导电型的第二阱，所述控制栅极形成在所述第二阱中，其特征在于，

所述第一阱形成在所述半导体基片的包括所述第二区域但不包括第一区域的第三区域中，

所述半导体器件还包括：

形成在该半导体基片的一个区域中的多个所述晶体管的第一晶体管阵列；

形成在该半导体基片的与所述一个区域相邻的另一个区域中的多

个所述晶体管的第二晶体管阵列；以及

在所述一个区域和所述另一个区域之间的区域中连接到该半导体基片的接触插塞，以及

其中该半导体基片通过该接触插塞接地。

11.一种用于制造半导体器件的方法，该半导体器件包括具有控制栅极和浮置栅极的晶体管，该方法包括如下步骤：

在半导体基片中形成第一导电型的杂质区的第一阱；

在该第一阱中形成第二导电型的杂质区的第二阱；

在该第二阱中形成第一导电型的杂质区的控制栅极；

在所述第一阱外部的沟道区上形成第一栅绝缘膜，在所述控制栅极上形成第二栅绝缘膜；

在从所述沟道区到所述控制栅极的区域之上形成浮置栅极；以及

在所述沟道区的一侧上形成第一导电型的第一杂质扩散层，在所述沟道区的另一侧上形成第一导电型的第二杂质扩散层，

其中在形成浮置栅极的步骤中，所述浮置栅极被形成为使得所述控制栅极和浮置栅极彼此相对的区域面积是所述沟道区和浮置栅极彼此相对的区域面积的10倍或更多倍。

12.一种用于制造半导体器件的方法，该半导体器件包括具有控制栅极和浮置栅极的晶体管，该方法包括如下步骤：

在半导体基片中形成第一导电型的杂质区的第一阱；

在该第一阱中形成第二导电型的杂质区的第二阱；

在该第二阱中形成第一导电型的杂质区的控制栅极；

在所述第一阱外部的沟道区上形成第一栅绝缘膜，在所述控制栅极上形成第二栅绝缘膜；

在从所述沟道区到所述控制栅极的区域之上形成浮置栅极；以及

在所述沟道区的一侧上形成第一导电型的第一杂质扩散层，在所述沟道区的另一侧上形成第一导电型的第二杂质扩散层，

其中在形成浮置栅极的步骤中,另一个晶体管的栅极由与形成该浮置栅极相同的同一个层所形成。

13. 一种用于制造半导体器件的方法,该半导体器件包括具有控制栅极和浮置栅极的晶体管,该方法包括如下步骤:

在半导体基片中形成第一导电型的杂质区的第一阱;

在该第一阱中形成第二导电型的杂质区的第二阱;

在该第二阱中形成第一导电型的杂质区的控制栅极;

在所述第一阱外部的沟道区上形成第一栅绝缘膜,在所述控制栅极上形成第二栅绝缘膜;

在从所述沟道区到所述控制栅极的区域之上形成浮置栅极; 以及

在所述沟道区的一侧上形成第一导电型的第一杂质扩散层,在所述沟道区的另一侧上形成第一导电型的第二杂质扩散层,

其中在形成浮置栅极的步骤中,该浮置栅极形成有被一绝缘膜覆盖的上表面。

14. 一种用于制造半导体器件的方法,该半导体器件包括具有控制栅极和浮置栅极的晶体管,该方法包括如下步骤:

在半导体基片中形成第一导电型的杂质区的第一阱;

在该第一阱中形成第二导电型的杂质区的第二阱;

在该第二阱中形成第一导电型的杂质区的控制栅极;

在所述第一阱外部的沟道区上形成第一栅绝缘膜,在所述控制栅极上形成第二栅绝缘膜;

在从所述沟道区到所述控制栅极的区域之上形成浮置栅极; 以及

在所述沟道区的一侧上形成第一导电型的第一杂质扩散层,在所述沟道区的另一侧上形成第一导电型的第二杂质扩散层,

其中该方法在形成第一栅绝缘膜和第二栅绝缘膜之后在形成所述浮置栅极的步骤之前,进一步包括在该半导体基片的第一区域中形成该晶体管的阈值电压控制层,以及在该半导体基片的第二区域中形成另一

个晶体管的另一个阈值电压控制层的步骤，

第一区域是包括所述沟道区但不包括第一阱的区域；第二区域是与第一区域相邻但不包括第一阱的区域。

15. 一种用于制造半导体器件的方法，该半导体器件包括具有控制栅极和浮置栅极的晶体管，该方法包括如下步骤：

在半导体基片中形成第一导电型的杂质区的第一阱；

在该第一阱中形成第二导电型的杂质区的第二阱；

在该第二阱中形成第一导电型的杂质区的控制栅极；

在所述第一阱外部的沟道区上形成第一栅绝缘膜，在所述控制栅极上形成第二栅绝缘膜；

在从所述沟道区到所述控制栅极的区域之上形成浮置栅极；以及

在所述沟道区的一侧上形成第一导电型的第一杂质扩散层，在所述沟道区的另一侧上形成第一导电型的第二杂质扩散层，

其中在形成第一杂质扩散层和第二杂质扩散层的步骤中，通过使用至少覆盖所述控制栅极和浮置栅极彼此相对的区域掩膜，在所述半导体基片中注入掺杂剂以形成第一杂质扩散层和第二杂质扩散层。



## 半导体器件及其制造方法

### 技术领域

本发明涉及一种半导体器件以及用于制造该半导体器件的制造方法，更加具体来说，涉及一种包括具有控制栅极和浮置栅极的晶体管的半导体器件，以及用于制造该半导体器件的制造方法。

### 背景技术

一种典型的半导体存储器被称为 DRAM（动态随机存取存储器）。DRAM 是一种半导体存储器，其在包括一个 MISFET 和一个电容器的存储单元中存储 1 位信息。DRAM 具有日益小型化和增加的容量的存储单元。但是，期望获得具有更大的容量的半导体存储器。

作为一种可以具有更大容量的半导体器件，闪存（flash memory）引起人们的注意。闪存适合于具有大容量，因为该闪存的一个存储单元仅仅包括一个 MISFET。

下面将参照图 28 说明一种常规的半导体器件。图 28 为该常规的半导体器件的截面视图。

如图 28 中所示，器件隔离区 212 形成在一个半导体基片 210 的表面上。一个浮置栅极 220 形成在该半导体基片 210 上，它们之间形成有栅绝缘膜 224。一个控制栅极 218 形成在该浮置栅极 220 上，它们之间形成一个绝缘膜 221。一个阱绝缘膜 234 被形成在该浮置栅极 220 和控制栅极 218 的侧壁上。一个源/漏区 232 形成在该半导体基片 210 中，在该控制栅极 218 和浮置栅极 220 的两侧上，在其侧壁上形成有侧壁绝缘膜 234。因此，构成常规的闪存，即，常规的半导体器件。

在这种半导体器件中，载流子被注入到该浮置栅极 220 中，以存储信息。当载流子被注入到该浮置栅极 220 时，在该源区 232 和漏区 232

之间的沟道区中产生热载流子,并且一个电压被施加在该沟道区和控制栅极 218 之间。当电压被施加在该沟道区和控制栅极 218 之间时,热载流子被注入到该浮置栅极 220。因此,信息被存储在该浮置栅极 220 中。

下文的参考文献公开本发明的背景技术。

[专利参考文献 1]

日本未审查专利公告 No.2002-15587 的说明书

[专利参考文献 2]

日本未审查专利公告 No. Hei 5-55602 的说明书

但是,在常规的半导体器件中,当形成存储器晶体管 240 时,该控制栅极 218 被叠加在该浮置栅极 220 上。相应地,用于外围部分和选择部分的晶体管和存储器晶体管 240 必须由不同制造工艺所形成。该制造步骤相应地增加,这是对降低成本的障碍。该常规的半导体器件具有大的电流消耗,其中热载流子被注入到该浮置栅极 220。

## 发明内容

本发明的一个目的是提供一种半导体器件,其中包括浮置栅极和控制栅极,其可以实现较低的电流消耗和降低成本,以及提供一种用于制造该半导体器件的方法。

根据本发明一个方面,在此提供一种半导体器件,其中包括:形成在一个半导体基片中的第一导电型的第一阱;形成在第一阱中的第二导电型的第二阱;以及一个晶体管,其中包括由形成在第二阱中的第一导电型的杂质区所形成的控制栅极、隔着一个沟道区形成在该第一阱之外的第一杂质扩散层和第二杂质扩散层、以及隔着一个栅绝缘膜形成在该沟道区和该控制栅极之上的浮置栅极。

根据本发明另一个方面,在此提供一种用于制造半导体器件的方法,该半导体器件包括一个控制栅极和一个浮置栅极,该方法包括如下步骤:在一个半导体基片中形成第一导电型的杂质区的第一阱;在该第一阱中形成第二导电型的杂质区的第二阱;在该第二阱中形成第一导电型的杂质区的控制栅极;以及隔着该栅绝缘膜在包含该控制栅极的上表

面的半导体基片之上形成一个浮置栅极。

根据本发明，该控制栅极被埋在该半导体基片中，其使得在该浮置栅极上形成该控制栅极成为不必要。根据本发明，该存储器晶体管和其他晶体管等等可以由相同的制造工艺所形成，因此，根据本发明，该制造工艺可以减少，并且可以降低该半导体器件的成本。

根据本发明，一个第二导电型的第二阱形成在于该半导体基片中形成的第一导电型的第一阱中，以及第一导电型的杂质扩散层的控制栅极形成在该第二阱中，从而即使对于埋在该半导体基片中的控制栅极，也不会发生特殊的问题，另外可以避免电流消耗的增加。

根据本发明，该隧道电流被用于写入和擦除信息，其允许信息被利用较小的电流消耗而写入和擦除。根据本实施例，信息可以通过使用该隧道电流来写入和擦除，而不产生热载流子。根据本实施例的半导体器件可以具有较小的电流消耗。

根据本发明，在该浮置栅极和控制栅极相对的第一区域的面积远大于该浮置栅极和沟道区相对的第二区域的面积，从而当信息被写入在该浮置栅极以及信息被从该浮置栅极擦除时，该浮置栅极的电势可以被设置在所需的电势。根据本发明，即使利用埋在该半导体器件中的控制栅极，也可以把信息写入到该浮置栅极，并且信息可以确保从该浮置栅极擦除。

根据本发明，该选择晶体管的栅绝缘膜的膜厚相对较大，从而该选择晶体管可以具有提高的耐压性。相应地，根据本实施例的半导体器件可以具有较高的可靠性。另一方面，在该沟道区和浮置栅极之间的栅绝缘膜的膜厚被设置为相对较小，从而当信息被写入在该浮置栅极以及信息被从该浮置栅极擦除时，可以载流子可以造成该栅绝缘膜隧道导通。

根据本实施例，在该控制栅极和浮置栅极之间的栅绝缘膜的膜厚被设置为相对较大，从而防止在该浮置栅极中累积的载流子泄漏。因此，根据本实施例的半导体器件可以具有较高的可靠性。

根据本发明，在该浮置栅极中注入的掺杂剂的浓度相对较低，从而可以防止在该浮置栅极中累积的载流子通过该栅绝缘膜的较薄部分泄

漏。根据本实施例的半导体器件可以高可靠性。

根据本发明，作为在浮置栅极侧上的源区的杂质扩散层的边缘部分的载流子浓度被设置为较高，从而该载流子导致在该沟道区和浮置栅极之间的栅绝缘膜隧道导通，从而把信息写入到该浮置栅极以及从该浮置栅极擦除信息。另一方面，该载流子浓度在作为浮置栅极侧上的漏区的杂质扩散层的边缘部分处被设置为较低，从而作为源区的杂质扩散层以及作为漏区的杂质扩散层可以确保相互电绝缘。

#### 附图说明

图 1A 和 1B 为根据本发明一个实施例的半导体器件的截面视图。

图 2 为根据本发明的该实施例的半导体器件的平面视图。

图 3 为根据本发明的该实施例的半导体器件的电路图。

图 4A 和 4B 为根据本发明的该实施例的半导体器件的截面视图，其中示出该半导体器件的工作原理。

图 5A 和 5B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 1）。

图 6A 和 6B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 2）。

图 7A 和 7B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 3）。

图 8A 和 8B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 4）。

图 9A 和 9B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 5）。

图 10A 和 10B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 6）。

图 11A 和 11B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 7）。

图 12A 和 12B 为以用于制造该半导体器件的步骤示出根据本发明

的该实施例的截面视图，其中示出该方法（部分 8）。

图 13A 和 13B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 9）。

图 14A 和 14B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 10）。

图 15A 和 15B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 11）。

图 16A 和 16B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 12）。

图 17A 和 17B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 13）。

图 18A 和 18B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 14）。

图 19A 和 19B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 15）。

图 20A 和 20B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 16）。

图 21A 和 21B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 17）。

图 22A 和 22B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 18）。

图 23A 和 23B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 19）。

图 24A 和 24B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 20）。

图 25A 和 25B 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 21）。

图 26 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 22）。

图 27 为以用于制造该半导体器件的步骤示出根据本发明的该实施例的截面视图，其中示出该方法（部分 23）。

图 28 为常规的半导体器件的截面视图。

## 具体实施方式

### [一个实施例]

下面将参照图 1A 至 27 描述根据本发明一个实施例的半导体器件以及制造该半导体器件的方法。图 1A 和 1B 为根据当前实施例的半导体器件的截面视图。图 2 为根据当前实施例的半导体器件的平面视图。图 1A 为沿着图 2 的线 A-A' 截取的截面视图。图 1B 为沿着图 2 中的线 B-B' 截取的截面视图。图 3 为根据当前实施例的半导体器件的电路图。图 4A 和 4B 为根据当前实施例的半导体器件的截面视图，其中示出该半导体器件的工作原理。

首先，将参照图 1A 至 4B 描述根据当前实施例的半导体器件的存储器晶体管。

在图 1B 的左侧的区域是一个区域 6，其中形成该选择晶体管，并且在图 1B 的右侧上的区域为区域 8，其中形成该存储器晶体管。

如图 1A 中所示，用于确定器件形成区的器件隔离区 12 形成在该半导体基片 10 的表面上。

在图 1A 的右侧上的区域中，形成一个 n 型阱 14。该 n 型阱 14 通过注入 n 型掺杂剂而形成。

在 n 型阱 14 中，形成 p 型阱 16。该 p 型阱 16 通过把 p 型掺杂剂注入到 n 型阱 14 中而形成。

一个控制栅极 18 形成在 p 型阱 16 中。该控制栅极 18 通过把一种 n 型掺杂剂注入到 p 型阱 16 中而形成。

该 n 型阱 14、p 型阱 16 和控制栅极 18 形成一个三重阱。由于如下原因，本实施例使用这种三重阱结构。

也就是说，当一个负电压被简单地施加到该控制栅极 18 时，由于该电压是正向电压，因此有较大电流流过，结果电流消耗增加。然后，

当一个负电压被施加到该控制栅极 18 时，相同的负电压被施加到 p 型阱 16，从而避免电流消耗的增加。在不形成 n 型阱 14 的情况中，当一个负电压被简单地施加到控制栅极 18 和 p 型阱 16 上时，对剩余区域施加电影响。然后，在本实施例中，形成 n 型阱 14，从而使得半导体基片 10 和 p 型阱 16 电绝缘。由于 p 型阱 16 和半导体基片 10 被 n 型阱 14 相互电绝缘，因此信息可以被写入到浮置栅极 20，并且信息可以利用较低的电流消耗从浮置栅极 20 中擦除，而不造成特殊的问题。

一个 p 型阱 22 被形成在图 1A 的左侧上的区域中。

一个阈值电压控制层 23 在图 1A 的左侧上的区域中形成在半导体基片 10 内，并且一个用于选择晶体管的区域 6 要被形成于其中（参见图 1B）。该阈值电压控制层 23 通过把 p 型掺杂剂注入到半导体基片 10 中而形成。

一个栅绝缘膜 24 形成在半导体基片 10 上。该栅绝缘膜 24 例如是一个氧化硅膜。

浮置栅极 20 被形成在栅绝缘膜 24 上。

在图 1A 的左侧上的区域中的该栅绝缘膜 24 的膜厚，即呈现在沟道区 25 和浮置栅极 20 之间的栅绝缘膜 24 的膜厚，相对较薄，例如为大约 10nm。在沟道区 25 和浮置栅极 20 之间的栅绝缘膜 24 的膜厚被设置为相对较薄，使得载流子造成沟道区 25 和浮置栅极 20 之间的栅绝缘膜 24 隧道导通，以把信息写入到浮置栅极 20，以及从浮置栅极 20 擦除信息。

在图 1A 的右侧上的区域中的栅绝缘膜 24 的膜厚，即在控制栅极 18 和浮置栅极 20 之间的膜厚，被设置为相对较厚，例如为大约 30nm。在控制栅极 18 和浮置栅极 20 之间的栅绝缘膜 24 的膜厚被设置为相对较厚，以保证浮置栅极 20 和控制栅极 18 之间的耐压足够大，以提高可靠性，并且在防止在浮置栅极 20 中累积的载流子被通过栅绝缘膜 24 泄漏。

浮置栅极 20 由掺杂的多晶硅膜所形成。在例如 400nm 厚的多晶硅膜的试样具有例如  $150\Omega/(\text{平方})$  的电阻值的条件下，把一种掺杂剂注

入在浮置栅极 20 中。

在浮置栅极 20 中注入的掺杂剂的浓度被设置为比在该选择晶体管的栅极 28 中注入的掺杂剂的浓度更低。在本实施例中，在浮置栅极 20 中的注入的掺杂剂的浓度被设置为较低，以避免在浮置栅极 20 中累积的载流子通过栅绝缘膜 24 泄漏到外部。也就是说，在一种高浓度的掺杂剂被注入在该浮置栅极 20 中的情况下，通常栅绝缘膜 24 在该薄部分没有足够高的绝缘性，并且存在在该浮置栅极 20 中累积的载流子可能通过栅绝缘膜 24 泄漏到浮置栅极 20 的外部的危险。在本实施例中，要被注入到浮置栅极 20 中的掺杂剂的浓度被设置为相对较低，从而保证该栅绝缘膜 24 具有足够的，从而避免载流子被泄漏到浮置栅极 20 的外部。

一个绝缘膜 30 形成在浮置栅极 20 上。作为该绝缘膜 30 的材料，例如使用氧化硅膜。该绝缘膜 30 的厚度例如为大约 150nm。

在本实施例中，绝缘膜 30 被形成在浮置栅极 20 上，使得在形成作为该源区的杂质扩散层 26、作为漏区的杂质扩散层 33 等等中，作为避免掺杂剂注入到浮置栅极 20 中。根据本实施例，在形成杂质扩散层 26 和杂质扩散层 33 中，避免掺杂剂注入到浮置栅极 20 中，这避免要注入到该浮置栅极 20 中的掺杂剂的浓度变得较低。相应地，可以充分地保证栅绝缘膜 24 的绝缘性，从而避免在浮置栅极 20 中累积的载流子通过栅绝缘膜 24 泄漏。

如图 1B 中所示，在浮置栅极 20 的一侧上在半导体基片 10 中形成一个 n 型杂质扩散层 26。该杂质扩散层 26 作为一个源区。该杂质扩散层 26 通过把高浓度的掺杂剂注入到与浮置栅极 20 自对齐的半导体基片 10 中而形成的。作为一种掺杂剂，例如使用砷和磷。砷的剂量例如为  $6 \times 10^{15} \text{cm}^{-2}$ 。磷的剂量例如为  $2.5 \times 10^{14} \text{cm}^{-2}$ 。杂质扩散层 26 即使在浮置栅极 20 的侧上的边缘部分处，即紧接着在侧壁绝缘膜 34 之下，也具有高载流子浓度。

通过与浮置栅极 20 自对齐，一个轻微掺杂的扩散层 30a 形成在控制栅极 30 另一侧上的半导体基片 10 中。



一个侧壁绝缘膜 34 形成在浮置栅极 20 的侧壁上。

通过与形成有侧壁绝缘膜 34 的浮置栅极 20 自对齐, 一个重度掺杂的扩散层 32b 形成在该控制栅极 20 的另一侧上的半导体基片 10 中。该轻微掺杂的扩散层 32a 和重度掺杂的扩散层 32b 构成一个杂质扩散层 33 其作为该漏区。作为该漏区的杂质扩散层 33 在浮置栅极 20 侧上的边缘部分中, 即紧接着在侧壁绝缘膜 34 之下, 具有一个较低的载流子浓度。

一个较高载流子浓度的杂质扩散层 26 具有与浮置栅极 20 相邻的边缘部分, 使得该载流子导致作为源区的杂质扩散层 26 和浮置栅极 20 之间的栅绝缘膜 24 隧道导通, 从而信息被写入到栅绝缘膜 24, 以及信息被从栅绝缘膜 24 删除。

另一方面, 一个重度掺杂的扩散层 32b 被与浮置栅极 20 相隔离, 确保使得作为漏区的杂质扩散层 33 和作为源区的杂质扩散层 26 电绝缘。

因此构成该存储器晶体管 40。

如图 1B 的左侧所示, 一个栅极 28 形成在半导体基片 10 上, 它们之间形成有栅绝缘膜 24。在栅极 28 和半导体基片 10 之间的栅绝缘膜 24 的厚度相对较大, 例如大约为 30nm。在栅极 28 和半导体基片 10 之间的栅绝缘膜 24 的厚度被设置为相对较大, 以保证足够大的耐压, 从而增加可靠性。该栅极 28 和浮置栅极 20 通过对同一个多晶硅膜进行构图而形成。一种掺杂剂被注入到栅极 28 中。该掺杂剂例如为磷。磷的剂量例如为大约  $6 \times 10^{15} \text{cm}^{-2}$ 。该掺杂剂被以相对较高的浓度注入到栅极 28 中, 使得栅极 28 的电阻减小, 以用于高速操作。

通过与栅极 28 自对齐, 轻微掺杂的扩散层 32a 被形成在半导体基片 10 中, 在栅极 28 的两侧。形成在栅极 28 的一侧上的轻微掺杂的扩散层 32a 与上述存储器晶体管 40 的轻微掺杂的扩散层 32a 的整体形成。

一个侧壁绝缘膜 34 形成在栅极 28 的侧壁上。

通过与形成有侧壁绝缘膜 34 的栅极 28 自对齐, 一个重度掺杂的扩散层 32b 形成在半导体基片 10 上, 在栅极 28 和侧壁绝缘膜 34 的两侧

上。形成在该栅极 28 的一侧上的该轻微掺杂的扩散层 32a 和重度掺杂的扩散层 32b 构成一个杂质扩散层 33，控制栅极 18 作为该选择晶体管 41 的源区。形成在栅极 28 的另一侧上的轻微掺杂的扩散层 32a 和重度掺杂的扩散层 32b 构成一个侧壁绝缘膜 34，其作为该选择晶体管 41 的漏区。

如此构成该选择晶体管 41。

一个绝缘膜 36 形成在半导体基片 10 的整个表面上，该半导体基片 10 上形成有存储器晶体管 40 和选择晶体管 41。该绝缘膜 36 的材料例如为氧化硅膜。

一个层间绝缘膜 38 形成在绝缘膜 36 的整个表面上。该层间绝缘膜 38 的材料例如为 BPSG 膜。

接触孔 42 被形成在该层间绝缘膜 38 中，并且绝缘膜 36 下降到杂质扩散层 26、35。

阻挡金属 44 形成在接触孔 42 的内部。该阻挡金属 44 的材料例如为氮化钛。

接触插塞 46 被埋在其中形成有阻挡金属 44 的接触孔 42 中。该接触插塞 46 的材料例如为钨。

互连层 48 形成在埋有接触插塞 46 的层间绝缘膜 38 上。该互连层 48 由按以下次序依次叠加的阻挡金属 50、金属膜 52 和阻挡金属 54 所形成。

如图 2 中所示，浮置栅极 20 在该浮置栅极 20 与控制栅极 18 相对的区域中较宽，但是在浮置栅极 20 不与控制栅极 18 相对的区域中较窄。该浮置栅极 20 在该浮置栅极 20 与控制栅极 18 相对的区域中具有较大的宽度，使得该控制栅极 18 和浮置栅极 20 之间的相对面积可以变得更大。

在控制栅极 18 和浮置栅极 20 相对的第一区域  $S_1$  的面积比沟道区 25 和浮置栅极 20 相对的第二区域  $S_2$  的面积更大。具体来说，第一区域  $S_1$  的面积例如为第二区域  $S_2$  的面积 40 倍或更多倍。相应地，在第一区域  $S_1$  中的控制栅极 18 和浮置栅极 20 之间的静电电容  $C_1$  例如为在第

二区域  $S_2$  中的浮置栅极 20 和半导体基片 10 之间的静电电容  $C_2$  的 10 倍或更多倍。根据本实施例，在第一区域  $S_1$  中的控制栅极 18 和浮置栅极 20 之间的静电电容  $C_1$  被设置为相对于在第二区域  $S_2$  中的浮置栅极 20 和半导体基片 10 之间的静电电容  $C_2$  足够大，从而当信息被写入在浮置栅极 20 时以及当信息被从浮置栅极 20 擦除时，浮置栅极 20 可以被控制在所需的电势。

在本实施例中，第一区域  $S_1$  的面积被设置在例如第二区域  $S_2$  的 40 或更多倍，但是前者不一定要为后者 40 或更多倍。也就是说，当信息被写入在浮置栅极 20 以及信息被从浮置栅极 20 擦除时，第一区域  $S_1$  的面积和第二区域  $S_2$  的面积之间的比例被适当地设置，使得浮置栅极 20 的电压被设置在所需的电压。具体来说，第一区域  $S_1$  的面积例如被设置在第二区域  $S_2$  的面积 的 10 倍或更多倍，从而当信息被写入在浮置栅极 20 中以及信息被从浮置栅极 20 擦除时，浮置栅极 20 可以被设置在所需的电势。

如图 2 中所示，多个存储器晶体管 40 的控制栅极 18 被整体形成。换句话说，一个控制栅极 18 作为多个存储器晶体管 40 的控制栅极。在本实施例中，多个存储器晶体管 40 的控制栅极 18 被整体形成，以节省空间并且最终实现减小芯片面积。

用于连接控制栅极 18 和一个互连层（为示出）的接触插塞 56 被埋在层间绝缘膜 38 中（参见图 1A 和 1B）。在本实施例中，用于连接控制栅极 18 和互连层的接触插塞 56 是共用的。根据本实施例，多个控制栅极 18 不一定具有各个接触插塞 56，这有助于进一步节省空间。

如图 2 中所示，控制栅极 18 被整体形成在单个 p 型阱 16 中，并且 p 型阱 16 形成在单个 n 型阱 14 中。这与对多个控制栅极 18 中的每一个形成 p 型阱 16 和 n 型阱 14 的情况相比，可以节省更多的空间。

接触插塞 60 被埋在层间绝缘膜 38 中（参见图 1A 和 1B），用于把 p 型阱 16 连接到形成于层间绝缘膜 38 上的一个互连层 58。在本实施例中，用于把 p 型阱 16 和互连层 58 互连的接触插塞是共用的。一个接触插塞 64 被埋在层间绝缘膜 38 中（参见图 1A 和 1B），用于把 n 型阱 14

和形成于层间绝缘膜 38 上的互连层 62 互连。用于把 n 型阱 14 与互连层 62 互连的接触插塞 64 是共用的。根据本实施例，不需要形成用于多个 p 型阱 16 和多个 n 型阱 14 中的每一个的接触插塞 60、64。这可以节省更多的空间。

如图 2 和 3 中所示，包括多个存储器晶体管 40 的晶体管阵列 66a 和包括多个存储器晶体管 40 的晶体管阵列 66b 被对称地设置。

在图 2 中所示的存储器晶体管 40a-40d 和选择晶体管 41a - 41d 被连接到各个信号线，如图 3 中所示。在图 3 中，SWL 表示选择字线，CWL 表示控制字线，SL 表示源线，以及 BL 表示位线。

用于使得半导体基片 10 接地的接触插塞 68 被埋在晶体管阵列 66a 和晶体管阵列 66b 之间的区域中的层间绝缘膜 38 内(参见图 1A 和 1B)。该半导体基片 10 被通过接触插塞 68 和互连层 70 接地。在本实施例中，该接地接触插塞 68 被形成在晶体管阵列 66a 和晶体管阵列 66b 之间，以提高抗噪性。根据本实施例，该晶体管阵列 66a 和晶体管阵列 66b 被对称地设置，另外该接地接触插塞 68 被形成在该晶体管阵列 66a 和晶体管阵列 66b 之间，从而该半导体器件可以具有高抗噪性和高可靠性。

该接触插塞 68 在形成有晶体管阵列 66a 一侧上作为用于半导体基片 10 的导电插塞，以及在形成有晶体管阵列 66b 的一侧上作为用于使得半导体基片 10 接地的导电插塞。根据本实施例，不需要形成用于每个晶体管阵列的接触插塞 68，这可以节省更多的空间，并且结果有助于减小芯片面积。

根据本实施例的半导体器件如此构成。

(该半导体器件的工作方法)

下面，将参照图 4A 和 4B 描述根据本实施例的半导体器件的工作方法。图 4A 为擦除存储在浮置栅极 20 中的信息的示意图。图 4B 为在浮置栅极 20 中写入信息的示意图。

当存储在浮置栅极 20 中的信息被擦除时，如图 4A 中所示，例如 +6V 的电压被施加到作为源区的控制栅极 18，并且例如 -9.3V 的电压被施加到控制栅极 18 和 p 型阱 16。然后，该载流子使得作为源区的杂

质扩散层 26 和浮置栅极 20 之间的栅绝缘膜 24 隧道导通。具体来说，正空穴被从作为源区的杂质扩散层 26 注入到浮置栅极 20。

因此，存储在浮置栅极 20 中的信息被擦除。

另一方面，当信息被写入到浮置栅极 20 中时，如图 4B 中所示，0V 的电压被施加到作为源区的杂质扩散层 26，并且+9.5V 的电压被施加到控制栅极 18。然后，该载流子使得作为源区的杂质扩散层 26 和浮置栅极 20 之间的栅绝缘膜 24 隧道导通。具体来说，正空穴被释放到该浮置栅极 20 之外的杂质扩散层 26。

因此，信息被写入到浮置栅极 20 中。

如上文所述，根据本实施例的半导体器件的特征主要在于控制栅极 18 被埋在半导体基片 10 中。

在该常规的半导体器件中，控制栅极 218 被叠加在浮置栅极 220 上，形成一个闪存，即，存储器晶体管 240。相应地，难以通过相同的制造工艺形成该存储器晶体管 24、以及逻辑晶体管、外围电路晶体管等等。相应地，该存储器晶体管 240 和其他晶体管的混合增加该制造工艺，其使得成本的降低困难。

与此相反，根据本实施例，控制栅极 18 被埋在该半导体基片 10 中，这不必在浮置栅极 20 上形成该控制栅极。因此，根据本实施例，可以通过相同的制造工艺形成该存储器晶体管 40、选择晶体管 41 等等。结果，根据本实施例，可以减少该制造工艺，并且该半导体器件可以变得廉价。

如上文所述，根据本实施例的半导体器件的特征还主要在于，p 型阱 16 形成在 n 型阱 14 中，而该 n 型阱 14 形成在半导体基片 10 中，并且 n 型控制栅极 18 形成在 p 型阱 16 中，即所谓的三重阱结构。

如上文所述，当写入在浮置栅极 20 中的信息被擦除时，负电压被施加到控制栅极 18 上。但是，当负电压被简单地施加到控制栅极 18 上时，该负电压为正向电压，并且有较大电流流过。相应地，当负电压被施加到控制栅极 18 上时，相同的负电压被施加到 p 型阱 16，从而避免消耗电流的增加。但是，没有形成该 n 型阱 14，则当负电压被简单地

施加到控制栅极 18 和 p 型阱 16 上时，其他区域受到电的影响。该半导体基片 10 和 p 型阱 16 被 n 型阱 14 相互电绝缘，从而避免其他区域受到电的影响。如上文所述，根据本实施例，形成该三重阱结构，即，p 型阱 16 形成于在半导体基片 10 中形成的 n 型阱 14 内，并且控制栅极 18 形成在 p 型阱 16 中，从而即使利用埋在半导体基片 10 中的控制栅极 18，也不会出现特殊的问题，并且可以避免电流消耗的增加。

这种三重阱结构没有被在专利参考文献 1 和专利参考文献 2 中公开。

如上文所述，根据本实施例的半导体器件的特征还主要在于该载流子造成浮置栅极 20 和沟道区 25 之间的栅绝缘膜 24 隧道导通，从而信息被写入在浮置栅极 20 中，以及信息被从该浮置栅极擦除。

在常规的半导体器件中，当信息被写入在浮置栅极 220 中时，热载流子在沟道区中产生，并且该热载流子被注入到浮置栅极 220 中。相应地，该常规的半导体器件具有较大电流消耗。

与此相反，在本实施例中，该隧道电流被用于写入和擦除信息，其允许通过较小的电流消耗而擦除和写入信息。根据本实施例，可以通过使用隧道电流来写入和擦除信息，而不产生热载流子。根据本实施例的半导体器件可以具有较小的电流消耗。

通过利用在写入和擦除信息中的隧道电流实现较小电流消耗的技术没有在专利参考文献 1 和专利参考文献 2 中公开或暗示。

如上文所述，根据本实施例的半导体器件的特征还主要在于控制栅极 18 和浮置栅极 20 相对的第一区域  $S_1$  的面积比沟道区 25 和浮置栅极 20 相对的第二区域  $S_2$  的面积更大。

根据本实施例，第一区域  $S_1$  的面积被设置为比第二区域  $S_2$  的面积足够大，从而当信息被写入在浮置栅极 20 中以及信息被从浮置栅极 20 擦除时，浮置栅极 20 的电势可以被设置在所需电势。因此，根据本实施例，即使对于埋在半导体基片 10 中的控制栅极 18，信息也可以被写入在浮置栅极 20 中，并且信息可以确保从浮置栅极 20 中擦除。

如上文所述，根据本实施例的半导体器件的特征还主要在于选择晶

晶体管 41 的栅绝缘膜 24 的膜厚大于沟道区 25 和浮置栅极 20 之间的栅绝缘膜 24 的膜厚。

根据本实施例，选择晶体管 41 的栅绝缘膜 24 的膜厚相对较大，从而选择晶体管 41 可以具有改进的耐压性，相应地，根据本实施例的半导体器件可以具有高可靠性。另一方面，该沟道区 25 和浮置栅极 20 之间的栅绝缘膜 24 的膜厚被设置为相对较小，从而当信息被写入在浮置栅极 20 中以及信息被从浮置栅极 20 擦除时，该载流子可以确保造成栅绝缘膜 24 的隧道导通。

如上文所述，根据本实施的半导体器件的特征还主要在于控制栅极 18 和浮置栅极 20 之间的膜厚被设置为比沟道区 25 和浮置栅极 20 之间的栅绝缘膜的膜厚更大。

根据本实施例，控制栅极 18 和浮置栅极 20 之间的栅绝缘膜 24 的膜厚被设置为相对较大，从而避免在浮置栅极 20 中累积的载流子泄漏。因此，根据本实施例的半导体器件可以具有更高的可靠性。

如上文所述，根据本实施例的半导体器件的特征还主要在于注入在浮置栅极 20 中的掺杂剂的浓度比注入到其他浮置栅极 20 等等中的掺杂剂的浓度更低。

根据本实施例，注入到浮置栅极 20 中的掺杂剂的浓度相对较低，从而可以避免在浮置栅极 20 中累积的载流子通过栅绝缘膜 24 的较薄部分泄漏。根据本实施例的半导体器件可以具有高可靠性。

根据本实施例的半导体器件的特征还主要在于在作为栅极 20 侧上的源区的杂质扩散层 26 的边缘部分处的载流子浓度被设置为较高，并且作为在栅极 20 侧上的漏区的杂质扩散层 33 的边缘部分的载流子浓度被设置为较低。

根据本实施例，作为在浮置栅极侧上的源区的杂质扩散层 26 的边缘部分的载流子浓度被设置为较高，从而该载流子导致沟道区 25 和浮置栅极 20 之间的栅绝缘膜 24 隧道导通，从而在浮置栅极 20 中写入信息以及从浮置栅极 20 擦除信息。另一方面，在作为浮置栅极 20 侧上的漏区的杂质扩散层 33 的边缘部分处的载流子浓度被设置为较低，从而

作为漏区的杂质扩散层 26 以及作为漏区的杂质扩散层 33 可以确保相互电隔离。

(用于制造半导体器件的方法)

接着, 将参照图 5A 至 27 描述用于制造半导体器件的方法。图 5A 至 27 为示出该方法的在用于制造半导体器件的方法的步骤中的半导体器件的截面视图。

首先, 如图 5A 和 5B 中所示, 一个氮化硅膜形成在例如硅的半导体基片 10 上。该氮化硅膜的膜厚例如约为 100nm。然后, 通过光刻方法对该氮化硅膜进行构图。因此, 形成用于氮化硅膜的掩膜 68。该掩膜 68 用于在下文描述的步骤中有选择地形成器件隔离区 12。

然后, 如图 6A 和 6B 中所示, 光刻胶膜 70 例如通过旋涂方法形成在整个表面上。然后, 开口 72 形成在光刻胶膜 70 中进入半导体基片 10。开口 72 用于形成 n 型阱 14。

接着, 利用光刻胶膜 70 作为掩膜, 通过离子注入方法把一种 n 型掺杂剂注入到半导体基片 10 中。该掺杂剂例如为磷。用于离子注入的条件例如为 180keV 加速能量和  $1.65 \times 10^{13} \text{cm}^{-2}$  的剂量。因此, n 型阱 14 被深入地形成在半导体基片 10 中。然后, 除去光刻胶膜 70。

然后, 如图 7A 和 7B 中所示, 通过旋涂方法把光刻胶膜 74 形成在整个表面上。然后, 一个开口 76 形成在光刻胶膜 74 中, 进入半导体基片 10 内。该开口 76 用于形成 p 型阱 16。

接着利用光刻胶膜 74 作为掩膜, 例如通过离子注入把一种 p 型掺杂剂注入到 n 型阱 14 中。该掺杂剂例如为硼。用于离子注入的条件例如为 180keV 加速能量和  $1.85 \times 10^{13} \text{cm}^{-2}$  的剂量。因此, p 型阱 16 形成在 n 型阱 14 中。然后, 除去光刻胶膜 74。

接着, 如图 8A 和 8B 中所示, 例如通过 LOCOS 形成器件隔离区 12。然后, 例如通过湿法蚀刻除去掩膜 68。

然后, 如图 9A 和 9B 中所示, 例如通过旋涂方法把一个光刻胶膜 78 形成在整个表面上。然后, 一个开口 80 形成在光刻胶膜 78 中, 进入该半导体基片 10。该开口 80 用于形成 p 型阱 22。



然后，利用光刻胶膜 78 作为掩膜，例如通过离子注入方法注入 p 型掺杂剂。该掺杂剂例如为硼。用于离子注入的条件例如为 150keV 加速能量和  $4.5 \times 10^{12} \text{cm}^{-2}$  的剂量。因此，形成 p 型阱 22。接着，除去光刻胶膜 78。

然后，如图 10A 和 10B 中所示，通过旋涂方法把一个光刻胶膜 82 形成在整个表面上。接着，一个开口 84 形成在光刻胶膜 82 上，进入半导体基片 10 中。该开口 84 用于形成控制栅极 18。

接着使用光刻胶膜 82 作为掩膜，例如通过离子注入方法注入一种 n 型掺杂剂。该掺杂剂例如为砷。用于离子注入的条件例如为 80keV 加速能量和  $3.5 \times 10^{15} \text{cm}^{-2}$  的剂量。因此，该控制栅极由 n 型杂质扩散层所形成。然后，除去光刻胶膜 82。

接着，如图 11A 和 11B 中所示，例如通过热氧化方法把栅绝缘膜 24a 形成在整个表面上。该栅绝缘膜 24a 的膜厚例如为 9nm。该栅绝缘膜 24a 例如由氧化硅膜所形成。

然后，如图 12A 和 12B 中所示，例如通过旋涂方法把一个光刻胶膜 86 形成在整个表面上。接着，在光刻胶膜 86 上形成开口 88，进入到半导体基片 10 中。

接着，利用光刻胶膜 86 作为掩膜，腐蚀栅绝缘膜 24a。然后，除去光刻胶膜 86。

然后，如图 13A 和 13B 中所示，例如通过热氧化方法把栅绝缘膜 24 被进一步形成在整个表面上。在保留栅绝缘膜 24a 的区域中的栅绝缘膜 24 的膜厚较厚，例如大约为 30nm。另一方面，在栅绝缘膜 24a 被腐蚀的区域中，栅绝缘膜 24 的膜厚较薄，例如大约为 10nm。

然后，如图 14A 和 14B 中所示，例如通过旋涂方法在整个表面上形成一个光刻胶膜 90。接着，在光刻胶膜 90 中打开一个开口 92，进入到半导体基片 10 中。该开口 92 用于形成阈值电压控制层 23。

接着利用光刻胶膜 90 作为掩膜，例如通过离子注入方法注入一种 p 型掺杂剂。该掺杂剂例如为硼。用于离子注入的条件例如为 25keV 加速能量和  $1.6 \times 10^{12} \text{cm}^{-2}$  的剂量。因此，形成 p 型阈值电压控制层 23。

接着除去光刻胶膜 90。在本实施例中，通过利用相同的光刻胶膜 90 以及利用相同的工艺形成存储器晶体管 40 的阈值电压控制层 23 以及其他晶体管 41 的阈值电压控制层 23 等等。

接着，如图 15A 和 15B 中所示，例如通过 CVD 方法把多晶硅膜 94 形成在整个表面上。然后，相对较低浓度的 n 型掺杂剂被注入到多晶硅膜 94 中。在此时，在使得多晶硅的试样的电阻率例如为 400nm 厚 150Ω/(平方)的条件下把该掺杂剂注入到多晶硅膜 94。该多晶硅膜 94 的膜厚例如为 300nm。

接着，如图 16A 和 16B 中所示，例如通过旋涂方法，把一个光刻胶膜 96 形成在整个表面上。然后，一个开口 98 被形成在该光刻胶膜 96 中，进入到多晶硅膜 94 内。该开口 98 用于把一种掺杂剂重度注入到多晶硅膜 94 的一部分中。

然后，利用光刻胶膜 96 作为掩膜，例如通过离子注入方法把一种 n 型掺杂剂重度注入到多晶硅膜 94 中。该掺杂剂例如为磷。该磷的剂量例如为  $6 \times 10^{15} \text{cm}^{-2}$ 。

接着，如图 17A 和 17B 中所示，例如通过热氧化方法把一个氧化硅膜 30a 形成在多晶硅膜 94 上。该氧化硅膜 30a 的膜厚例如约为 10nm。

然后，例如通过 CVD 方法把一个氧化硅膜 30b 形成在氧化硅膜 30a 上。该氧化硅膜 30b 的膜厚例如约为 150nm。在用于形成氧化硅膜 30b 的腔体内的温度例如约为 800℃。该氧化硅膜 30a 和氧化硅膜 30b 构成绝缘膜 30。

绝缘膜 30 形成在光刻胶膜 96 上，如上文所述，使得当杂质扩散层 26、33、35 等等被在随后的步骤中形成时，避免掺杂剂注入到光刻胶膜 96 的浮置栅极 20 中。

接着，如图 18A 和 18B 中所示，通过光刻方法对绝缘膜 30 和多晶硅膜 94 进行构图。因此，形成浮置栅极 20、栅极 28、逻辑晶体管的栅极等等（未示出）。根据本实施例，浮置栅极 20 和其他栅极可以通过使用多晶硅膜 94 而同时形成。

接着，通过热氧化使得氧化硅膜 100 形成在多晶硅膜 94 的侧壁上。

然后,如图 19A 和 19B 中所示,例如通过旋涂方法使得,一个光刻胶膜 102 形成在整个表面上。接着,一个开口 104 形成在光刻胶膜 102 中,进入半导体基片 10 内。该开口 104 用于形成杂质扩散层 26。

接着,利用该光刻胶膜 102 作为掩膜,通过离子注入把一个 n 型掺杂剂重度注入到半导体基片 10 中。该掺杂剂是磷和砷。用于磷的离子注入的条件例如是 60keV 加速能量和  $2.5 \times 10^{14} \text{cm}^{-2}$  的剂量。用于砷的离子注入的条件例如是 60keV 加速能量和  $6 \times 10^{15} \text{cm}^{-2}$  的剂量。因此,形成作为源区的杂质扩散层 26。

然后,如图 20A 和 20B 中所示,通过旋涂方法把一个光刻胶膜 106 形成在整个表面上。然后,一个开口 108 形成在该光刻胶膜 106 中,进入半导体基片 10 内。

接着,利用该光刻胶膜 106、浮置栅极 20 和栅极 28 作为掩膜,一个 n 型掺杂剂被注入到半导体基片 10 中。该掺杂剂例如为磷。用于离子注入的条件例如为 60keV 加速能量和  $2.3 \times 10^{13} \text{cm}^{-2}$  的剂量。因此,形成轻微掺杂的杂质扩散层 32a。然后,除去光刻胶膜 106。

然后,例如通过 CVD 方法把一个绝缘膜形成在整个表面上。作为该绝缘膜,例如形成一个氧化硅膜。该绝缘膜的膜厚例如为 250nm。然后,该绝缘膜被各向异性蚀刻。因此,如图 21A 和 21B 中所示,侧壁绝缘膜 34 形成在浮置栅极 20 和栅极 28 的侧壁上。

接着,如图 22A 和 22B 中所示,例如通过旋涂方法把一个光刻胶膜 110 形成在整个表面上。然后,一个开口 112 形成在该光刻胶膜 110 中,进入到该半导体基片 10 内。

接着,利用该光刻胶膜 110、浮置栅极 20、栅极 28 和侧壁绝缘膜 34 作为掩膜,把一种 n 型掺杂剂注入到半导体基片 10 中。因此,形成重度掺杂的扩散层 32b。

该轻微掺杂的扩散层 32a 和重度掺杂的扩散层 32b 形成杂质扩散层 33。该轻微掺杂的扩散层 32a 和重度掺杂的扩散层 32b 形成杂质扩散层 35。然后,除去光刻胶膜 110。

接着,如图 23A 和 23B 中所示,通过 CVD 方法把该绝缘膜 36 形

成在整个表面上。作为绝缘膜 36，例如形成一个氧化硅膜。该绝缘膜 36 的膜厚例如为 100nm。

然后，通过 CVD 方法把一个层间绝缘膜形成在整个表面上。作为该层间绝缘膜，例如形成一个 BPSG 膜。该层间绝缘膜的膜厚例如为 900nm。

然后，如图 24A 中所示，分别在层间绝缘膜 38 和绝缘膜 36 中形成接触孔 42，进入杂质扩散层 26、35。

接着，如图 24B 中所示，阻挡金属 44 被形成在接触孔 42 的内部。该阻挡金属 44 的材料例如为氮化钛。

然后，在内部形成有阻挡金属 44 的接触孔 42 中，埋住接触插塞 46。该接触插塞 46 的材料例如为钨。

接着，在层间绝缘膜 38 上形成阻挡金属 50、金属膜 52 和阻挡金属 54 的层膜。然后，通过光刻对该层膜进行构图。因此，形成该层膜的互连层 48。

然后，如图 25A 中所示，通过 CVD 方法把该绝缘膜 114 形成在整个表面上。该绝缘膜 114 例如为等离子体氧氮化膜。该绝缘膜 114 的膜厚例如为 500nm。

然后，例如通过旋涂方法把该绝缘膜 116 形成在整个表面上。该绝缘膜 116 例如为 SOG（玻璃上旋涂）膜。该绝缘膜 116 的膜厚例如为。

接着，例如通过整体蚀刻直到暴露该绝缘膜 114 的表面为止，蚀刻该绝缘膜 116 的表面。

然后，例如通过等离子体 CVD 方法把该层间绝缘膜 118 形成在整个表面上。该层间绝缘膜 118 的材料例如为氧化硅膜。该层间绝缘膜 118 的膜厚例如为 400nm。

接着，如图 25B 中所示，该接触孔 120 形成在该层间绝缘膜 118 和绝缘膜 114 中，进入互连层 48 内。

接着，如图 26 中所示，阻挡金属 122 形成在接触孔 120 的内部。该阻挡金属 122 的材料例如为氮化钛。

然后，在内部形成有阻挡金属 122 的接触孔中，埋住接触插塞 124。

该接触插塞 124 的材料例如为钨。

然后，阻挡金属 126、金属膜 128 和阻挡金属 130 的层膜形成在层间绝缘膜 118 上。然后，通过光刻方法对该层膜进行构图。因此，形成该层膜的互连层 132。

接着，如图 27 中所示，例如通过 CVD 方法在整个表面上形成该绝缘膜 134。如绝缘膜 134 所示，例如使用一个氧化硅膜。该绝缘膜 134 的膜厚例如为 500nm。

然后，例如通过旋涂方法把该绝缘膜 136 形成在整个表面上。作为该绝缘膜 136，例如使用一个 SOG 膜。该绝缘膜 136 的膜厚例如为 500nm。

接着，例如通过 CMP 方法对该绝缘膜 136 的整个表面进行抛光，直到暴露该绝缘膜 134 的表面。

然后，例如通过 CVD 方法在整个表面上形成层间绝缘膜 138。作为该层间绝缘膜 138，例如使用一个氮化硅膜。该层间绝缘膜 138 的膜厚例如为 500nm。

因此，制造根据本实施例的半导体器件。

如上文所述，在本实施例中，控制栅极 18 被埋在半导体基片 10 中，其允许通过相同的制造工艺形成存储器晶体管 40 和其他晶体管。因此，根据本实施例，可以减少制造工艺，并且可以低成本地制造该半导体器件。

#### [变型实施例]

本发明不限于上述实施例，并且可以覆盖其他各种变型。

例如，在上述实施例中，该 p 型阱形成在 n 型阱中，并且 n 型控制栅极形成在 p 型阱中。但是，n 型阱可以形成在 p 型阱中，并且 p 型控制栅极被形成在 n 型阱中。

在上述实施例中，作为场效应晶体管的存储器晶体管和其他晶体管被混合。但是，存储器晶体管和双极型晶体管可以被混合。也就是说，该存储器晶体管和 CMOS 电路可以被混合，以及存储器晶体管和 BiCMOS 电路可以被混合。即使在混合该存储器晶体管和 BiCMOS 电

---

路中，根据本发明，可以减少制造工艺，并且可以实现成本的减小，如在上述实施例中所述那样。

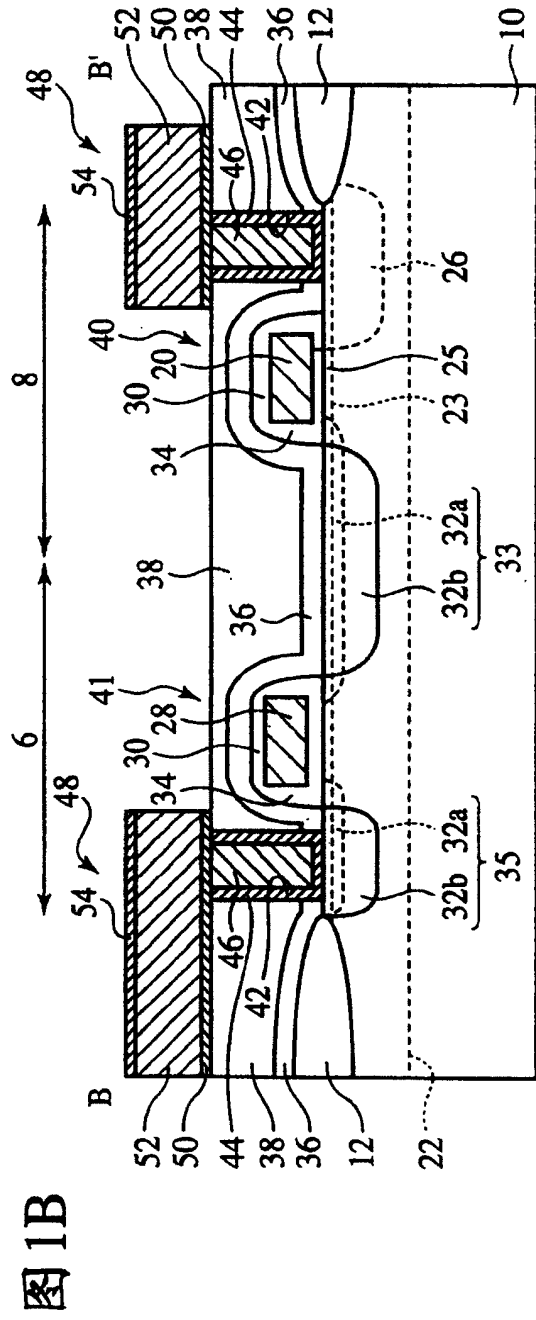
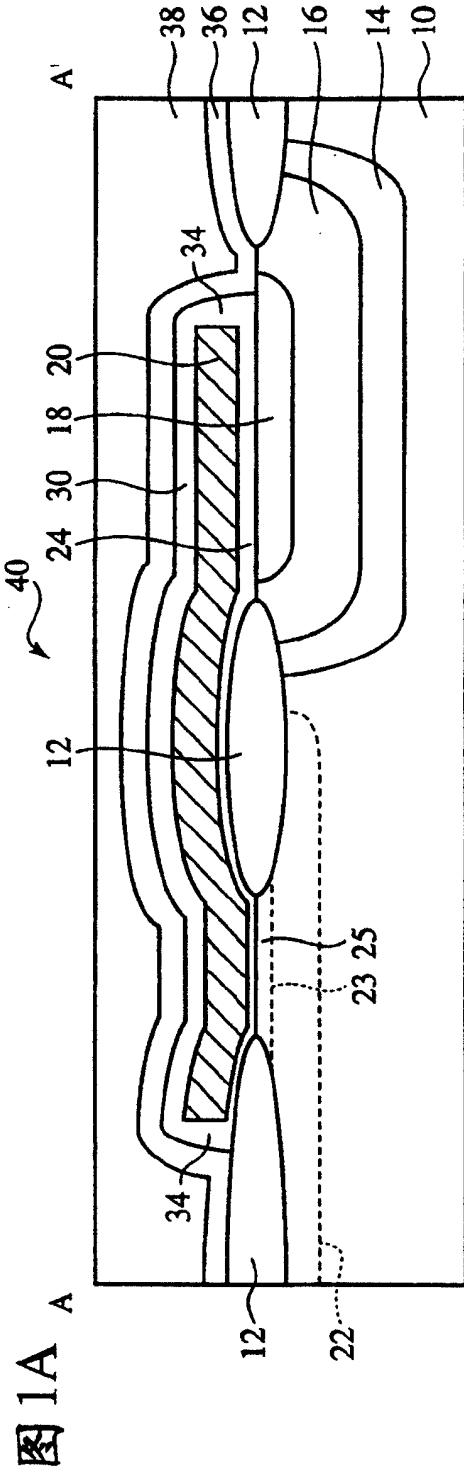


图 2

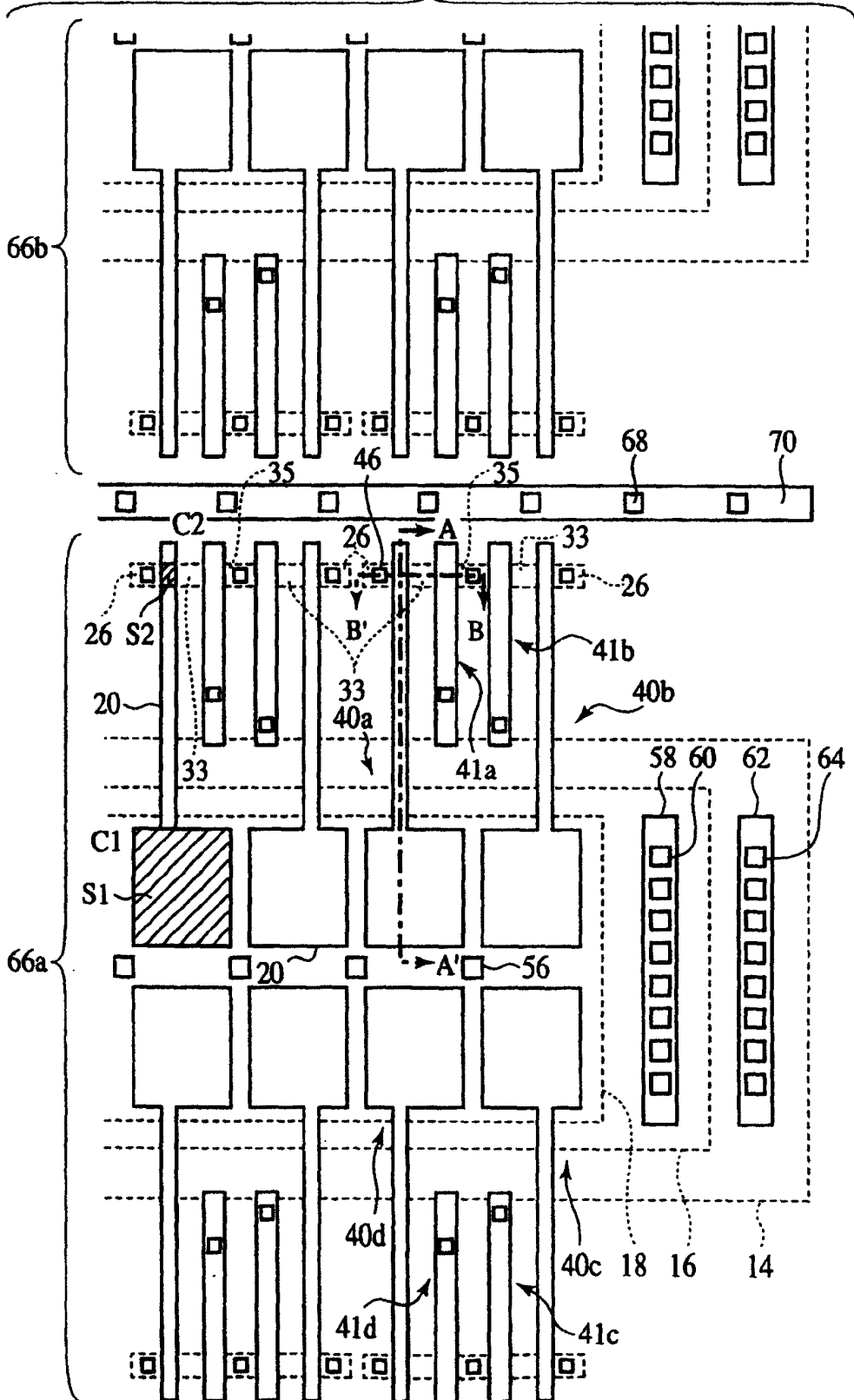




图 3

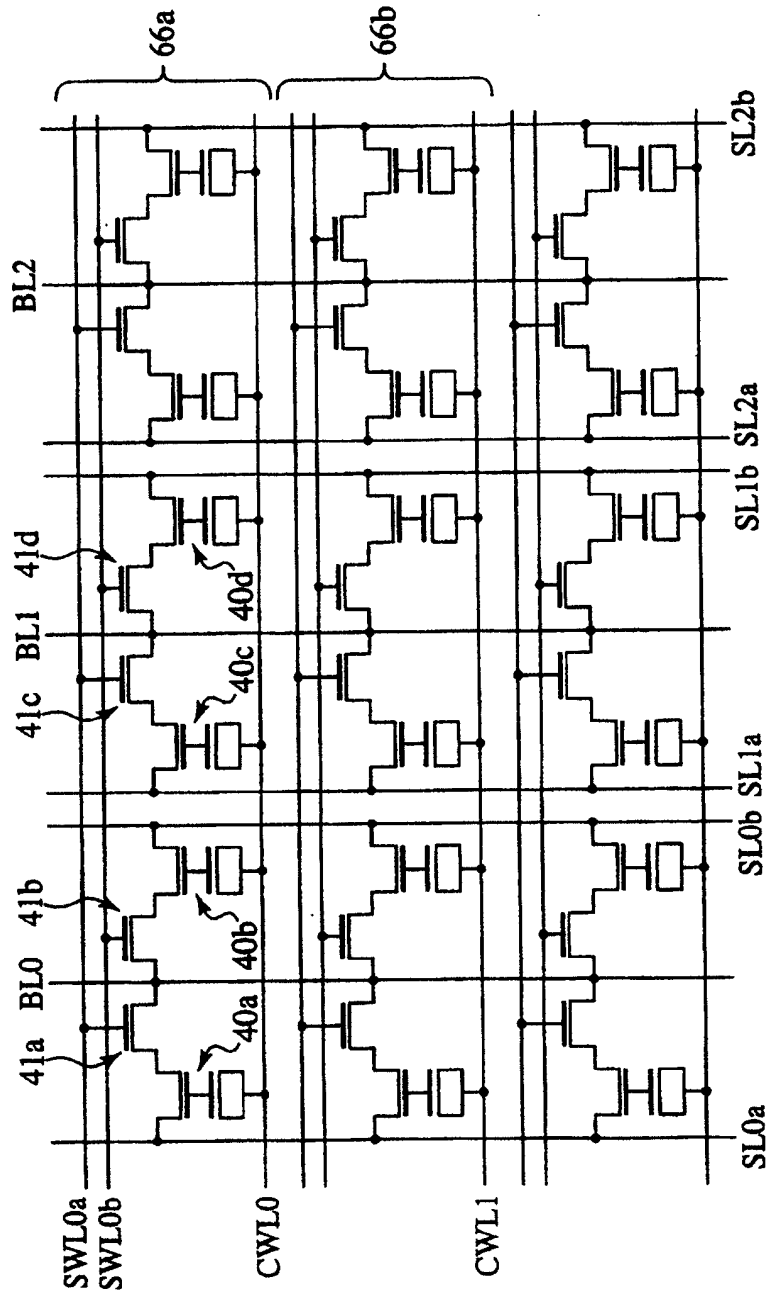


图4A

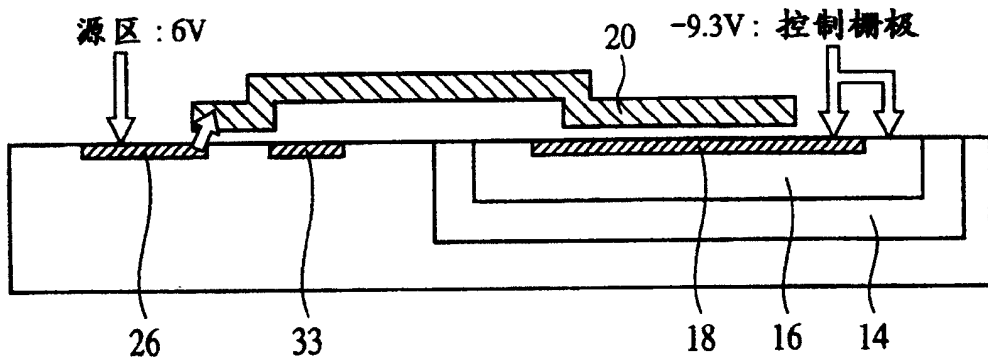
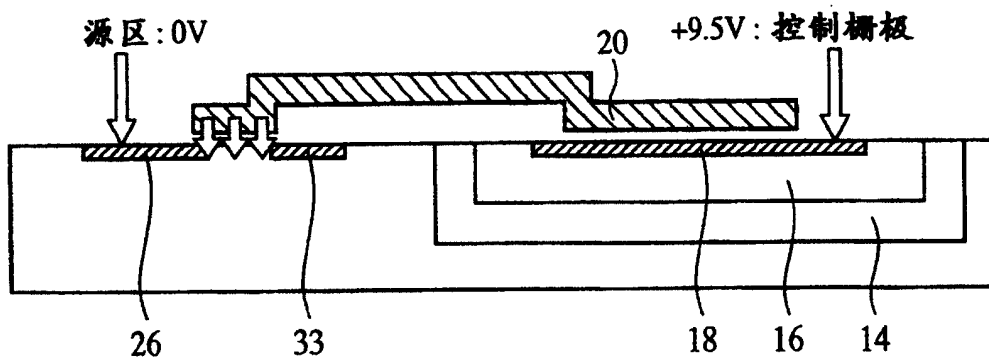
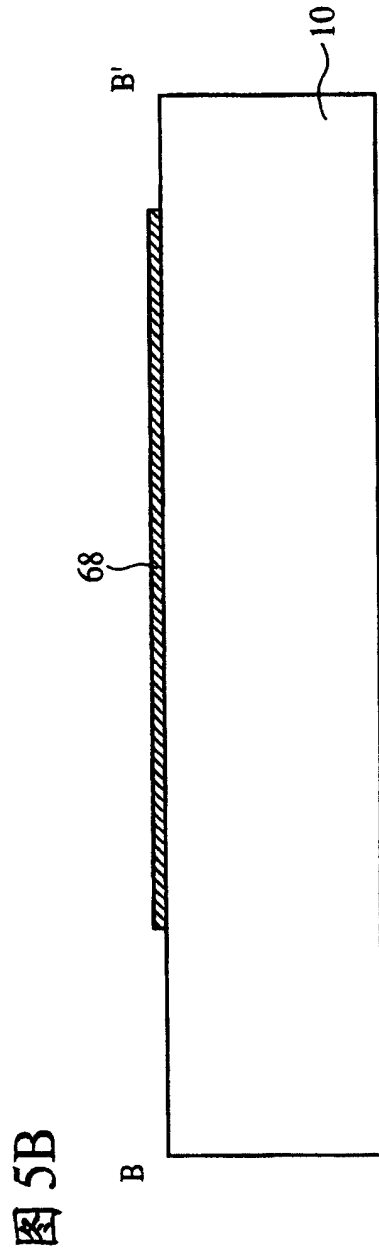
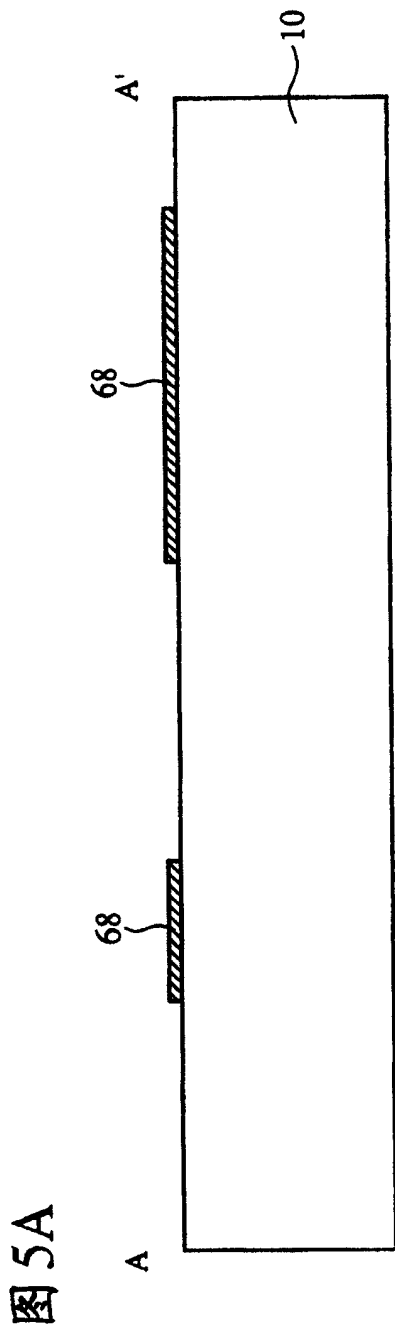
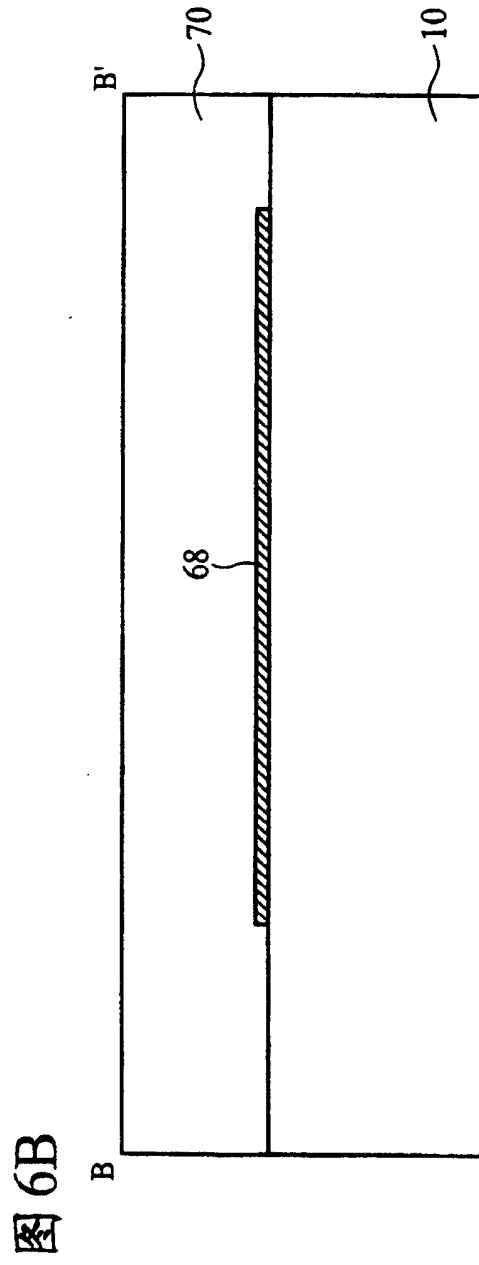
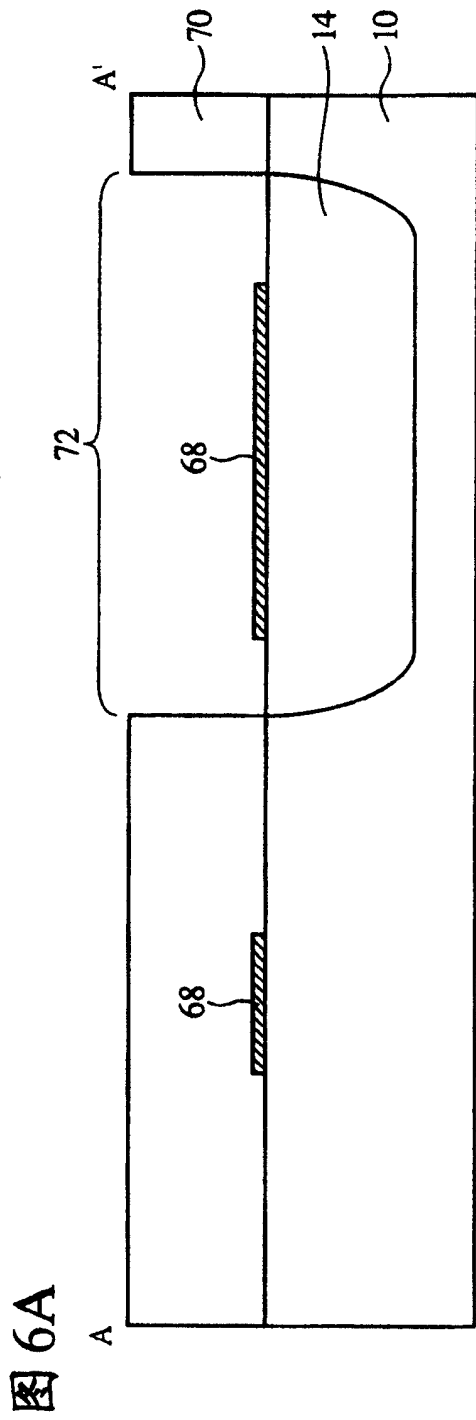
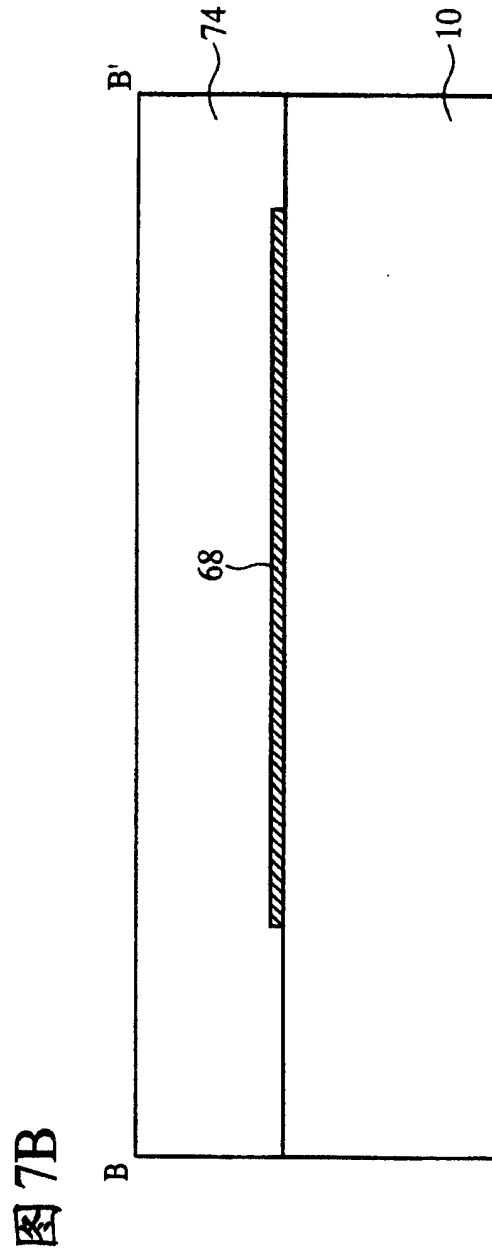
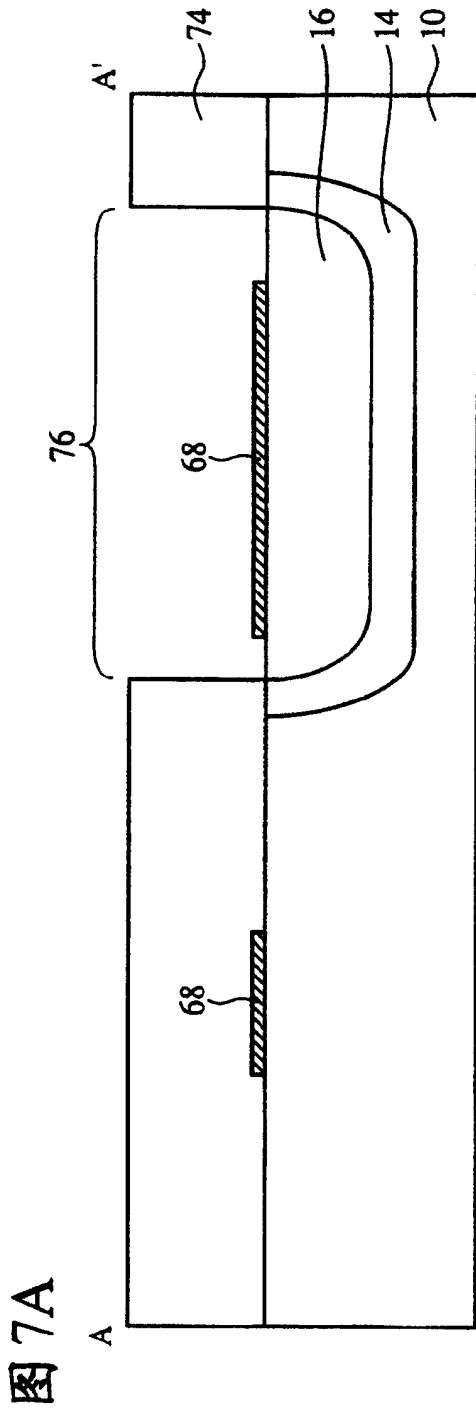


图4B









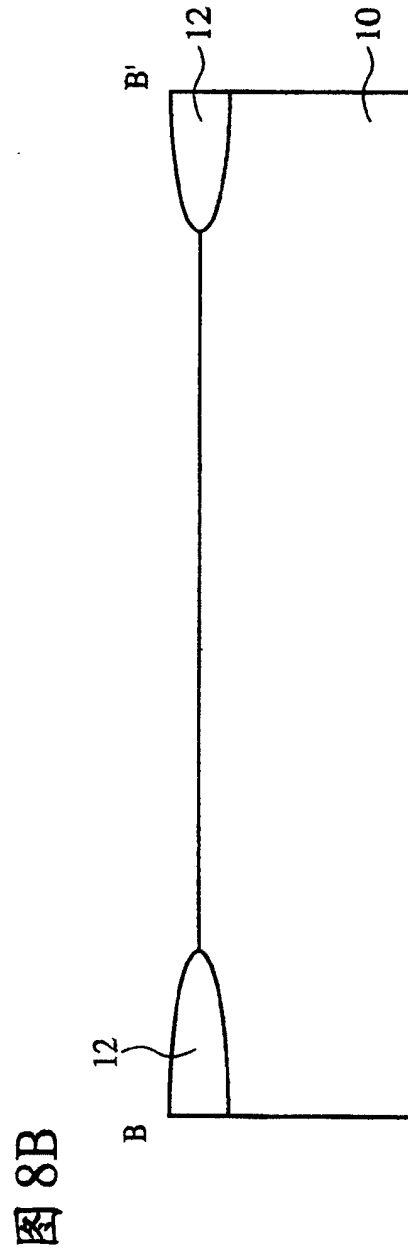
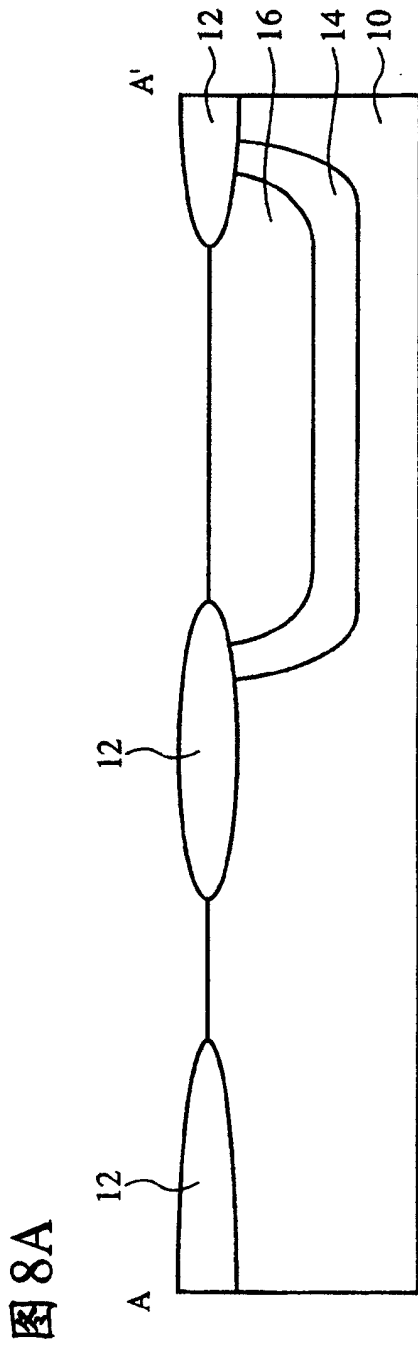


图9A

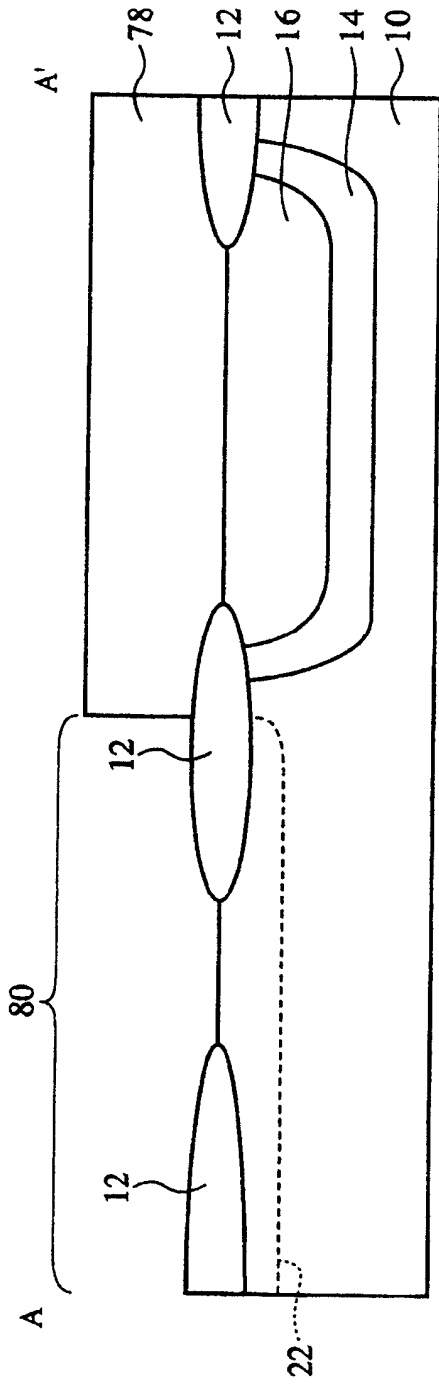


图9B

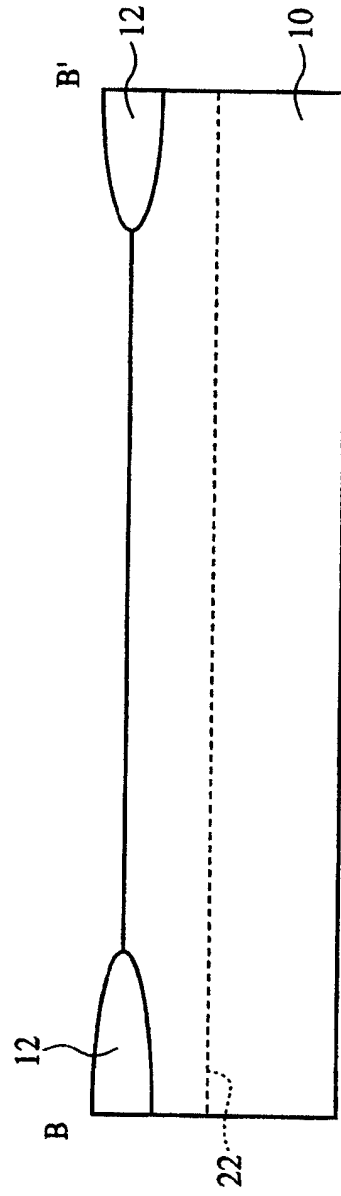


图10A

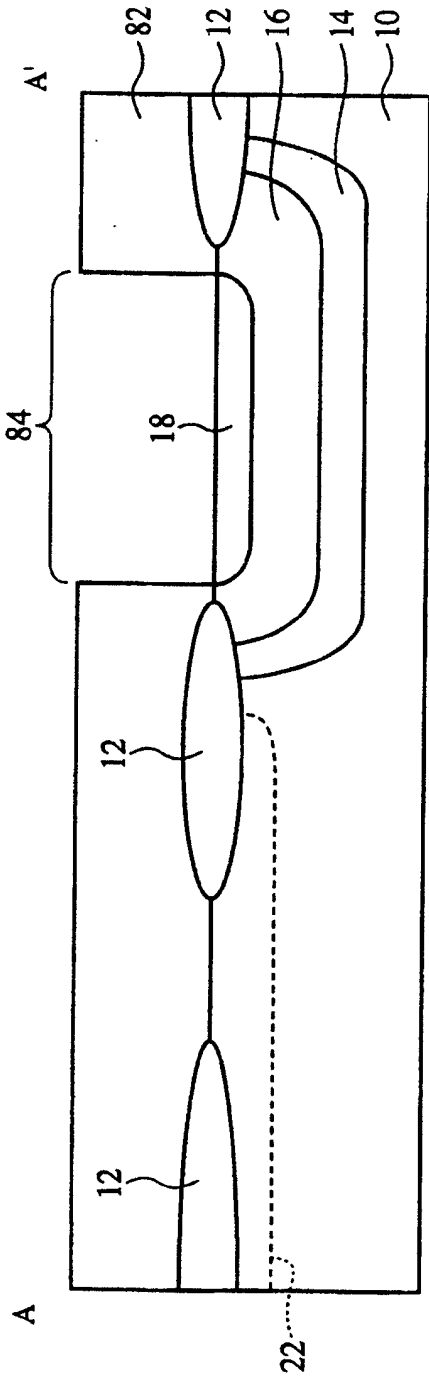


图10B

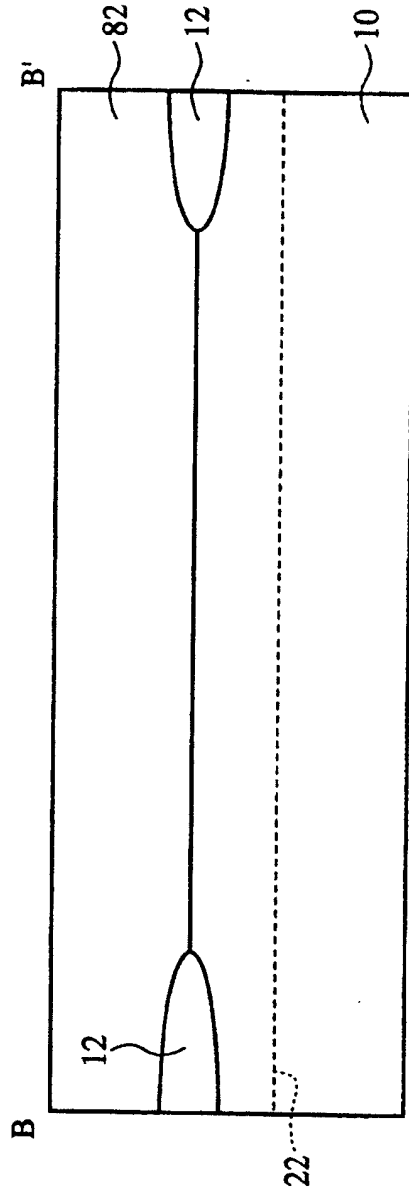




图11A

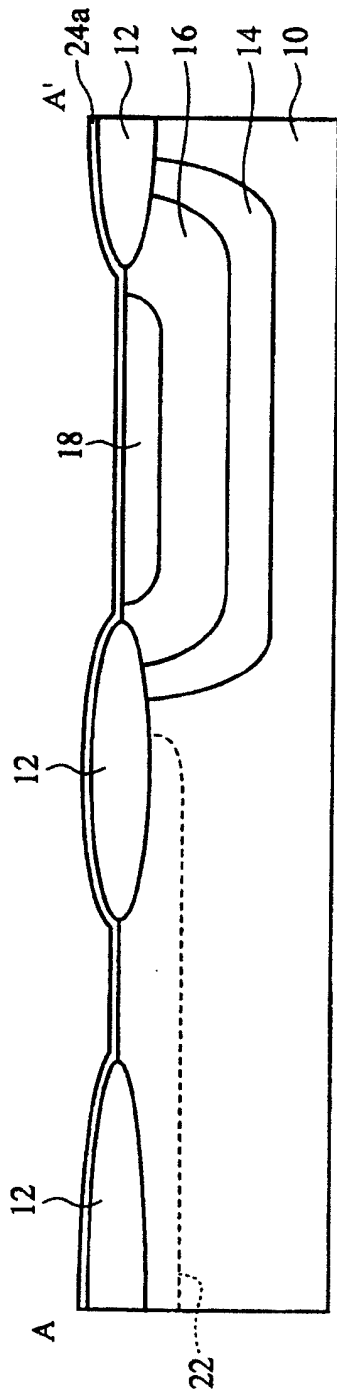
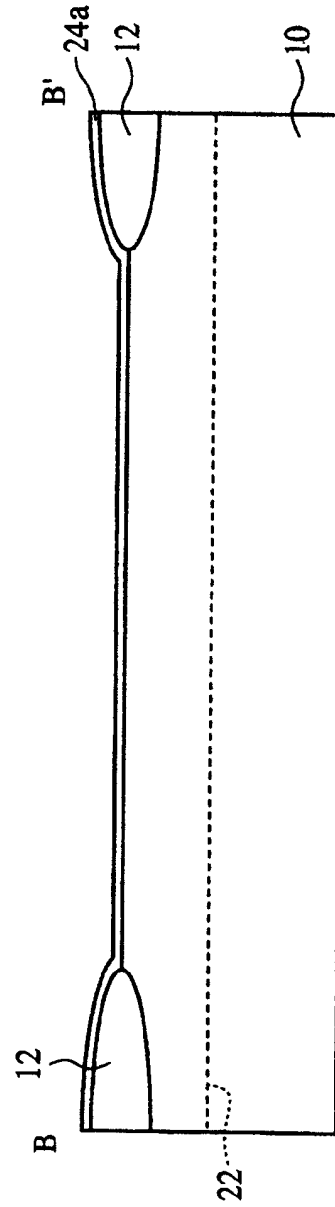
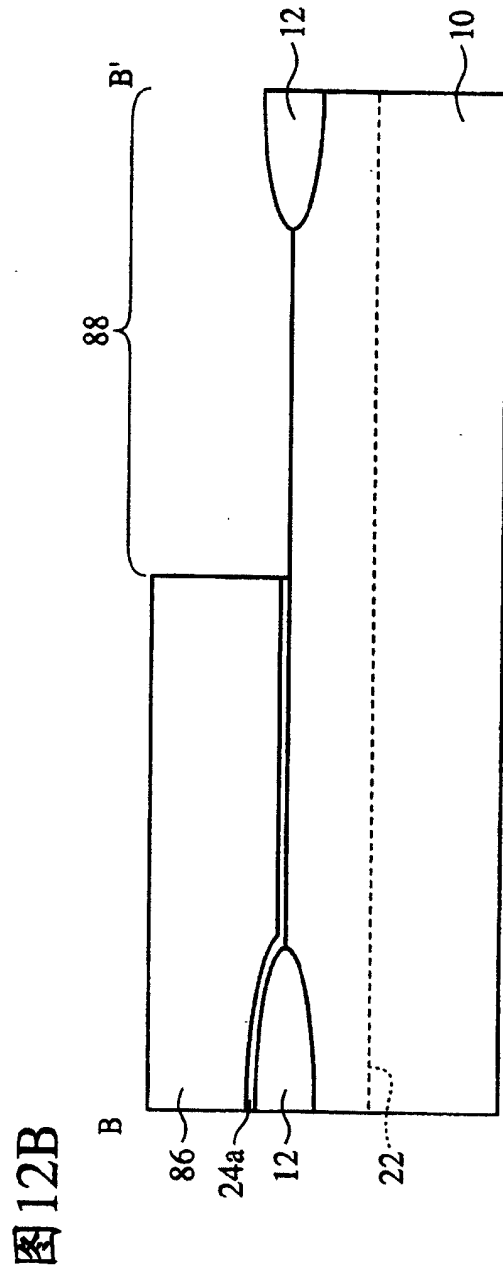
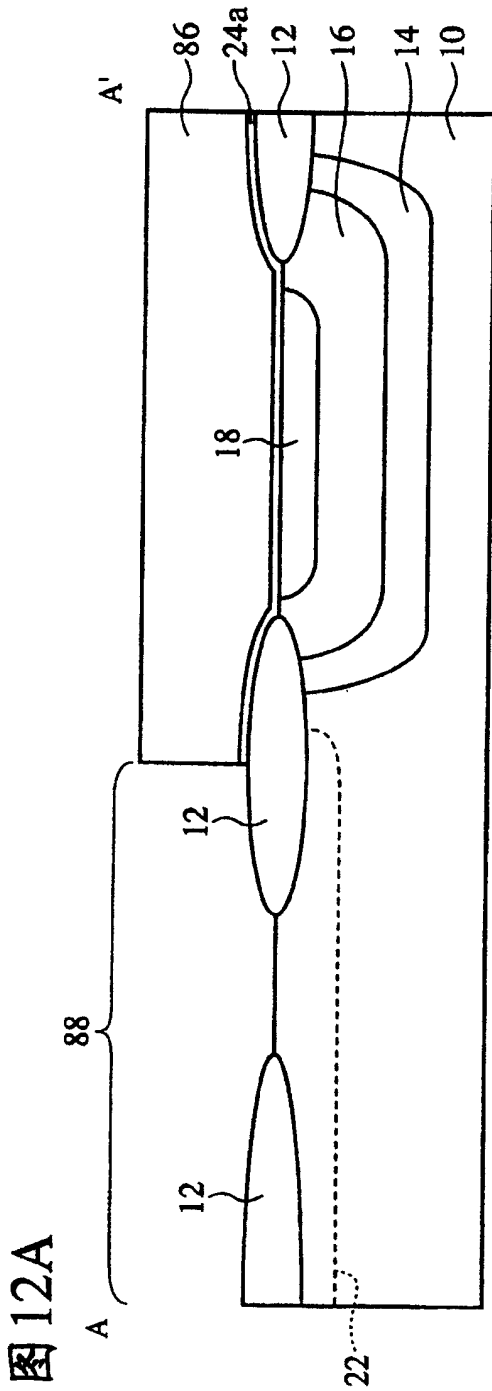


图11B





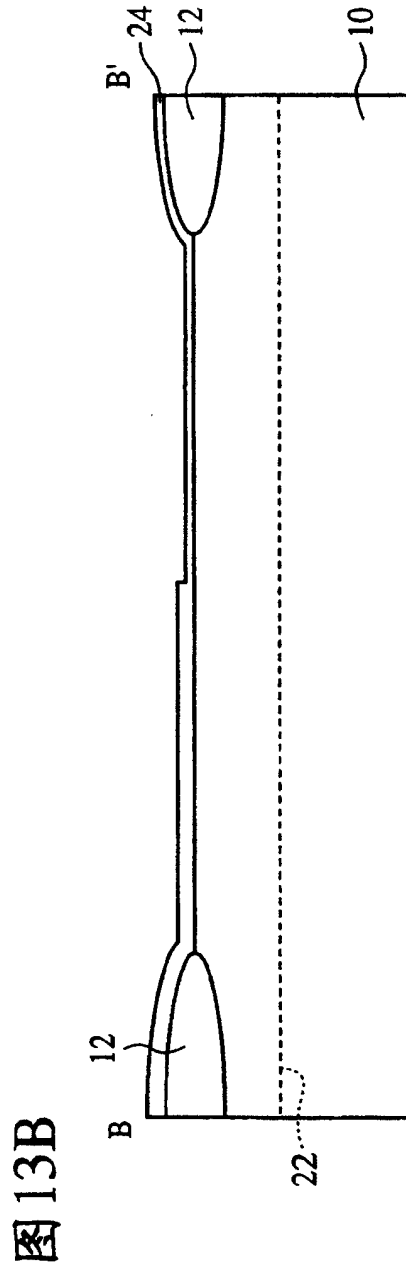
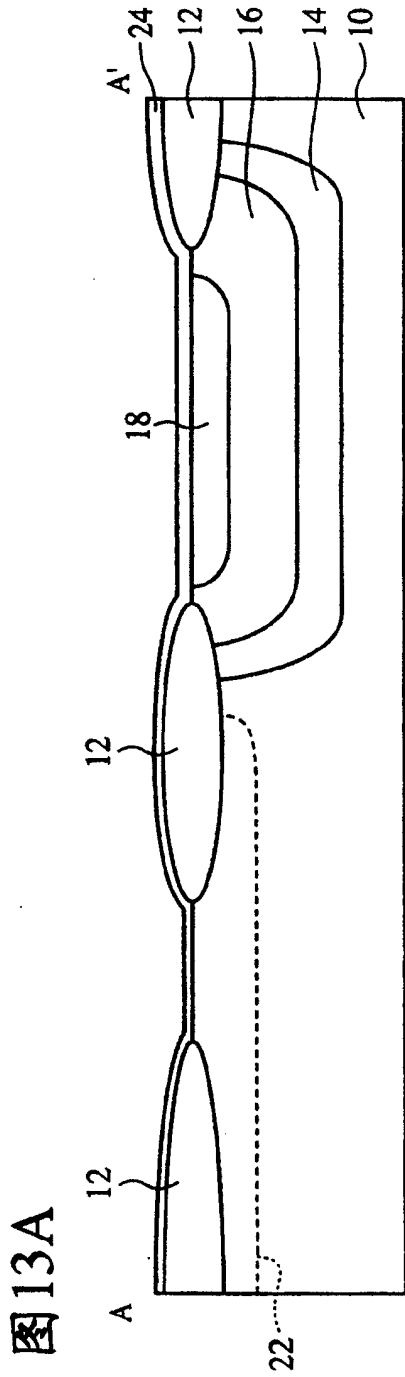


图14A

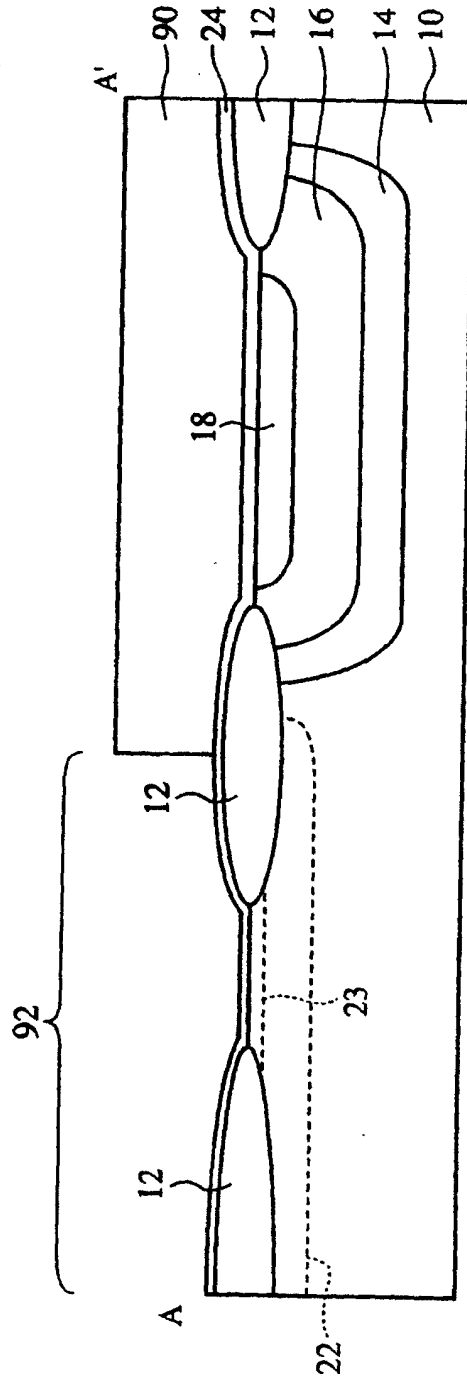


图14B

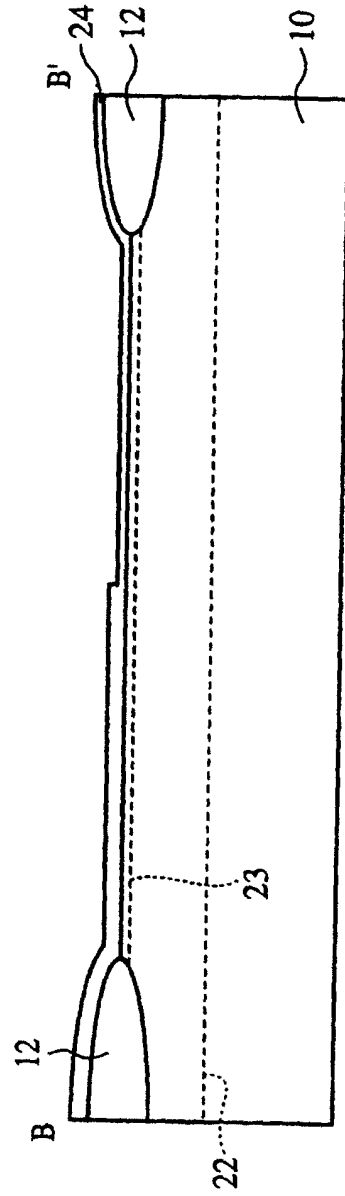


图15A

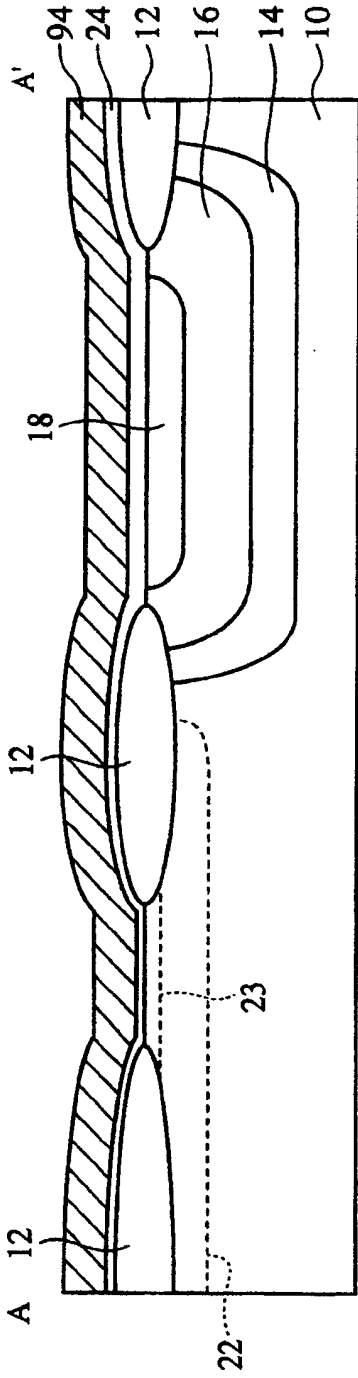


图15B

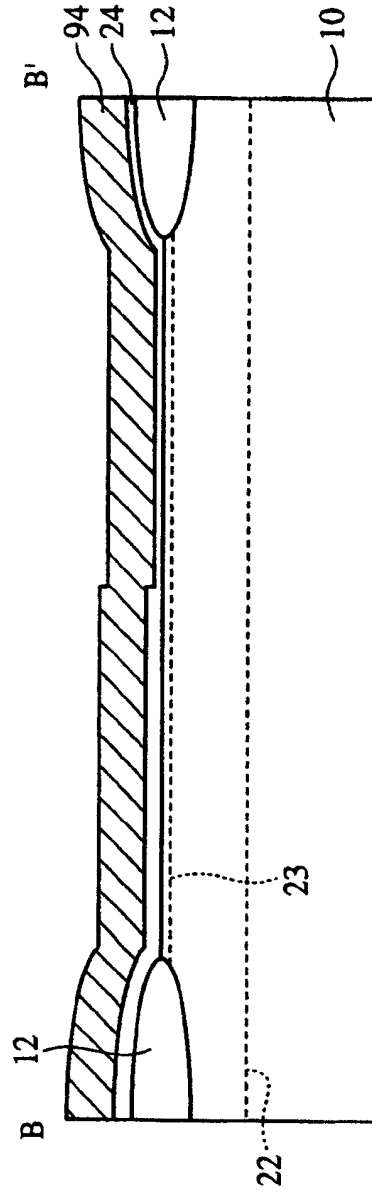


图16A

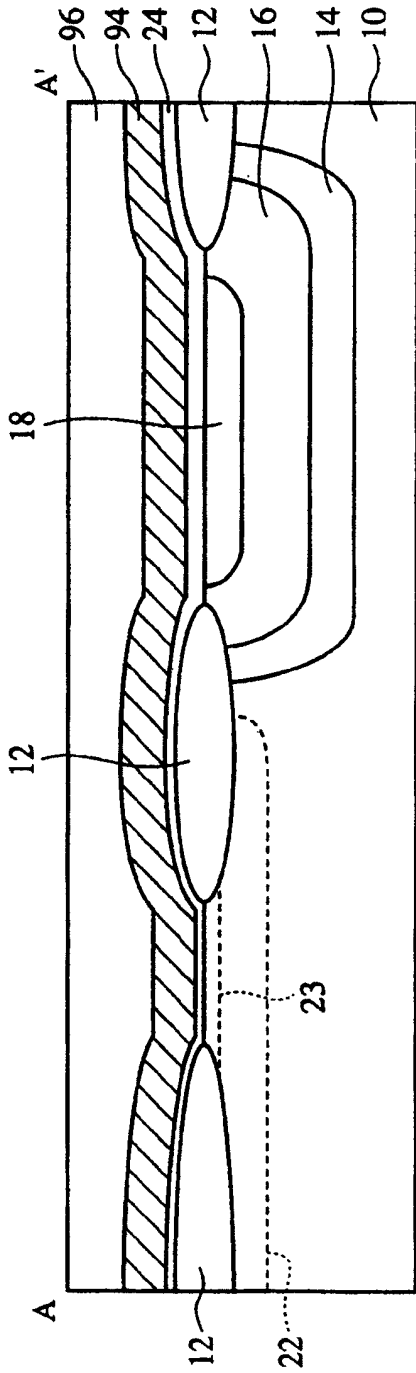


图16B

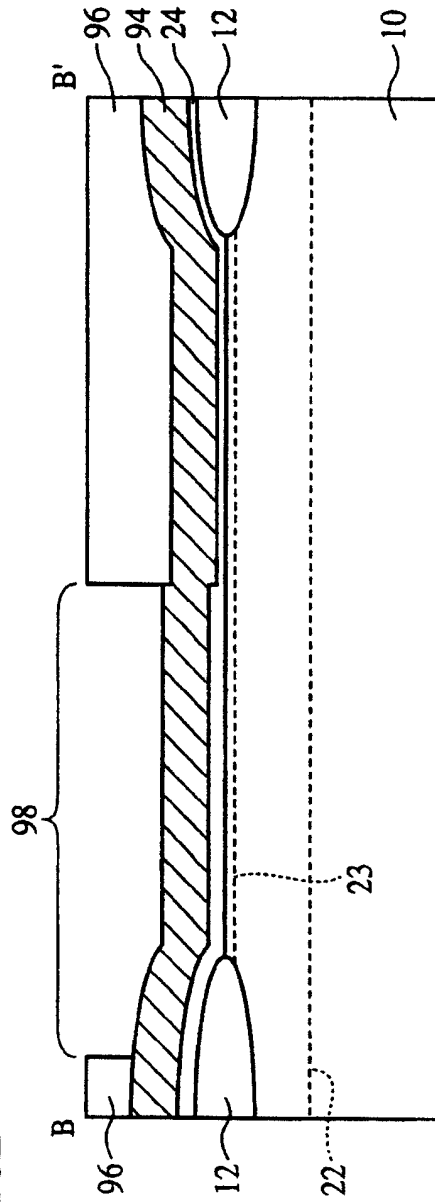


图17A

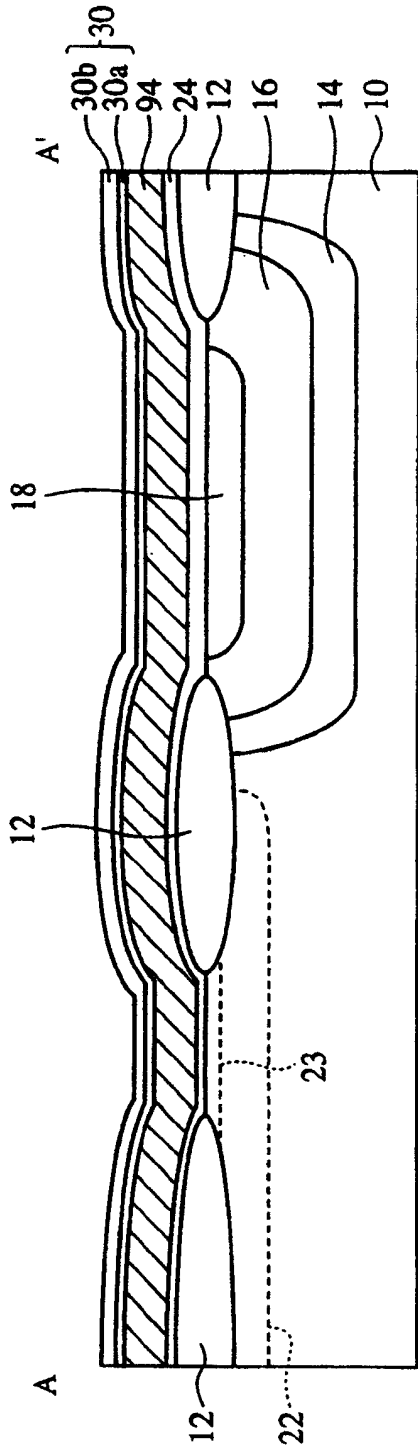
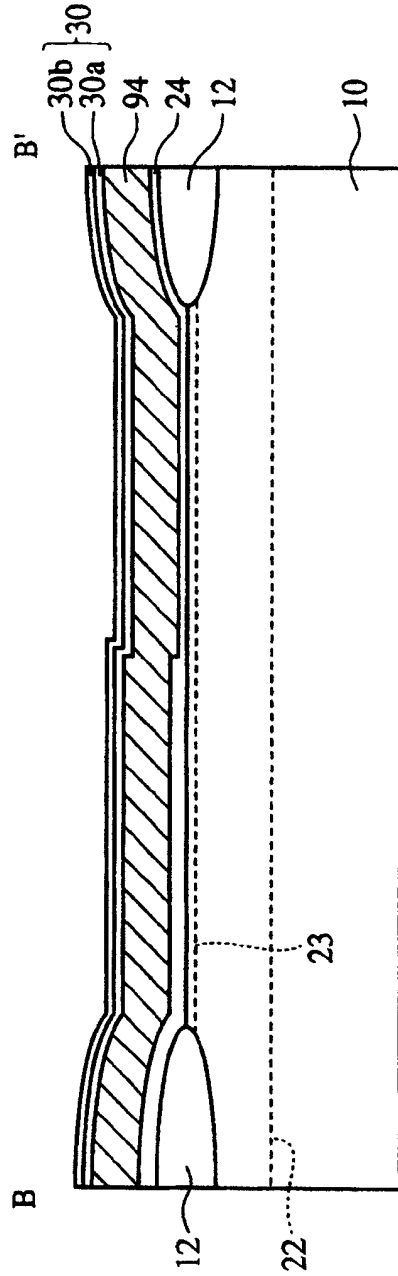


图17B



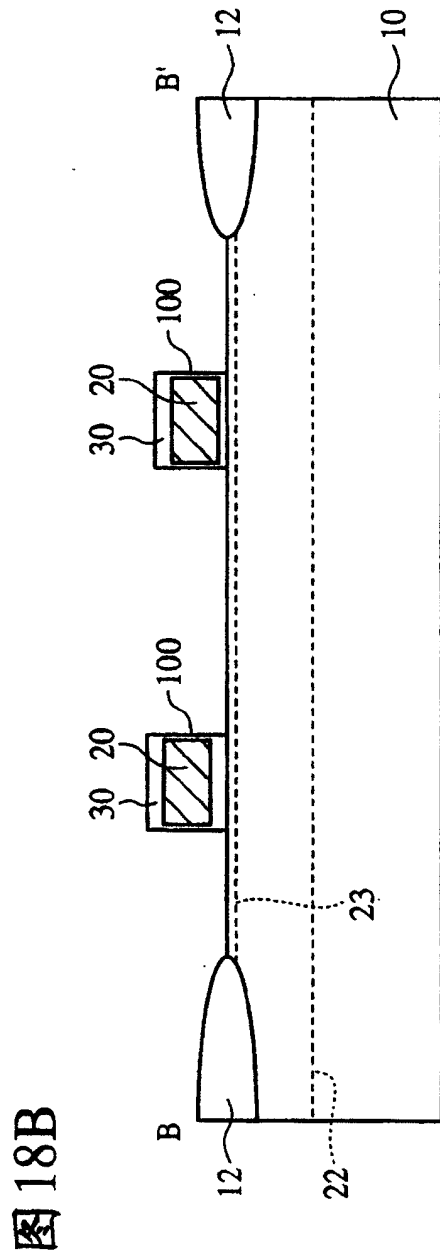
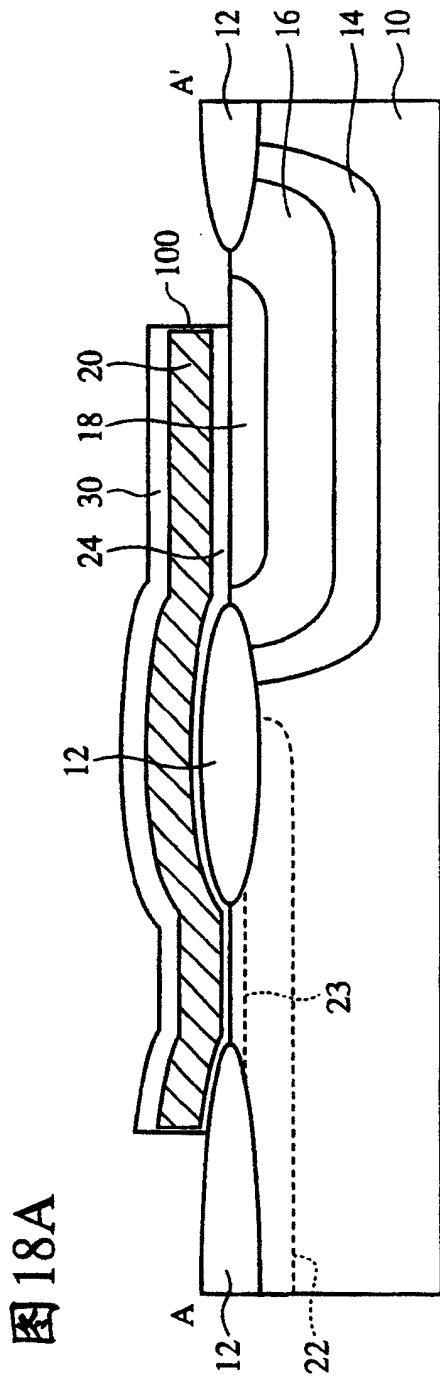




图19A

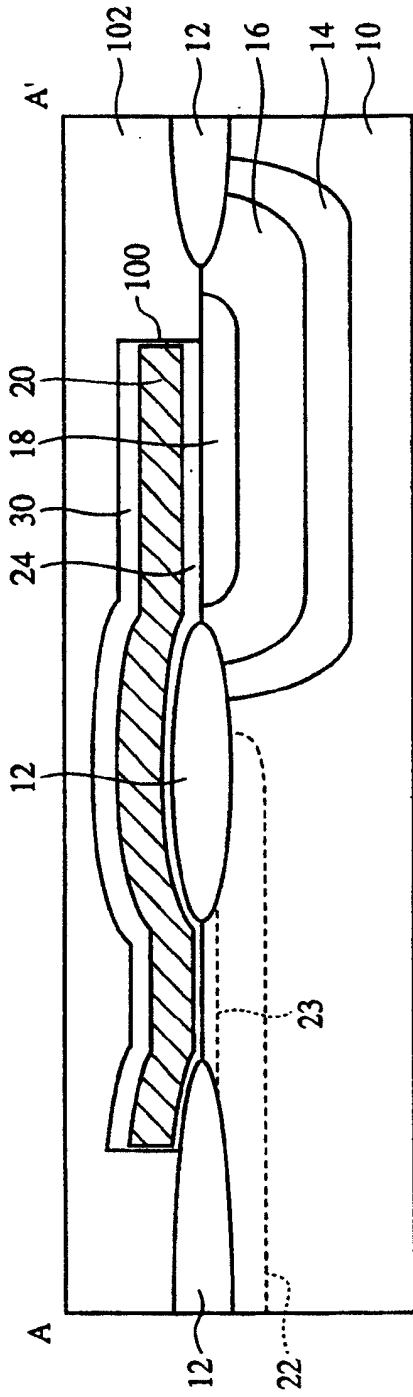


图19B

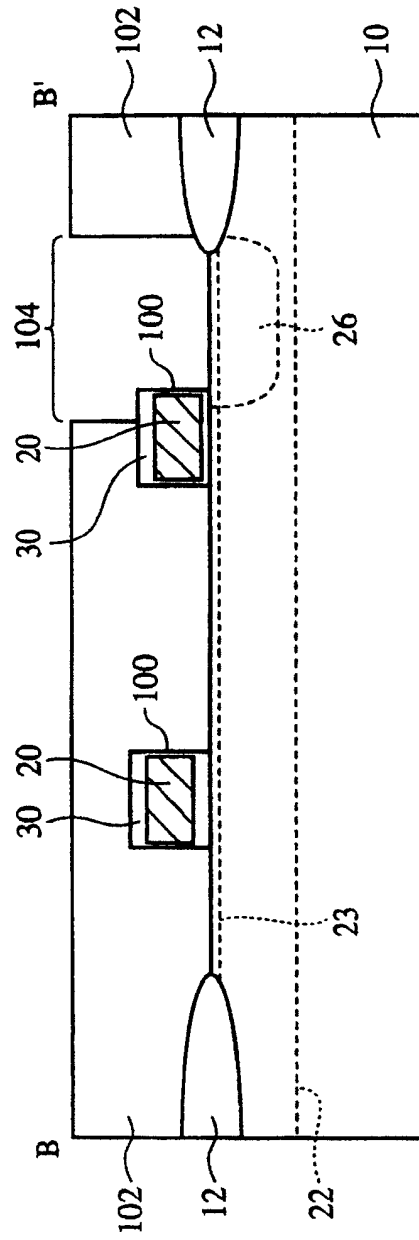


图 20A

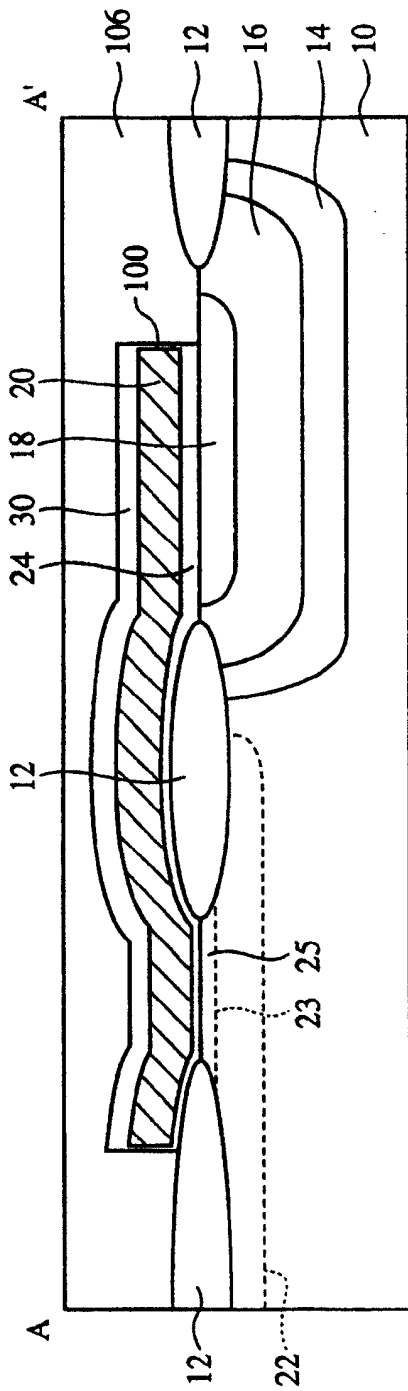


图 20B

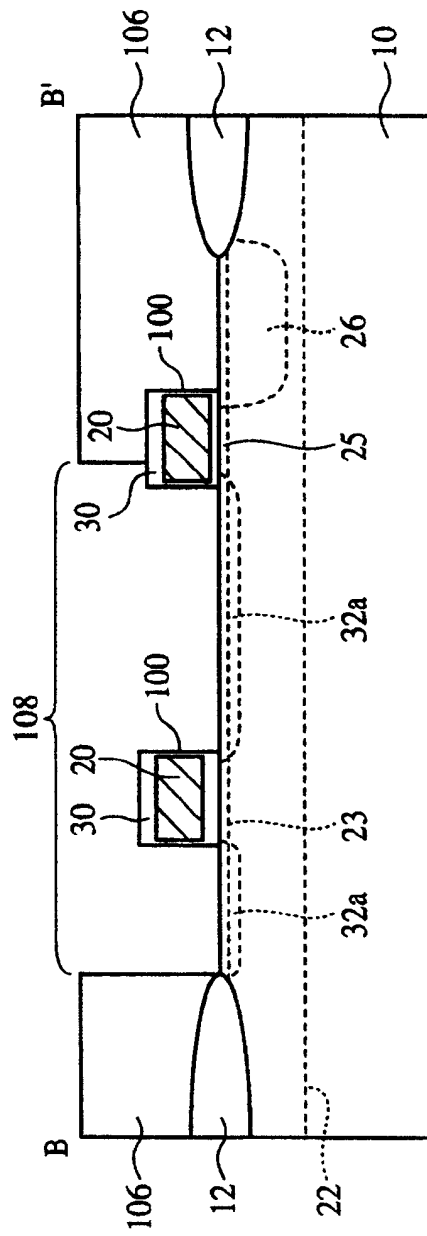


图21A

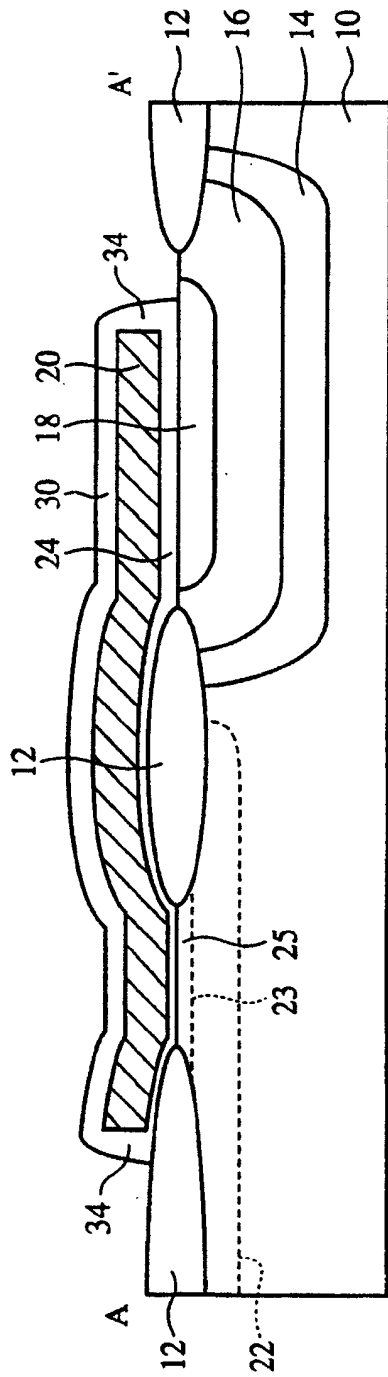
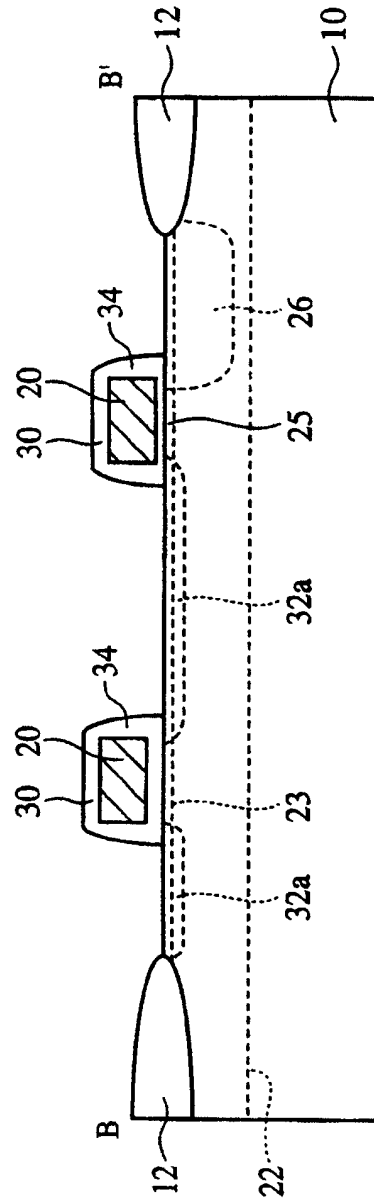
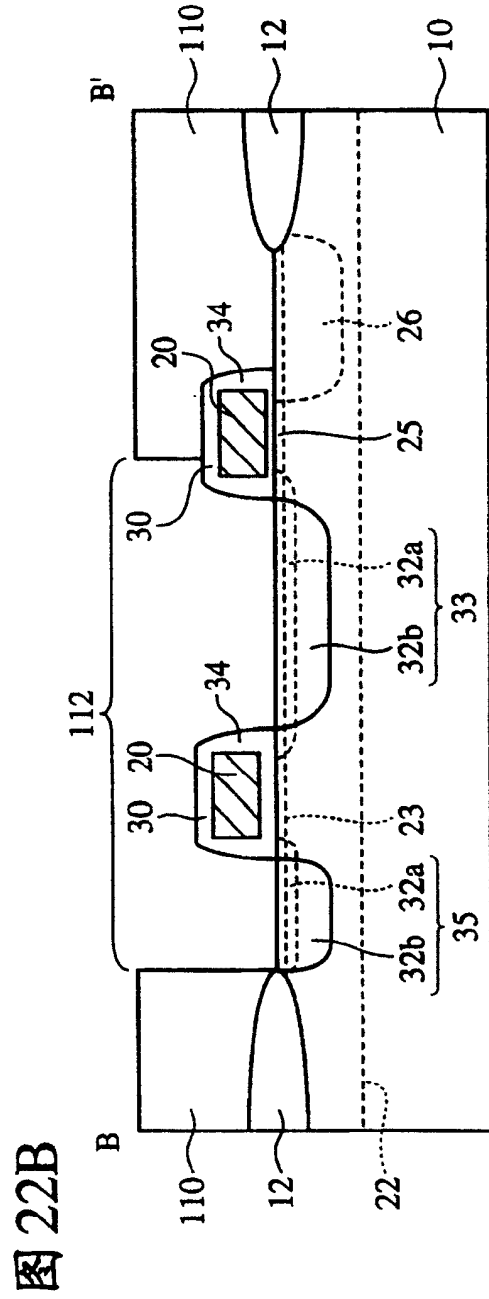
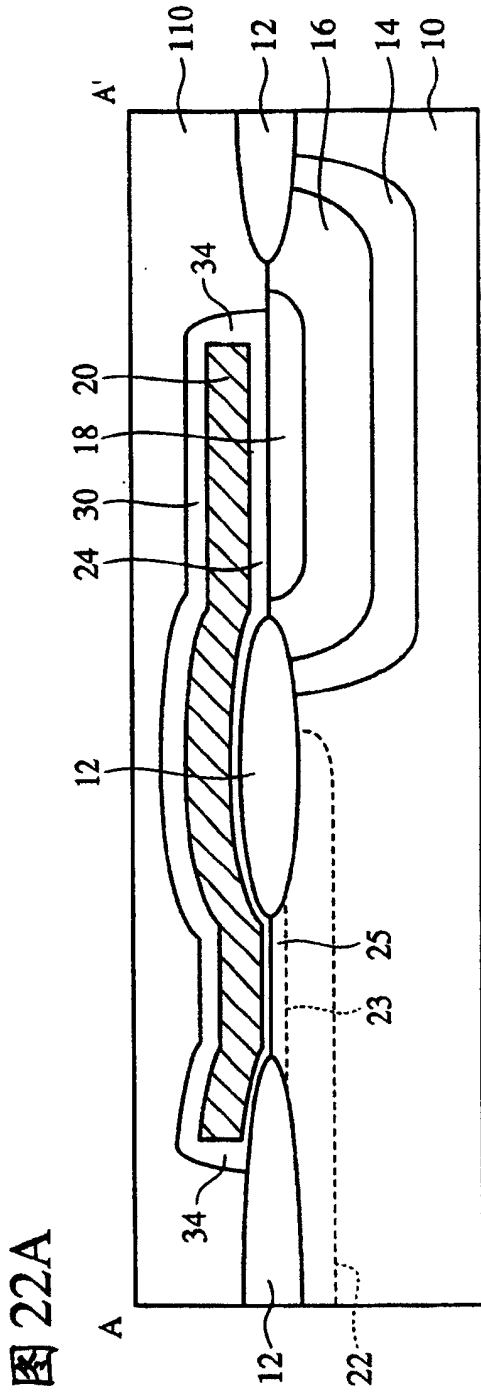


图21B





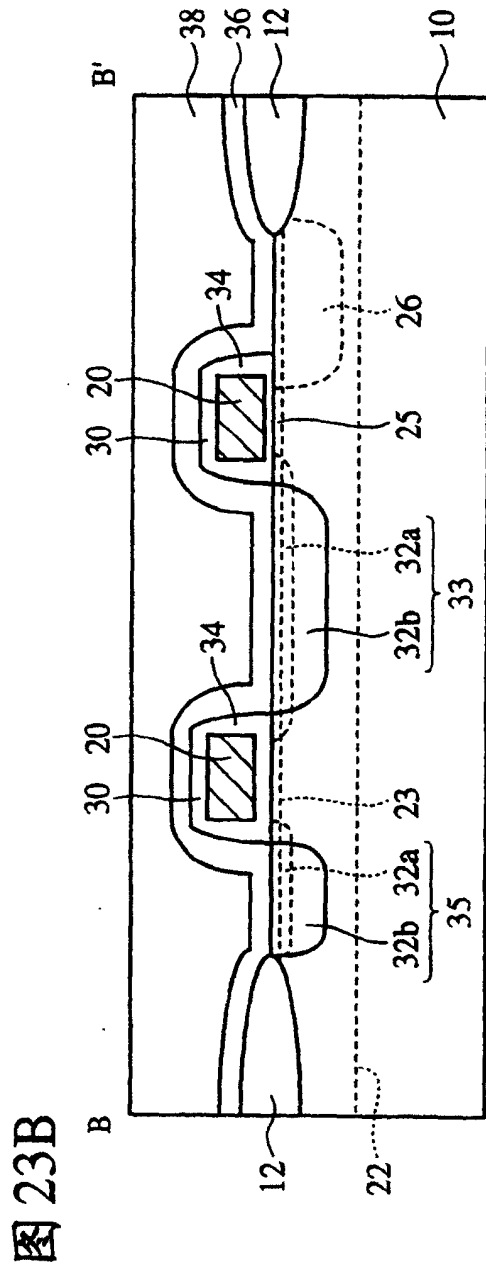
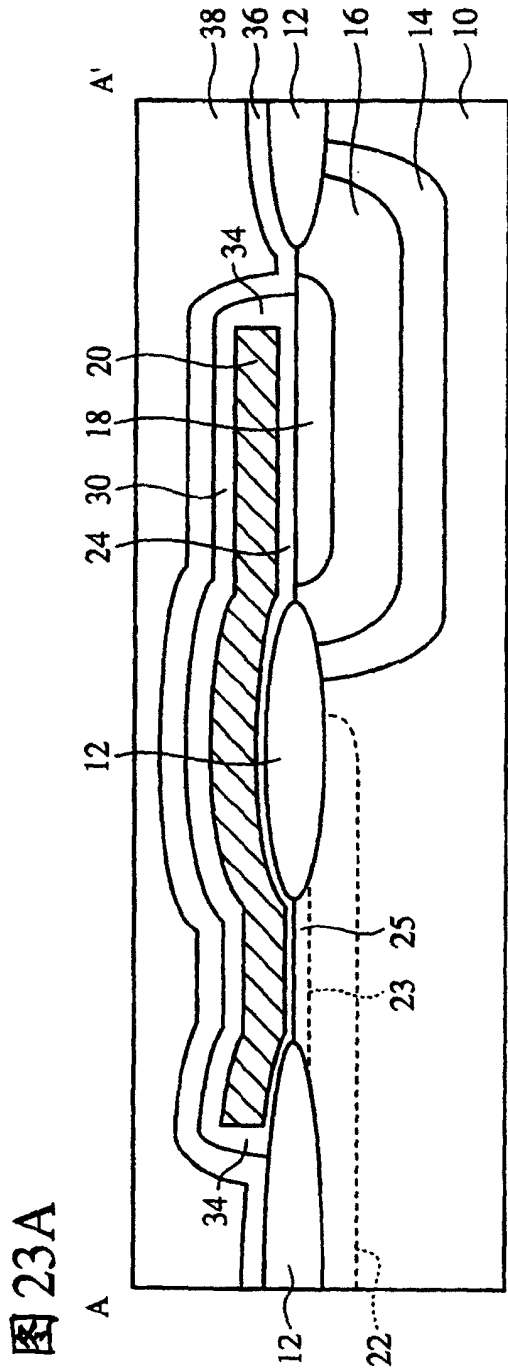


图 24A

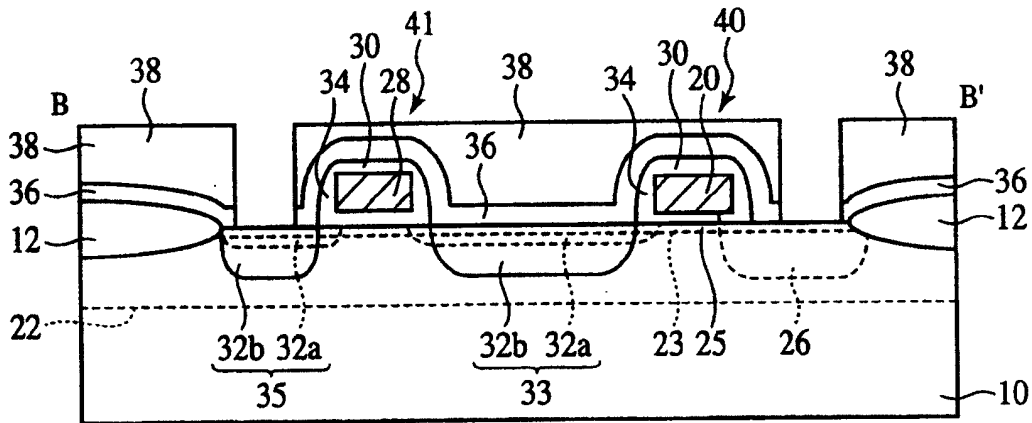


图 24B

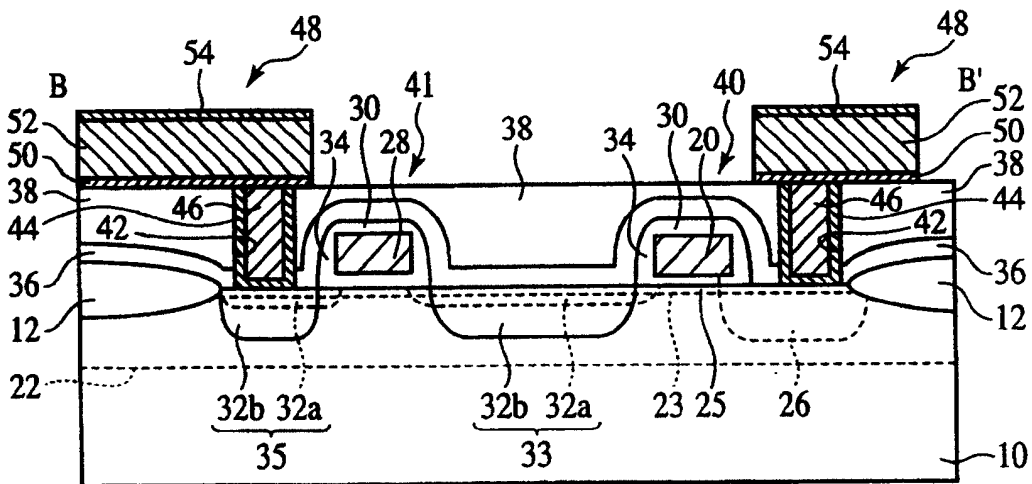


图 25A

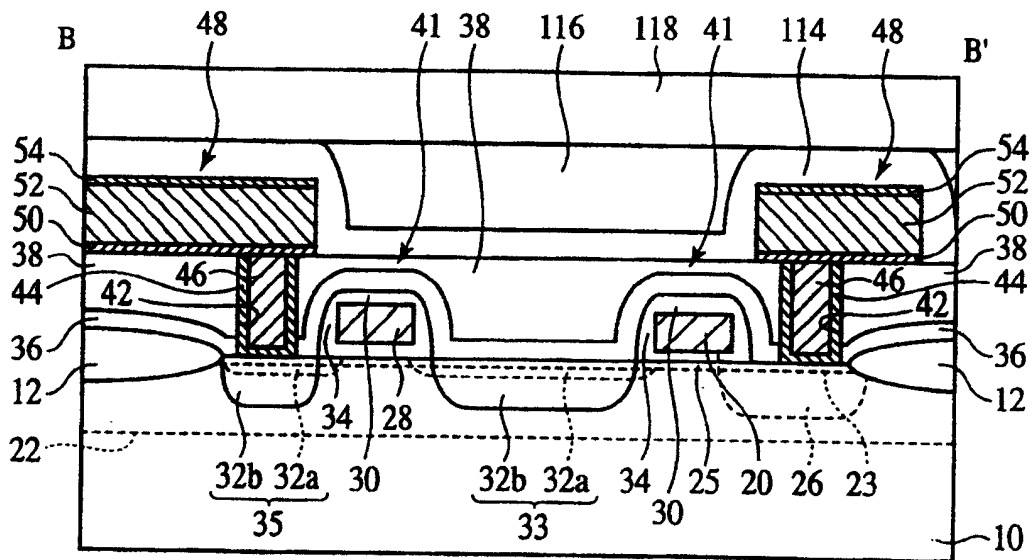


图 25B

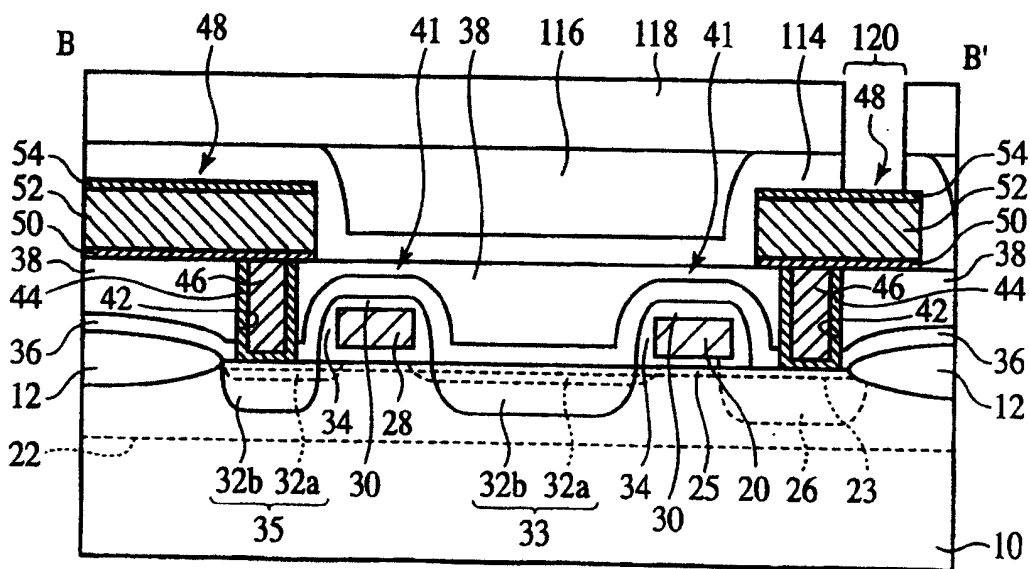


图 26

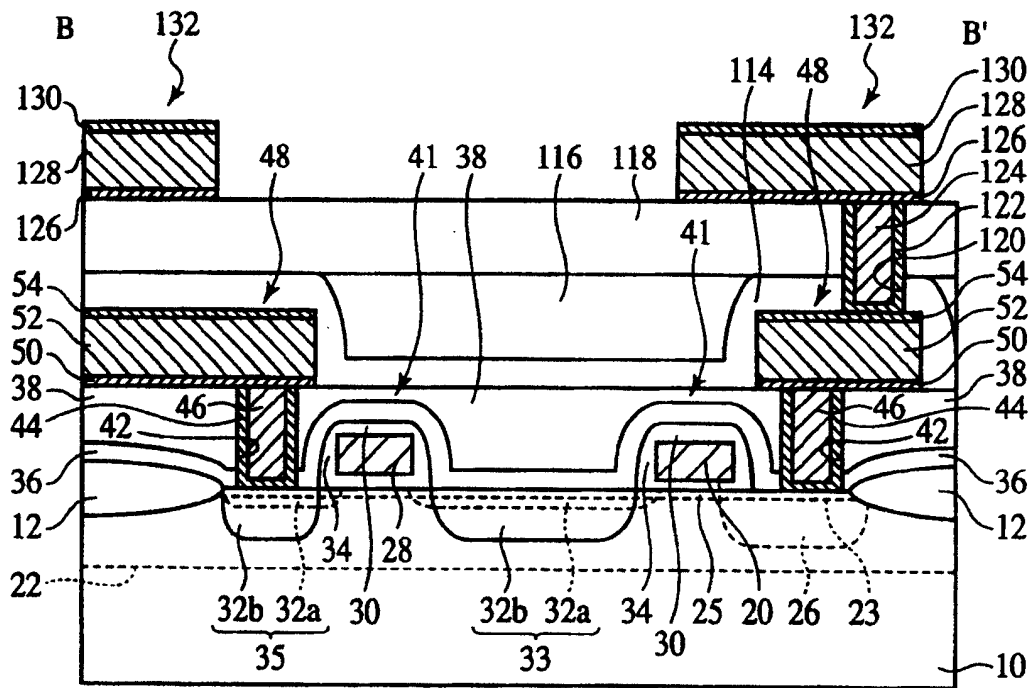




图 27

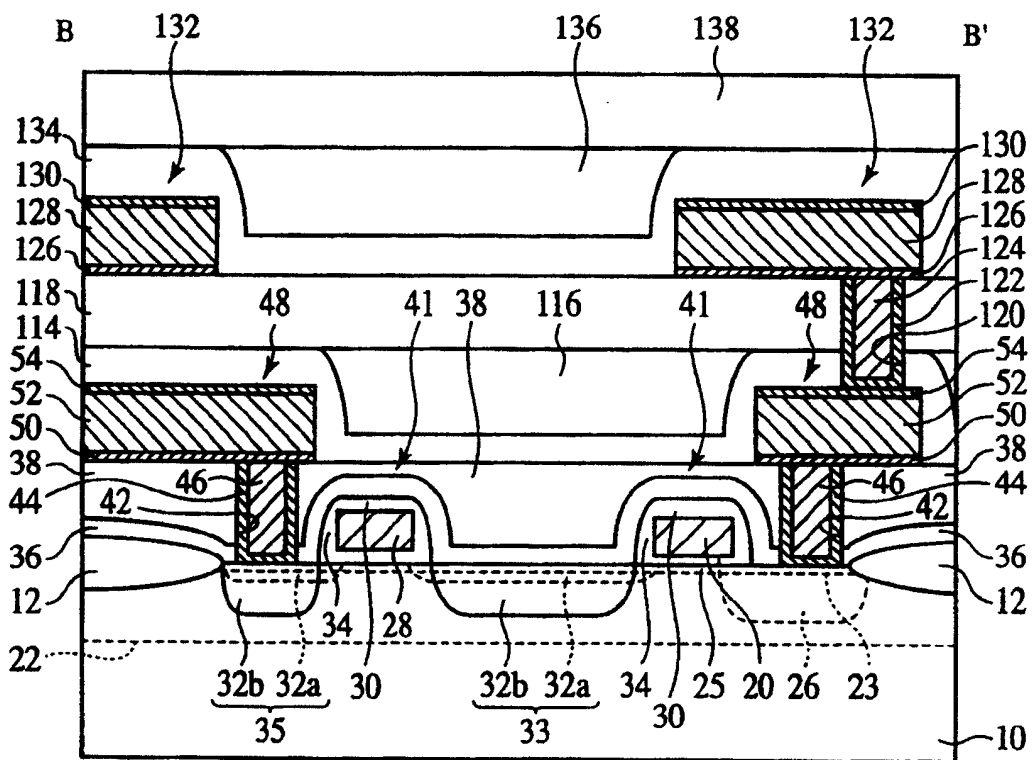


图 28

