

申請日期： P3-4-27	IPC分類 H01L 27/04
申請案號： P3111711	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有電感元件之晶片結構及其製程
	英文	High Performance System-On-Chip Inductor Using Post Passivation Process
二、 發明人 (共1人)	姓名 (中文)	1. 林茂雄
	姓名 (英文)	1. LIN, MOU SHIUNG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹市金山十街28號
	住居所 (英文)	1. NO. 28, CHIN-SHAN ST. X, HSINCHU, TAIWAN, R. O. C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 米輯科技股份有限公司
	名稱或姓名 (英文)	1. MEGIC CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區研發一路21號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 21, R&D 1ST RD., SCIENCE-BASED INDUSTRIAL PARK HSINCHU, TAIWAN, R. O. C.
	代表人 (中文)	1. 林茂雄
	代表人 (英文)	1. LIN, MOU SHIUNG



11713twf.ptd

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2003/05/27	10/445,558	有

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

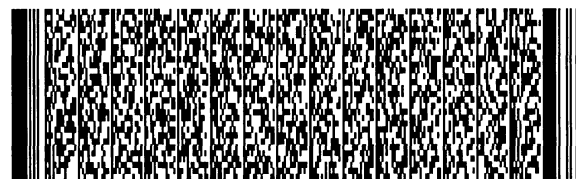
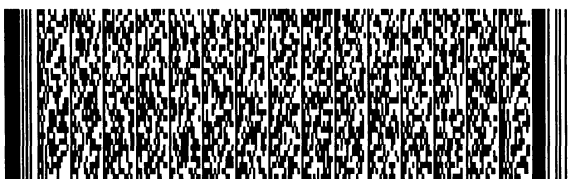
【發明所屬之技術領域】

本發明是有關於一種高效能之積體電路的製作，且特別是有關於一種形成比如是電感元件之高效能的電子元件於晶片之表面上的方法，可以降低因為晶片所導致的電磁損耗。

【先前技術】

半導體技術持續所追求的目標係能夠在具競爭性的價格下製造出高效能的半導體元件。隨著半導體製程及材料的研發，再配合新型且精緻的元件設計，如此半導體元件的尺寸可以大幅縮小。大部分的半導體元件係用來處理數位資料，然而也有部分之半導體元件整合有類比的機能，如此半導體元件便可以同時處理數位資料及類比資料，或者半導體元件亦可以僅具有類比的機能。製造類比電路的主要困難點之一是在於許多用於類比電路的電子元件甚大，難以與次微米極的電子元件整合，尤其是針對電容元件及電感元件而言，此乃因為電容元件及電感元件的尺寸過於龐大。

一般而言，電感元件係應用在移動通訊的領域中，比如是應用在配置有射頻放大器(RF amplifier)之半導體元件上，而射頻放大器主要包括有調整電路(tuned circuit)，其中調整電路具有電感元件及電容元件。調整電路之電感元件的電感值、電容元件之電容值及頻率均會影響由調整電路所產生的阻抗，針對某一頻率的訊號，調

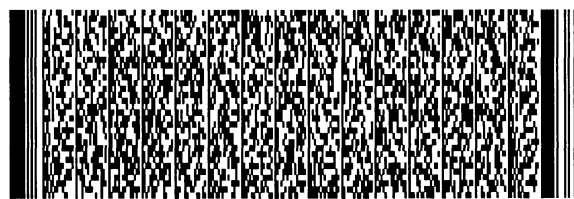
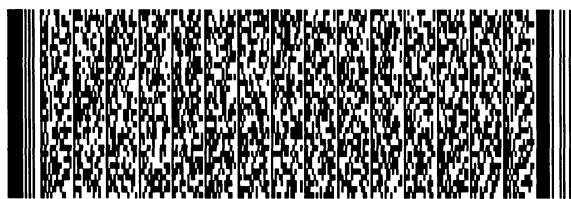


五、發明說明 (2)

整電路可以是具有高阻抗的或是低阻抗的。調整電路可以阻隔或導通訊號之傳導，並且依照元件的頻率，調整電路還可以放大類比訊號。如此，調整電路可以作為濾波器之用，藉以濾掉某一頻率之訊號或者是去掉由處理類比訊號之電路所產生的雜訊。利用LC共振的原理，調整電路亦可以產生高的電子阻抗，藉以抵消在部分線路中之寄生電容效應。當電感元件形成於半導體基底之一表面上時，會產生下述的問題，就是在螺旋狀之電感元件與位在下面之基底之間所產生的寄生電容會有自我的共振的效應，因此會限制當在設計高頻電路時，電感元件的使用。另外，藉由電感元件的設計，可以減少電感元件與位在下面之基底之間的電容耦合。

在高頻電路中，由電感元件所產生的電磁場會使得矽基底內產生渦電流(eddy current)的現象。由於矽基底係為一種電阻型導體，因此渦電流會損耗電磁能量，產生嚴重的能量損耗，而形成一低品質參數之電感元件，使得之共振頻率限制了頻率的上限。另外，由電感元件所產生的渦電流會干擾靠近電感元件之電路效能。由於金屬電阻性的原因，用來形成電感元件之細金屬線路亦會消耗能量，如此亦會形成一低品質參數之電感元件。

在製作高頻類比半導體元件時，必須要提供一關鍵的元件，就是電感元件，藉以形成LC共振電路。在現今半導體業界，均朝向高元件密度的趨勢發展，因此基底表面的使用率會大幅增加，即使如此，電感元件還是形成在極小

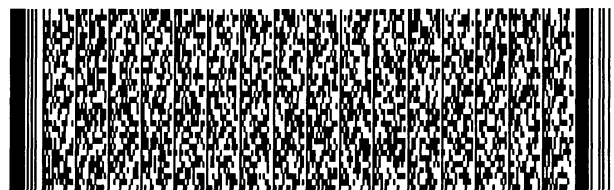
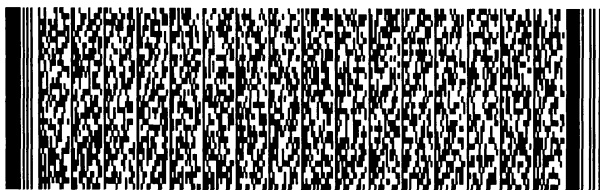


五、發明說明 (3)

化之基底表面上，並且電感元件還要維持在高品質參數的情況下。一般而言，形成在基底表面上的電感元件係在一個平面上呈現螺旋狀的樣式，此平面係平行於基底之表面。傳統製造電感元件於基底之表面上的方法有如下所述之限制。大部分高品質係數的電感元件係配置在混合元件結構 (hybrid device configuration) 中、單晶微波積體電路 (Monolithic Microwave Integrated Circuits, MMICs) 中或者是由分開配置之元件所提供，然而上述電子元件之製造係不易與積體電路製造之基本製程整合。若是將作為類比資料控制及類比資料貯存之電路與作為數位資料控制及數位資料貯存之電路整合並製造在半導體大型基底上，則會達到許多顯著的優點，而整合的優點包括降低製造成本及降低能量消耗。形成在半導體基底表面上之螺旋狀的電感元件由於受到實際尺寸的限制，會導致電感元件之線路與下面基底之間產生寄生電容，並且受到位在下面之電阻性矽基底的影響，電感元件會導致電磁能量損耗的發生。當調整電路之共振頻率突然下降時，寄生電容會對LC電路產生嚴重的負面效果。

值得注意的是，由電感元件所產生的電磁場會使得電阻性之矽基底內產生渦電流的現象，而產生嚴重的能量損耗，如此會形成一低品質參數之電感元件。

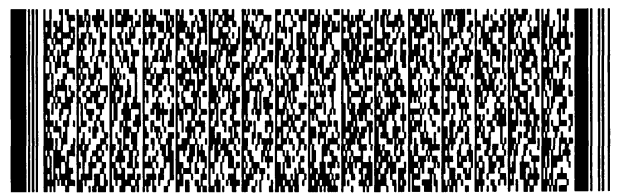
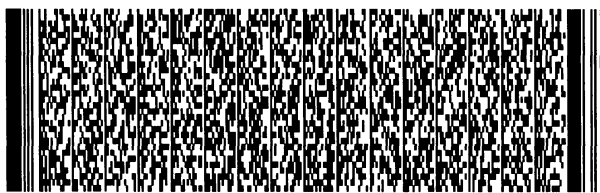
另外，可以藉由品質參數(Q)來代表電感之效能。品質參數係定義為 $Q = E_s/E_l$ ，其中 E_s 係代表貯存在元件之反應部分的能量，而 E_l 係代表在元件之反應部分所失去的



五、發明說明 (4)

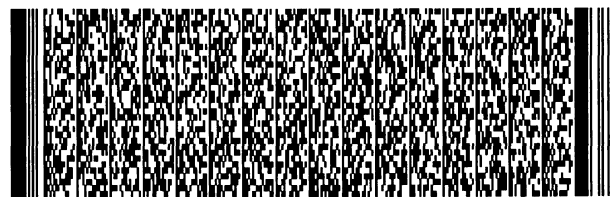
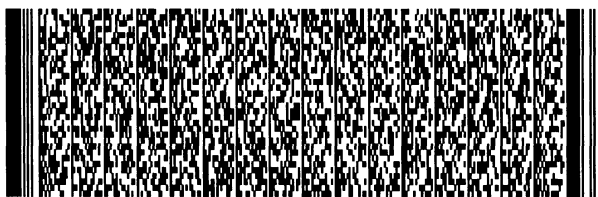
能量。當元件的品質愈高時，元件之電阻值會愈趨近於零，此時元件之品質參數係趨近於無限大。就形成在矽基底上之電感元件而言，由於受到位在下面之電阻性之矽基底所影響及受到形成電感元件之金屬線路所影響，使得電磁能量會顯著地下降。就元件而言，品質參數係用來量測元件之反應純度(purity)或敏感性(susceptance)，然而電阻性之矽基底、電阻性之金屬線路及介電耗損均會降低品質參數。在實際上，電路總是配置有部分會浪費能量之電阻元件，如此會減少能夠被補償(recovered)之能量。品質參數係為無單位的，就裝配在印刷電路板(PCB)上之分開配置的電感元件而言，當品質參數大於100時，係認定為具有甚高的品質參數；然而就形成在積體電路中之電感元件而言，品質參數係大約介於3到10之間。

電感元件可以利用傳統的半導體製程形成在具有半導體元件之大型基底上，此時由電感元件所產生之寄生電容會限制截止頻率的上限，然而這個限制在許多應用上是不能被接受的，因此必須設計具有較高品質參數之電感元件，比如是50或更高，其中品質參數會受到LC電路之共振頻率所影響。在習知技術中，必須要配置彼此分離的元件才能提供較高的品質參數，而這些分開的元件要與周圍元件的功能整合。但是當要將電感元件及這些周圍的元件配置於半導體基底上而欲形成大型電路結構時，便無法達成高品質參數的目的。若採用非大型的電路結構，必須要配置額外的線路藉以連接裝置之附屬元件，而此類似網路



五、發明說明 (5)

形式之用來連接的線路亦會產生額外的寄生電容及電阻損耗。在RF放大器之許多應用上，比如是可攜式電池充電的用品，此時電力的消耗是一項重要的考量點，並且是要愈低愈好。藉由提高電力的消耗，係可以部分地補償寄生電容效應及電阻能量損耗，但是這個方法還是有一些限制。而上述的這些問題均發生在市場快速擴張的無線通訊用品上，比如是行動電話，其中RF積體電路之整合係為最重要的挑戰之一。另外，藉由顯著地增加操作頻率，比如是增加到10GHz到100GHz之間，可以部分解決上述問題，然而在如此高的操作頻率之下，受到矽基底的影響，電感元件的品質參數會顯著地下降。為了要使產品能夠在此頻率下運作，研發出大型電感元件，其係利用除了矽以外的材質作為製作電感元件之基底，而這種大型電感元件比如可以利用藍寶石(sapphire)或是砷化鎵(GaAs)作為基底。相較於矽基底，這些形成在非矽材質之基底上的電感元件具有較低的基底損耗，此乃因為不會形成渦電流(eddy current)，因此便不會有電磁能量的損耗，如此可以製作出具有高品質參數之電感元件。並且，利用上述方式所形成之電感元件會產生較少的寄生電容，因此可以允許在較高的頻率下操作。然而，若是需要更複雜的應用，還是必須利用矽作為基底來形成電感元件，此乃因為若是要利用除了矽以外的材質，比如是砷化鎵，作為基底係為甚為麻煩的，並且在形成半導體元件時，會遇到多技術上的挑戰。由於砷化鎵在高頻下係為半絕緣的材質，因此可以



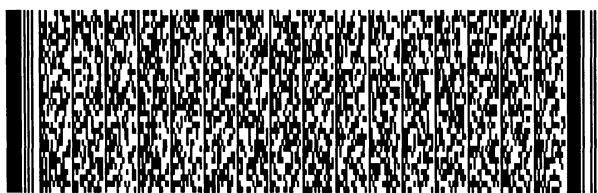
五、發明說明 (6)

減少因為砷化鎵基底所導致的電磁損耗，如此可以增加形成在砷化鎵基底上之電感元件的品質參數。然而砷化鎵之RF晶片係為非常昂貴的，若是能夠避免使用砷化鎵之RF晶片，則在製程上具有較佳的成本優勢。

在不犧牲元件效能的情況下(比如是因為基底損耗而犧牲元件效能)，有許多方法可以將電感元件與半導體環境整合。其中一種方法便是利用蝕刻或是微機械加工的方式將位在電感元件底部之矽基底選擇性地去除，因此可以減少基底之電阻能量耗損及寄生效應。另外一種方法便是利用多層金屬層連線，其材質比如是鋁，或是利用陰刻法(damascene)所形成之銅金屬層連線。

而另外一種方法，便是利用高電阻性之矽基底，如此可以減少由矽基底所產生的電阻耗損。而由基底所產生的電阻損耗會顯著地影響以矽作為材質之電感元件的品質參數。另外，偏壓井(biased well)可以配置在螺旋狀之電感元件下，因此可以減少基底內之電感耗損。而另外一種複雜的方法是形成主動性之電感元件，其可以利用主動電路模擬電感元件之電子特性。然而模擬的電感元件會導致高功率的消耗並且會有雜訊的產生，故此方法不能應用在低功率及高頻率的產品上。所有的方法均有共同的目的，就是要提高電感元件之品質參數及降低電感元件在製造上的表面積，而最重要的考量點就是關於電磁能量損耗的部分，此乃因為電磁能量會使矽基底產生渦電流。

當積體電路之體積縮小之際，每片晶片之成本會降



五、發明說明 (7)

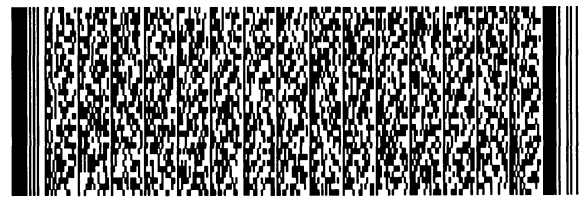
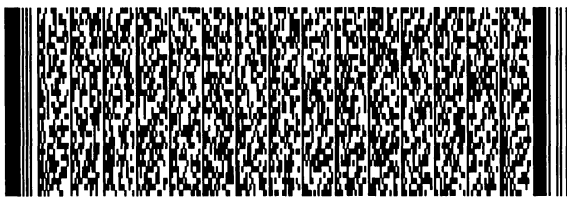
低，並且會增進晶片某方面之效能。用來連接晶片與其他線路或系統之金屬連線變得較為重要，並且隨著積體電路逐漸縮小之際，這些金屬連線會對線路效能產生嚴重地負面衝擊。由於金屬線路之寄生電容及電阻會增加，因此會導致晶片效能顯著地下降，其中最明顯的衝擊係在於電源匯流排及接地匯流排之電壓降及關鍵訊號電路之電阻電容遲緩(RC delay)效應。若是為了降低電阻而採用寬的金屬線路，則又會導致金屬線路具有較高的電容。

在現今的技術中，當電感元件欲形成在半導體基底上時，可以利用細線路的技術，並且將電感元件形成在保護層下。如此會使得電感元件很接近基底的表面，而電感元件與基底之表面間的距離基本上是小於10微米，因此在矽基底內會導致高電磁損耗的產生，且會降低電阻元件之品質參數。

美國專利公告第5,212,403號(Nakanishi)揭露一種形成線路連線的方法，其中內部及外部之線路連線係形成在位於晶片上之線路基底內，並且邏輯線路的設計會取決於線路連線的長度。

美國專利公告第5,501,006號(Gehman, Jr. et al.)揭露一種積體電路與線路基底之間具有絕緣層之結構，而藉由分散出去的引腳可以是晶片之接點與基板之接點電性連接。

美國專利公告第5,055,907號(Jacobs)揭露一種整合型半導體結構，可以允許製造商將一薄膜多層線路形成在



五、發明說明 (8)

支撐基板上或晶片上，藉以整合位在晶片外之電路。

美國專利公告第5,106,461號(Volfson et al.)揭露一種多層連線結構，其係藉由TAB結構並利用聚醯亞胺(polyimide)之介電層及金屬層交互疊合於晶片上而成。

美國專利公告第5,635,767號(Wenzel et al.)揭露一種在PBGA結構中降低電阻電容遲緩效應之方法，其中多層金屬層係分開配置。

美國專利公告第5,686,764號(Fulcher)揭露一種覆晶基板，藉由將電源線與輸入輸出引線分開配置，可以降低電阻電容遲緩效應。

美國專利公告第6,008,102號(Alford et al.)揭露一種利用兩層金屬層所形成之螺旋狀電感元件，其中此兩層金屬層可以利用導通孔連接。

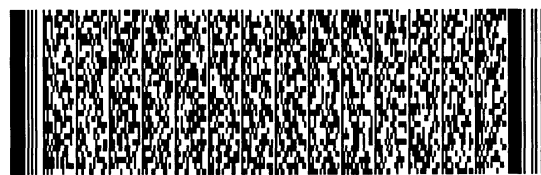
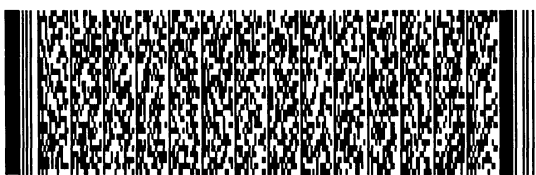
美國專利公告第5,372,967號(Sundaram et al.)揭露一種螺旋狀電感元件。

美國專利公告第5,576,680號(Ling)及第5,884,990號(Burghartz et al.)揭露一種其他形式之螺旋狀電感元件。

【發明內容】

因此本發明目的之一就是提供一種高效能之晶片結構，尤其可以改善RF之效能。

本發明目的之二就是提供一種具有高品質係數之電感元件的製造方法。



五、發明說明 (9)

本發明目的之三就是可以利用矽晶片來代替砷化鎵晶片，並且在矽晶片上可以製作出高品質係數之電感元件。

本發明目的之四就是可以使形成在矽基底表面上之電感元件的頻率範圍延伸。

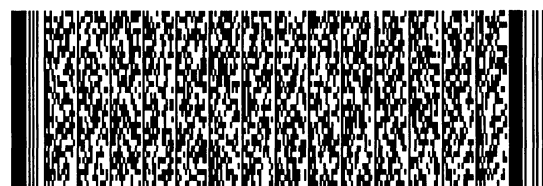
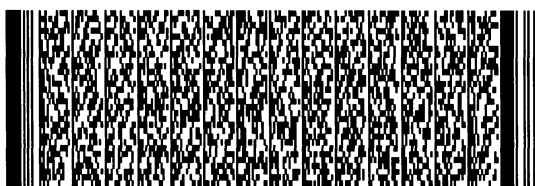
本發明目的之五就是可以使形成高品質之被動元件於矽基底的表面上。

有關於在保護層上製作厚介電層及在此厚介電層上製作又寬又厚的金屬線路之製程可以參照美國專利公告第6,383,916號。本發明係延伸自美國專利公告第6,383,916號，並且在本發明還揭露可以形成高性能之電子元件於保護層上或是厚介電層上，其中電子元件比如是電感元件、電容元件或電阻元件。另外，本發明還提供一種將已經製作完成的被動元件接合到晶片之表面上的方法。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

美國專利公告第6,383,916號係讓渡於與本發明相同之讓渡人，其揭露一種晶片結構具有重配置線路層及金屬連線層，係配置在介電層上，其中介電層係位於傳統晶片之保護層上。保護層係位於積體電路上，而厚的聚合物層係選擇性地配置在保護層上，寬的或厚的金屬連線係位在保護層上。

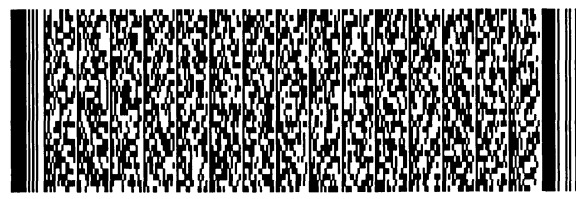
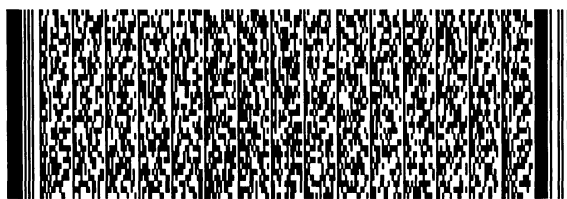


五、發明說明 (10)

美國專利公告第6,303,423號係讓渡於與本發明相同之讓渡人，其揭露一種形成具有高品質參數之電感元件於晶片之保護層上的結構。此種具有高品質參數之電感元件可以應用在高頻電路中，並且可以減少電能的損耗。在此案中，還揭露電容元件及電阻元件，可以形成在矽基底的表面上，藉以減少位於矽基底下之電子元件所引發出的寄生效應。

請參照第1圖，其繪示依照美國專利公告第6,383,916號之晶片結構的剖面示意圖。矽基底10的表面具有電晶體11及其他元件(未繪示於第1圖)，矽基底10的表面係覆蓋有內部介電層12(ILD)，位於上述之電子元件上。金屬/介電層14係位於內部介電層12上，金屬/介電層14包括至少一層之介電層，而至少一金屬連線13係位在金屬/介電層14中，金屬連線13係構成電子連接的網路，而最上層之金屬層具有部分區域係定義為電子接點16，這些電子接點16可以與位於矽基底10之表面上或表面內之電晶體11或其他元件電性連接。保護層18係位於金屬/介電層14，藉以避免移動離子(比如是鈉離子)、濕氣、過渡金屬(比如是金、銀、銅)或其他污染物進入到晶片內，其中保護層18比如是由氧矽化合物或氮矽化合物所構成之複合層。保護層18係用來保護位在下面之比如是電晶體、多晶矽電阻元件或多晶矽-多晶矽電容元件之電子元件及細金屬線路。

美國專利公告第6,383,916號之關鍵步驟係起始於沈積厚的聚合物層20開始，其中聚合物層20係沈積在保護層



五、發明說明 (11)

18上。為了要與電子接點16連接，開口22、36、38會穿過聚合物層20及保護層18，並且會對準於電子接點16。透過位於聚醯亞胺(polyimide)層20內之開口22、36、38，電子接點16可以將電性延伸至聚合物層20中。

在較佳的情況下，聚合物層20之材質比如是聚醯亞胺，而聚合物層20比如是感光材料。而聚合物層20之材質亦可以是苯基環丁烯(benzocyclobutene, BCB)、聚亞芳香基醚(parylene)或者是以環氧樹脂為基礎之材料，比如是SU-8環氧樹脂(可以從Sotec Microsystems, Renens, Switzerland獲得)。

在形成開口22、36、38之後，可以進行一金屬化製程，藉以形成圖案化寬金屬層26、28，並且可以連接電子接點16。而線路26、28可以是任何設計形式之寬度及厚度，以符合所需的電路設計，且線路26、28可以作為電源匯流排、接地匯流排或訊號匯流排之用。經由打線導線或凸塊可以使線路26、28連接於晶片外之電路。

電子接點16係位在薄介電層14(如第1圖所示)的頂部，並且電子接點16之尺寸可以縮小，藉以減少位於下面之金屬層的電容值。若是電子接點16之尺寸過大時，會影響金屬層之繞線。

在硬化之後，比如是聚醯亞胺之厚聚合物介電層20的厚度可以超過2微米，而聚合物介電層20之厚度比如是介於2微米到150微米之間，視電子設計之需求而定。而就較厚的聚醯亞胺層20而言，可以利用多次旋塗及硬化的方



五、發明說明 (12)

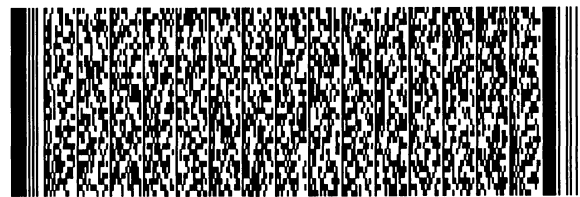
式，形成聚醯亞胺薄膜。

美國專利公告第6,383,916號揭露利用厚或寬之金屬28所形成如第1圖所示之具有不同方向的路徑30、32、34，可以作為電路間的電性連接之用。相較於位在下層之細線路金屬層14，寬金屬28具有較小的電阻值及電容值，並且較容易製造，且成本較低。

請參照第2圖，其係修改自美國專利公告第6,383,916號，並且還形成電感元件於厚聚醯亞胺層20上。電感元線係為平面的形式，並且可以平行於基底10的表面，而透過多層12、14、18、20結構所構成之高度，可以使得電感元件遠離基底之表面。第2圖繪示係以垂直於基底10之表面作剖面所形成之電感元件之剖面結構40。藉由寬及厚之金屬的設計，可以減少電阻能量的損耗。其中，可以利用電鍍的方式，形成比如是金、銀或銅之低電阻金屬，而其金屬厚度比如是大約20微米。

相較於將電感元件形成於保護層下之習知技術，藉由增加電感元件與矽基底之間的距離，可以減少矽基底10所產生的電磁場，並且電感元件之品質參數可以提高。電感元件可以形成在保護層上，或者可以形成在位於保護層上之厚介電層(比如是聚醯亞胺)上。另外，利用寬且厚的金屬所形成之電感元件，具有較小的寄生電阻。

本發明之另一重點，就是保護層18之開口19的寬度可以小至0.1微米。因此，電子接點16可以是很小的，如此可以提升位在頂層之細線路金屬層之繞線能力，並且具有



五、發明說明 (13)

較低之電容值。

而本發明之另一重要特徵，就是聚合物層20之開口22、36、38可以是大於保護層開口19，而聚合物層20之開口22、36、38係對準於保護層開口19。將聚合物層20設計有較大的開口22、36、38係為一種選擇性的設計，並且較容易製作完成，且將聚合物層20設計有較大的開口22、36、38可以配合厚金屬層的設計使用，藉以完成本發明在形成保護層後之金屬沈積製程。

第2圖繪示連線結構26及電感元件40，其中電感元件40包括兩個接點41、43，透過聚合物層20可以與電子接點16電性連接。

另外，請參照第2圖，依照本發明之另一觀點，還可以形成另一聚合物層於如第2圖所示的結構上。

第24a圖及第24b圖繪示本發明之另一特徵，其中連接到電感元件之接點的方式係不同於如第2圖所示之兩個向下連接的接點。如第24a圖所示，其中介電層35係形成在金屬連線26及電感元件40上，而介電層35之材質比如是聚醯亞胺。開口36a會連通至電感元件40之一端，並且可以將電感元件40之一端暴露於外。電感元件40具有一向上連接之接點及一向下連接之接點39，其係為"一上一下"的結構。

第24b圖繪示另外一種結構，其中具有兩個朝上的接點開口36a、38a，係暴露出電感元件40，其係為"均為朝上"的結構。



五、發明說明 (14)

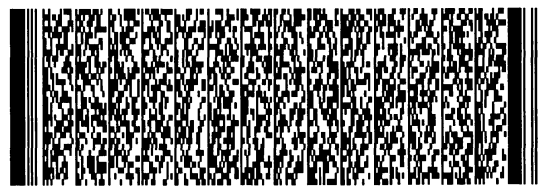
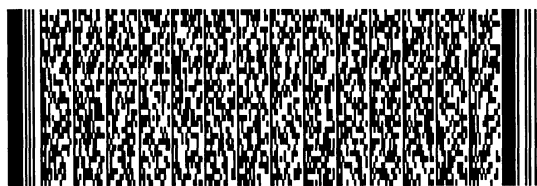
在第24a圖及第24b圖中，電感元件之朝上的接點可以透過打線的方式或是形成凸塊的方式與外部元件電性連接。就打線製程而言，電感元件40元件之上表面必須要形成一可與打線導線接合的金屬，其材質比如是金或鋁。就凸塊連接而言，凸塊底層金屬(UBM)可以形成在朝上的接點開口中，藉以形成凸塊。

在第24a圖及第24b圖中，利用形成與結構26及電感元件40相同之方法來形成連接線路，可以使電感元件經由接點開口36a、38a與晶片上之其他接點或如前所述之外部元件電性連接。

請參照第24c圖，其繪示本發明之另一特徵，其中一延伸線路89會連接至電感元件40，而接點開口36b會暴露出延伸線路89，其中接點開口36b的位置比如是在晶片的邊緣，而可以方便進行打線製程，如此電感元件40可以透過延伸線路89改變對外連接的位置。接點開口38b的配置係如前所述。延伸線路89、金屬結構26與電感元件40係同時製作完成。

延伸線路89可以連接至電感元件40，藉以改變電感元件40對外連接的位置，其中延伸線路89可以具有向下連接的接點(未繪示，但是此概念之前已敘述過)，取代向上連接的接點36b。

當電感元件的接點係位在中間區域時，比如是第24c圖之開口38b所暴露之接點，此時位在電感元件之中間區域的接點係無法藉由延伸線路而改變其對外連接的位置，



五、發明說明 (15)

但是位在電感元件之中間區域的接點可以向上連接或是向下連接。

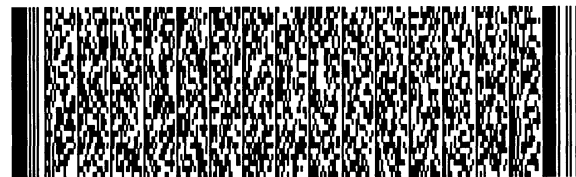
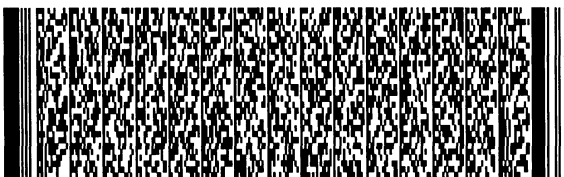
第3圖繪示螺旋狀電感元件40之上視圖，其中電感元件40係位在介電層20之表面上，第2圖所示的電感元件係為第3圖中沿著剖面線2-2之剖面示意圖。

第4圖繪示電感元件40之剖面示意圖，藉由增加一導電片44a可以隔絕電感元件40對基底10的影響，其中導電片44a係大致上位在電感元件下，而導電片44a比如是銅或金之導電材料。導電片44a係在保護層18之表面上延伸，且電感元件40係對準於導電片44a且位在導電片44a上。導電片44a可以稍微地超過電感元件40之邊界區域，如此更可以增進遮蔽基底10的能力，藉以避免基底10受到電感元件40之電磁場的影響。

導電片44a可以電性連接於電感元件40之其中一電極（如第4圖所示，導電片44a可以與電感元件40之最右端的電極43電性連接），而導電片44a可以是處在浮動電壓之準位，或者是可以與其他的電壓準位連接，取決於系統的電子設計。

製作導電片44a的方法及材質可以是利用如後所述之製作金屬連接線路26及電感元件40的方法及材質。在製作導電片44a時可以同時形成導體44，而藉由導體44可以將位在上層之厚金屬連接至電子接點16，如第4圖所示。

第二聚合物層47可以是選擇性地形成在電感元件40上及金屬連接線路26上，可以對金屬結構提供額外的保護。



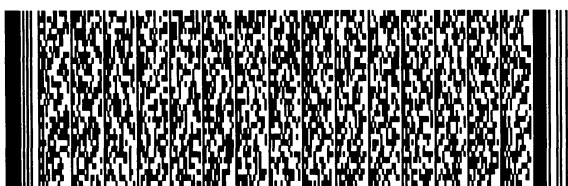
五、發明說明 (16)

請參照第12圖至第23圖，其繪示依照本發明保護層上形成電感元件或其他被動元件之方法。如第12圖所示，基底80係為位在下層之介電層，而金屬接點81的材質比如是鋁。藉由圖案化的步驟可以形成開口82，貫穿保護層84，而開口82可以暴露出金屬接點81。比如是聚醯亞胺之聚合物層86可以是形成在保護層84上及金屬接點81上，而比如是聚醯亞胺之聚合物層86比如是利用旋塗的方式完成，或者亦可以利用網板印刷的方式完成，或者亦可以是利用壓合聚合物乾膜的方式完成。

第13圖係繪示形成聚合物層86之開口87的製程，其中聚合物層86之開口87之最大寬度係大於保護層84之開口82之最大寬度(請參見圖12)，開口87具有傾斜的側壁85。在剛開始時，聚合物層86之開口87具有垂直之側壁，然而在經過硬化步驟之後，側壁85會呈現傾斜的樣式，而開口87可以是呈現半錐形的樣式，而側壁85的傾斜角度比如是45度或是更大，基本上大約是介於50度到60度之間。另外，側壁85的傾斜角度亦可以是小至20度。

在本實施例中，較大的導通孔線路(vias)可以是穿過比如是聚醯亞胺之聚合物層86，且對準於較小之位在下層之保護層的開口，並且還連接位在下層之次微米金屬層。隨著由次微米金屬層往寬金屬層級的方向，次微米金屬之導通孔線路之尺寸可以是逐漸加大。

請繼續參照第13圖，其繪示依照本發明形成保護層上連接線路及電感元件之方法及金屬結構。首先可以利用濺



五、發明說明 (17)

鍍的方式，形成一黏著/阻障層88，其材質包括鈦鎢合金、鈦氮化合物、鈹或鈹氮化合物等，而黏著/阻障層88的厚度比如是介於500埃(angstrom)到5000埃之間。接著，可以利用濺鍍的方式形成比如是金的種子層90於黏著/阻障層88上，其中種子層90的厚度比如是介於300埃到3000埃之間。

請參照第14圖，接著可以利用電鍍的方式，形成一厚金屬層92，其材質比如是金，其中厚金屬層92的厚度比如是介於1微米到20微米之間。而在進行電鍍製程之前，會先形成厚光阻94，而光阻94的厚度大於或等於厚金屬層92的厚度，透過微影步驟，光阻94會暴露出種子層90，接著才以電鍍的方式形成厚金屬層92。

在電鍍製程之後，可以將光阻94去除，如第15圖所示。利用厚金屬層92作為蝕刻罩蔽，並藉由蝕刻製程可以去除黏著/阻障層88及種子層90，如第16圖所示。在圖示中，僅繪示出電感元件40之其中一線圈，然而熟悉該項技藝者應知，整個電感元件40可以在此步驟完成。

如第17圖及第18圖所示，厚金屬層92亦可以是僅填入於開口87中之部分區域，如此可以設計出線路密度高且線路甚細之電感元件。而在本實施例中，聚合物層開口87之尺寸D比如是約15微米，而電感元件之金屬線路之間距係小至4微米。因此，將位於聚合物層開口87內之金屬圖案化亦是本發明的重要特徵。

如前所述，可以利用濺鍍的方式，形成一黏著/阻障



五、發明說明 (18)

層88及比如是金的種子層90，並且還形成一光阻95，如第17圖所示。接著可以利用電鍍的方式形成比如是金的厚金屬層92。之後，可以將光阻95去除，並且蝕刻掉先前位在光阻95下方之黏著/阻障層88及種子層90，如第18圖所示。

在本發明之另一實施例中，可以利用銅來作為位在保護層上之金屬結構中之厚金屬層的材質。剛開始之結構係如第13圖所示，接著請參照第19圖，可以利用濺鍍的方式形成比如是鉻或鈦之黏著/阻障層100，其厚度比如是介於200埃到2000埃之間，接著，可以利用濺鍍的方式形成比如是銅之種子層102，其厚度比如是介於2000埃到10000埃之間。接著，可以利用電鍍的方式形成比如是銅之厚金屬層104，其厚度比如是介於3微米到20微米之間，而可以利用光阻94a及傳統的微影製程定義出欲電鍍的區域。接著，可以選擇性地利用電鍍的方式形成比如是鎳的金屬頂層106，其中金屬頂層106的厚度比如是介於0.1微米到3微米之間。

請參照第20圖，接著可以將光阻94a去除並暴露出比如是銅的種子層102。接著，可以利用比如是銅的厚金屬層104作為蝕刻罩蔽，並藉由蝕刻方式可以去除黏著/阻障層100及比如是銅之種子層102。

如果有形成比如是鎳的金屬頂層106，則在蝕刻黏著/阻障層100及種子層102的過程中，金屬頂層106可以作為蝕刻終止層，此時便可以使用對銅蝕刻速率較快的蝕刻劑



五、發明說明 (19)

來蝕刻種子層102，如此可以減少厚金屬層104之銅金屬的消耗。

在圖示中，僅繪示出電感元件40之其中一線圈，然而熟悉該項技藝者應知，整個電感元件40可以在此步驟完成。

如第22圖及第23圖所示，厚金屬層104亦可以是僅填入於開口87中之部分區域，如厚金屬層104填入於開口中的部分92所示。如前所述，可以利用濺鍍的方式，形成一黏著/阻障層100及比如是銅的種子層102，並且還形成一光阻95a，如第22圖所示。接著可以利用電鍍的方式形成比如是銅的厚金屬層104。之後，可以將光阻95a去除，並且蝕刻掉黏著/阻障層100及種子層102，如第23圖所示。

請參照第5a圖，其金屬結構係如前所述，值得注意的是，在本實施例中並未形成比如是聚醯亞胺之聚合物層於保護層上。電感元件19a係直接形成在保護層18上，其中用來形成電感元件19a之金屬線路的電阻值要愈低愈好，為了達到上述目的，當在製作電感元件19a時，可以形成比如是金的厚金屬層。在上述之設計中，針對2.4GHz的應用，電感元件19a之品質參數可以從5提升至20。

如前所述，第5a圖之電感元件可以與其他的元件連接，比如是與位在下層之接點連接，如第4圖所示，而電感元件之連接方向可以是"一上一下"的結構，如第24a圖所示；或者電感元件之連接方向可以是"均為朝上"的結構，如第24b圖所示。



五、發明說明 (20)

而一聚合物層(未繪示)可以選擇性地形成於電感元件19a上。

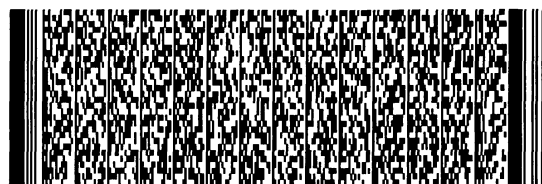
另外，聚合物可以是僅形成在電感元件下，而不形成在保護層上之其他地方，如此相較於面積較大之聚合物層，小面積之聚合物塊具有較低的內應力，如第5b圖或第5c圖所示，其分別繪示依照本發明形成於聚合物塊上之電感元件的剖面示意圖及上視圖。每一聚合物塊上具有至少一電感元件，其中第5c圖繪示第一電感元件40a及第二電感元件40b。

請參照第5b圖，聚合物塊20a之形成方式比如是先沈積一聚合物層，然後再圖案化聚合物層，如此便形成聚合物塊20a。而聚合物塊20a亦可以藉由網板印刷的方式所形成，或是壓合乾膜而成。在形成聚合物塊20a之後，可以形成電感元件40a、40b於聚合物塊20a上。

第5b圖之電感元件40a、40b之對外連接方法可以是如前所述，其中電感元件40b比如具有兩個朝下的接點41a、43a，其可以連接至電子接點16。而電感元件40a並不具有接點，但是卻可以向上連接至外界電路，如前所述。

第5c圖係繪示依照本發明之電感元件的上視圖，而第5b圖係在第5c圖中沿著剖面線5b-5b之剖面示意圖。如第5c圖所示，聚合物塊20a之間係為相互隔離的，且聚合物塊20a係僅形成在電感元件下，而其他未形成聚合物塊20a的區域，保護層18可以暴露於外。

而另外的一聚合物保護層(未繪示)可以選擇性地形成



五、發明說明 (21)

在電感元件40a、40b上。

而如第5b圖及第5c圖所示之聚合物塊亦可以形成在其他的元件下，舉例而言，可以形成在比如是電阻元件及電容元件之被動元件下。

第6a圖及第6b圖繪示依照本發明之另一較佳實施例。如第6a圖所示，介電層47係位在底層線圈60與上層線圈62之間，而聚合物層20、47、64可以是利用如前所述的材質所製成。而開口66係位在最上層之聚合物層64中，可以暴露出上層線圈62。

第6b圖繪示依照本發明另一較佳實施例之晶片結構的剖面示意圖。其中底層線圈60可以直接形成在保護層18上。

第6c圖繪示電感元件19a係為螺線管(solenoid)形式之立體示意圖，其中電感元件19a係形成在保護層18上，電感元件19a係包括導通孔金屬23、底層金屬結構25及頂層金屬結構27，其中導通孔金屬23係位在厚聚合物層20中，其係為垂直的金屬結構。透過導通孔金屬23可以使底層金屬結構25及頂層金屬結構27電性連接。

第6d圖繪示電感元件19a係為螺線管形式之立體示意圖，其中電感元件19a係形成在第一聚合物層29上，而電感元件19a具有導通孔金屬23，位在形成於第一聚合物層29上之第二聚合物層中。

第6e圖係繪示第6c圖及第6d圖中螺線管形式之電感元件的上視示意圖，其中透過導通孔金屬23可以使底層金屬



五、發明說明 (22)

結構25及頂層金屬結構27電性連接。

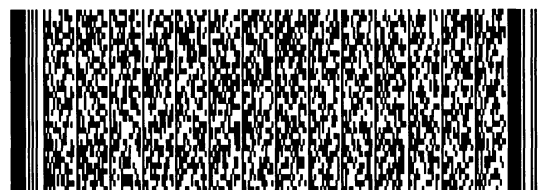
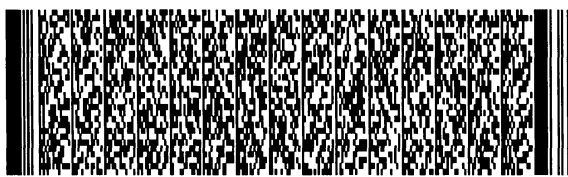
第6f圖繪示第6c圖到第6e圖中之電感元件的剖面示意圖，其中第6f圖係繪示第6e圖中沿著剖面線6f-6f之剖面示意圖。

請參照第6g圖及第6h圖，其繪示依照本發明之超環面(toroidal)形式之電感元件的示意圖，其中電感元件係類似環繞形狀之螺線圈。在第6g圖中，其繪示電感元件之立體示意圖，其中電感元件68係包括導通孔金屬23a、底層金屬結構25a及頂層金屬結構27a，而導通孔金屬23a係連接底層金屬結構25a及頂層金屬結構27a。

第6h圖繪示第6g圖中環面(toroidal)形式之電感元件68的上視示意圖。而電感元件68之繞線特點已在之前的較佳實施例中闡述，在此便不再贅述。

第7a圖繪示依照本發明之電容元件形成在基底10上的剖面示意圖，其中絕緣層係位在保護層上。導電連接線路層14及接點16係位在基底10上，且保護層18係形成在導電連接線路層14上，而保護層18具有開口，可以暴露出接點16。

熟習該項技藝者應知，電容元件係由一下電極、一電容介電層及一上電極所構成，而電容介電層係位在上電極與下電極之間。第7a圖所示之電容元件具有一下電極42、一電容介電層46及一上電極45。上電極45及下電極42比如是利用如前所述之電鍍方式形成金或銅之厚金屬層而完成，而可以選擇性地形成比如是聚醯亞胺之聚合物保護層



五、發明說明 (23)

於電容元件上。電容元件之接點對外連接方式比如是如前所述，(電容元件之接點比如是均朝下連接、一上一下的連接或是均朝上連接)。

下電極42的厚度比如是介於0.5微米到20微米之間，介電層46的厚度比如是介於500埃到50000埃之間，而上電極45的厚度比如是介於0.5微米到20微米之間。

如第7a圖所示之在保護層上形成電容元件之結構，具有下列優點：

1. 可以減少電容元件與下層矽基底之間的寄生電容。
2. 可以利用厚金屬層形成電容元件之電極，如此可以減少電容元件之電阻值，特別是可以在無線的領域中。
3. 可以形成高介電常數之材質在電容元件之上電極與下電極之間，其材質比如是二氧化鈦(TiO_2)、五氧化二鉭(Ta_2O_5)、高分子聚合物、氮矽化合物(Si_3N_4)或氧矽化合物(SiO_2)等，如此可以提高電容元件之電容值。

而如第7a圖所示之電容元件亦可以形成在位於保護層18上之聚合物層上，其概念係類似如第4圖所述之將電感元件形成在位於保護層上之聚合物層上的結構。

介電層46係為高介電常數之材質，比如是利用化學氣象沈積的方式沈積氮矽化合物(Si_3N_4)、四乙烷基氧矽甲烷(TEOS)、五氧化二鉭(Ta_2O_5)、二氧化鈦(TiO_2)、鈦酸鋇($SrTiO_3$)或氮氧矽化合物($SiON$)等。

第7b圖及第7c圖繪示電容元件之剖面示意圖。如第7b



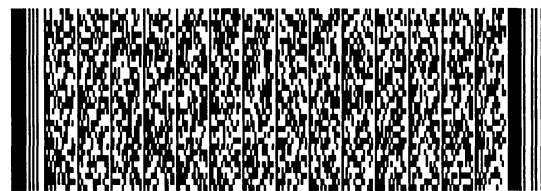
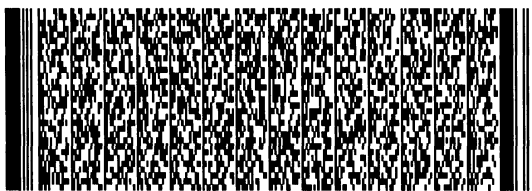
五、發明說明 (24)

圖所示，厚聚合物層20可以形成在保護層18上，並且透過圖案化製程，可以使厚聚合物層20暴露出接點16，而聚合物層20之導通孔的直徑係小於保護層開口之直徑。然而，在較佳的情況下，聚合物層20之導通孔係與保護層開口連通，而聚合物層20之導通孔的直徑係大於保護層開口之直徑。藉由厚聚合物層20的配置，可以使下電極42、上電極45及介電層46之配置向上移動約等於聚合物層20之厚度的距離，如此電容元件配置可以在更遠離基底的地方。如前所述，比如是聚醯亞胺之聚合物層20的厚度可以是介於2微米到150微米之間。如此，電容元件與位在下層之金屬線路結構及矽基底之間的距離可以增加，故可以大幅降低寄生電容的發生。

第7a圖及第7c圖均繪示電容元件之接點係向下連接，而電容元件亦可以是一上一下的連接方式，如第25圖所示，或是電容元件均是朝上連接，如第24b圖所示的概念。

如第7a圖至第7c圖所示之電容元件之上電極45可以經由位在上電極45上之聚合物層之開口，向上與一電路電性連接，如第25圖之剖面結構所示。其中介電層35係形成在電容元件之上電極45上，經由貫穿介電層35之開口37可以暴露出電容元件之上電極45，藉以使上電極45與一外部線路電性連接。

而一聚合物保護層(未繪示)可以選擇性地形成在如第7a圖至第7c圖所示之電容元件上。

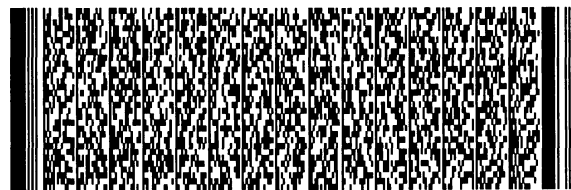


五、發明說明 (25)

第8圖繪示基底10的剖面示意圖，基底10上形成有一保護層18，而電阻元件48係位在保護層18上。熟習該項技藝者應知，電阻元件係由能夠提供電性阻值之材質所構成，且電流能夠留經該材質。電阻元件48之材質比如是鈮氮化合物(TaN)、鎳鉻合金(NiCr)、鎳錫合金(NiSn)、鎢(W)、鈦鎢合金(TiW)、鈦氮化合物(TiN)、鉻(Cr)、鈦(Ti)、鎳(Ni)或鈮矽化合物(TaSi)等。在上述的這些材質中，鎳鉻合金能夠提供最佳的電阻溫度係數(Temperature Coefficient of Resistance)，可以小至5 ppm/°C。電阻元件之長度、厚度及寬度可以依照不同的應用而設計。而可以應用如第7a圖至第7c圖所示之配置電容元件的概念，來配置如第8圖所示之電阻元件，其中電阻元件係形成在保護層上。

第9a圖及第9b圖繪示依照本發明形成在厚聚合物層20上之電阻元件的剖面示意圖，其中電阻元件可以與接點16連接。藉由增加電阻元件與基底之間的距離(所增加的距離係大致上等於聚合物層20的厚度)，可以降低電阻元件與基底之間的寄生電容效應，如此可以改善電阻元件的性能(由於可以減少寄生電容的損耗，故可以提升在高頻運作下的電性效能)。

如第8圖、第9a圖及第9b圖所示之電阻元件48的接點均是向下連接。然而電阻元件亦可以是一上一下的連接，如第26圖所示，或是電阻元件之接點均是朝上連接，其可以參考如第24b圖中電感元件40均是朝上連接的概念。



五、發明說明 (26)

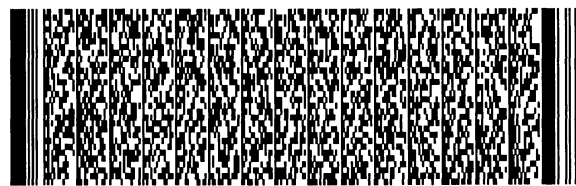
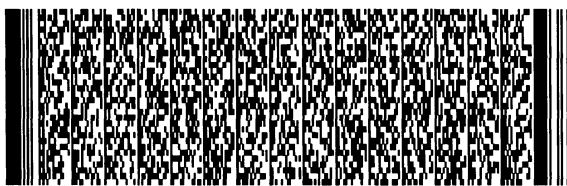
而另一聚合物層可以選擇性地形成在如第8圖、第9a圖及第9b圖所示之電阻元件上，藉以保護電阻元件。

請參照第10圖及第11圖，其繪示依照本發明在保護層上之另一種製程。在本實施例中，可以藉由形成凸塊使接點16與位在上面之電子元件電性連接，比如是與已製作完成之電感元件、電容元件、電阻元件或是其他的被動元件電性連接。而連接金屬50可以形成在聚合物層之開口內，其中聚合物層之開口係對準於較小之保護層的開口，如此連接金屬50可以與接點16連接，作為凸塊底層金屬(UBM)之用。利用傳統的電鍍製程、植球製程或網板印刷製程，可以形成凸塊於凸塊底層金屬50上，而在助錫劑形成的於凸塊上之後，可以進行回錫的步驟。接著，已製作完成的電子元件54可以連接到凸塊52上，其中已製作完成的電子元件54具有錫料53，如此可以提升接合性。上述之製程係類似於常應用在電子元件與印刷電路板接合的表面黏著技術。已製作完成的電子元件54比如是電感元件、電容元件或是電阻元件。

第11圖繪示利用凸塊56及凸塊底層金屬50將已製作完成的電子元件54直接形成於保護層18上的結構。

由於已製作完成的電子元件並不是如習知技術係形成在印刷電路板上，因此如第10圖及第11圖所示之已製作完成的電子元件具有較佳的效能，且成本並不高。

而凸塊底層金屬50可以是如本發明之第12圖到第23圖所示之金屬結構，然而若是利用金作為厚金屬層時，凸



五、發明說明 (27)

塊底層金屬50的厚度可以是介於0.1微米到20微米之間，在較佳的情況下，凸塊底層金屬50係為較薄的尺寸，如此在製作完成之後，可以避免在凸塊底層金屬50之介面附近的凸塊材質具有高濃度的金。

上述之被動元件之配置方式至少具有下列的優點：

1. 由於已製作完成的電子元件可以提供適當的參數，並且可以接合在靠近晶片中線路的位置，因此藉由本發明之被動元件的設計概念可以達到真正的系統化晶片的表現。

2. 由於已製作完成的電子元件可以接合在靠近晶片中心線路的位置，因此能夠減少寄生現象的發生。

3. 在本發明中，由於可以選擇具有適當設計參數之已製作完成的電子元件裝配在保護層上，此種設計可以減少已製作完成的電容元件及已製作完成的電感元件之電阻效應，為了更清楚的說明，下面有針對習知技術與本發明作比較說明：

習知技術係利用細的金屬導線來製作電感元件，而若是為了要減少電阻效應，必須製作較寬的線圈，則會使得電感元件之表面面積增加。另外，習知技術會具有較大之電感元件之寄生電容的現象，並且在基底內會有嚴重的渦電流損耗。

然而本發明，係採用厚金屬層作為線路，因此可以減少電阻效應。另外，聚合物還可以墊在被動元件與下層結構之間，如此可以減少寄生效應，由於寄生效應的減少，



五、發明說明 (28)

會使得共振頻率提高，故適合高頻電路的操作。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之隔離範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖繪示依照美國專利公告第6,383,916號之連接線路結構的剖面示意圖。

第2圖繪示依照本發明之電感元件形成在厚聚醯亞胺層上之剖面示意圖。

第3圖繪示依照本發明之電感元件之上視示意圖。

第4圖繪示依照本發明之晶片結構的剖面示意圖，其中電感元件係形成在厚聚醯亞胺層上，並且藉由一導電材質可以避免電感元件影響到在下層的矽基底。

第5a圖繪示依照本發明之電感元件形成在保護層上之剖面示意圖。

第5b圖繪示依照本發明之多個電感元件形成在比如是高分子聚合物之絕緣層上的剖面示意圖。

第5c圖繪示依照本發明之多個電感元件形成在比如是高分子聚合物之絕緣層上的上視圖。

第6a圖繪示依照本發明之變壓器形成在比如是高分子聚合物之絕緣層上的剖面示意圖，其中絕緣層係位在保護層上。

第6b圖繪示依照本發明之變壓器的剖面示意圖，其中位在下方的線圈係位在保護層上。

第6c圖繪示依照本發明另一較佳實施例之螺線管形狀的電感元件之立體示意圖，其中電感元件係位在保護層上。

第6d圖繪示依照本發明另一較佳實施例之螺線管形狀的電感元件之立體示意圖，其中電感元件係位在比如是高



圖式簡單說明

分子聚合物之絕緣層上，而絕緣層係位在保護層上。

第6e圖係為第6c圖及第6d圖之電感元件之上視示意圖。

第6f圖係為第6e圖中沿著剖面線6f-6f之剖面示意圖。

第6g圖繪示依照本發明之環形線圈形狀的電感元件之立體示意圖。

第6h圖繪示第6g圖中環形線圈形狀的電感元件之上視示意圖。

第7a-7c圖繪示依照本發明之電容元件形成在比如是高分子聚合物之絕緣層上的剖面示意圖，其中絕緣層係位在保護層上。

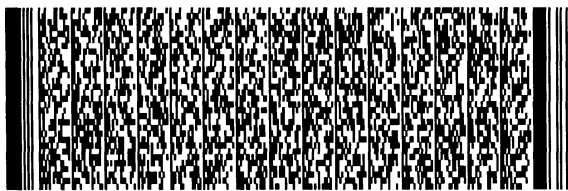
第8圖繪示依照本發明之電阻元件形成在保護層上的剖面示意圖。

第9a圖及第9b圖繪示依照本發明之電阻元件形成在比如是高分子聚合物之厚絕緣層上的剖面示意圖，其中厚絕緣層係位在保護層上。

第10圖繪示依照本發明之晶片結構的剖面示意圖，其中已製作完成的電子元件係利用表面黏著技術黏著於比如是高分子聚合物之厚絕緣層上。

第11圖繪示依照本發明之晶片結構的剖面示意圖，其中已製作完成的電子元件係利用表面黏著技術黏著於保護層上。

第12圖至第18圖繪示依照本發明以金為材質之金屬結



圖式簡單說明

構的剖面示意圖，其中金屬結構係穿過比如是高分子聚合物之絕緣層。

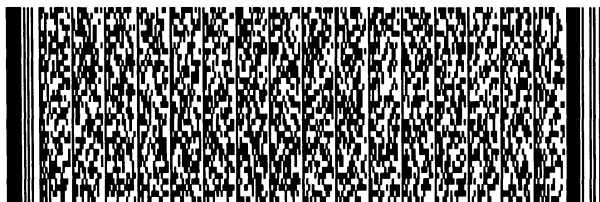
第19圖至第23圖繪示依照本發明以銅為材質之金屬結構的剖面示意圖，其中金屬結構係穿過比如是高分子聚合物之絕緣層。

第24a圖至第24c圖繪示依照本發明另一種連接電感元件的方法。

第25圖及第26圖分別繪示依照本發明另一種連接電容元件及電阻元件的方法。

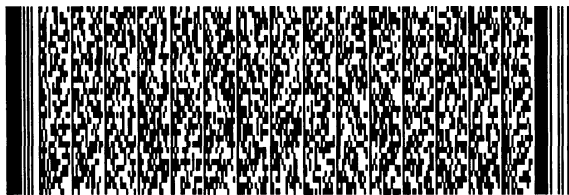
【圖式標示說明】

10：矽基底	11：電晶體
12：內部介電層	13：金屬連線
14：金屬/介電層	16：電子接點
18：保護層	19：開口
19a：電感元件	20：聚合物層
20a：聚合物塊	23：導通孔金屬
23a：導通孔金屬	25：底層金屬結構
25a：底層金屬結構	27：頂層金屬結構
27a：頂層金屬結構	26：線路
28：線路	29：第一聚合物層
22：開口	30：路徑
32：路徑	34：路徑
35：介電層	36：開口



圖式簡單說明

36a : 開口	37 : 開口
38 : 開口	38a : 開口
39 : 接點	40 : 電感元件
40a : 第一電感元件	40b : 第二電感元件
41 : 接點	41a : 接點
42 : 下電極	43 : 接點
43a : 接點	44 : 導體
44a : 導電片	45 : 上電極
46 : 介電層	47 : 第二聚合物層
48 : 電阻元件	50 : 連接金屬
52 : 凸塊	53 : 錫料
54 : 已製作完成的電子元件	
56 : 凸塊	60 : 底層線圈
62 : 上層線圈	64 : 聚合物層
66 : 開口	68 : 電感元件
80 : 基底	81 : 金屬接點
82 : 開口	84 : 保護層
85 : 側壁	86 : 聚合物層
87 : 開口	88 : 黏著/阻障層
90 : 種子層	92 : 厚金屬層
94 : 光阻	95a : 光阻
100 : 黏著/阻障層	102 : 種子層
104 : 厚金屬層	106 : 金屬頂層

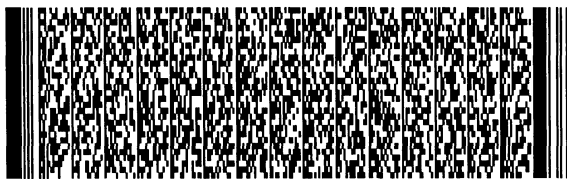


四、中文發明摘要 (發明名稱：具有電感元件之晶片結構及其製程)

本發明提出一種形成電感元件於保護層上的方法及其所對應的結構。其中高品質的電子元件，比如是電感元件及變壓器，可以形成在保護層上或是形成在位於保護層上之高分子絕緣層上。

五、英文發明摘要 (發明名稱：High Performance System-On-Chip Inductor Using Post Passivation Process)

A system and method for forming post passivation inductors, and related structures, is described. High quality electrical components, such as inductors and transformers, are formed on a layer of passivation, or on a thick layer of polymer over a passivation layer.



六、指定代表圖

(一)、本案代表圖為：第____5b____圖

(二)、本案代表圖之元件代表符號簡單說明：

10：矽基底

11：電晶體

14：金屬/介電層

16：電子接點

18：保護層

40a：第一電感元件

40b：第二電感元件

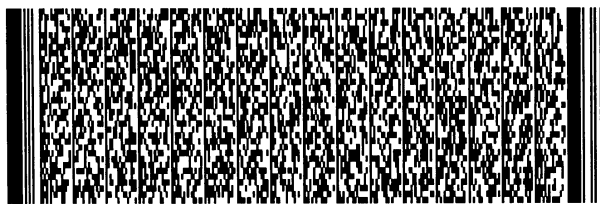
41a：接點

43a：接點



六、申請專利範圍

1. 一種晶片結構，至少包括：
一半導體基底；
至少一連接金屬層，位在該半導體基底上；
一保護層，位在該連接金屬層上，該保護層具有一保護層開口，暴露出位在上層之至少一電子接點；以及
一電感元件，位在該保護層上，並且與該電子接點電性連接，其中該保護層開口之寬度係大致上大於0.1微米。
2. 如申請專利範圍第1項所述之晶片結構，還包括一聚合物層，位在該保護層上且位在該電感元件之線圈下。
3. 如申請專利範圍第2項所述之晶片結構，其中該聚合物層具有至少一聚合物層開口，該聚合物層開口係對準於該保護層開口。
4. 如申請專利範圍第3項所述之晶片結構，其中該聚合物層開口係大於該保護層開口。
5. 如申請專利範圍第4項所述之晶片結構，其中經由該聚合物層開口及該保護層開口，該電感元件係連接至該電子接點。
6. 如申請專利範圍第5項所述之晶片結構，其中用來形成該電感元件及用來連接該電感元件與該電子接點之金屬係完全覆蓋該聚合物層開口之側壁。
7. 如申請專利範圍第5項所述之晶片結構，其中用來形成該電感元件及用來連接該電感元件與該電子接點之金屬係僅有覆蓋該聚合物層開口之側壁的部分區域。



六、申請專利範圍

8. 如申請專利範圍第2項所述之晶片結構，其中該聚合物層之材質係選自於由聚醯亞胺(polyimide)、苯基環丁烯(Benzocyclobutene, BCB)、聚亞芳香基醚(parylene)及以環氧樹脂為基礎(epoxy-based)之材料所組成之族群中的一種材質。

9. 如申請專利範圍第1項所述之晶片結構，還包括至少一金屬連線，與該電感元件係為相同的材質且位在該保護層上，而該金屬連線係連接至該電子接點。

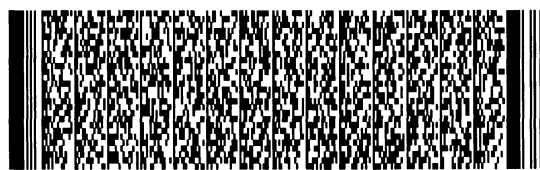
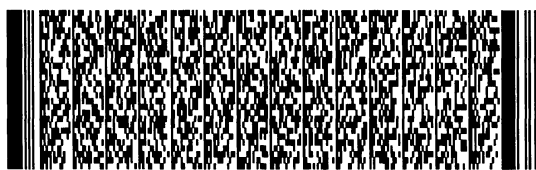
10. 如申請專利範圍第9項所述之晶片結構，其中該金屬連線及該電感元件具有一黏著/阻障層、一種子層及一厚金屬層，該黏著/阻障層係位在底部，該種子層係位在該黏著/阻障層上，該厚金屬層係位在該種子層上。

11. 如申請專利範圍第10項所述之晶片結構，其中該黏著/阻障層係為鈦鎢合金、鈦氮化合物、鈿或鈿氮化合物，該種子層係為金，該厚金屬層係為金。

12. 如申請專利範圍第10項所述之晶片結構，其中該黏著/阻障層係為鉻及鈦，二者擇一，該種子層係為銅，該厚金屬層係為銅。

13. 如申請專利範圍第12項所述之晶片結構，還包括一金屬頂層，其材質係為鎳，該金屬頂層係位在該厚金屬層上。

14. 如申請專利範圍第1項所述之晶片結構，其中該電感元件具有一第一接點及一第二接點，該第一接點及該第二接點係向下連接至該些電子接點。



六、申請專利範圍

15. 如申請專利範圍第1項所述之晶片結構，還包括一聚合物保護層，係位在該電感元件上及該保護層上。

16. 如申請專利範圍第15項所述之晶片結構，其中該電感元件具有一第一接點及一第二接點，該第一接點係連接至其中一該電子接點，而該第二接點係暴露在該聚合物保護層外。

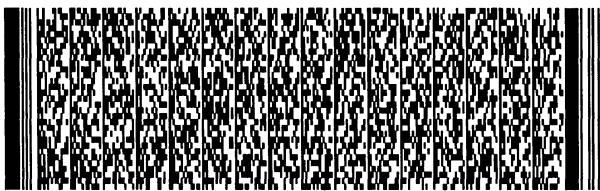
17. 如申請專利範圍第16項所述之晶片結構，其中該第二接點係連接至一凸塊、一錳球及一打線墊，三者擇一。

18. 如申請專利範圍第16項所述之晶片結構，還包括一金屬線路，係連接至該第二接點，且該金屬線路還連接至另一該電子接點。

19. 如申請專利範圍第16項所述之晶片結構，還包括一金屬線路，係連接至該第二接點，且該金屬線路還連接至一外界電路。

20. 如申請專利範圍第15項所述之晶片結構，其中該電感元件具有一第一接點及一第二接點，該第一接點係連接至其中一該電子接點，而該晶片結構還包括另一線路，該另一線路係連接至該第二接點，該另一線路之金屬層結構係相同於該電感元件之金屬層結構，該另一線路係經由該聚合物保護層暴露於外，且該另一線路之一暴露於外的區域係離開該第二接點。

21. 如申請專利範圍第20項所述之晶片結構，其中該另一線路之該暴露於外的區域係連接一凸塊、一錳球及



六、申請專利範圍

一打線墊，三者擇一。

22. 如申請專利範圍第2項所述之晶片結構，還包括一導電片，位在該保護層上，並且係位在該聚合物層下，且該導電片係大致上位於該電感元件下，且該導電片之面積係接近於該電感元件之面積。

23. 如申請專利範圍第22項所述之晶片結構，其中該導電片係連接至該電感元件之其中一接點。

24. 如申請專利範圍第22項所述之晶片結構，其中該導電片係保持在電位浮動的狀態。

25. 如申請專利範圍第22項所述之晶片結構，其中該導電片係保持在一電位下。

26. 如申請專利範圍第1項所述之晶片結構，其中該電感元件係為一螺線管(solenoid)的形式。

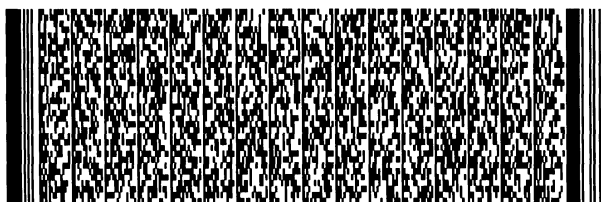
27. 如申請專利範圍第26項所述之晶片結構，其中該電感元件包括：

一底層金屬結構，係由一第一金屬層所構成；

一頂層金屬結構，係由一第二金屬層所構成，並且藉由一聚合物層使該底層金屬結構與該頂層金屬結構分開；以及

一垂直金屬結構，係位在該聚合物層之導通孔中，且該垂直金屬結構係連接該底層金屬結構與該頂層金屬結構。

28. 如申請專利範圍第27項所述之晶片結構，其中該電感元件係為超環面(toroidal)的形式，類似環繞形狀之



六、申請專利範圍

螺線圈。

29. 如申請專利範圍第5項所述之晶片結構，還包括
一第二聚合物層，位在該電感元件上；
一第二電感元件，位在該第二聚合物層上，其中該第二電感元件與該電感元線係構成一變壓器
(transformer)。

30. 如申請專利範圍第29項所述之晶片結構，還包括
一第三聚合物層，係位在該變壓器上。

31. 如申請專利範圍第30項所述之晶片結構，其中該
第二電感元件係暴露於該第三聚合物層外，適於與一外部
電路連接。

32. 如申請專利範圍第2項所述之晶片結構，其中該聚
合物層係僅形成在該電感元件之線圈下，而形成至少一聚
合物塊，藉以降低該聚合物層的應力。

33. 如申請專利範圍第32項所述之晶片結構，其中該
聚合物塊上均具有至少一該電感元件。

34. 一種晶片結構，至少包括：

- 一半導體基底；
- 至少一連接金屬層，位在該半導體基底上；
- 一保護層，位在該連接金屬層上，該保護層具有一保
護層開口，暴露出位在上層之至少一電子接點；
- 一電感元件，位在該保護層上；以及
- 一金屬連線，係與該電感元件具有相同的材質，且該
金屬連線係位在該保護層上，該金屬連線係連接至該電子



六、申請專利範圍

接點，其中該保護層開口之寬度係大於0.1微米。

35. 如申請專利範圍第34項所述之晶片結構，還包括一聚合物保護層，係位在該電感元件上及該保護層上。

36. 如申請專利範圍第35項所述之晶片結構，其中該電感元件具有一第一接點及一第二接點，該第一接點及該第二接點係暴露在該聚合物保護層外。

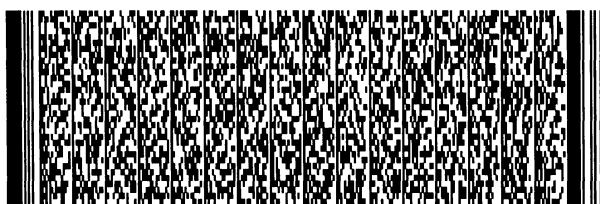
37. 如申請專利範圍第36項所述之晶片結構，其中該第一接點及該第二接點係連接至一凸塊、一鉚球及一打線墊，三者擇一。

38. 如申請專利範圍第36項所述之晶片結構，還包括一金屬線路，係連接至該第二接點，且該金屬線路還連接至另一該電子接點。

39. 如申請專利範圍第36項所述之晶片結構，還包括一金屬線路，係連接至該第二接點，且該金屬線路還連接至一外界電路。

40. 如申請專利範圍第34項所述之晶片結構，其中該電感元件具有一第一接點及一第二接點，該第一接點係連接至其中一該電子接點，而該晶片結構還包括另一線路，該另一線路係連接至該電感元件之該第一接點及該第二接點之其中之一，該另一線路之金屬層結構係相同於該電感元件之金屬層結構，該另一線路係經由該聚合物保護層暴露於外，且該另一線路之一暴露於外的區域係離開該第一接點及該第二接點。

41. 如申請專利範圍第40項所述之晶片結構，其中該



六、申請專利範圍

該另一線路之該暴露於外的區域係連接一凸塊、一鉚球及一打線墊，三者擇一。

42. 一種晶片結構之形成方法，至少包括：

提供一半導體基底；

形成至少一連接金屬層於該半導體基底上；

形成一保護層於該連接金屬層上，該保護層具有一保護層開口，暴露出位在上層之至少一電子接點；以及

形成一電感元件於該保護層上，且該電感元件與該電子接點電性連接，其中該保護層開口之寬度係大於0.1微米。

43. 如申請專利範圍第42項所述之晶片結構之形成方法，還包括形成一聚合物層，該聚合物層係位在該保護層上且位在該電感元件之線圈下。

44. 如申請專利範圍第43項所述之晶片結構之形成方法，其中該聚合物層具有至少一聚合物層開口，該聚合物層開口係對準於該保護層開口。

45. 如申請專利範圍第44項所述之晶片結構之形成方法，其中該聚合物層開口係大於該保護層開口。

46. 如申請專利範圍第45項所述之晶片結構之形成方法，其中經由該聚合物層開口及該保護層開口，該電感元件係連接至該電子接點。

47. 如申請專利範圍第46項所述之晶片結構之形成方法，其中用來形成該電感元件及用來連接該電感元件與該電子接點之金屬係完全覆蓋該聚合物層開口之側壁。



六、申請專利範圍

48. 如申請專利範圍第46項所述之晶片結構之形成方法，其中用來形成該電感元件及用來連接該電感元件與該電子接點之金屬係僅有覆蓋該聚合物層開口之側壁的部分區域。

49. 如申請專利範圍第43項所述之晶片結構之形成方法，其中該聚合物層之材質係選自於由聚醯亞胺 (polyimide)、苯基環丁烯 (Benzocyclobutene, BCB)、聚亞芳香基醚 (parylene) 及以環氧樹脂為基礎 (epoxy-based) 之材料所組成之族群中的一種材質。

50. 如申請專利範圍第43項所述之晶片結構之形成方法，其中該聚合物層係以旋塗的方式製成。

51. 如申請專利範圍第43項所述之晶片結構之形成方法，其中該聚合物層係以網板印刷的方式製成。

52. 如申請專利範圍第43項所述之晶片結構之形成方法，其中該聚合物層係利用壓合聚合物乾膜的方式製成。

53. 如申請專利範圍第1項所述之晶片結構之形成方法，還包括形成至少一金屬連線，與該電感元件係為相同的材質且位在該保護層上，而該金屬連線係連接至該電子接點。

54. 如申請專利範圍第53項所述之晶片結構之形成方法，其中形成該金屬連線與該電感元件之步驟包括：

形成一聚合物層於該保護層上；以及

形成至少一聚合物層開口於該聚合物層內，其中該聚合物層開口係對準於該保護層開口，且該聚合物層開口係



六、申請專利範圍

大於該保護層開口。

55. 如申請專利範圍第54項所述之晶片結構之形成方法，其中形成該金屬連線與該電感元件之步驟還包括：

形成一黏著/阻障層於該保護層開口內、該聚合物層開口內及該聚合物層上；

形成一種子層於該黏著/阻障層上；以及

形成一厚金屬層於該種子層上。

56. 如申請專利範圍第55項所述之晶片結構之形成方法，其中該黏著/阻障層係為鈦鎢合金、鈦氮化合物、鉭或鉭氮化合物，該種子層係為金，該厚金屬層係為金。

57. 如申請專利範圍第56項所述之晶片結構之形成方法，其中係利用濺鍍的方式形成該黏著/阻障層，該黏著/阻障層之厚度係介於500埃到5000埃之間。

58. 如申請專利範圍第56項所述之晶片結構之形成方法，其中係利用濺鍍的方式形成該種子層，該種子層之厚度係介於300埃到3000埃之間。

59. 如申請專利範圍第56項所述之晶片結構之形成方法，其中係利用電鍍的方式形成該厚金屬層，該厚金屬層之厚度係介於1微米到20微米之間。

60. 如申請專利範圍第55項所述之晶片結構之形成方法，其中該黏著/阻障層係為鉻及鈦，二者擇一，該種子層係為銅，該厚金屬層係為銅。

61. 如申請專利範圍第60項所述之晶片結構之形成方法，其中係利用濺鍍的方式形成該黏著/阻障層，該黏著/



六、申請專利範圍

阻障層之厚度係介於200埃到1500埃之間。

62. 如申請專利範圍第60項所述之晶片結構之形成方法，其中係利用濺鍍的方式形成該種子層，該種子層之厚度係介於2000埃到10000埃之間。

63. 如申請專利範圍第60項所述之晶片結構之形成方法，其中係利用電鍍的方式形成該厚金屬層，該厚金屬層之厚度係介於2微米到20微米之間。

64. 如申請專利範圍第60項所述之晶片結構之形成方法，其中還要形成一金屬頂層於該厚金屬層上，而該金屬頂層之材質係為鎳。

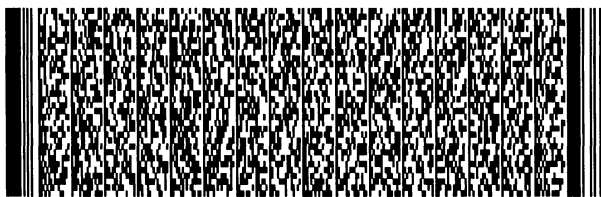
65. 如申請專利範圍第64項所述之晶片結構之形成方法，其中該金屬頂層的厚度係介於0.1微米到3微米之間。

66. 如申請專利範圍第42項所述之晶片結構之形成方法，其中該電感元件具有一第一接點及一第二接點，該第一接點及該第二接點係向下連接至該些電子接點。

67. 如申請專利範圍第42項所述之晶片結構之形成方法，還包括一聚合物保護層，係位在該電感元件上及該保護層上。

68. 如申請專利範圍第67項所述之晶片結構之形成方法，其中該電感元件具有一第一接點及一第二接點，該第一接點係連接至其中一該電子接點，而該第二接點係暴露在該聚合物保護層外。

69. 如申請專利範圍第68項所述之晶片結構之形成方法，其中該第二接點係連接至一凸塊、一錳球及一打線



六、申請專利範圍

墊，三者擇一。

70. 如申請專利範圍第43項所述之晶片結構之形成方法，還包括還包括形成一導電片，該導電片係位在該保護層上及該聚合物層下，且該導電片係大致上位於該電感元件下，且該導電片之面積係接近於該電感元件之面積。

71. 如申請專利範圍第70項所述之晶片結構之形成方法，其中該導電片係連接至該電感元件之其中一接點。

72. 如申請專利範圍第70項所述之晶片結構之形成方法，其中該導電片係保持在電位浮動的狀態。

73. 如申請專利範圍第70項所述之晶片結構之形成方法，其中該導電片係保持在一電位下。

74. 一種晶片結構之形成方法，至少包括：

提供一半導體基底；

形成至少一連接金屬層於該半導體基底上；

形成一保護層於該連接金屬層上，該保護層具有一保護層開口，暴露出位在上層之至少一電子接點；

形成一電感元件於該保護層上；

形成一金屬連線於該保護層上，該金屬連線係與該電感元件具有相同的材質，該金屬連線係連接至該電子接點，其中該保護層開口之寬度係大於0.1微米。

75. 如申請專利範圍第74項所述之晶片結構之形成方法，還包括形成一聚合物保護層於該電感元件上及該保護層上。

76. 如申請專利範圍第75項所述之晶片結構之形成方

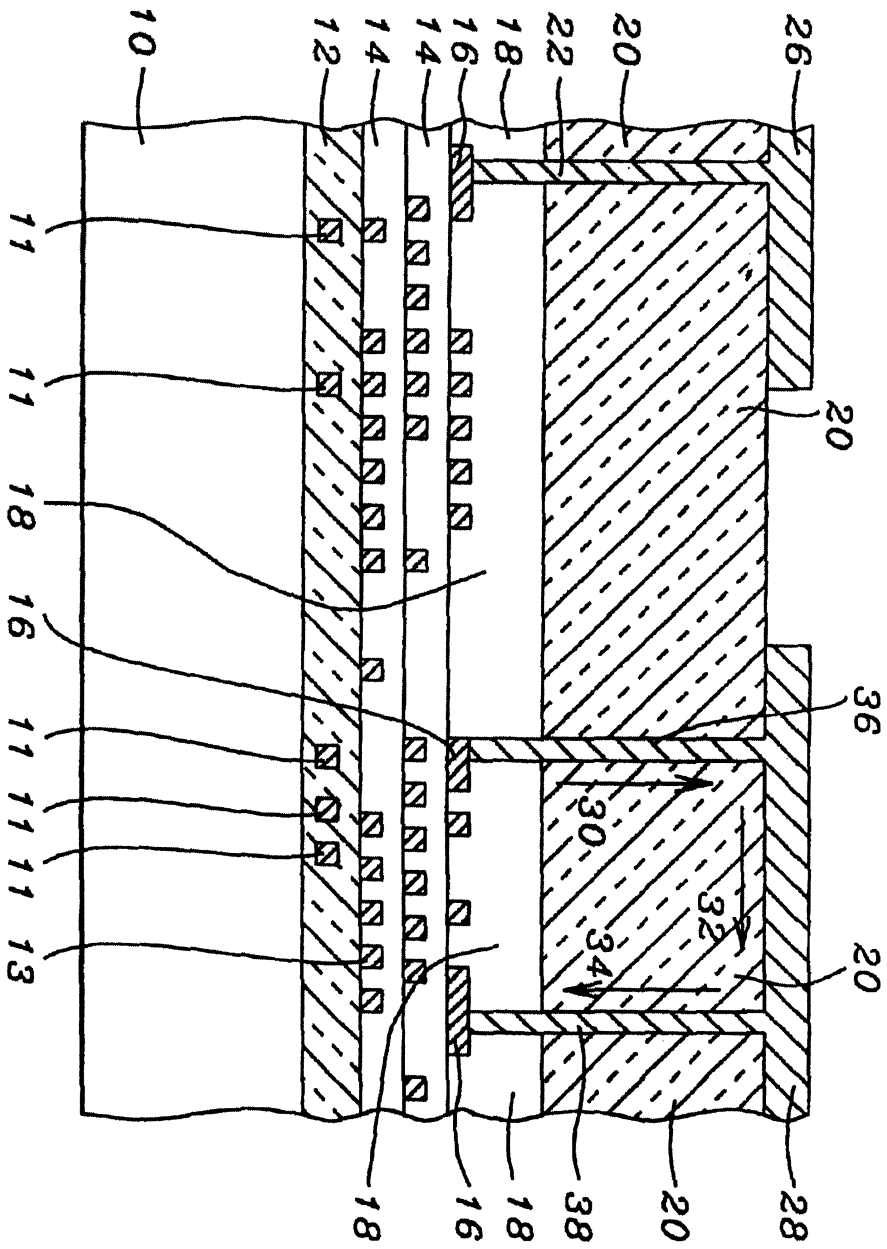


六、申請專利範圍

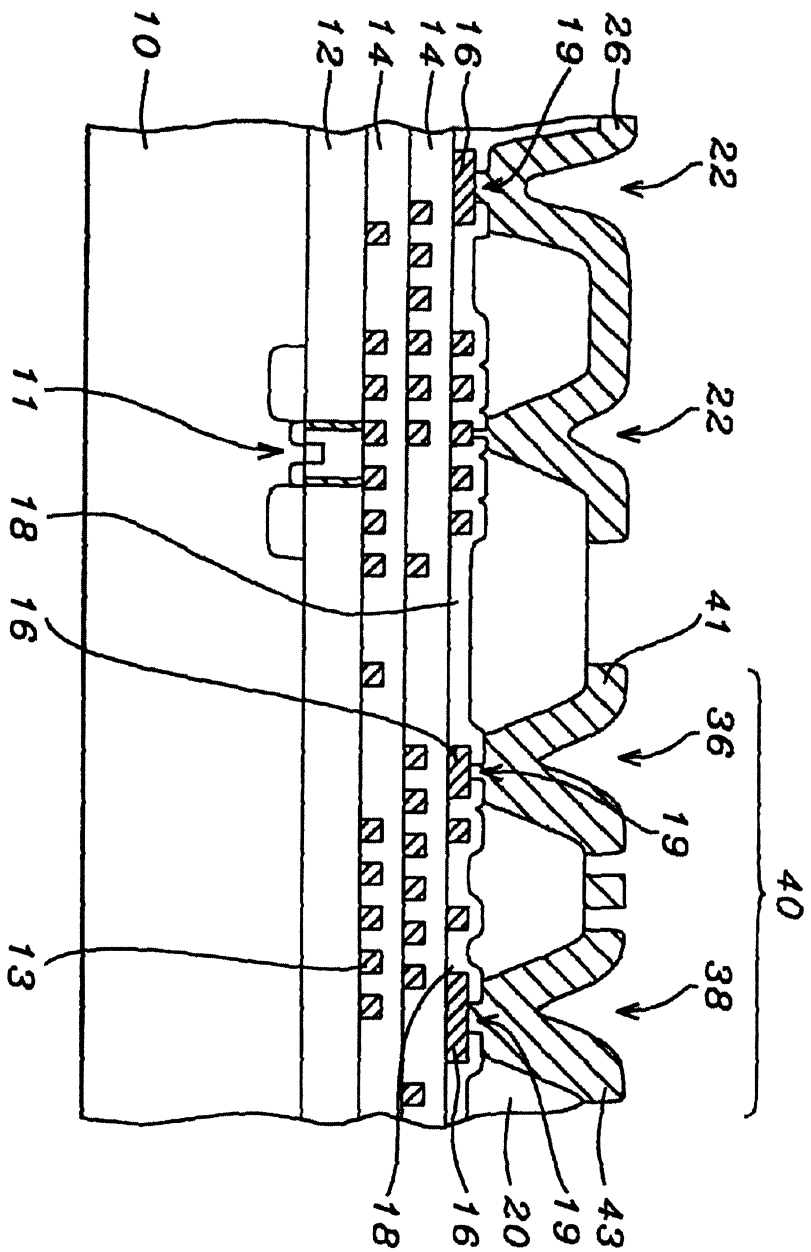
法，其中該電感元件具有一第一接點及一第二接點，該第一接點及該第二接點係暴露在該聚合物保護層外。

77. 如申請專利範圍第76項所述之晶片結構之形成方法，其中該第一接點及該第二接點係連接至一凸塊、一鉅球及一打線墊，三者擇一。

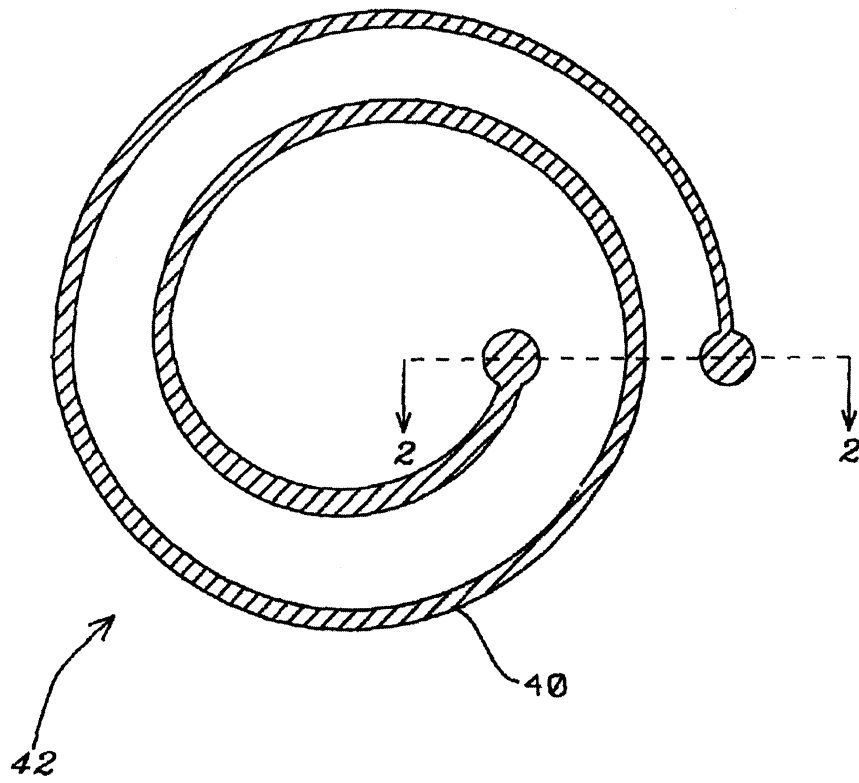




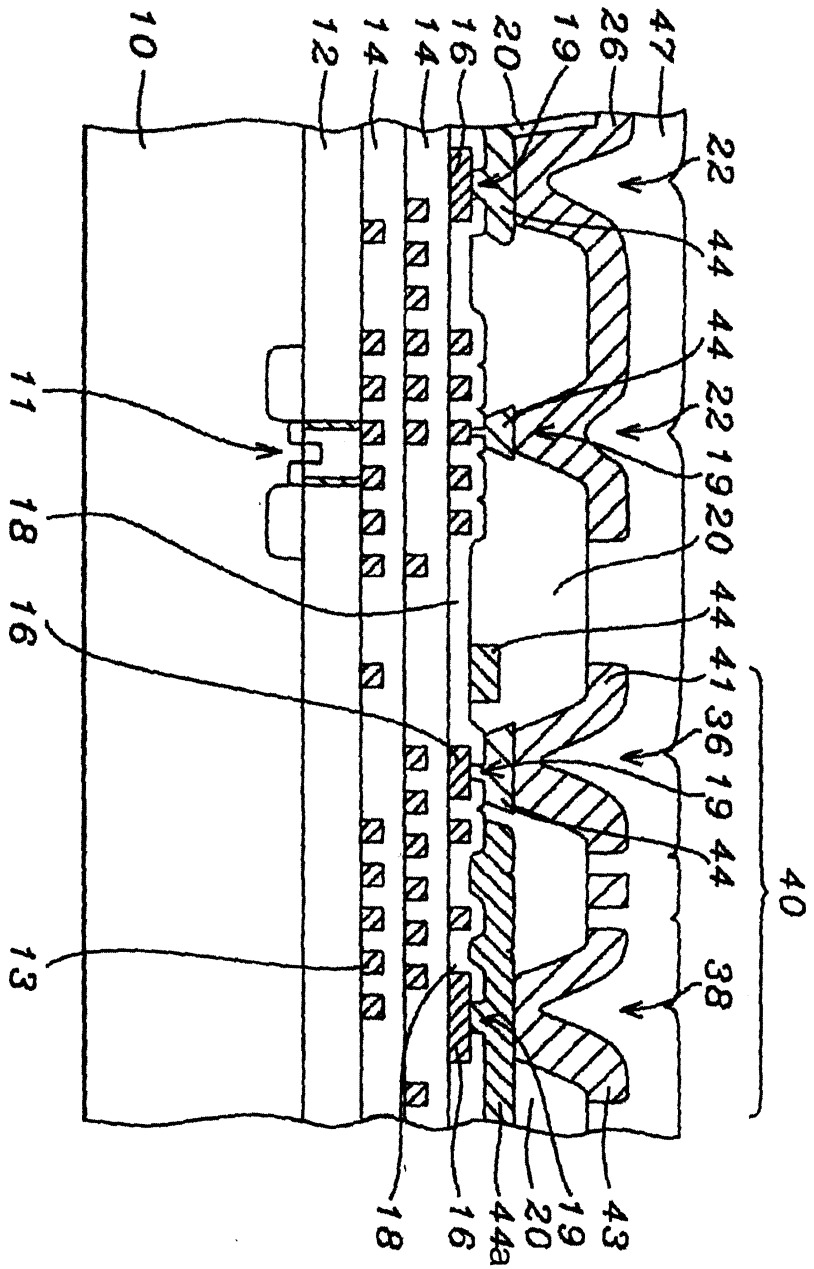
第 1 圖



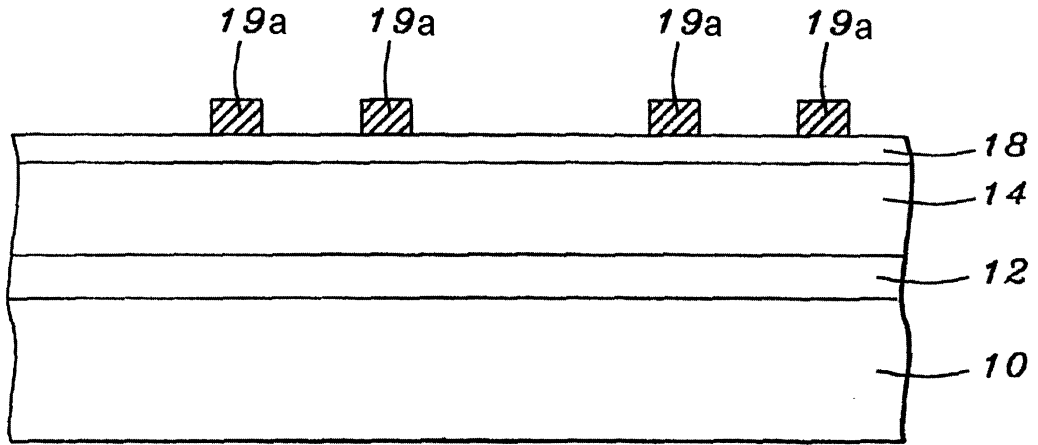
第 2 圖



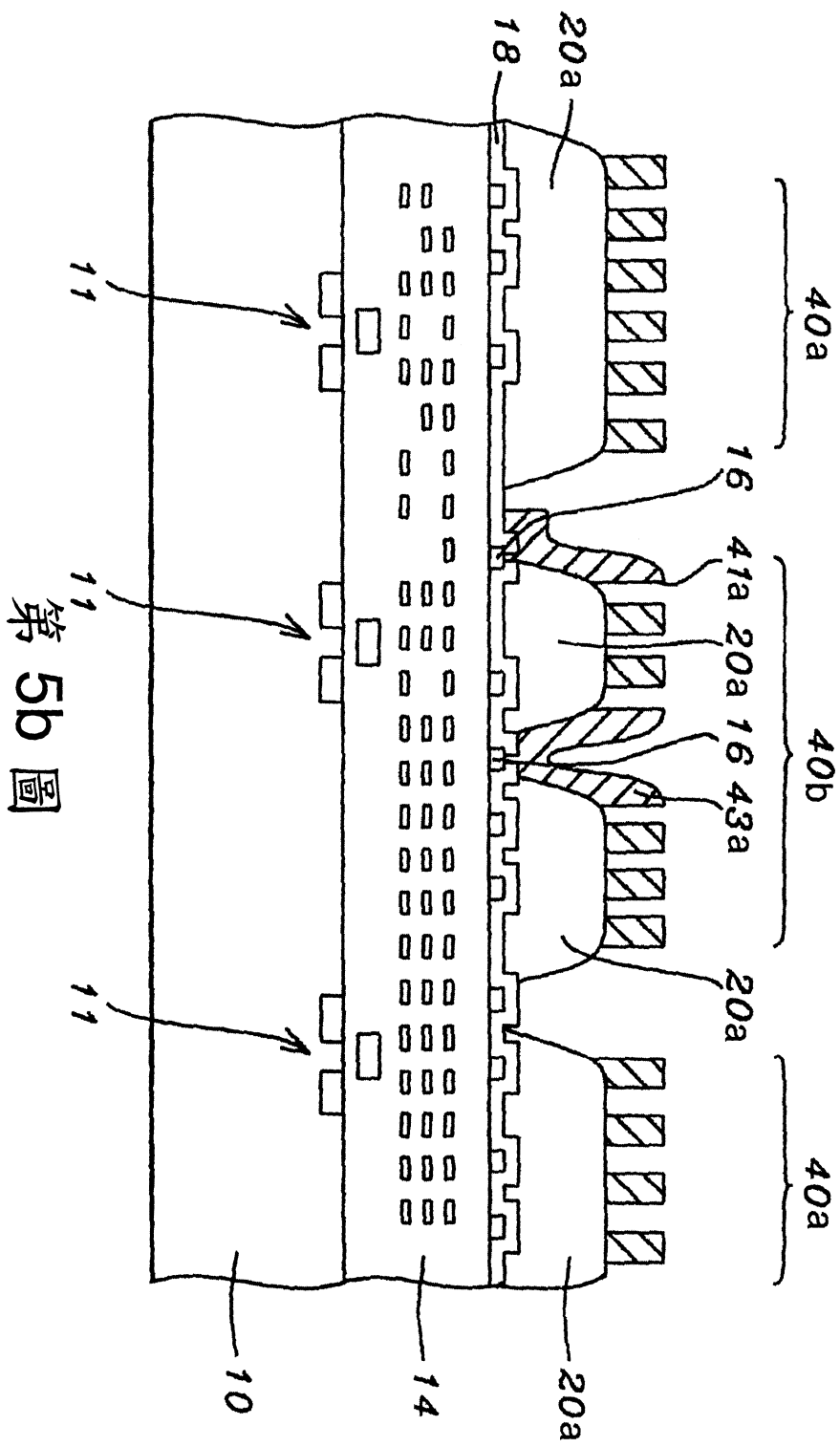
第 3 圖



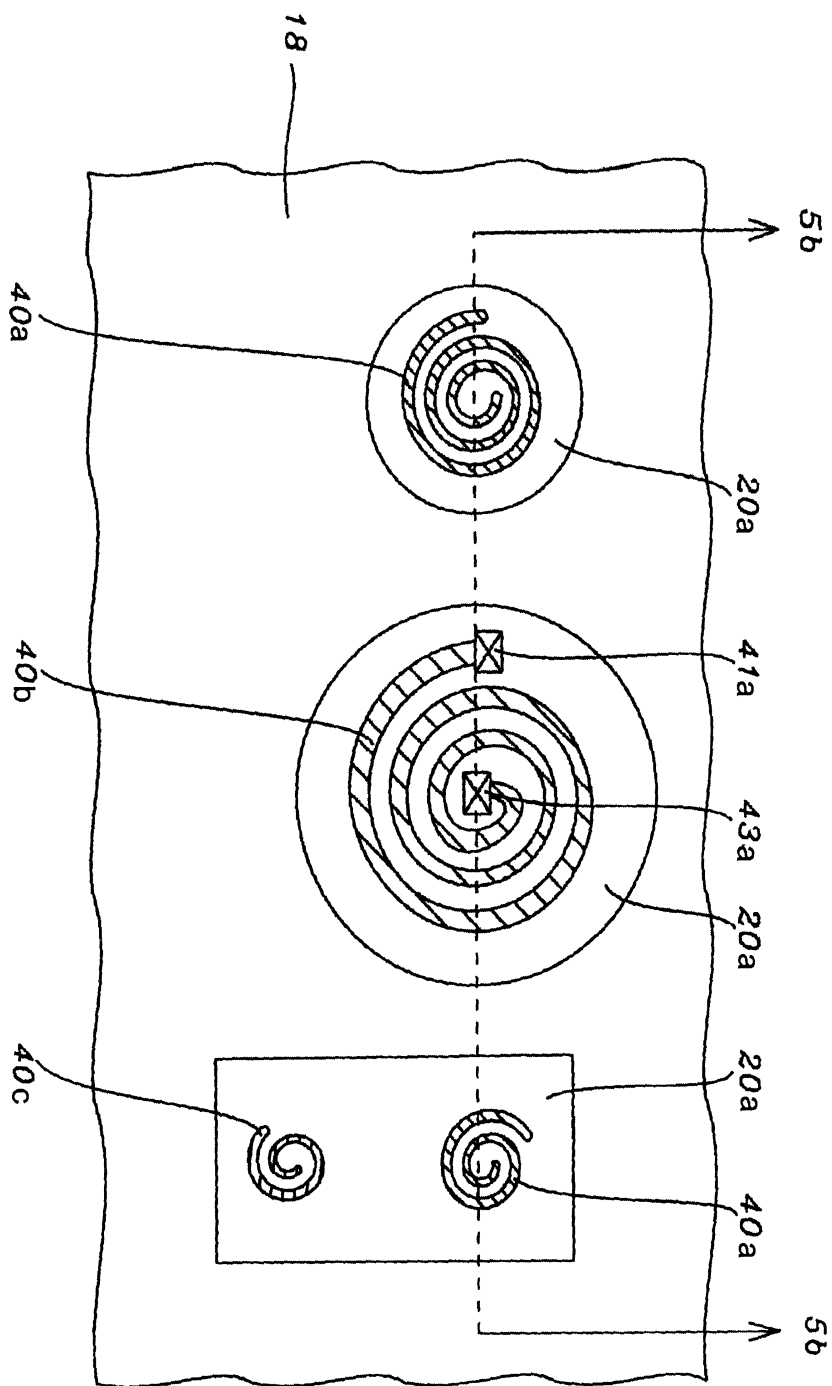
第 4 圖



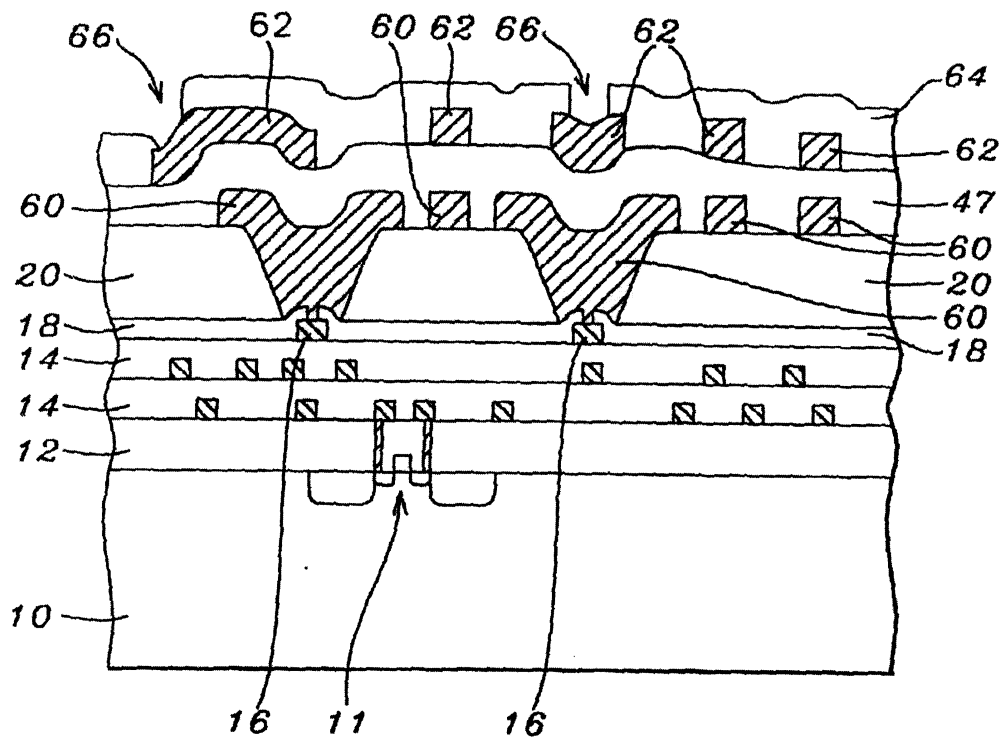
第 5a 圖



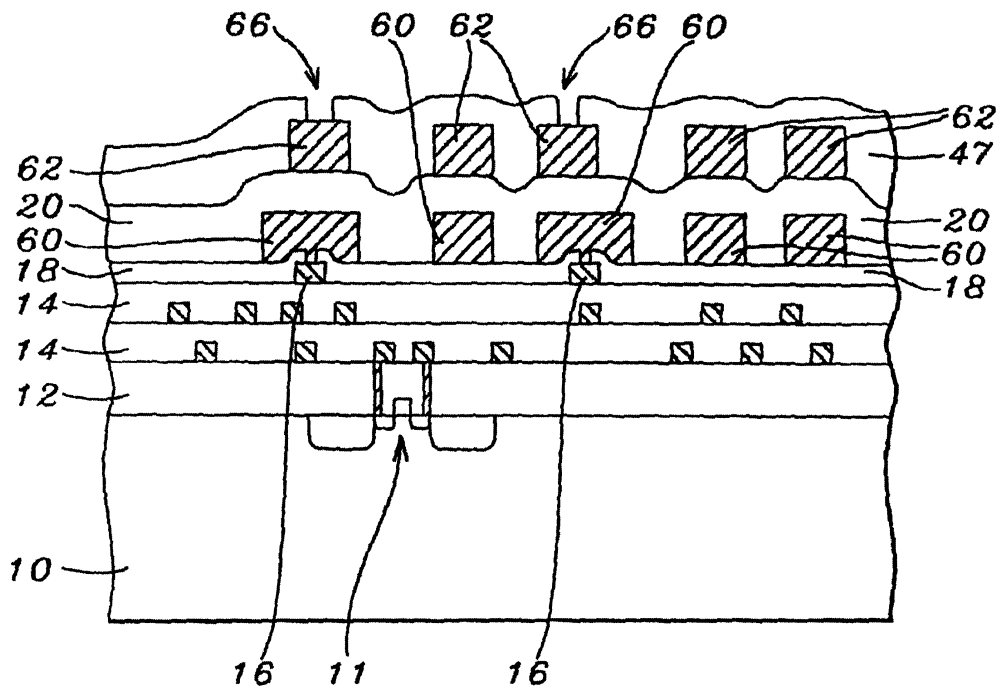
第 5b 圖



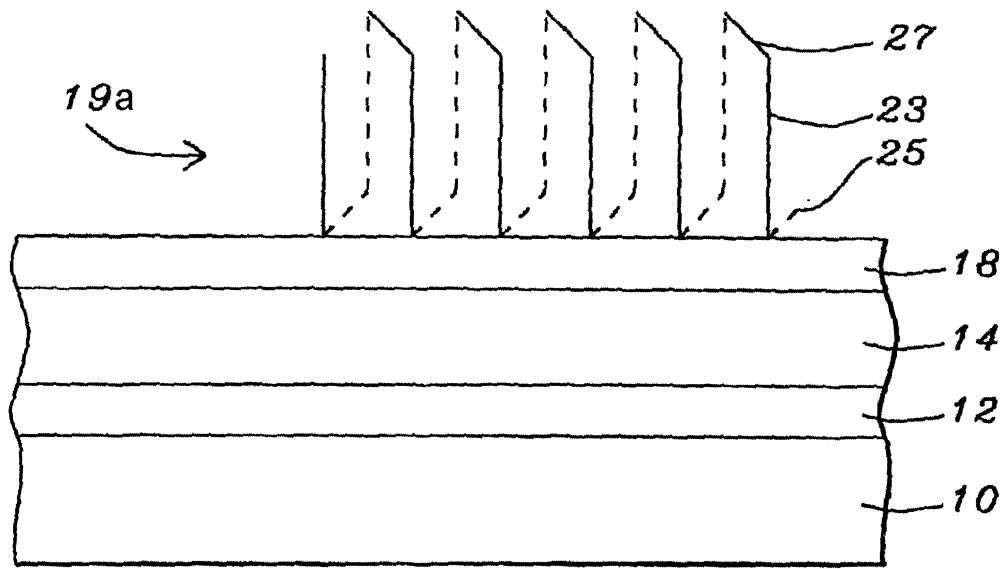
第 5C 圖



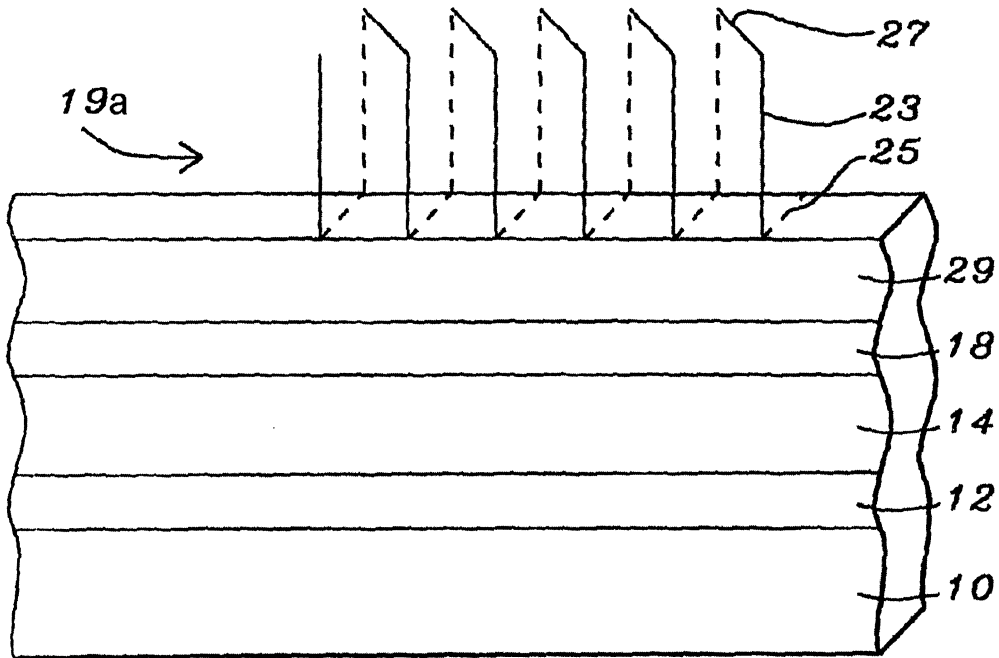
第 6a 圖



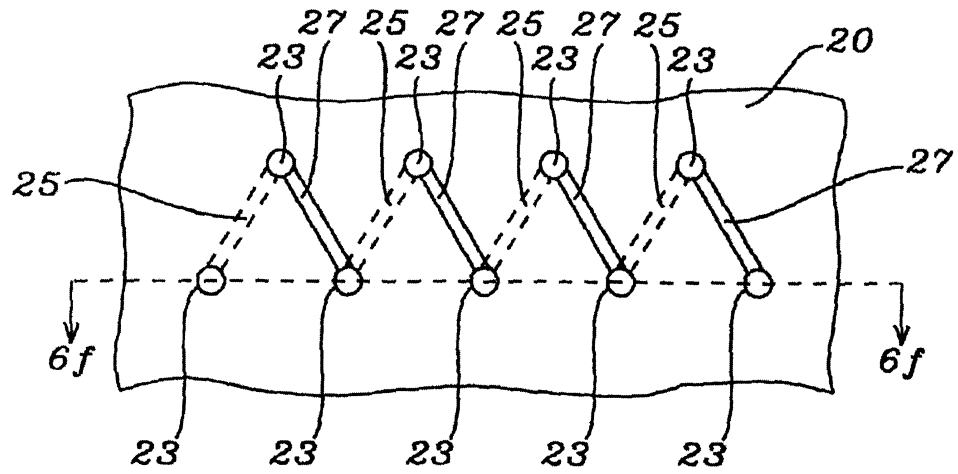
第 6b 圖



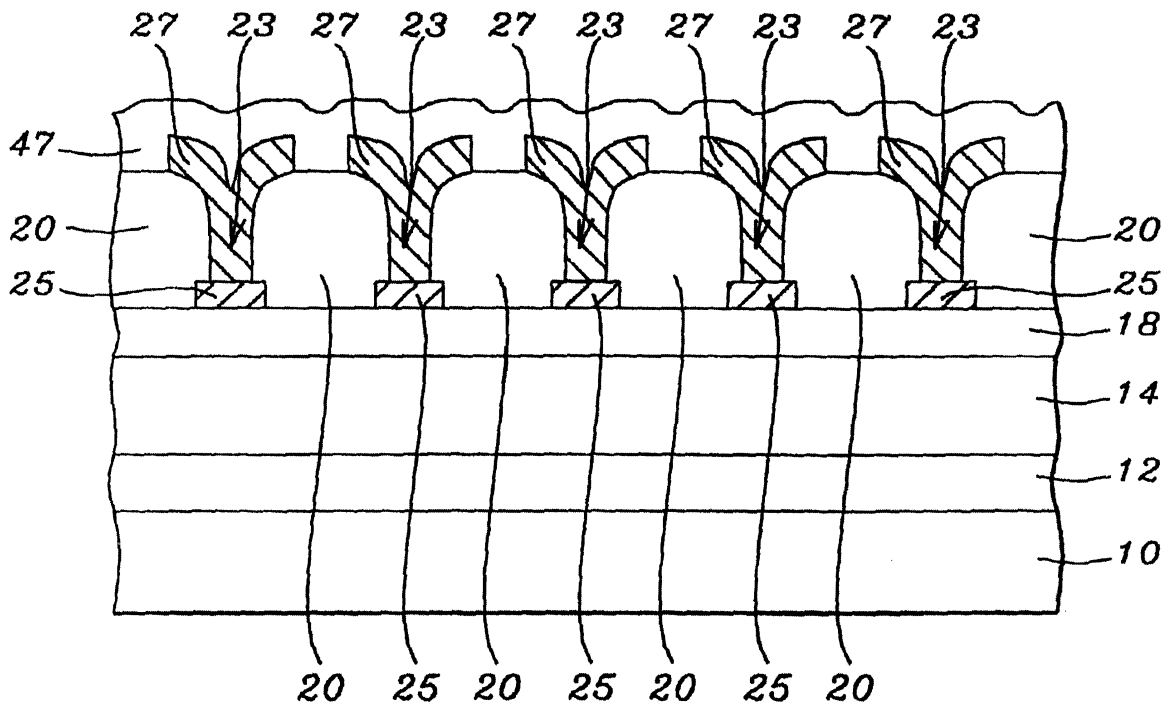
第 6c 圖



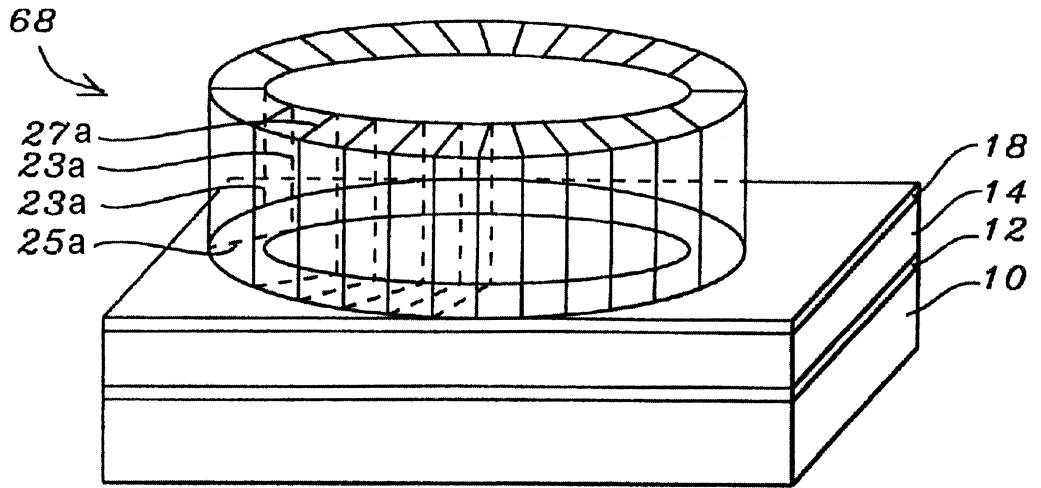
第 6d 圖



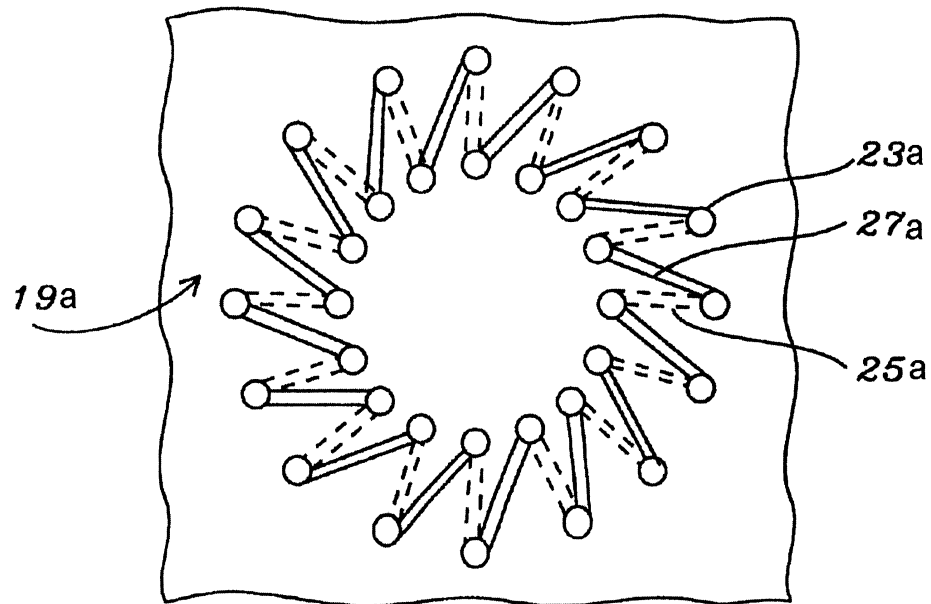
第 6e 圖



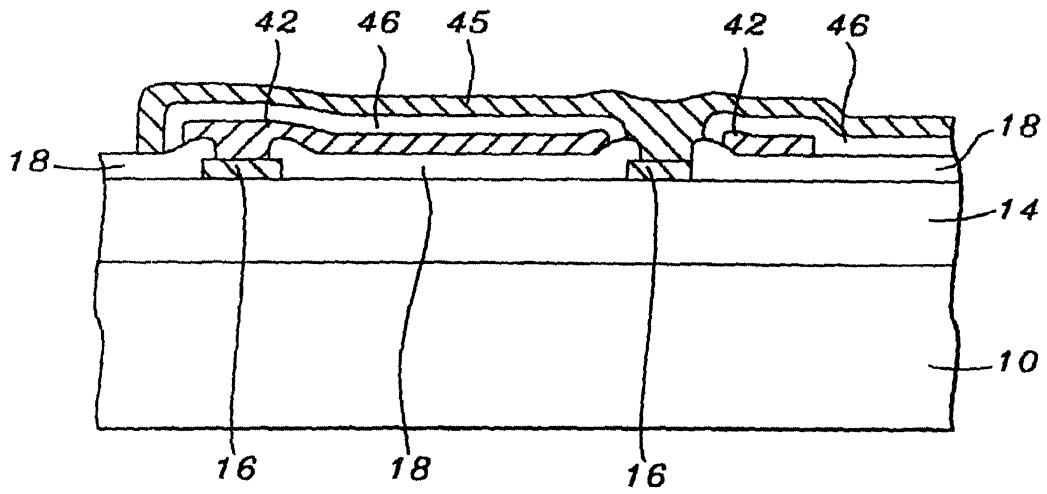
第 6f 圖



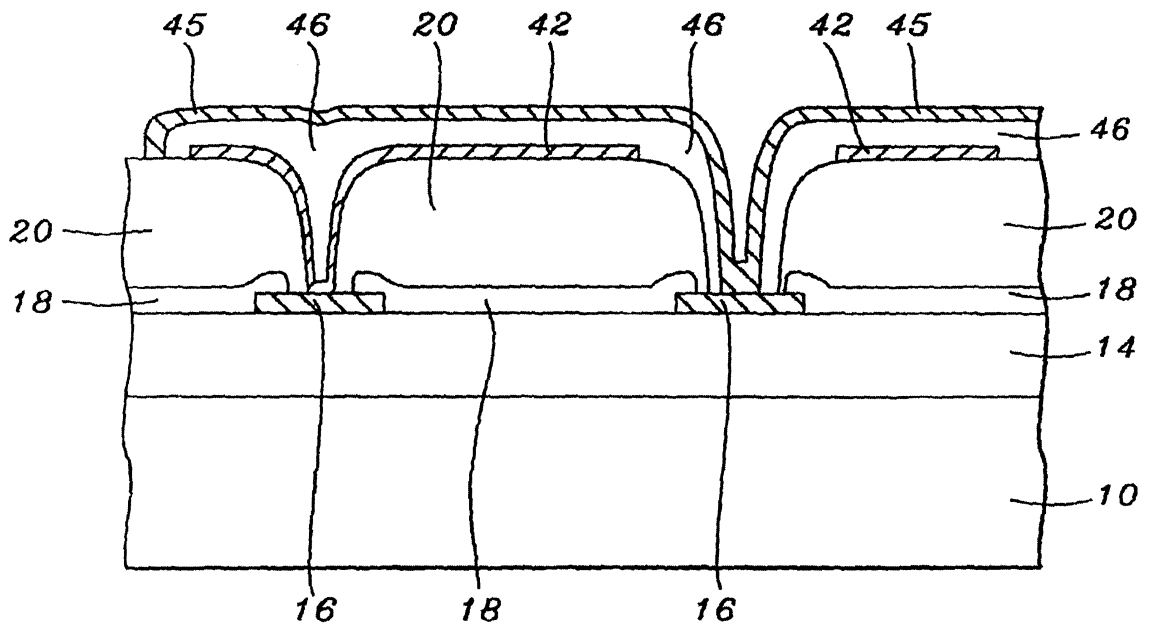
第 6g 圖



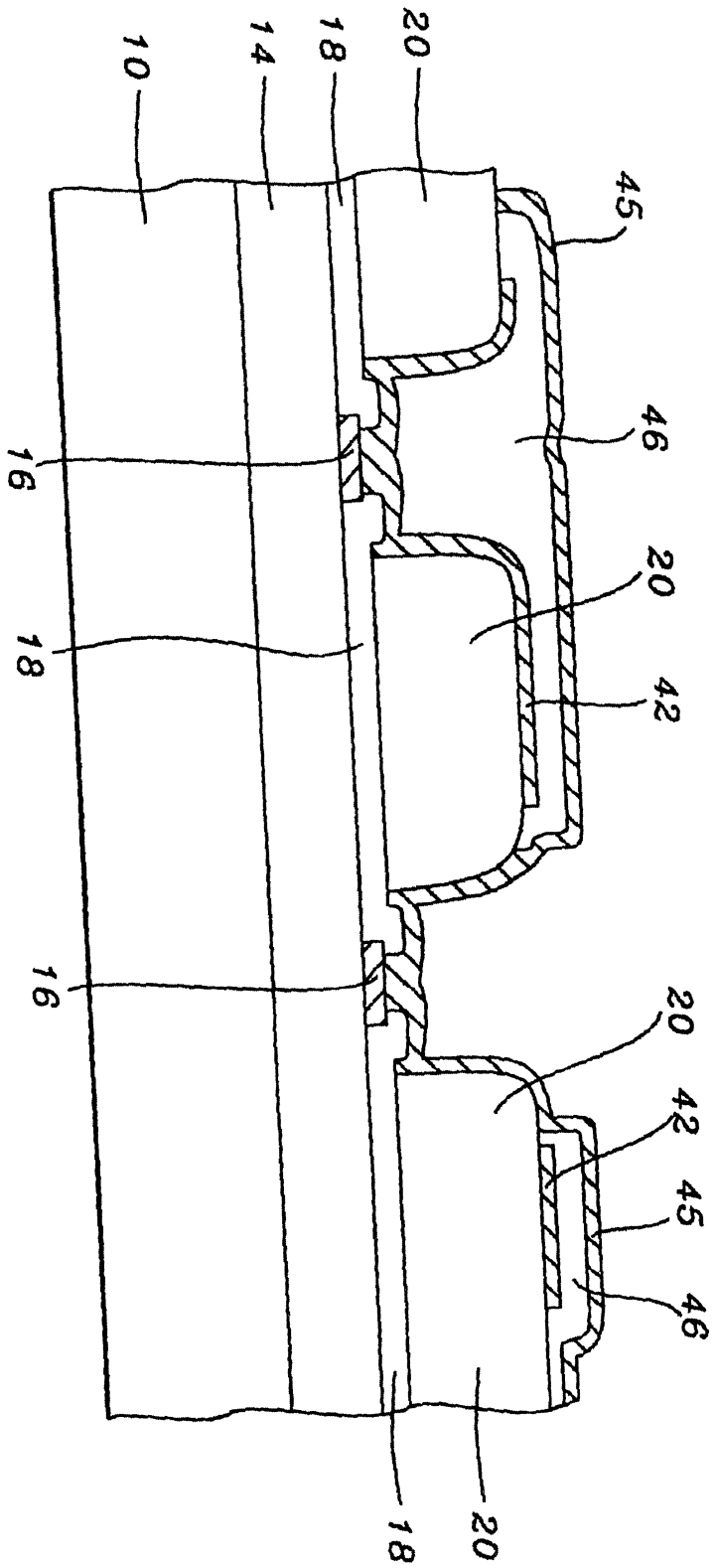
第 6h 圖



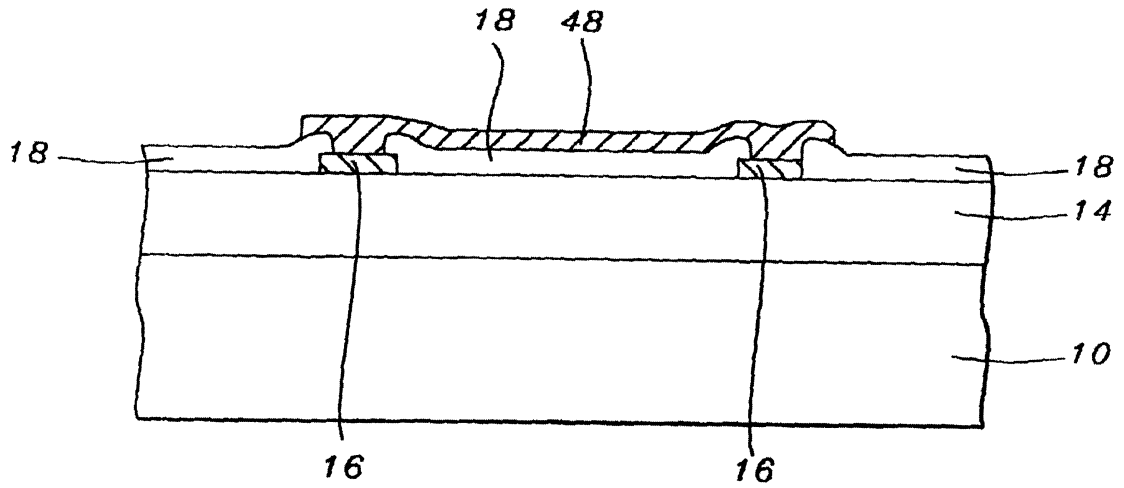
第 7a 圖



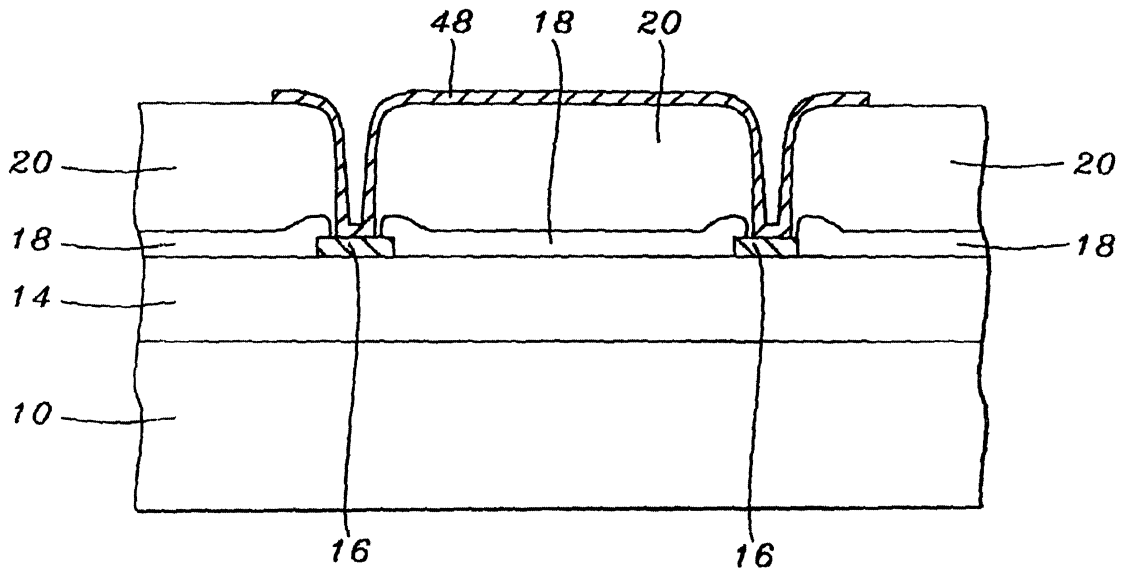
第 7b 圖



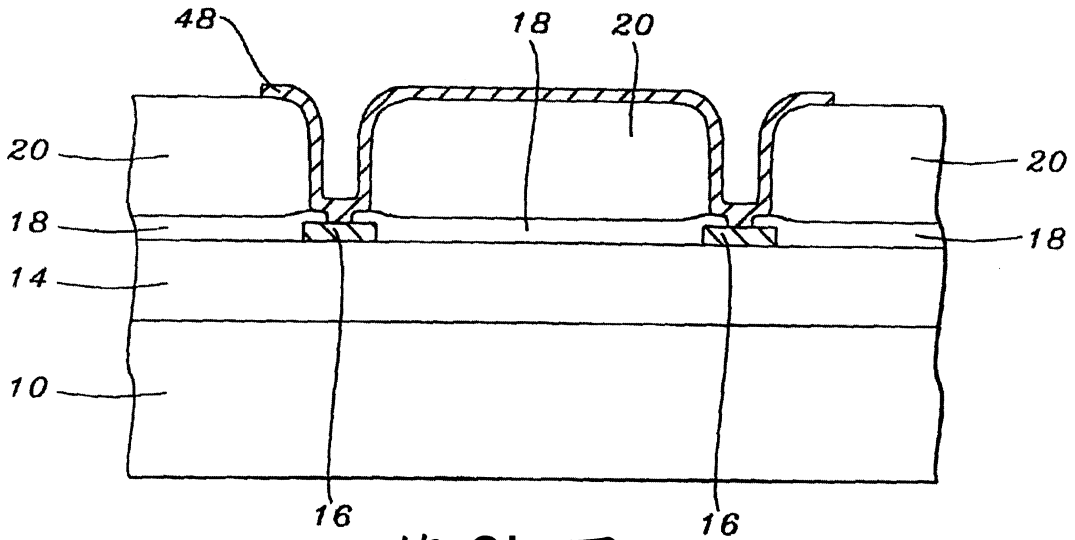
第7C圖



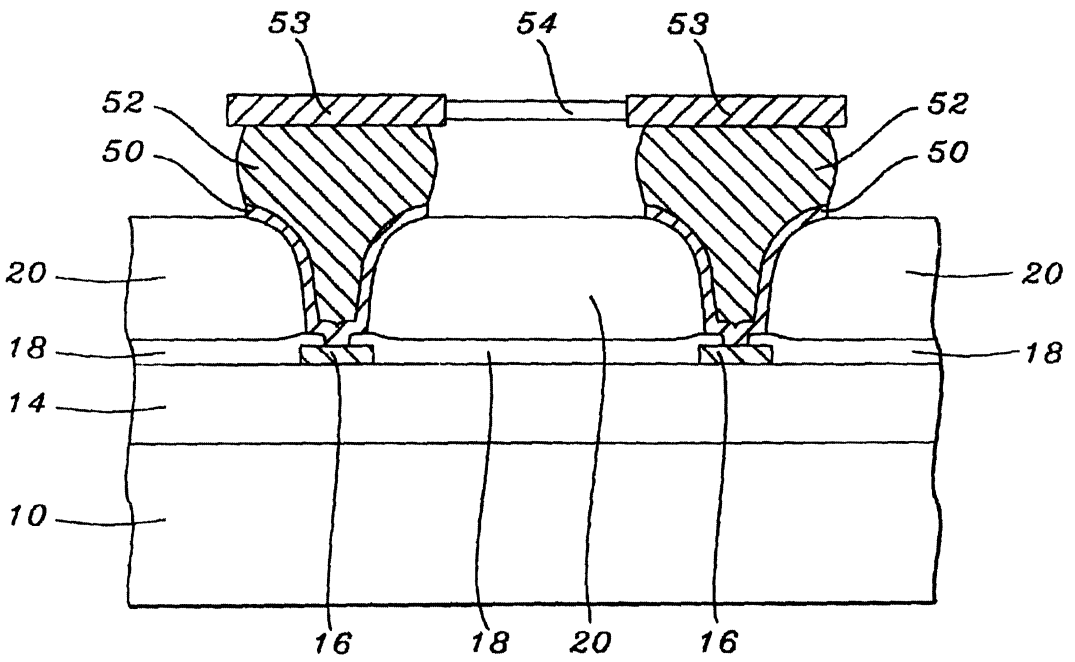
第 8 圖



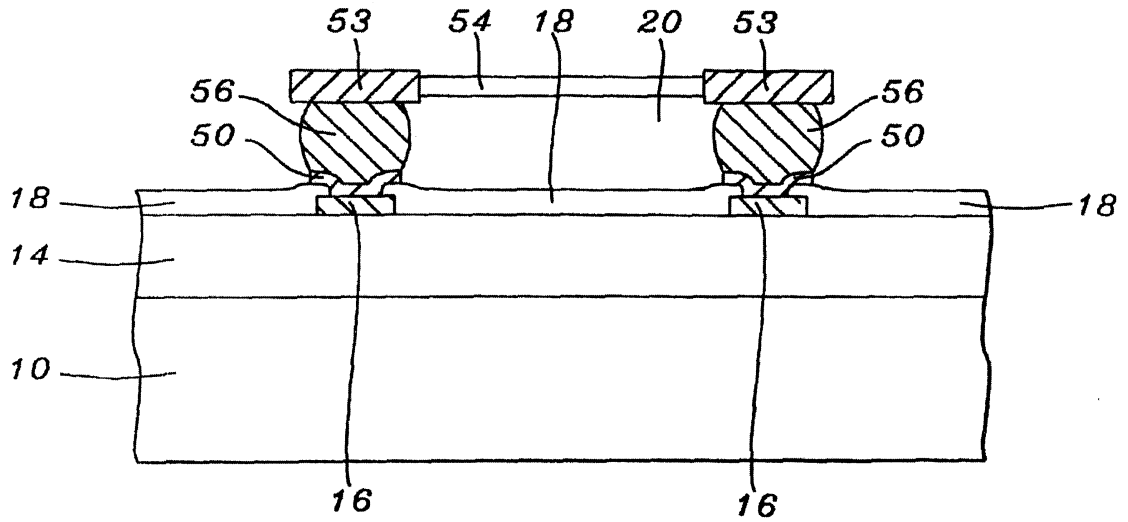
第 9a 圖



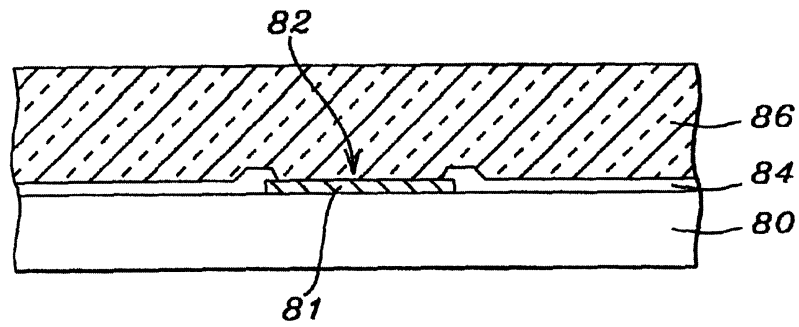
第 9b 圖



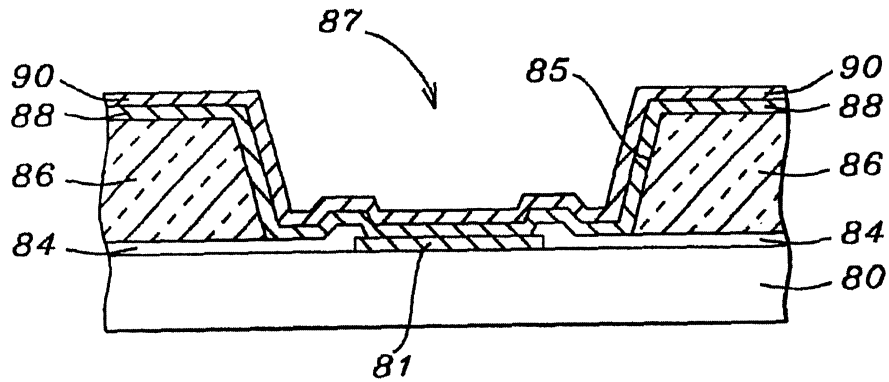
第 10 圖



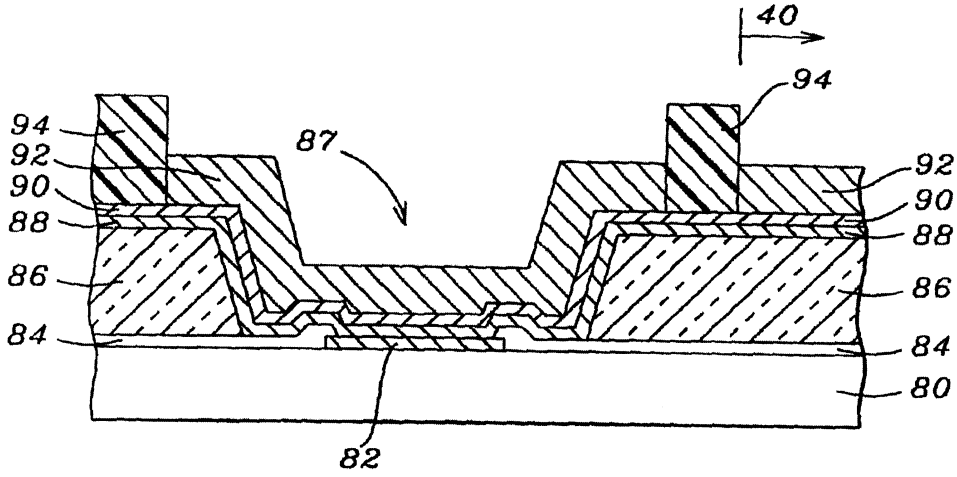
第 11 圖



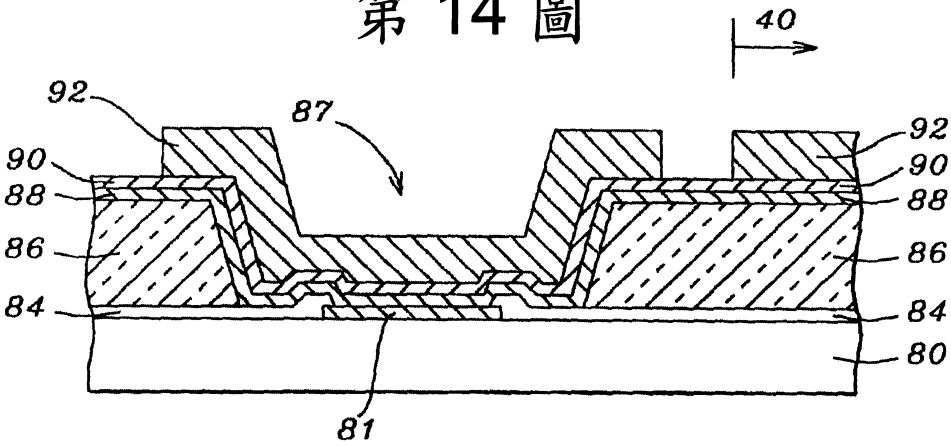
第 12 圖



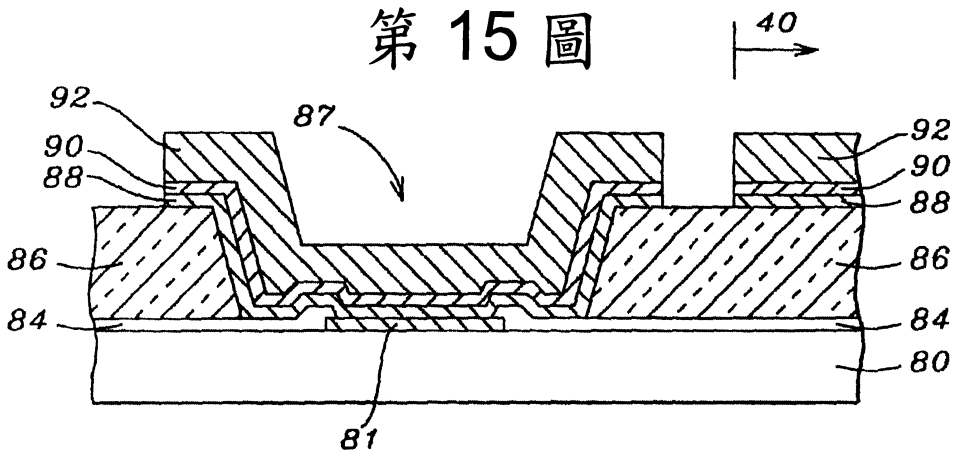
第 13 圖



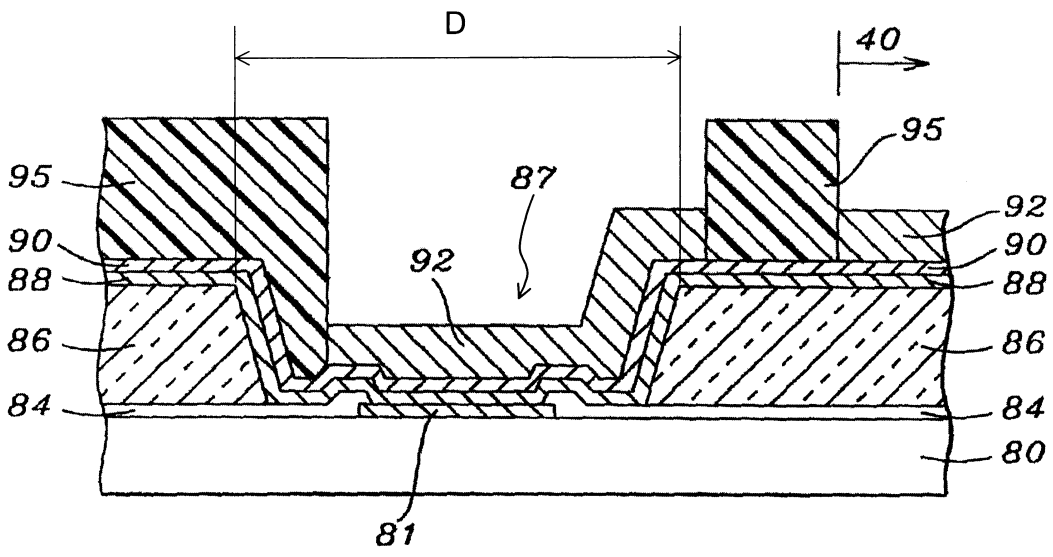
第 14 圖



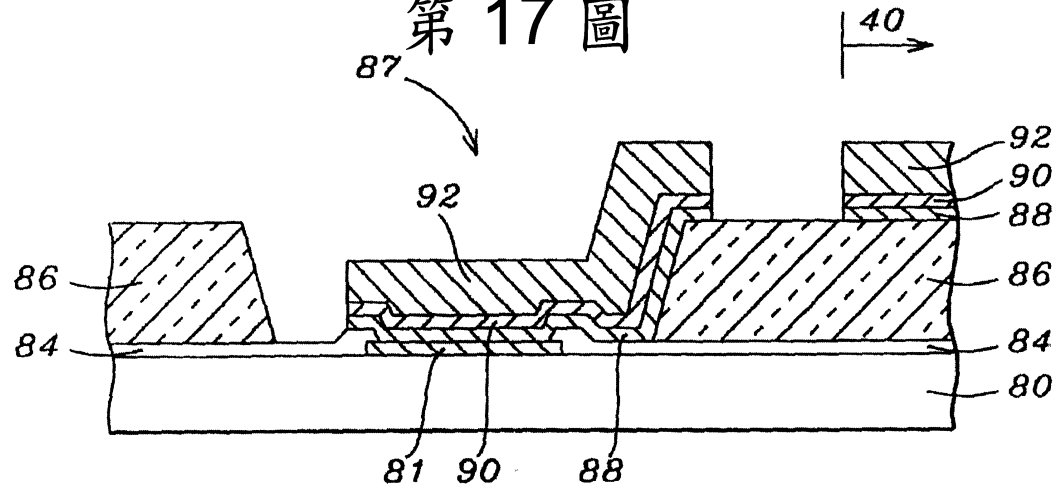
第 15 圖



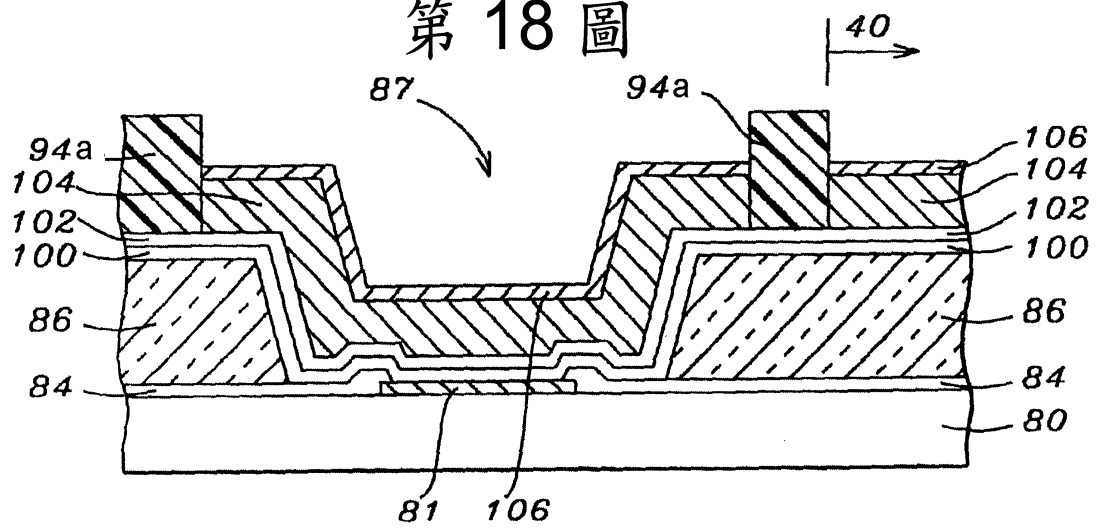
第 16 圖



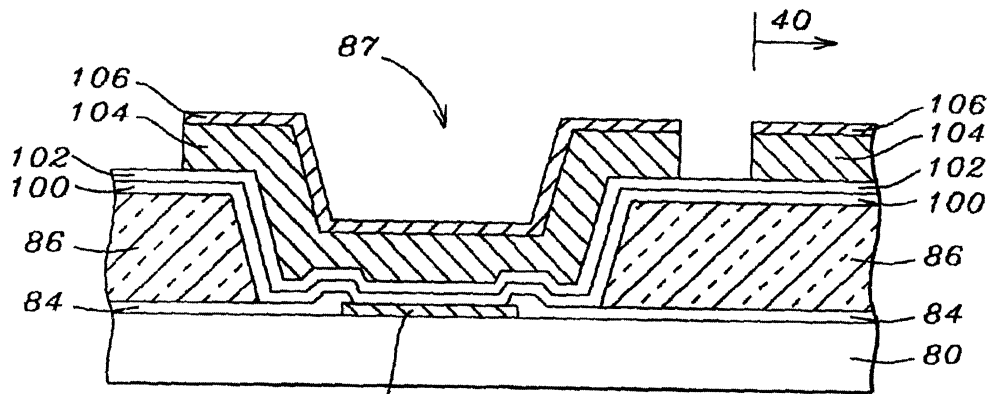
第 17 圖



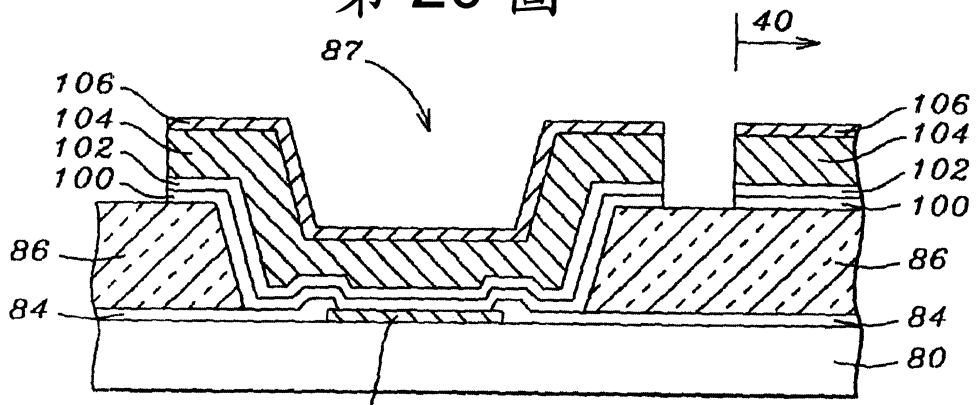
第 18 圖



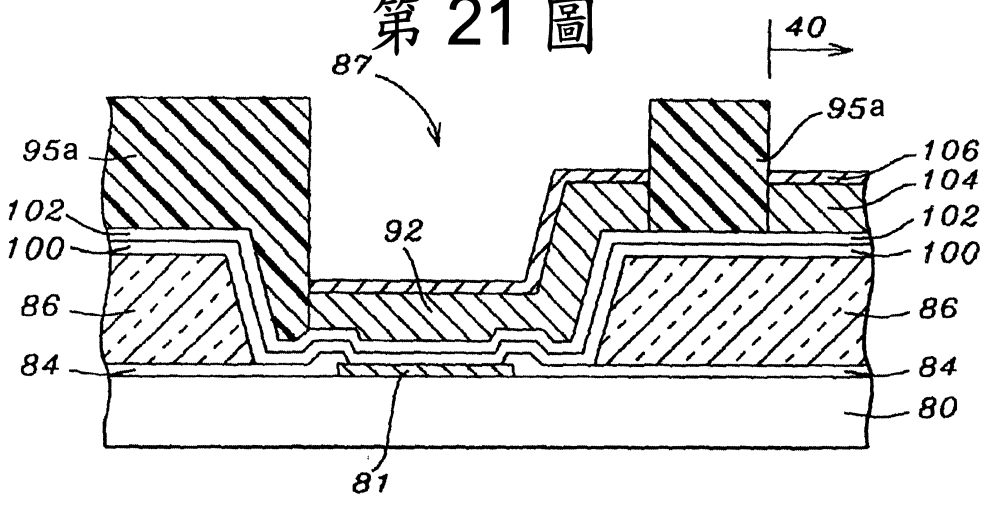
第 19 圖



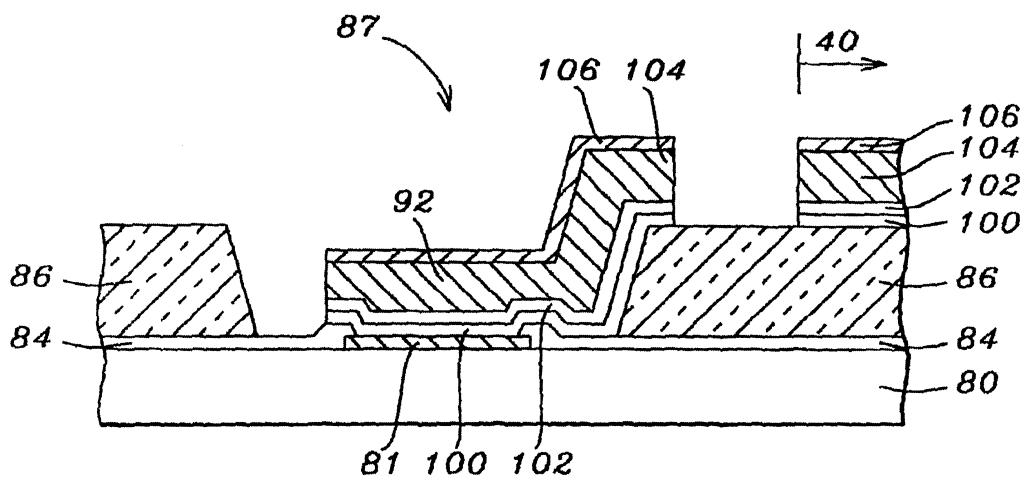
第 20 圖



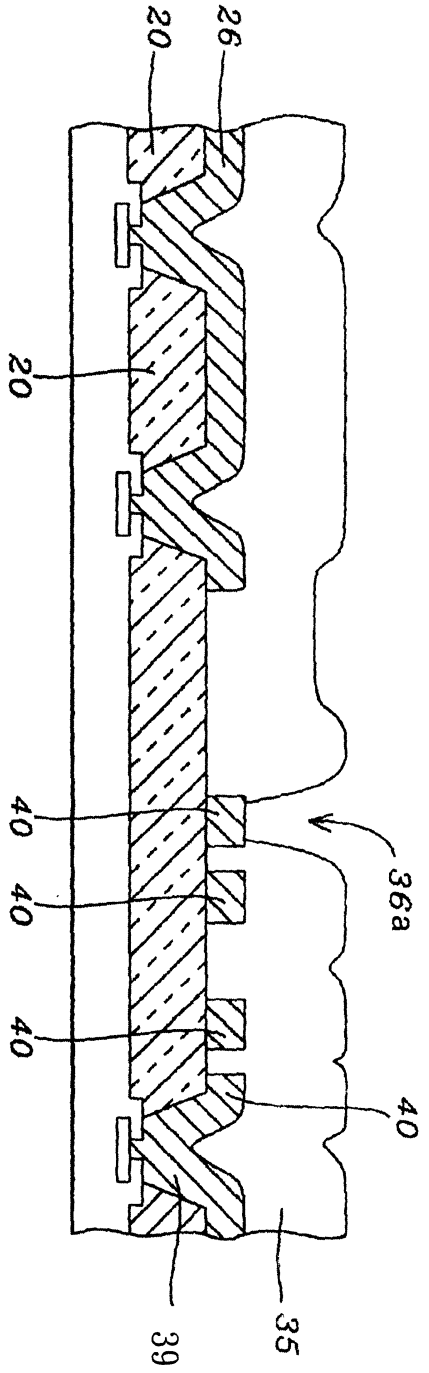
第 21 圖



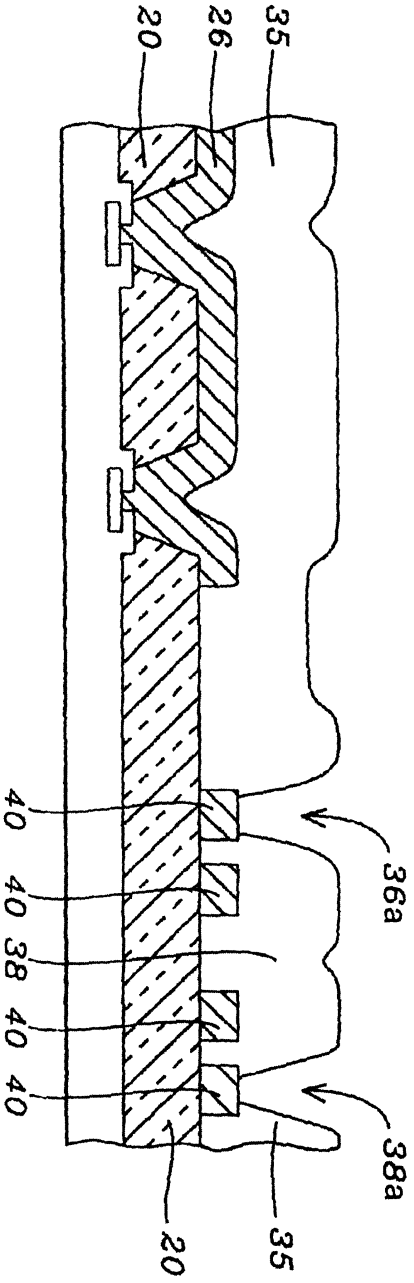
第 22 圖



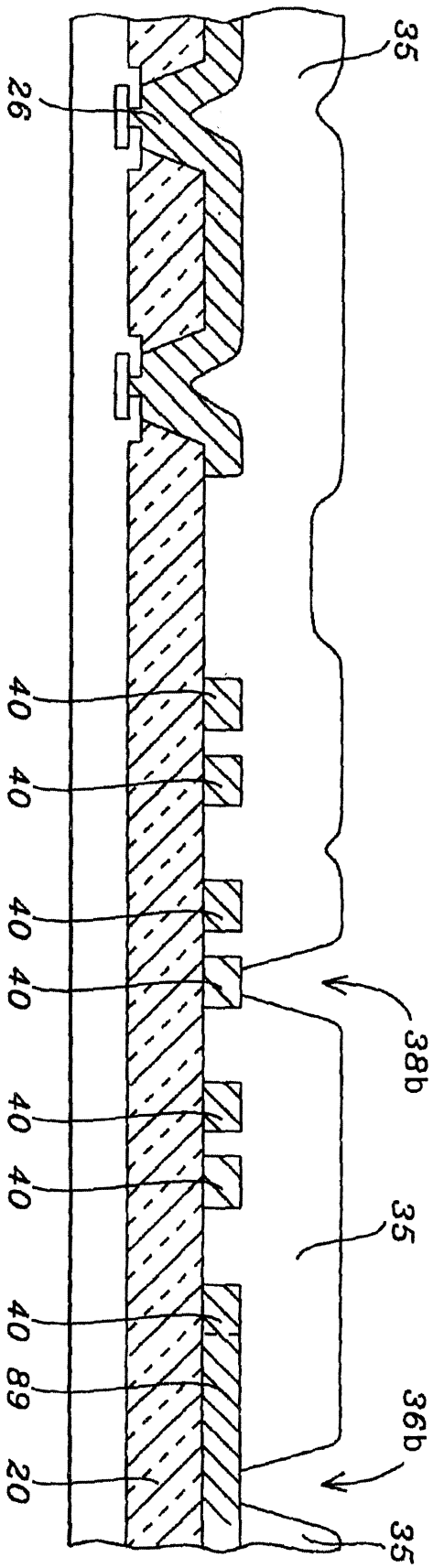
第 23 圖



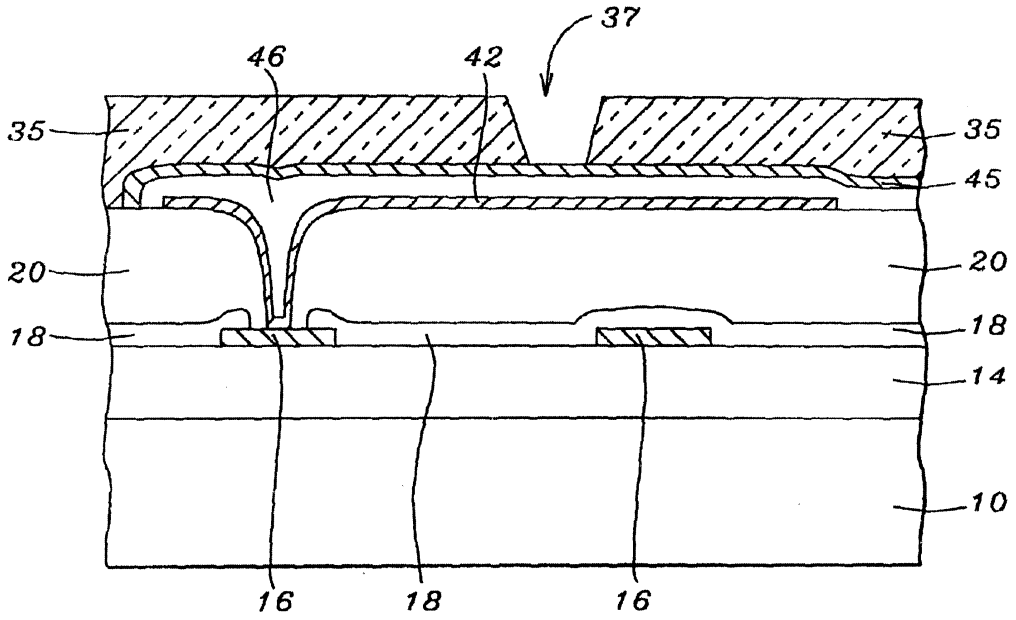
第 24a 圖



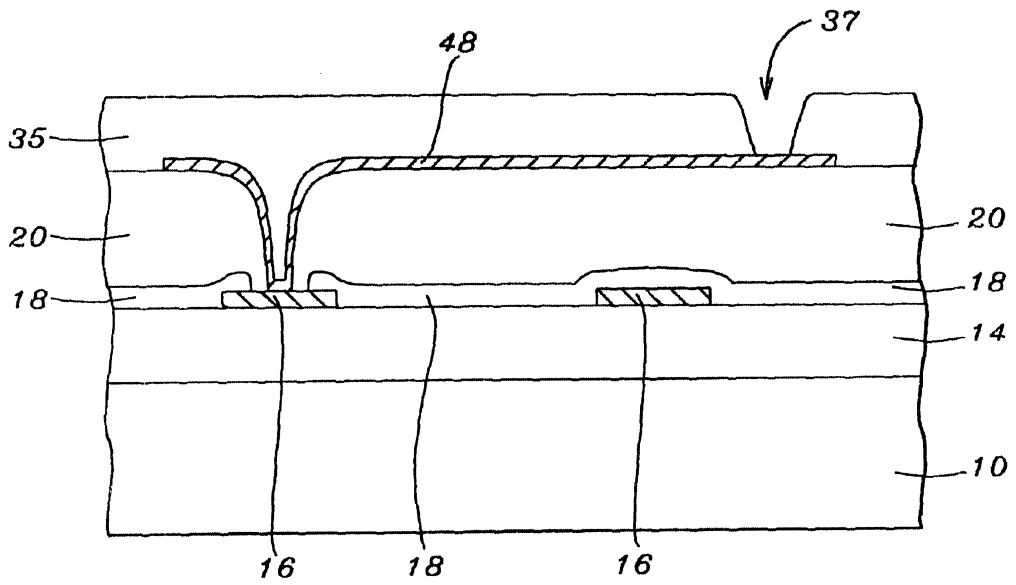
第 24b 圖



第 24C 圖



第 25 圖



第 26 圖