

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6610468号  
(P6610468)

(45) 発行日 令和1年11月27日(2019.11.27)

(24) 登録日 令和1年11月8日(2019.11.8)

(51) Int.Cl. F I  
**HO2M 1/08 (2006.01)** HO2M 1/08 A

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2016-165879 (P2016-165879)	(73) 特許権者	000004260 株式会社デンソー
(22) 出願日	平成28年8月26日 (2016. 8. 26)		愛知県刈谷市昭和町 1 丁目 1 番地
(65) 公開番号	特開2018-33280 (P2018-33280A)	(74) 代理人	100106149 弁理士 矢作 和行
(43) 公開日	平成30年3月1日 (2018. 3. 1)	(74) 代理人	100121991 弁理士 野々部 泰平
審査請求日	平成30年9月24日 (2018. 9. 24)	(74) 代理人	100145595 弁理士 久保 貴則
		(72) 発明者	加藤 良隆 愛知県刈谷市昭和町 1 丁目 1 番地 株式会 社デンソー内
		(72) 発明者	小宮 健治 愛知県刈谷市昭和町 1 丁目 1 番地 株式会 社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート端子を有し、前記ゲート端子へのゲート電圧の印加により出力端子間に出力電流が流れるパワースイッチング素子(410)のオンオフを制御する半導体装置であって、前記出力電流に相関する電流値を検出する出力電流検出部(130)と、前記パワースイッチング素子の出力端子間電圧、あるいは、前記出力端子間電圧に相関する電圧を検出する電圧検出部(140)と、前記ゲート電圧を所定の値にクランプするクランプ回路(120)と、前記電圧検出部により検出された検出電圧に基づいて前記クランプ回路を制御して前記ゲート電圧を調整する制御部と、を備え、

10

前記制御部は、前記検出電圧に対応し、前記パワースイッチング素子の短絡時において流れる前記出力電流が前記パワースイッチング素子の短絡を検出するための閾値電流を超えるようにしつつ、できるだけ小さい電圧に設定された前記ゲート電圧となるように前記クランプ回路を制御する半導体装置。

【請求項 2】

前記制御部は、前記パワースイッチング素子の出力端子間電圧、あるいは、前記出力端子間電圧に相関する電圧、に対して連続的に前記ゲート電圧を決定する請求項 1 に記載の半導体装置。

【請求項 3】

前記制御部は、前記パワースイッチング素子の出力端子間電圧、あるいは、前記出力端

20

子間電圧に相関する電圧、に対して離散的に前記ゲート電圧を決定する請求項 1 に記載の半導体装置。

【請求項 4】

前記制御部は、均等に割り振られた前記パワースイッチング素子の出力端子間電圧、あるいは、前記出力端子間電圧に相関する電圧、に対して、対応した前記ゲート電圧を決定する請求項 3 に記載の半導体装置。

【請求項 5】

前記制御部は、前記検出電圧が高くなるにつれて細分化して割り振られた前記パワースイッチング素子の出力端子間電圧、あるいは、前記出力端子間電圧に相関する電圧、に対して、対応した前記ゲート電圧を決定する請求項 3 に記載の半導体装置。

10

【請求項 6】

前記パワースイッチング素子はワイドバンドギャップ半導体により構成される素子である請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記クランプ回路は、オペアンプ ( 1 2 1 ) と、MOS トランジスタ ( 1 2 2 ) と、参照電圧を生成する可変電源 ( 1 2 3 ) と、を有し、

前記パワースイッチング素子のゲート端子は前記オペアンプにおける非反転入力端子には接続され、

前記 MOS トランジスタにおけるドレイン端子は前記オペアンプの非反転入力端子に接続されるとともに、前記パワースイッチング素子のゲート端子に接続され、

20

前記 MOS トランジスタにおけるソース端子は前記ゲート電圧よりも低い電圧とされた基準電位に接続され、

前記オペアンプの反転入力端子は、前記可変電源が接続されて前記参照電圧とされ、

前記オペアンプの出力端子は、前記 MOS トランジスタのゲート端子に接続され、

前記制御部は、前記参照電圧を決定することで前記ゲート電圧を調整する請求項 1 ~ 6 のいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワースイッチング素子を駆動する半導体装置に関する。

30

【背景技術】

【0002】

パワースイッチング素子のターンオン動作において、パワースイッチング素子の短絡を判定するためのフェーズがある。従来、このような短絡判定フェーズにおいては、特許文献 1 に記載のように、パワースイッチング素子に印加されるゲート電圧を所定の値にクランプすることで出力電流を制限している。これにより、ゲート電圧をクランプしない場合に較べて短絡時の消費エネルギーを低減することができる。

【先行技術文献】

【特許文献】

【0003】

40

【特許文献 1】特開 2012 - 249481 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、特許文献 1 の発明においては、短絡時の飽和電流が最小になる条件でも、出力電流が短絡を検出するための閾値電流を超えるようにゲート電圧を決める必要がある。例えば MOSFET や IGBT をパワースイッチング素子として採用する場合、飽和電流がドレイン - ソース間電圧  $V_{ds}$  やコレクタ - エミッタ間電圧  $V_{ce}$  に依存するため、これらの電圧が比較的高い電圧となる条件下では短絡エネルギーの抑制効果が十分ではないことがあった。短絡エネルギーが大きくなると、チップの小型化が制限される等の問題を

50

生じ得る。

【0005】

そこで、本発明は上記問題点に鑑み、出力端子間電圧に飽和電流が依存するパワースイッチング素子においても短絡エネルギーを抑制できる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲およびこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

【0007】

上記目的を達成するために、本発明は、ゲート端子を有し、ゲート端子へのゲート電圧の印加により出力端子間に出力電流が流れるパワースイッチング素子のオンオフを制御する半導体装置であって、出力電流に相関する電流値を検出する出力電流検出部と、パワースイッチング素子の出力端子間電圧、あるいは、出力端子間電圧に相関する電圧を検出する電圧検出部と、ゲート電圧を所定の値にクランプするクランプ回路と、電圧検出部により検出された検出電圧に基づいてクランプ回路を制御してゲート電圧を調整する制御部と、を備え、制御部は、検出電圧に対応し、パワースイッチング素子の短絡時において流れる出力電流がパワースイッチング素子の短絡を検出するための閾値電流を超えるようにしつつ、できるだけ小さい電圧に設定されたゲート電圧となるようにクランプ回路を制御する。

【0008】

これによれば、クランプ電圧を一定に設定する従来の形態に較べて、出力電流の値を柔軟に変更することができる。具体的には、出力端子間電圧に相関する電圧、例えば $V_{ds}$ や $V_{ce}$ 、あるいは後述の電圧 $V_H$ に応じて、短絡検出のために必要な最低限の出力電流になるように、パワースイッチング素子のゲート電圧を決めることができる。よって、短絡時の出力電流に起因する短絡エネルギーを抑制することができる。

【図面の簡単な説明】

【0009】

【図1】第1実施形態における電力変換装置の概略構成を示す回路図である。

【図2】半導体装置およびパワースイッチング素子の構成を示す回路図である。

【図3】出力電流検出部および電圧検出部の詳細構成を示す回路図である。

【図4】出力電流検出部および電圧検出部の詳細構成を示す回路図である。

【図5】出力電流検出部および電圧検出部の詳細構成を示す回路図である。

【図6】ゲート電圧および出力電流の時間変化を示す図である。

【図7】出力電圧を均等割にした場合の、選択されるクランプ電圧の一例を示す図である。

。

【図8】出力電圧を不均等割にした場合の、選択されるクランプ電圧の一例を示す図である。

【図9】第3実施形態における電力変換装置の概略構成を示す回路図である。

【図10】第4実施形態におけるゲート電圧および出力電流の時間変化を示す図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

【0011】

(第1実施形態)

最初に、図1～図5を参照して、本実施形態に係る半導体装置の概略構成について説明する。

10

20

30

40

50

## 【 0 0 1 2 】

この半導体装置 1 0 0 は、図 1 に示すように、例えば車両に搭載されるモータ 2 0 0 を駆動する電力変換装置において、インバータ回路 3 0 0 に電力を供給する電圧コンバータ回路 4 0 0 に供される。

## 【 0 0 1 3 】

電力変換装置はバッテリー 5 0 0 の出力電圧を昇圧するとともに、その直流電力を走行に適した周波数の交流電力に変換してモータ 2 0 0 に出力する。すなわち、電力変換装置は、電圧コンバータ回路 4 0 0 とインバータ回路 3 0 0 を備えている。そして、電圧コンバータ 4 0 0 の入力側と出力側に、それぞれ電流平滑用のコンデンサ 6 0 0 , 6 1 0 が接続されている。

10

## 【 0 0 1 4 】

電圧コンバータ回路 4 0 0 は、パワースイッチング素子 4 1 0 が 2 個直列に接続したスイッチング直列回路とリアクトル 4 2 0 とで構成される。本実施形態におけるパワースイッチング素子 4 1 0 は典型的な N M O S トランジスタであるが、I G B T など他の種類のトランジスタで構成されていても良い。図 1 に示す電圧コンバータ回路 4 0 0 は、バッテリー 5 0 0 側からインバータ回路 3 0 0 側に向けて電圧を昇圧することができ、逆方向に電圧を降圧することができる。この電圧コンバータ 4 0 0 の回路構成は一般的に知られるものであるから詳細の説明は省略するが、本実施形態における電圧コンバータ 4 0 0 は、パワースイッチング素子 4 1 0 のゲート電圧を制御する半導体装置 1 0 0 を備えている。半導体装置 1 0 0 の構成については後述する。

20

## 【 0 0 1 5 】

インバータ回路 3 0 0 は、電圧コンバータ回路 4 0 0 のスイッチング直列回路と同じ構成のスイッチング直列回路が 3 個並列に接続された構成を有している。それぞれのスイッチング直列回路の中間点から交流が出力される。図 1 のインバータ回路 3 0 0 の構成もよく知られているので詳しい説明は省略する。

## 【 0 0 1 6 】

以下、半導体装置 1 0 0 および半導体装置 1 0 0 の制御対象であるパワースイッチング素子 4 1 0 について詳しく説明する。

## 【 0 0 1 7 】

パワースイッチング素子 4 1 0 は、図 2 に示すように、N M O S トランジスタであり、トランジスタ部 4 1 1 と、トランジスタ部 4 1 1 に逆並列接続された還流ダイオード部 4 1 2 とを有している。すなわち、トランジスタ部 4 1 1 の出力端子のひとつであるドレイン端子 ( D ) に還流ダイオード部 4 1 2 のカソード端子が接続され、もうひとつの出力端子であるソース端子 ( S ) に還流ダイオード部 4 1 2 のアノード端子が接続されている。また、ソース端子にはドレイン - ソース間を流れる出力電流に相関する電流を検出するためのセンス抵抗 4 1 3 が接続されている。

30

## 【 0 0 1 8 】

半導体装置 1 0 0 は、ドライバ回路 1 1 0 と、クランプ回路 1 2 0 と、出力電流検出部 1 3 0 と、電圧検出部 1 4 0 と、制御部 1 5 0 と、を備えている。

## 【 0 0 1 9 】

40

ドライバ回路 1 1 0 は、P M O S トランジスタ 1 1 1 と N M O S トランジスタ 1 1 2 とが、電源電位 V D D と基準電位 V S S との間で直列接続されて構成されている。P M O S トランジスタ 1 1 1 と N M O S トランジスタ 1 1 2 の中間点がパワースイッチング素子 4 1 0 のゲート端子 ( G ) に接続されている。そして、P M O S トランジスタ 1 1 1 あるいは N M O S トランジスタ 1 1 2 のいずれか一方がオンされることにより、ゲート端子への電荷の供給あるいは引き抜きが行われてパワースイッチング素子 4 1 0 のゲート電圧が調整される。

## 【 0 0 2 0 】

クランプ回路 1 2 0 は、オペアンプ 1 2 1 と、N M O S トランジスタ 1 2 2 と、可変電源 1 2 3 とを有している。オペアンプ 1 2 1 の非反転入力端子はパワースイッチング素子

50

410におけるトランジスタ部411のゲート端子に接続されている。一方、オペアンプ121の反転入力端子は出力する電圧が可変とされた可変電源123に接続され、参照電圧 $V_{ref}$ が入力されている。オペアンプ121の出力端子はNMOSTランジスタ122のゲート端子に接続されている。NMOSTランジスタ122は、ドレイン端子が非反転入力端子およびパワースイッチング素子410のゲート端子に接続されており、ソース端子が基準電位 $V_{SS}$ に接続されている。

#### 【0021】

このように、オペアンプ121は、NMOSTランジスタ122を介して出力が非反転入力端子にフィードバックされる負帰還回路を構成しており、非反転入力端子の電位が反転入力端子に入力される参照電圧 $V_{ref}$ と等しくなるようにNMOSTランジスタ122が動作する。オペアンプ121の非反転入力端子はパワースイッチング素子410のゲート端子に接続されているので、パワースイッチング素子410に入力されるゲート電圧は参照電圧 $V_{ref}$ にクランプされることになる。

10

#### 【0022】

出力電流検出部130は、パワースイッチング素子410のドレイン - ソース間を流れる出力電流、あるいは出力電流に相関するセンス電流の電流値を検出する部分である。本実施形態における出力電流検出部130は、パワースイッチング素子410のソース端子からセンス抵抗413を介して流れるセンス電流を検出している。検出された電流値は、所定の閾値電流と比較されることにより、パワースイッチング素子410の短絡を判定するために用いられる。

20

#### 【0023】

電圧検出部140は、パワースイッチング素子410の出力電圧、あるいは出力電圧に相関する電圧を検出する部分である。本実施形態におけるパワースイッチング素子410はNMOSTランジスタであるから、電圧検出部140はドレイン - ソース間電圧 $V_{ds}$ を検出する。図2に示すように、電圧検出部140は、ドレイン電位と基準電位 $V_{SS}$ 間に直列接続された抵抗器141, 142の中間点の電位を検出することで出力電圧 $V_{ds}$ を検出する。

#### 【0024】

制御部150は、ドライバ回路110におけるトランジスタ111, 112のオンオフを制御している。また、電圧検出部140が検出する出力電圧 $V_{ds}$ に基づいてクランプ回路120における参照電圧を制御している。

30

#### 【0025】

なお、出力電流検出部130および電圧検出部140の具体的な構成としては、一般的な電流検出および電圧検出の様式を採用できるが、いくつかのパターンについて説明する。

#### 【0026】

様式の一つは、図3に示すように、出力電流検出部130がA/D変換器131を有し、電圧検出部140がA/D変換器141を有している構成である。

#### 【0027】

このような様式においては、出力電流検出部130に入力されるセンス電流の電流値、正確にはセンス抵抗413の両端電圧値は、A/D変換器131によってA/D変換されて制御部150に入力される。

40

#### 【0028】

一方、電圧検出部140に入力される出力電圧 $V_{ds}$ あるいは $V_{ds}$ と相関する電圧の電圧値は、A/D変換器141によってA/D変換されて制御部150に入力される。

#### 【0029】

制御部150はロジック回路とレジスタとを少なくともも有している。A/D変換されたセンス電流および出力電圧 $V_{ds}$ はロジック回路に入力される。ロジック回路はセンス電流が閾値電流を超えているか否かを判定し、超えている場合には短絡を判定するフェーズに入る。短絡を判定するフェーズでは、ロジック回路は入力された出力電圧 $V_{ds}$ に対応

50

した参照電圧  $V_{ref}$  の値を、レジスタを参照することにより選択する。そして、レジスタは、参照電圧  $V_{ref}$  の値を選択した値になるように可変電源 123 を制御する。なお、レジスタには出力電圧  $V_{ds}$  に対応付けられた参照電圧  $V_{ref}$  の値が予め記憶されている。

#### 【0030】

別の様式は、図4に示すように、上記構成に対して、出力電流検出部130の構成が相違する。図4に示す様式における出力電流検出部130は、コンパレータ132と閾値電流に相当する電圧値を生成する閾値電源133とを有している。出力電流検出部130に入力されるセンス電流の電流値、正確にはセンス抵抗413の両端電圧値は、コンパレータ132によって、閾値電源133が生成する閾値電流に対応する電圧値と比較される。すなわち、センス電流の電流値が閾値電流とアナログ的に比較され、その結果を反映した出力がコンパレータ132から制御部150に出力される。センス電流が閾値電流を超えていれれば、制御部150は短絡を判定するフェーズに入る。

#### 【0031】

このような様式でも、制御部150はロジック回路とレジスタとを少なくとも有している。制御部150におけるロジック回路は入力された出力電圧  $V_{ds}$  に対応した参照電圧  $V_{ref}$  の値を、レジスタを参照することにより選択する。そして、レジスタは、参照電圧  $V_{ref}$  の値を選択した値になるように可変電源 123 を制御する。

#### 【0032】

なお、上記2つの様式では、出力電圧  $V_{ds}$  を A/D変換器141でA/D変換して制御部150に入力するため、A/D変換に係る変換時間だけ参照電圧  $V_{ref}$  の変更タイムラグが生じる虞がある。よって、上記2つの様式では、出力電圧  $V_{ds}$  の値を常に監視しておき、パワースイッチング素子410のターンオン前の値を、参照電圧  $V_{ref}$  の選択のために採用する。つまり、上記2つの様式では、制御部150が出力電圧  $V_{ds}$  に対してフィードフォワード制御を行う様式である。

#### 【0033】

また、別の様式は、図5に示すように、上記構成に対して、さらに電圧検出部140の構成が相違する。図5に示す様式における電圧検出部140は、コンパレータ142と参照電圧  $V_{ref}$  を切り替えるための閾値電圧を生成する閾値電源143とを有している。電圧検出部140に入力される出力電圧  $V_{ds}$  は、コンパレータ142によって、閾値電源143が生成する閾値電圧と比較される。すなわち、出力電圧  $V_{ds}$  が閾値電圧とアナログ的に比較され、その結果を反映した出力がコンパレータ142から制御部150に出力される。

#### 【0034】

このような様式の場合、制御部150はロジック回路やレジスタを有している必要はない。制御部150は、センス電流が閾値電流を超えている状態であれば、出力電圧  $V_{ds}$  と閾値電源143が生成する閾値電圧との大小関係に対応して、クランプ回路120における参照電圧  $V_{ref}$  を決定する。すなわち、この様式における制御部150はリアルタイムで出力電圧  $V_{ds}$  を参照電圧  $V_{ref}$  にフィードバックする。

#### 【0035】

以下、図6および図7を参照して、制御部150の動作および作用効果について詳しく説明する。

#### 【0036】

図6は、パワースイッチング素子410をターンオンするときのゲート電圧および出力電流の時間変化を示す図である。時刻  $t_1$  において、ターンオンの指示を受けると制御部150は、ドライバ回路110のうちPMOSトランジスタ111をオンしてパワースイッチング素子410におけるトランジスタ部411のゲート端子にゲート電圧の印加を開始する。

#### 【0037】

ゲート電圧が上昇してトランジスタ部411のドレイン - ソース間に出力電流が流れ始

める。そして、時刻  $t_2$  において出力電流が短絡を判定するための閾値電流  $I_{th}$  を超える。なお、制御部 150 は、所定のフィルタ時間の間、出力電流が閾値電流  $I_{th}$  を超えた状態を維持していることを以って、パワースイッチング素子 410 が短絡状態にあると判断する。従来では、このフィルタ時間の間、ゲート電圧が予め決められた一定値にクランプされる。このため、出力電流の値は、決められたゲート電圧に対応した一定値となり、閾値電流  $I_{th}$  に較べて過剰に大きく設定されていると、フィルタ時間における短絡エネルギーが必要以上に大きくなる虞がある。

【0038】

これに対して、本実施形態における制御部 150 は、電圧検出部 140 により検出される検出電圧（ドレイン - ソース間の出力電圧  $V_{ds}$  あるいはそれに相関する電圧）に基づいて、クランプすべきゲート電圧の電圧値を制御するのである。すなわち、図 6 に示すように、制御部 150 は、出力電流が閾値電流  $I_{th}$  を超えつつも、その超え幅が短絡の検出に最低限必要な値となるようにゲート電圧を調整する。なお、上記したように、制御部 150 は、クランプ回路 120 における可変電源 123 の生成する参照電圧  $V_{ref}$  を調整してクランプ電圧を決める。クランプ電圧の決定のされ方については追って詳述する。

10

【0039】

制御部 150 は、時刻  $t_2$  の後にゲート電圧がクランプ電圧となるようにクランプ回路 120 を制御する。結果、時刻  $t_3$  においてゲート電圧はクランプ電圧（参照電圧  $V_{ref}$  に等しい）となる。

【0040】

20

クランプ電圧に対応した出力電流がフィルタ時間（ $t_4 - t_2$ ）の間維持されると、制御部 150 はパワースイッチング素子 410 が短絡状態にあると判断する。そして、制御部 150 は、時刻  $t_4$  において、パワースイッチング素子 410 へのゲート電圧の印加を停止してパワースイッチング素子 410 をオフする。

【0041】

ここで、図 7 を参照して、クランプ回路 120 により調整されるクランプ電圧（ $= V_{ref}$ ）の決定のされ方について説明する。

【0042】

図 7 は、パワースイッチング素子 410 の  $I - V$  特性を示した図であり、ゲート電圧  $V_g$  を 10V から 14V まで 1V 刻みで 5 つの水準について図示している。図 7 に示すように、パワースイッチング素子 410 の出力電流は、同じゲート電圧  $V_g$  であれば出力電圧  $V_{ds}$  が大きくなるほど大きくなる。また、出力電流は、ゲート電圧  $V_g$  が大きいほど大きくなる。

30

【0043】

制御部 150 は、出力電圧  $V_{ds}$  を均等に分割する電圧  $V_1 \sim V_6$  に対して、次のようにクランプすべきゲート電圧を決定する。すなわち、制御部 150 は、出力電圧として  $V_1$   $V_{ds} < V_2$  が検出されたときには  $V_{ref} (= V_g) = 14V$  に設定し、出力電圧として  $V_2$   $V_{ds} < V_3$  が検出されたときには  $V_{ref} = 13V$  に設定し、出力電圧として  $V_3$   $V_{ds} < V_4$  が検出されたときには  $V_{ref} = 12V$  に設定し、出力電圧として  $V_4$   $V_{ds} < V_5$  が検出されたときには  $V_{ref} = 11V$  に設定し、出力電圧として  $V_5$   $V_{ds} < V_6$  が検出されたときには  $V_{ref} = 10V$  に設定する。すなわち、ある出力電圧  $V_{ds}$  の範囲において、出力電流が閾値電流  $I_{th}$  を超えるようにしつつも、できるだけ小さいゲート電圧を選択する。これにより、それぞれの出力電圧  $V_{ds}$  の範囲において、ドレイン - ソース間を流れる出力電流を、図 7 に実線で示すように、短絡の判断に最低限必要な電流値にすることができる。

40

【0044】

従来であれば、例えば出力電圧が  $V_1$   $V_{ds} < V_2$  となる場合を保証するために、ゲート電圧のクランプ電圧を一律で 14V とする必要がある。これは、出力電圧が  $V_5$   $V_{ds} < V_6$  となる状況においては、短絡の検出という用途では過剰なゲート電圧であり、短絡エネルギーが大きくなる要因となる。

50

## 【 0 0 4 5 】

本実施形態における制御部 150 は、均等に割り振られた出力電圧  $V_{ds}$ 、すなわち  $V_1 \sim V_6$  に対して、各電圧範囲に対応したクランプ電圧をゲート電圧として採用する。具体的には、出力電圧  $V_{ds}$  が高いほど、ゲート電圧を低く設定する。このため、ゲート電圧が一律に設定される形態に較べて短絡エネルギーを抑制することができる。

## 【 0 0 4 6 】

なお、本実施形態では、出力電圧  $V_{ds}$  の割り振りを離散的とし、結果的に選択されるゲート電圧  $V_g$  も離散的に設定される例を示した。具体的には、選択されるゲート電圧  $V_g$  が 1 V 刻みである例を示したが、これは一例であって、ゲート電圧  $V_g$  の値は離散的である必要はない。選択されたゲート電圧  $V_g$  において、出力電流が短絡を判定するための閾値電流  $I_{th}$  を超えるようになっていければ良い。出力電圧  $V_{ds}$  の割り振りや対応するゲート電圧  $V_g$  の刻みはより細分化されていることが好ましく、より好適には、出力電圧  $V_{ds}$  に対してゲート電圧  $V_g$  が連続的に変化すると良い。また、パワースwitching素子 410 の  $I - V$  特性については、素子ごとの特性データを図示しないメモリなどに予め記憶しておくが良い。

## 【 0 0 4 7 】

また、このような動作による短絡エネルギーの抑制効果は、短絡時の飽和電流が出力電圧に強く依存するパワースwitching素子に対して特に有効である。例えば、SiC や GaN、ダイヤモンドを主成分とするワイドバンドギャップ半導体では、Si を主成分とする一般的な半導体に較べて絶縁破壊電界が高いことから、抵抗成分となるドリフト層を薄膜化できる。このため、相対的にチャネル抵抗が全体に占める割合が大きくなる。よって、素子全体を低抵抗化するためにはチャネル長を短くする必要がある。チャネル長が短くなると、短絡時の飽和電流が出力電圧により強く依存するようになる。つまり、上記したような制御部 150 の動作は、パワースwitching素子がワイドバンドギャップ半導体を主成分として構成される場合に特に有効である。

## 【 0 0 4 8 】

(変形例 1)

第 1 実施形態では、図 7 に示すように、出力電圧  $V_{ds}$  を均等に分割する  $V_1 \sim V_6$  に基づいて、クランプすべきゲート電圧  $V_g$  を決定する例を示した。ここで、出力電圧  $V_{ds}$  は均等に分割されなくともよく、図 8 に示すように、出力電圧  $V_{ds}$  が高くなるほど、細分化するように電圧  $V_7 \sim V_{12}$  を決めても良い。つまり、 $V_8 - V_7$  よりも  $V_9 - V_8$  が小さくなり、同様に、 $V_{12} - V_{11}$  はさらに小さくなるように、出力電圧  $V_{ds}$  を割り振る。

## 【 0 0 4 9 】

そして、次のようにクランプすべきゲート電圧を決定する。すなわち、制御部 150 は、出力電圧として  $V_7 \quad V_{ds} < V_8$  が検出されたときには  $V_{ref} (= V_g) = 1.4 V$  に設定し、出力電圧として  $V_8 \quad V_{ds} < V_9$  が検出されたときには  $V_{ref} = 1.3 V$  に設定し、出力電圧として  $V_9 \quad V_{ds} < V_{10}$  が検出されたときには  $V_{ref} = 1.1 V$  に設定し、出力電圧として  $V_{10} \quad V_{ds} < V_{11}$  が検出されたときには  $V_{ref} = 1.0 V$  に設定し、出力電圧として  $V_{11} \quad V_{ds} < V_{12}$  が検出されたときには  $V_{ref} = 9.5 V$  に設定する。

## 【 0 0 5 0 】

これにより、それぞれの出力電圧  $V_{ds}$  の範囲において、ドレイン - ソース間を流れる出力電流を、図 8 に実線で示す電流値にすることができる。

## 【 0 0 5 1 】

この例では、第 1 実施形態のように出力電圧  $V_{ds}$  を均等に割り振る形態に較べて、出力電圧  $V_{ds}$  が比較的高い領域において、出力電流をより小さくするように、ゲート電圧を細かく設定することができる。出力電圧  $V_{ds}$  が比較的高い領域では、短絡エネルギーが高くなる。このため、出力電流をできるだけ小さくするようにゲート電圧を詳細に決めることができる本変形例は、第 1 実施形態に較べて短絡エネルギーをより抑制することが

10

20

30

40

50



できる。

【 0 0 5 2 】

( 第 2 実施形態 )

第 1 実施形態およびその変形例では、クランプ電圧を出力電圧  $V_{ds}$  のみに基づいて決定する例について説明した。これに対して、本実施形態における半導体装置 100 における制御部 150 に、パワースイッチング素子 410 の温度に関する情報と、モータ 200 の負荷に関する情報が入力されている。

【 0 0 5 3 】

制御部 150 は、電圧検出部 140 が検出する出力電圧  $V_{ds}$  に加えて、パワースイッチング素子 410 の温度、および、モータ 200 の負荷状況に基づいて、参照電圧  $V_{ref}$  (= クランプ電圧) を決定する。

10

【 0 0 5 4 】

例えば、パワースイッチング素子 410 の素子温度が低いほど、制御部 150 は参照電圧  $V_{ref}$  を小さく設定する。これは、同一の出力電圧  $V_{ds}$  であっても素子温度が低いほど出力電流が大きくなるためである。

【 0 0 5 5 】

また、モータ 200 のトルクが大きい、あるいは出力が大きいなどでモータ 200 の負荷が大きいほど、制御部 150 は参照電圧  $V_{ref}$  を小さく設定する。モータ 200 の負荷が大きいとは、電圧コンバータ回路 400 におけるパワースイッチング素子 410 のスイッチング直列回路の両端電圧 ( $V_H$ ) が大きいことを意味し、パワースイッチング素子 410 の出力電圧  $V_{ds}$  が大きいことを意味する。よって、負荷が大きい場合には、制御部 150 が参照電圧  $V_{ref}$  をより小さく設定する。

20

【 0 0 5 6 】

( 第 3 実施形態 )

上記した各実施確認および変形例では、パワースイッチング素子 410 にゲート電圧を印加するにあたり、そのクランプ電圧 (= 参照電圧  $V_{ref}$ ) の選択のために参照される特性値として、パワースイッチング素子 410 のドレイン - ソース間電圧  $V_{ds}$  を用いる例について説明した。

【 0 0 5 7 】

しかしながら、クランプ電圧の選択のために参照される電圧は  $V_{ds}$  に限定されるものではなく、例えば、電圧コンバータ回路 400 におけるパワースイッチング素子 410 のスイッチング直列回路の両端電圧 ( $V_H$ ) を採用しても良い。

30

【 0 0 5 8 】

図 9 に示すように、電圧  $V_H$  は、電圧コンバータ回路 400 における両端電圧を取得する検出回路 700 により検出される。検出される電圧はコンデンサ 610 の両端電圧に等しい。半導体装置 100 の制御部 150 には、出力電圧  $V_{ds}$  のかわりに電圧  $V_H$  が入力され、電圧  $V_H$  に基づいて参照電圧  $V_{ref}$  の大きさを制御する。検出回路 700 には、一般的な電圧検出回路を用いることができる。

【 0 0 5 9 】

電圧  $V_H$  はモータ 200 の負荷状況も反映した値である。このため、電圧  $V_H$  に基づいてクランプ電圧を決定する形態であれば、第 2 実施形態に記載のように、制御部 150 が改めてモータ 200 の負荷状況に関する情報を参照する必要がない。また、電圧  $V_H$  は、本明細書で説明するゲート電圧の制御以外にも、例えば車両の制御のために用いられる特性値であるから、クランプ電圧の決定のために専用の検出回路や制御機構を設ける必要がない。このように、クランプ電圧を決定するために出力電圧  $V_{ds}$  を参照する構成に較べて、より簡素な構成でクランプ電圧の決定を行うことができる。

40

【 0 0 6 0 】

なお、電圧  $V_H$  はパワースイッチング素子 410 の出力電圧  $V_{ds}$  に相関するから、制御部 150 は、図 6 ~ 図 8 を参照して説明した第 1 実施形態と同様の制御によりクランプ電圧を決定する。この際、パワースイッチング素子 410 の  $I - V$  特性は、電圧として電

50

圧VHを採用することになる。

【0061】

(第4実施形態)

パワースイッチング素子410のターンオンが、ゲート電圧を2段階に遷移させて行われる形態について説明する。図10に示すように、ターンオン時のゲート電圧の印加を2段階にする、いわゆるアクティブゲート制御においては、ゲート電圧を非印加の状態から第1電圧に遷移させる1段目の印加でドライバ回路110のドライブ能力を比較的高く設定する。そして、ゲート電圧を第1電圧の状態から第2電圧に遷移させる2段目の印加では、ドライブ能力を1段目の遷移に較べて小さく設定する。これによりゲート電圧を印加する総時間を短縮しつつゲート電圧のオーバーシュートを抑制してターンオンにおける消費電力を低減するものである。

10

【0062】

制御部150は、ゲート電圧が第1電圧に達した時点でパワースイッチング素子410の出力電流が閾値電流 $I_{th}$ を超えた場合には、上記した各実施形態と同様に短絡を判断するフェーズに移行する。つまり、クランプ回路130を制御してゲート電圧をクランプする制御を行う。本実施形態では、制御部150は、2段目のゲート電圧である第2電圧がクランプ電圧(=参照電圧 $V_{ref}$ )となるようにクランプ回路130を制御する。

【0063】

これにより、アクティブゲート制御を実現しつつ、短絡を判定する際の出力電流の大きさを判定のための必要最低限に抑制することができ、短絡エネルギーを低減することができる。

20

【0064】

(その他の実施形態)

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【0065】

上記した各実施形態では、モータ200の駆動に供される電力変換装置について、電圧回路400に半導体装置100を採用する例について示したが、半導体装置100の効果は、スイッチング素子のゲート電圧を制御して負荷に流れる電流を制御する装置に対して有効であり、電力変換装置に限定されるものではない。

30

【0066】

また、クランプ回路120の具体的な構成について、図2に示したようなオペアンプ121を用いた負帰還のフィードバック回路を例に示したが、パワースイッチング素子410のゲート端子に対して、電荷の注入や引き抜きを制御できる回路であれば良い。

【0067】

出力電流検出部130および電圧検出部140についても同様に、図4および図5に示したようなコンパレータを用いた構成に限定されるものではない。

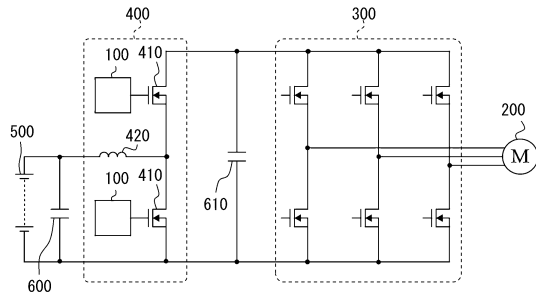
【符号の説明】

【0068】

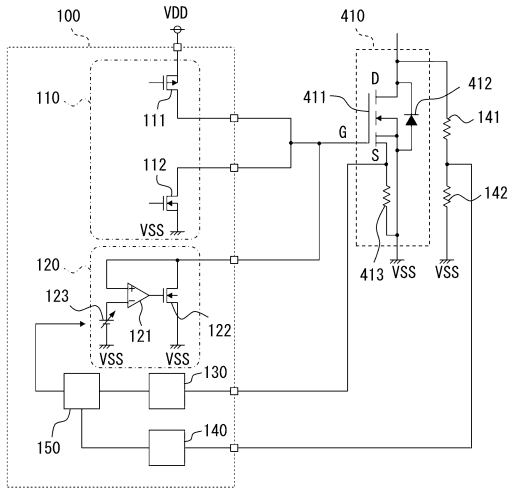
100...半導体装置, 110...ドライバ回路, 120...クランプ回路, 130...出力電流検出部, 140...電圧検出部, 150...制御部, 410...パワースイッチング素子

40

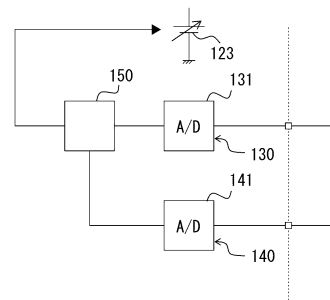
【図1】



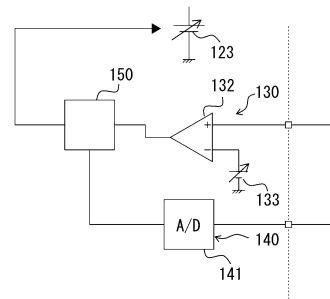
【図2】



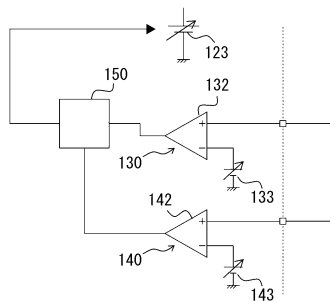
【図3】



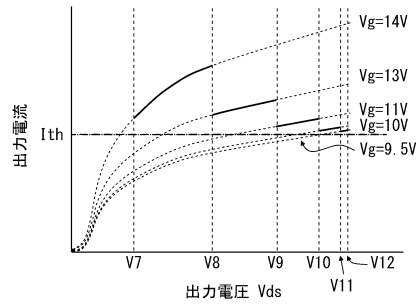
【図4】



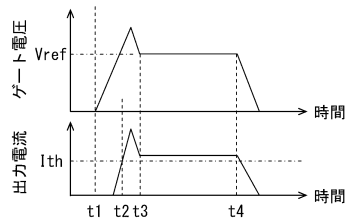
【図5】



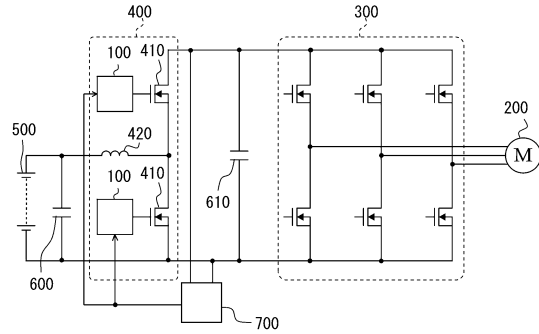
【図8】



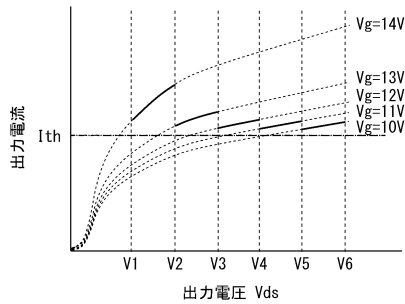
【図6】



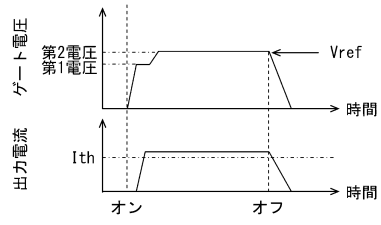
【図9】



【図7】



【図10】



---

フロントページの続き

- (72)発明者 進藤 祐輔  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 林 慶徳  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 若林 健一  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 栗栖 正和

- (56)参考文献 国際公開第2012/165196(WO, A1)  
特開2016-086511(JP, A)  
特開2016-111785(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H02M 1/08