



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월23일
(11) 등록번호 10-2412614
(24) 등록일자 2022년06월20일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) C04B 35/14 (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 21/02126 (2013.01)
C04B 35/14 (2013.01)
(21) 출원번호 10-2015-0147540
(22) 출원일자 2015년10월22일
심사청구일자 2020년06월16일
(65) 공개번호 10-2017-0047096
(43) 공개일자 2017년05월04일
(56) 선행기술조사문헌
JP2006216809 A*
KR1020150029517 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
탁용석
서울특별시 은평구 진관3로 70, 828동 604호 (진관동, 은평뉴타운상림마을)
이태중
경기도 화성시 영통로50번길 27, 102동 804호 (반월동, 반달마을두산위브아파트)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 14 항

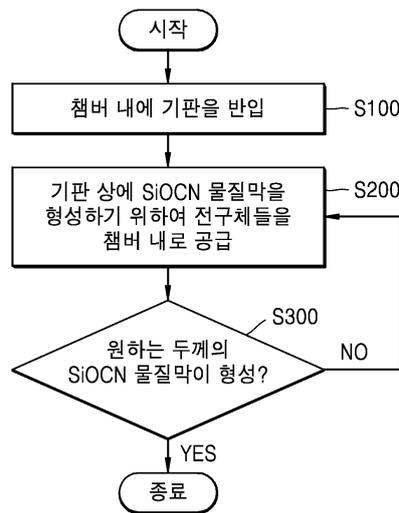
심사관 : 양진석

(54) 발명의 명칭 물질막, 이를 포함하는 반도체 소자, 및 이들의 제조 방법

(57) 요약

본 발명은 물질막, 이를 포함하는 반도체 소자, 및 이들의 제조 방법 등에 관한 것으로서, 기판을 제공하는 단계; 상기 기판 상에 실리콘 전구체를 제공하는 단계; 상기 기판 상에 산소 반응물을 제공하는 단계; 상기 기판 상에 제 1 탄소 전구체를 제공하는 단계; 상기 기판 상에 제 2 탄소 전구체를 제공하는 단계; 및 상기 기판 상에 질소 반응물을 제공하는 단계를 포함하는 SiOCN 물질막 형성 방법을 제공한다. 본 발명의 물질막 형성 방법을 이용하면 저온에서도 내식각성과 전기적 특성이 모두 우수한 물질막을 형성할 수 있는 효과가 있다.

대표도 - 도2



(52) CPC특허분류

H01L 21/02527 (2013.01)

H01L 21/02532 (2013.01)

H01L 21/02554 (2013.01)

H01L 29/78 (2013.01)

(72) 발명자

구본영

경기도 수원시 장안구 경수대로976번길 22, 120동
1201호 (조원동, 수원 한일타운)

박기연

경기도 화성시 동탄반석로 277, 118동 2903호 (석
우동, 동탄예당마을 우미린제일풍경채)

최성현

경기도 수원시 영통구 영통로 498, 138동 802호 (영통동, 황골마을주공1단지아파트)

명세서

청구범위

청구항 1

기판을 제공하는 단계;

상기 기판 상에 실리콘 전구체를 제공하는 단계;

상기 기판 상에 산소 반응물을 제공하는 단계;

상기 기판 상에 제 1 탄소 전구체를 제공하는 단계;

상기 기판 상에 제 2 탄소 전구체를 제공하는 단계; 및

상기 기판 상에 질소 반응물을 제공하는 단계;

를 포함하고,

상기 제 1 탄소 전구체를 제공하는 단계와 상기 제 2 탄소 전구체를 제공하는 단계가 시간적으로 적어도 부분적으로 중첩되고,

상기 질소 반응물을 제공하는 단계는 상기 제 1 탄소 전구체를 제공하는 단계 및 상기 제 2 탄소 전구체를 제공하는 단계가 종료된 이후에 수행되고,

상기 질소 반응물은 상기 제 1 탄소 전구체 및 상기 제 2 탄소 전구체와 상이한 물질이고, 상기 실리콘 전구체는 상기 제 1 탄소 전구체 및 상기 제 2 탄소 전구체와 상이한 물질이고, 상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체는 서로 상이한 물질인 SiOCN 물질막 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체는 각각 독립적으로 탄소수 1 내지 10의 알칸(alkane), 탄소수 2 내지 10의 알켄(alkene), 탄소수 1 내지 15의 알킬아민, 탄소수 4 내지 15의 함질소(nitrogen-containing) 헤테로고리 화합물, 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상인 것을 특징으로 하는 SiOCN 물질막 형성 방법.

청구항 3

제 2 항에 있어서,

상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체 중의 적어도 하나는,

(i) 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소(nitrogen-containing) 헤테로고리 화합물; 또는

(ii) 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 또는 탄소수 1 내지 20의 알킬실록산; 인 것을 특징으로 하는 SiOCN 물질막 형성 방법.

청구항 4

제 3 항에 있어서,

600°C 이하의 온도에서 수행되는 것을 특징으로 하는 SiOCN 물질막 형성 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 제 1 탄소 전구체가 탄소수 1 내지 10의 알칸(alkane), 탄소수 2 내지 10의 알켄(alkene), 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상이고,

상기 제 2 탄소 전구체가 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물인 것을 특징으로 하는 SiOCN 물질막 형성 방법.

청구항 8

제 7 항에 있어서,

상기 제 1 탄소 전구체가 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상이고,

상기 제 2 탄소 전구체가 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물인 것을 특징으로 하는 SiOCN 물질막 형성 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

제 1 항에 있어서,

500°C 이하의 온도에서 수행되는 것을 특징으로 하는 SiOCN 물질막 형성 방법.

청구항 13

반도체 기관; 및

상기 반도체 기관 상에 형성된 SiOCN 물질막;

을 포함하고,

상기 SiOCN 물질막은 탄소 약 10 원자% 내지 약 30 원자% 및 산소 약 25 원자% 내지 약 50 원자% 포함하고, 상기 SiOCN 물질막의 유전 상수가 1보다 크거나 같고 5.0보다 작은 것을 특징으로 하는 물질막 적층체.

청구항 14

제 13 항에 있어서,

탄소의 함량이 약 11 원자% 내지 약 20 원자%인 것을 특징으로 하는 물질막 적층체.

청구항 15

제 13 항에 있어서,

산소의 함량이 약 30 원자% 내지 약 48 원자%인 것을 특징으로 하는 물질막 적층체.

청구항 16

삭제

청구항 17

제 13 항에 있어서,

상기 SiOCN 물질막의 유전 상수가 1보다 크거나 같고 4.4보다 작은 것을 특징으로 하는 물질막 적층체.

청구항 18

반도체 기관;

상기 반도체 기관의 활성 영역을 정의하는 소자 분리막;

상기 활성 영역 상에 제공되는 게이트 전극;

상기 게이트 전극의 측벽 상에 제공되고, 상기 활성 영역에 가장 가까운 하단 및 상기 활성 영역으로부터 가장 먼 상단을 갖는 스페이서; 및

상기 게이트 전극의 양 쪽에 제공되는 불순물 영역;

을 포함하고,

상기 하단으로부터 상기 스페이서의 전체 높이의 75% 높이에서의 상기 스페이서의 두께는 상기 스페이서의 상기 하단에서의 두께의 0.4배보다 크거나 같고,

상기 스페이서가 SiOCN 물질막을 포함하는 반도체 소자.

청구항 19

반도체 기관 상에 돌출되어 제 1 방향으로 연장되는 핀형 활성 영역을 정의하는 단계;

상기 핀형 활성 영역의 두 측벽 및 상부면을 둘러싸고, 상기 제 1 방향과 교차하는 방향으로 연장되는 게이트 전극을 형성하는 단계;

상기 게이트 전극의 측벽 상에 제공되는 스페이서를 형성하는 단계; 및

상기 게이트 전극의 양쪽에 각각 제공되는 불순물 영역들을 형성하는 단계;

를 포함하고,

상기 스페이서를 형성하는 단계는 SiOCN 물질막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 20

반응 공간을 정의하는 반응 챔버;

기관을 지지할 수 있는 서포트;

제 1 탄소 전구체를 상기 반응 공간 내부로 도입하도록 구성된 제 1 이송 라인;

제 2 탄소 전구체를 상기 반응 공간 내부로 도입하도록 구성된 제 2 이송 라인; 및

상기 반응 공간 내에 플라즈마를 생성하기 위하여 전위를 가할 수 있는 전극들;

을 포함하고,

상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체는 서로 상이한 물질이고,

상기 제 1 이송 라인과 상기 제 2 이송 라인은 상기 반응 공간 내부에 이르기까지 서로 합류되지 않는 증착 장치.

발명의 설명

기술 분야

[0001] 본 발명은 물질막, 이를 포함하는 반도체 소자, 및 이들의 제조 방법에 관한 것으로서, 더욱 구체적으로는 저온에서도 내식각성과 전기적 특성이 모두 우수한 물질막, 이를 포함하는 반도체 소자, 및 이들의 제조 방법에 관한 것이다.

배경 기술

[0002] 패턴의 미세화를 위하여 고온에 취약한 재료의 사용이 증가하고, 이에 따라 저온 공정에 대한 요구가 더 높아지고 있다. 하지만 어떤 물질막은 저온에서 형성하면, 요구되는 물성을 갖추지 못하게 될 수 있다. 예를 들면, 로직 소자에서 스페이서는 매우 중요한 구성 부분 중의 하나인데, 지금까지는 저온에서 형성하게 되면 전기적 특성이라든지 내식각성과 같은 물성이 만족되지 못하는 경향이 있었다. 따라서, 저온에서도 원하는 물성을 지닌 물질막을 형성할 수 있는 제조 방법에 대한 요구가 높다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 이루고자 하는 첫 번째 기술적 과제는 내식각성과 전기적 특성이 모두 우수한 SiOCN 물질막의 형성 방법을 제공하는 것이다.

[0004] 본 발명이 이루고자 하는 두 번째 기술적 과제는 내식각성과 전기적 특성이 모두 우수한 물질막 적층체를 제공하는 것이다.

[0005] 본 발명이 이루고자 하는 세 번째 기술적 과제는 내식각성과 전기적 특성이 모두 우수한 물질막 적층체를 포함하는 반도체 소자를 제공하는 것이다.

[0006] 본 발명이 이루고자 하는 네 번째 기술적 과제는 내식각성과 전기적 특성이 모두 우수한 물질막 적층체를 포함하는 반도체 소자의 제조 방법을 제공하는 것이다.

[0007] 본 발명이 이루고자 하는 다섯 번째 기술적 과제는 내식각성과 전기적 특성이 모두 우수한 SiOCN 물질막을 형성할 수 있는 증착 장치를 제공하는 것이다.

과제의 해결 수단

[0008] 본 발명은 상기 첫 번째 기술적 과제를 이루기 위하여, 기판을 제공하는 단계; 상기 기판 상에 실리콘 전구체를 제공하는 단계; 상기 기판 상에 산소 반응물을 제공하는 단계; 상기 기판 상에 제 1 탄소 전구체를 제공하는 단계; 상기 기판 상에 제 2 탄소 전구체를 제공하는 단계; 및 상기 기판 상에 질소 반응물을 제공하는 단계를 포함하는 SiOCN 물질막 형성 방법을 제공한다. 이 때, 상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체는 서로 상이한 물질이다.

[0009] 상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체는 각각 독립적으로 탄소수 1 내지 10의 알칸(alkane), 탄소수 2 내지 10의 알켄(alkene), 탄소수 1 내지 15의 알킬아민, 탄소수 4 내지 15의 함질소(nitrogen-containing) 헤테로고리 화합물, 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상일 수 있다.

[0010] 특히, 상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체 중의 적어도 하나는, (i) 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소(nitrogen-containing) 헤테로고리 화합물; 또는 (ii) 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 또는 탄소수 1 내지 20의 알킬실록산일 수 있다.

[0011] 이 때, 상기 SiOCN 물질막 형성 방법은 600℃ 이하의 온도에서 수행될 수 있다. 이 경우 상기 질소 반응물과 상기 제 2 탄소 전구체가 동일한 물질일 수 있으며, 상기 질소 반응물을 제공하는 단계와 상기 제 2 탄소 전구체를 제공하는 단계가 동시에 수행될 수 있다. 이 경우, 상기 실리콘 전구체를 제공하는 단계, 상기 산소 반응물을 제공하는 단계, 상기 제 1 탄소 전구체를 제공하는 단계, 및 상기 제 2 탄소 전구체를 제공하는 단계가 하나의 사이클을 이룰 수 있다. 또, 상기 제 1 탄소 전구체가 탄소수 1 내지 10의 알칸(alkane), 탄소수 2 내지 10의 알켄(alkene), 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알

킬실록산으로 구성되는 군으로부터 선택되는 1종 이상이고, 상기 제 2 탄소 전구체는 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물일 수 있다.

- [0012] 특히, 상기 제 1 탄소 전구체가 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상이고, 상기 제 2 탄소 전구체는 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물일 수 있다.
- [0013] 나아가, 상기 실리콘 전구체와 상기 제 1 탄소 전구체가 동일한 물질일 수 있다. 이 때, 상기 실리콘 전구체를 제공하는 단계와 상기 제 1 탄소 전구체를 제공하는 단계가 동시에 수행될 수 있다. 또, 상기 제 1 탄소 전구체를 제공하는 단계, 상기 산소 반응물을 제공하는 단계, 및 상기 제 2 탄소 전구체를 제공하는 단계가 하나의 사이클을 이룰 수 있다.
- [0014] 이 때, 상기 제 1 탄소 전구체가 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상이고, 상기 제 2 탄소 전구체는 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물일 수 있다.
- [0015] 이 경우, SiOCN 물질막은 500°C 이하의 온도에서 형성될 수 있다.
- [0016] 또, 상기 실리콘 전구체와 상기 제 2 탄소 전구체가 동일한 물질일 수 있다. 이 때, 상기 실리콘 전구체를 제공하는 단계와 상기 제 2 탄소 전구체를 제공하는 단계가 동시에 수행될 수 있다.
- [0017] 이 경우, 상기 실리콘 전구체를 제공하는 단계, 상기 산소 반응물을 제공하는 단계, 상기 제 1 탄소 전구체를 제공하는 단계, 및 상기 질소 반응물을 제공하는 단계가 하나의 사이클을 이룰 수 있다.
- [0018] 이 때, 상기 제 1 탄소 전구체가 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상이고, 상기 제 2 탄소 전구체는 탄소수 1 내지 10의 알칸(alkane), 탄소수 2 내지 10의 알켄(alkene), 탄소수 1 내지 15의 알킬아민, 및 탄소수 4 내지 15의 함질소 헤테로고리 화합물로 구성되는 군으로부터 선택되는 1종 이상일 수 있다.
- [0019] 본 발명은 두 번째 기술적 과제를 이루기 위하여 반도체 기판; 및 상기 반도체 기판 상에 형성된 SiOCN 물질막을 포함하고, 상기 SiOCN 물질막은 탄소 약 10 원자% 내지 약 30 원자% 및 산소 약 25 원자% 내지 약 50 원자% 포함하는 물질막 적층체를 제공한다. 일부 실시예들에 있어서, 상기 탄소의 함량은 약 11 원자% 내지 약 20 원자%일 수 있다. 일부 실시예들에 있어서, 산소의 함량은 약 30 원자% 내지 약 48 원자%일 수 있다.
- [0020] 이 때, 상기 SiOCN 물질막의 유전 상수는 1보다 크거나 같고 5.0보다 작을 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막의 유전 상수는 1보다 크거나 같고 4.8보다 작을 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막의 유전 상수는 1보다 크거나 같고 4.4보다 작을 수 있다. 일부 실시예들에 있어서, 상기 물질막 적층체는 상기 반도체 기판과 상기 SiOCN 물질막 사이에 SiO₂의 막을 더 포함할 수 있다.
- [0021] 본 발명은 상기 세 번째 기술적 과제를 이루기 위하여, 반도체 기판; 상기 반도체 기판의 활성 영역을 정의하는 소자 분리막; 상기 활성 영역 상에 제공되는 게이트 전극; 상기 게이트 전극의 측벽 상에 제공되고 상기 활성 영역에 가장 가까운 하단 및 상기 활성 영역으로부터 가장 먼 상단을 갖는 스페이서; 및 상기 게이트 전극의 양쪽에 제공되는 불순물 영역을 포함하고, 상기 스페이서가 SiOCN 물질막을 포함하는 반도체 소자를 제공한다. 이 때, 상기 하단으로부터 상기 스페이서의 전체 높이의 75% 높이에서의 상기 스페이서의 두께는 상기 스페이서의 상기 하단에서의 두께의 0.4배보다 크거나 같을 수 있다.
- [0022] 특히, 상기 스페이서의 SiOCN 물질막은 유전상수가 5.0보다 작을 수 있다. 이 때, 상기 스페이서의 SiOCN 물질막은 탄소 약 10 원자% 내지 약 30 원자% 및 산소 약 25 원자% 내지 약 50 원자% 포함할 수 있다. 또, 상기 활성 영역은 상기 반도체 기판의 다른 영역으로부터 핀(fin)형으로 돌출되어 제 1 방향으로 연장되고, 상기 게이트 전극은 상기 활성 영역 위에서 상기 제 1 방향과 교차하는 방향으로 연장될 수 있다. 상기 게이트 전극은 상기 활성 영역과 교차하는 위치에서 상기 활성 영역의 대향하는 두 측벽 및 그 사이의 상부면을 덮을 수 있다.
- [0023] 또, 상기 하단으로부터 상기 스페이서의 전체 높이의 50% 높이에서의 상기 스페이서의 두께는 상기 스페이서의 상기 하단에서의 두께의 0.8배보다 크거나 같을 수 있다. 또, 상기 스페이서는 적어도 부분적으로 평탄한 상부 표면을 가질 수 있다. 상기 스페이서의 상부 표면은 상기 게이트 전극의 상부 표면과 적어도 부분적으로 동일한 평면 상에 위치할 수 있다.
- [0024] 또, 상기 반도체 소자는 상기 게이트 전극과 상기 활성 영역 사이에 인터페이스층 및 게이트 절연막을 더 포함

하고, 상기 게이트 절연막은 유전 상수가 10 내지 25일 수 있다.

- [0025] 본 발명은 상기 네 번째 기술적 과제를 이루기 위하여, 반도체 기판 상에 돌출되어 제 1 방향으로 연장되는 핀형 활성 영역을 정의하는 단계; 상기 핀형 활성 영역의 두 측면 및 상부면을 둘러싸고, 상기 제 1 방향과 교차하는 방향으로 연장되는 게이트 전극을 형성하는 단계; 상기 게이트 전극의 측면 상에 제공되는 스페이서를 형성하는 단계; 및 상기 게이트 전극의 양쪽에 각각 제공되는 불순물 영역들을 형성하는 단계를 포함하는 반도체 소자의 제조 방법을 제공한다. 여기서, 상기 스페이서를 형성하는 단계는 SiOCN 물질막을 형성하는 단계를 포함할 수 있다.
- [0026] 특히, 상기 SiOCN 물질막을 형성하는 단계는, 제 1 탄소 전구체를 제공하는 단계; 및 제 2 탄소 전구체를 제공하는 단계를 포함할 수 있다. 여기서, 상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체는 서로 상이하다.
- [0027] 이 때, 상기 제 1 탄소 전구체가 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상이고, 상기 제 2 탄소 전구체는 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물일 수 있다.
- [0028] 또한, 상기 반도체 소자의 제조 방법은 상기 스페이서를 형성하는 단계의 이전에 더미 게이트 전극을 형성하는 단계를 더 포함할 수 있다. 또, 상기 스페이서를 형성하는 단계는 상기 더미 게이트 전극의 측면 상에 스페이서를 형성하는 단계를 포함할 수 있다. 또, 상기 반도체 소자의 제조 방법은 상기 스페이서를 형성하는 단계 이후에 상기 더미 게이트 전극을 제거하는 단계를 포함하고, 상기 게이트 전극을 형성하는 단계는 상기 더미 게이트 전극을 제거하는 단계 이후에 수행될 수 있다.
- [0029] 본 발명은 상기 다섯 번째 기술적 과제를 이루기 위하여, 반응 공간을 정의하는 반응 챔버; 기판을 지지할 수 있는 서포트; 제 1 탄소 전구체를 상기 반응 공간 내부로 도입하도록 구성된 제 1 이송 라인; 제 2 탄소 전구체를 상기 반응 공간 내부로 도입하도록 구성된 제 2 이송 라인; 및 상기 반응 공간 내에 플라즈마를 생성하기 위하여 전위를 가할 수 있는 전극들을 포함하는 증착 장치를 제공한다. 여기서, 상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체는 서로 상이한 물질이며, 상기 제 1 이송 라인과 상기 제 2 이송 라인은 상기 반응 공간 내부에 이르기까지 서로 합류되지 않을 수 있다.
- [0030] 특히, 상기 서포트는 온도 조절 장치를 포함하고, 기판의 온도를 600℃ 이하로 조정하도록 구성될 수 있다.

발명의 효과

- [0031] 본 발명의 물질막 형성 방법을 이용하면 저온에서도 내식각성과 전기적 특성이 모두 우수한 물질막을 형성할 수 있는 효과가 있다.
- [0032] 특히, 600℃ 이하의 온도, 나아가 500℃ 이하의 온도에서도 5.0 미만의, 또는 4.8 미만의, 또는 4.4 미만의 유전 상수를 갖는 물질막을 제조하는 것이 가능한 효과가 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 반도체 기판과 그 위에 형성된 SiOCN 물질막을 포함하는 물질막 적층체를 나타낸 측면도이다.
- 도 2는 본 발명의 일 실시예에 따라 물질막 적층체의 제조 방법을 순서에 따라 나타낸 흐름도이다.
- 도 3은 본 발명의 일 실시예에 따라 SiOCN 물질막을 형성하기 위한 PEALD 장비를 나타낸 개념도이다.
- 도 4a 내지 도 4e는 본 발명의 일 실시예에 따른 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.
- 도 5는 제 2 탄소 전구체와 질소 반응물이 동일한 경우의 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.
- 도 6은 실리콘 전구체와 제 1 탄소 전구체가 동일한 경우의 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.
- 도 7은 실리콘 전구체와 제 1 탄소 전구체가 동일하고, 제 2 탄소 전구체와 질소 반응물이 동일한 경우의 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.

도 8a 내지 도 8d는 반도체 기판 상에 SiOCN 물질막을 갖는 반도체 소자를 나타내며, 구체적으로 도 8a는 상기 반도체 소자의 평면도, 도 8b는 상기 반도체 소자의 사시도, 도 8c는 상기 반도체 소자의 측단면도, 도 8d는 상기 반도체 소자의 게이트 구조체와 그에 인접한 구조물을 중심으로 나타낸 확대 단면도를 각각 나타낸다.

도 9a 내지 도 9f는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 순서에 따라 나타낸 단면도들이다.

도 10은 본 발명의 기술적 사상에 의한 실시예들에 따른 전자 소자의 블록 다이어그램이다.

도 11은 본 발명의 기술적 사상에 의한 실시예들에 따른 디스플레이 구동 집적회로 및 디스플레이 장치의 개략적인 블록 다이어그램이다.

도 12는 본 발명의 기술적 사상에 의한 실시예들에 따른 CMOS 인버터의 회로도이다.

도 13은 본 발명의 기술적 사상에 의한 실시예들에 따른 CMOS SRAM 소자의 회로도이다.

도 14는 본 발명의 기술적 사상에 의한 실시예들에 따른 CMOS NAND 회로의 회로도이다.

도 15는 본 발명의 기술적 사상에 의한 실시예들에 따른 전자 시스템을 도시한 블록 다이어그램이다.

도 16은 본 발명의 기술적 사상에 의한 실시예들에 따른 전자 시스템의 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 이하, 첨부도면을 참조하여 본 발명 개념의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명 개념의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명 개념의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명 개념의 실시예들은 당 업계에서 평균적인 지식을 가진 자에게 본 발명 개념을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 해석되는 것이 바람직하다. 동일한 부호는 시종 동일한 요소를 의미한다. 나아가, 도면에서의 다양한 요소와 영역은 개략적으로 그려진 것이다. 따라서, 본 발명 개념은 첨부한 도면에 그려진 상대적인 크기나 간격에 의해 제한되어지지 않는다.
- [0035] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는 데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되지 않는다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명 개념의 권리 범위를 벗어나지 않으면서 제 1 구성 요소는 제 2 구성 요소로 명명될 수 있고, 반대로 제 2 구성 요소는 제 1 구성 요소로 명명될 수 있다.
- [0036] 본 출원에서 사용한 용어는 단지 특정한 실시예들을 설명하기 위해 사용된 것으로서, 본 발명 개념을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함한다" 또는 "갖는다" 등의 표현은 명세서에 기재된 특징, 개수, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 개수, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0037] 달리 정의되지 않는 한, 여기에 사용되는 모든 용어들은 기술 용어와 과학 용어를 포함하여 본 발명 개념이 속하는 기술 분야에서 통상의 지식을 가진 자가 공통적으로 이해하고 있는 바와 동일한 의미를 지닌다. 또한, 통상적으로 사용되는, 사전에 정의된 바와 같은 용어들은 관련되는 기술의 맥락에서 이들이 의미하는 바와 일관되는 의미를 갖는 것으로 해석되어야 하며, 여기에 명시적으로 정의하지 않는 한 과도하게 형식적인 의미로 해석되어서는 아니 될 것임은 이해될 것이다.
- [0038] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 수행될 수도 있다.
- [0039] 첨부 도면에 있어서, 예를 들면, 제조 기술 및/또는 공차에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예들은 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조 과정에서 초래되는 형상의 변화를 포함하여야 한다. 여기에 사용되는 모든 용어 "및/또는"은 언급된 구성 요소들의 각각 및 하나 이상의 모든 조합을 포함한다. 또한, 본 명세서에서 사용되는 용어 "기판"은 기판 그 자체, 또는 기판과 그 표면에 형성된 소정의 층 또는 막 등을 포함하는 적층 구조체를 의미할 수 있다. 또한, 본 명세서에서 "기판의 표면"이라 함은 기판 그 자체의 노출 표면, 또는 기판 위에 형성된 소정의 층 또

는 막 등의 외측 표면을 의미할 수 있다.

- [0040] 본 발명의 일 실시예는 반도체 기판 및 상기 반도체 기판 상에 형성된 SiOCN 물질막을 포함하는 물질막 적층체를 제공한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 반도체 기판(11)과 그 위에 형성된 SiOCN 물질막(12)를 포함하는 물질막 적층체(10)를 나타낸 측면면도이다.
- [0042] 도 1을 참조하면, 반도체 기판(11)은 III-V 족 물질 및 IV 족 물질 중 적어도 하나로 이루어질 수 있다. 상기 III-V 족 물질은 적어도 하나의 III 족 원소와 적어도 하나의 V족 원소를 포함하는 2 원계, 3 원계, 또는 4 원계 화합물일 수 있다. 상기 III-V 족 물질은 III 족 원소로서 In, Ga 및 Al 중 적어도 하나의 원소와, V 족 원소로서 As, P 및 Sb 중 적어도 하나의 원소를 포함하는 화합물일 수 있다. 예를 들면, 상기 III-V 족 물질은 InP, $In_zGa_{1-z}As$ ($0 \leq z \leq 1$), 및 $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$)로부터 선택될 수 있다. 상기 2 원계 화합물은, 예를 들면 InP, GaAs, InAs, InSb 및 GaSb 중 어느 하나일 수 있다. 상기 3 원계 화합물은 InGaP, InGaAs, AlInAs, InGaSb, GaAsSb 및 GaAsP 중 어느 하나일 수 있다. 상기 IV 족 물질은 Si 및/또는 Ge일 수 있다. 그러나, 본 발명의 기술적 사상에 의한 박막을 형성하기 위해 사용 가능한 III-V 족 물질 및 IV 족 물질이 상기 예시한 바에 한정되는 것은 아니다.
- [0043] 상기 III-V 족 물질과 Ge과 같은 IV 족 물질은 저전력, 고속 트랜지스터를 만들 수 있는 채널 재료로서 이용될 수 있다. Si 기판에 비해 전자의 이동도가 높은 III-V 족 물질, 예를 들면 GaAs로 이루어지는 반도체 기판과, Si 기판에 비해 정공의 이동도가 높은 반도체 물질, 예를 들면 Ge을 포함하는 SiGe 반도체 기판을 이용하여 고성능 CMOS를 형성할 수 있다. 일부 실시예들에 있어서, 상기 반도체 기판(11)에 N 형 채널이 형성되도록 의도되는 경우, 상기 반도체 기판(11)은 위에서 예시한 III-V 족 물질들 중 어느 하나로 이루어지거나 SiC로 이루어질 수 있다. 다른 일부 실시예들에 있어서, 상기 반도체 기판(11)에 P 형 채널이 형성되도록 의도되는 경우, 상기 반도체 기판(11)은 SiGe으로 이루어질 수 있다.
- [0044] 상기 SiOCN 물질막(12)는 실리콘(Si), 산소(O), 탄소(C), 및 질소(N)을 함유하는 물질막으로서 탄소를 약 10 원자% 내지 약 30 원자% 포함할 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 탄소를 약 11 원자% 내지 약 20 원자% 포함할 수 있다.
- [0045] 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 산소를 약 25 원자% 내지 약 50 원자% 포함할 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 산소를 약 30 원자% 내지 약 48 원자% 포함할 수 있다.
- [0046] 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 탄소 약 10 원자% 내지 약 30 원자% 및 산소 약 25 원자% 내지 약 50 원자% 포함할 수 있다.
- [0047] 상기 SiOCN 물질막(12)는 1보다 크고 5.0보다 작은 유전 상수를 가질 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 1보다 크고 4.8보다 작은 유전 상수를 가질 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 1보다 크고 4.4보다 작은 유전 상수를 가질 수 있다. 상기 유전 상수는 상기 SiOCN 물질막(12)의 조성에 의존하여 변화할 수 있다.
- [0048] 상기 SiOCN 물질막(12)는 상기 반도체 기판(11)의 직접 위에 제공될 수도 있고, 다른 물질층을 개재하여 상기 반도체 기판(11)의 상부에 제공될 수도 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 절연막을 개재하여 상기 반도체 기판(11) 상에 적층될 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 HfO_2 , ZrO_2 , $HfSiO_x$, $TaSiO_x$, 또는 LaO_x 의 막을 개재하여 상기 반도체 기판(11) 상에 적층될 수 있다.
- [0049] 도 1에서는 상기 SiOCN 물질막(12)의 두께가 일정하지 않은 것으로 도시되었으나, 경우에 따라 상기 SiOCN 물질막(12)는 실질적으로 일정한 두께를 가질 수 있다.
- [0050] 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 금속 물질막(14) 위에 형성될 수도 있다. 상기 금속 물질막(14)은 티타늄(Ti), 텅스텐(W), 알루미늄(Al), 루테튬(Ru), 니오븀(Nb), 몰리브덴(Mo), 하프늄(Hf), 니켈(Ni), 코발트(Co), 백금(Pt), 이터븀(Yb), 테르븀(Tb), 디스프로슘(Dy), 에르븀(Er), 및 팔라듐(Pd) 중에서 선택되는 적어도 하나의 금속을 포함할 수 있다.
- [0051] 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)는 상기 금속 물질막(14)을 이루는 금속들의 카바이드, 나이트라이드, 실리사이드, 알루미늄 카바이드, 또는 이들의 조합 위에 형성될 수도 있다.
- [0052] 상기 SiOCN 물질막(12)은 금속 물질막(14)의 직접 위에 형성될 수도 있고, 이중의 물질막을 개재하여 금속 물질

막(14)의 상부에 제공될 수도 있다.

- [0053] 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)은 하이-k 물질막(13)을 개재하여 상기 금속 물질막(14) 위에 제공될 수 있다. 상기 하이-k 물질막(13)은, 예를 들면, 약 10 내지 25의 유전율을 가지는 물질로 이루어질 수 있다. 일부 실시예들에 있어서, 상기 하이-k 물질막(13)은 하프늄 산화물(hafnium oxide), 하프늄 산질화물(hafnium oxynitride), 하프늄 실리콘 산화물(hafnium silicon oxide), 란타늄 산화물(lanthanum oxide), 란타늄 알루미늄 산화물(lanthanum aluminum oxide), 란타늄 실리콘 산화물(lanthanum silicon oxide), 지르코늄 산화물(zirconium oxide), 지르코늄 실리콘 산화물(zirconium silicon oxide), 탄탈륨 산화물(tantalum oxide), 탄탈륨 하프늄 산화물(tantalum hafnium oxide), 탄탈륨 알루미늄 산화물(tantalum aluminum oxide), 탄탈륨 실리콘 산화물(tantalum silicon oxide), 탄탈륨 지르코늄 산화물(tantalum zirconium oxide), 티타늄 산화물(titanium oxide), 티타늄 알루미늄 산화물(titanium aluminum oxide), 바륨 스트론튬 티타늄 산화물(barium strontium titanium oxide), 바륨 티타늄 산화물(barium titanium oxide), 스트론튬 티타늄 산화물(strontium titanium oxide), 이트륨 산화물(yttrium oxide), 에르븀 산화물(erbium oxide), 디스프로슘 산화물(dysprosium oxide), 가돌리늄 산화물(gadolinium oxide), 갈륨 산화물(gallium oxide), 알루미늄 산화물(aluminum oxide), 알루미늄 실리콘 산화물(aluminum silicon oxide), 실리콘 저머늄 산화물(silicon germanium oxide), 납 스칸듐 탄탈륨 산화물(lead scandium tantalum oxide), 및 납 아연 니오브산염(lead zinc niobate), 및 이들의 조합으로 구성되는 군으로부터 선택되는 물질로 이루어질 수 있다.
- [0054] 일부 실시예들에 있어서, 상기 SiOCN 물질막(12)은 물성 조정용 기능막(15)을 개재하여 상기 금속 물질막(14) 위에 제공될 수 있다. 상기 물성 조정용 기능막(15)은 장벽 금속층(15a)과 일함수 조절막(15b)을 포함할 수 있다.
- [0055] 상기 일함수 조절막(15b)은 N형 또는 P형 일함수 조절막일 수 있다. 상기 일함수 조절막(15b)이 N형 일함수 조절막인 경우, 예를 들면, TiAl, TiAlN, TaC, TiC, 및 HfSi을 포함하는 군으로부터 선택된 물질을 포함할 수 있다. 그러나 본 발명이 여기에 한정되는 것은 아니다. 상기 일함수 조절막(15b)이 P형 일함수 조절막인 경우, 예를 들면, Mo, Pd, Ru, Pt, TiN, WN, TaN, Ir, TaC, RuN 및 MoN을 포함하는 군으로부터 선택된 물질을 포함할 수 있다. 그러나 본 발명이 여기에 한정되는 것은 아니다.
- [0056] 상기 장벽 금속층(15a)은, 예를 들면, TiN일 수 있다.
- [0057] 이하에서는 물질막 적층체의 제조 방법을 설명한다.
- [0058] 도 2는 본 발명의 일 실시예에 따라 상기 물질막 적층체의 제조 방법을 순서에 따라 나타낸 흐름도이다.
- [0059] 도 2를 참조하면, 우선 챔버와 같은 반응 공간 내에 기관을 반입하고(S100), 상기 기관 상에 SiOCN 물질막을 형성하기 위하여 전구체들을 상기 반응 공간 내부로 공급할 수 있다(S200). 그러다가 상기 SiOCN 물질막이 원하는 두께로 형성되면 상기 기관을 상기 반응 공간으로부터 반출할 수 있다(S300).
- [0060] 상기 단계 S200에서의 기관 상에 SiOCN 물질막을 형성하는 방법은 통상의 기술자에게 알려진 임의의 방법에 의할 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막을 형성하는 방법은 화학 기상 증착(chemical vapor deposition, CVD)에 의하여 이루어질 수 있다. 일부 실시예들에 있어서, 상기 SiOCN 물질막을 형성하는 방법은 원자층 증착(atomic layer deposition, ALD)에 의하여 이루어질 수 있다. 특히, 상기 SiOCN 물질막을 형성하는 방법은 플라즈마 강화 원자층 증착(Plasma Enhanced ALD, PEALD)에 의하여 수행될 수 있다. 그러나, 본 발명이 이들 방법에 제한되는 것은 아니다.
- [0061] 이하에서는 상기 기관 상에 SiOCN 물질막이 PEALD에 의하여 형성되는 것으로 하여 설명한다. 그러나, 통상의 기술자는 하기의 설명을 참조하면 SiOCN 물질막을 다른 방법을 이용하여 형성할 수 있을 것이다.
- [0062] 도 3은 본 발명의 일 실시예에 따라 상기 SiOCN 물질막을 형성하기 위한 PEALD 장비(900)를 나타낸 개념도이다.
- [0063] 도 3을 참조하면, 반응 챔버(940)의 내부인 반응 공간(950) 내에 서로 대향하고 평행하게 연장되는 한 쌍의 도전성 평판 전극들(932, 934)이 제공된다. 상기 한 쌍의 도전성 평판 전극들(932, 934) 중의 어느 하나에 13.56MHz 또는 27MHz의 HRF 파워(962) (및 필요에 따라 5 MHz 이하(400kHz 내지 500kHz)의 LRF 파워(964))를 인가하고 나머지 하나의 전극을 전기 접지(936)함으로써 상기 한 쌍의 도전성 평판 전극들(932, 934) 사이에 플라즈마가 여기된다.
- [0064] 하부 전극(932)은 기관(W)을 지지하는 서포트로서의 역할도 수행할 수 있으며, 상기 하부 전극(932) 내에는 온도 조절 장치(938)가 내장되어 상기 기관(W)의 온도를 원하는 온도로 일정하게 유지할 수 있다. 특히, 뒤에서

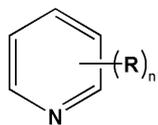
상세하게 설명하는 바와 같이 본원 발명의 실시예들에 있어서, SiOCN 물질막이 비교적 저온인 600℃ 이하의 온도에서도 높은 산소 및 탄소 함량으로 증착시키는 것이 가능하다. 나아가, 사용하는 탄소 전구체의 종류에 따라서는 더욱 낮은 온도인 500℃ 이하의 온도에서도 높은 산소 및 탄소 함량으로 증착시키는 것이 가능하다. 그렇기 때문에 상기 온도 조절 장치(938)는 기판(W)의 온도를 600℃ 이하, 또는 500℃ 이하의 온도로 조정하도록 구성될 수 있다.

- [0065] 상부 전극(934)은 전극으로서의 역할 외에 샤워헤드로서의 역할도 수행할 수 있다. 일부 실시예들에 있어서, 상기 상부 전극(934)을 통하여 프로세스 가스를 비롯한 여러 가스들이 상기 반응 공간(950)으로 도입될 수 있다. 일부 실시예들에 있어서, 일부 가스들은 자신의 고유한 도관을 통하여 상기 반응 공간(950)으로 도입될 수 있다.
- [0066] 캐리어 가스(916)는 다른 전구체 및/또는 반응물을 상기 반응 공간(950)으로 운반하는 역할을 수행할 수 있다. 일부 실시예들에 있어서, 캐리어 가스(916)는 상기 반응 공간(950) 내부의 미반응 물질 또는 반응 부산물들을 퍼지(purge)하는 역할을 수행할 수 있다.
- [0067] 상기 캐리어 가스(916)는, 예를 들면, 헬륨(He), 네온(Ne)과 같은 불활성 기체, 질소(N₂) 또는 이산화탄소(CO₂)와 같이 활성이 극히 낮은 기체일 수 있다. 그러나 본 발명이 여기에 한정되는 것은 아니다.
- [0068] 실리콘 전구체(911)는 실리콘 전구체 공급 라인(911s)을 통하여 상기 반응 공간(950)으로 도입될 수 있다. 이 때, 상기 실리콘 전구체 공급 라인(911s)은 캐리어 가스 공급 라인(916s)과 합류될 수 있다.
- [0069] 도 3에서는 캐리어 가스(916)의 공급 라인이 실리콘 전구체(911), 산소 반응물(914), 및 질소 반응물(915)의 공급 라인들에 연결되어 있는 것으로 도시되었지만, 상기 캐리어 가스(916)의 공급 라인은 제 1 탄소 전구체(912) 및/또는 제 2 탄소 전구체(913)의 공급 라인에도 연결될 수 있다. 일부 실시예들에 있어서, 상기 제 1 탄소 전구체(912)는 상기 캐리어 가스(916)에 의하여 운반되어 상기 반응 공간(950)으로 도입될 수 있다. 일부 실시예들에 있어서, 상기 제 2 탄소 전구체(913)는 상기 캐리어 가스(916)에 의하여 운반되어 상기 반응 공간(950)으로 도입될 수 있다.
- [0070] 도 3에 도시된 바와 같이 적어도 두 개의 상이한 탄소 전구체들(912, 913)이 별도의 공급 라인을 통하여 상기 반응 공간(950)으로 공급될 수 있다. 제 1 탄소 전구체(912)는 제 1 이송 라인(912s)을 통하여 상기 반응 공간(950)으로 공급될 수 있다. 제 2 탄소 전구체(913)는 제 2 이송 라인(913s)을 통하여 상기 반응 공간(950)으로 공급될 수 있다. 일부 실시예들에 있어서, 상기 제 1 이송 라인(912s)과 상기 제 2 이송 라인(913s)은 상기 반응 공간(950)의 내부에 이르기까지 서로 합류되지 않을 수 있다.
- [0071] 상기 제 1 탄소 전구체(912)와 상기 제 2 탄소 전구체(913)는 각각 독립적으로 탄소수 1 내지 10의 알칸(alkane), 탄소수 2 내지 10의 알켄(alkene), 탄소수 1 내지 15의 알킬아민, 탄소수 4 내지 15의 함질소(nitrogen-containing) 헤테로고리 화합물, 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상일 수 있다.
- [0072] 탄소수 1 내지 10의 알칸은 메탄, 에탄, 프로판, 부탄(모든 이성질체), 펜탄(모든 이성질체), 헥산(모든 이성질체), 헵탄(모든 이성질체), 옥탄(모든 이성질체), 노난(모든 이성질체), 데칸(모든 이성질체), 또는 이들의 혼합물일 수 있다.
- [0073] 탄소수 2 내지 10의 알켄은 에틸렌, 프로필렌, 부텐(모든 이성질체), 펜텐(모든 이성질체), 헥센(모든 이성질체), 헵텐(모든 이성질체), 옥텐(모든 이성질체), 노넨(모든 이성질체), 데켄(모든 이성질체), 또는 이들의 혼합물일 수 있다.
- [0074] 탄소수 1 내지 15의 알킬아민은, 예를 들면, NR¹R²R³의 화학식을 가질 수 있다. 여기서, R¹, R², 및 R³는 각각 독립적으로 수소, 할로젠 원소, 탄소수 1 내지 10의 알킬, 탄소수 1 내지 10의 알케닐, 탄소수 1 내지 10의 알킬아미노, 탄소수 6 내지 12의 아릴, 탄소수 7 내지 12의 아릴알킬, 탄소수 7 내지 12의 알킬아릴, 및 탄소수 5 내지 12의 시클로알킬로 구성되는 군으로부터 선택될 수 있다. 이 때, R¹, R², 및 R³ 중의 적어도 하나는 탄소수 1 내지 10의 알킬이다. 일부 실시예들에 있어서, R¹, R², 및 R³ 중의 어느 둘은 서로 연결되어 고리 모양을 형성할 수도 있다. 일부 실시예들에 있어서, 둘 이상의 알킬아민이 서로 연결되어 알킬디아민, 알킬트리아민 등을 형성할 수 있으며 이들도 여기에 포함될 수 있다.
- [0075] 보다 구체적으로, 탄소수 1 내지 15의 알킬아민의 비한정적인 예는, 모노메틸아민, 디메틸아민, 트리메틸아민,

모노에틸아민, 디에틸아민, 트리에틸아민, 모노프로필아민(모든 이성질체), 디프로필아민(모든 이성질체), 트리프로필아민(모든 이성질체), 모노부틸아민(모든 이성질체), 디부틸아민(모든 이성질체), 트리부틸아민(모든 이성질체), 모노펜틸아민(모든 이성질체), 디펜틸아민(모든 이성질체), 트리펜틸아민(모든 이성질체), 모노헥실아민(모든 이성질체), 디헥실아민(모든 이성질체), 모노헵틸아민(모든 이성질체), 디헵틸아민(모든 이성질체), 모노옥틸아민(모든 이성질체), 모노노닐아민(모든 이성질체), 모노데실아민(모든 이성질체), 모노운데실아민(모든 이성질체), 모노도데실아민(모든 이성질체), 모노트리데실아민(모든 이성질체), 모노테트라데실아민(모든 이성질체), 모노펜타데실아민(모든 이성질체), 디메틸(에틸)아민(모든 이성질체), 디메틸(프로필)아민(모든 이성질체), 디메틸(부틸)아민(모든 이성질체), 디메틸(펜틸)아민(모든 이성질체), 디메틸(헥실)아민(모든 이성질체), 디메틸(헵틸)아민(모든 이성질체), 디메틸(옥틸)아민(모든 이성질체), 디메틸(노닐)아민(모든 이성질체), 디메틸(데실)아민(모든 이성질체), 디메틸(운데실)아민(모든 이성질체), 디메틸(도데실)아민(모든 이성질체), 디메틸(트리데실)아민(모든 이성질체), 디에틸(메틸)아민(모든 이성질체), 디에틸(프로필)아민(모든 이성질체), 디에틸(부틸)아민(모든 이성질체), 디에틸(펜틸)아민(모든 이성질체), 디에틸(헥실)아민(모든 이성질체), 디에틸(헵틸)아민(모든 이성질체), 디에틸(옥틸)아민(모든 이성질체), 디에틸(노닐)아민(모든 이성질체), 디에틸(데실)아민(모든 이성질체), 디에틸(운데실)아민(모든 이성질체), 디프로필(메틸)아민(모든 이성질체), 디프로필(에틸)아민(모든 이성질체), 디프로필(부틸)아민(모든 이성질체), 디프로필(펜틸)아민(모든 이성질체), 디프로필(헥실)아민(모든 이성질체), 디프로필(헵틸)아민(모든 이성질체), 디프로필(옥틸)아민(모든 이성질체), 디프로필(노닐)아민(모든 이성질체), 디부틸(메틸)아민(모든 이성질체), 디부틸(에틸)아민(모든 이성질체), 디부틸(프로필)아민(모든 이성질체), 디부틸(펜틸)아민(모든 이성질체), 디부틸(헥실)아민(모든 이성질체), 디부틸(헵틸)아민(모든 이성질체), 디펜틸(메틸)아민(모든 이성질체), 디펜틸(에틸)아민(모든 이성질체), 디펜틸(프로필)아민(모든 이성질체), 디펜틸(부틸)아민(모든 이성질체), 디헥실(메틸)아민(모든 이성질체), 디헥실(에틸)아민(모든 이성질체), 디헥실(프로필)아민(모든 이성질체), 디헵틸(메틸)아민(모든 이성질체), 디메틸(부테닐)아민(모든 이성질체), 디메틸(펜테닐)아민(모든 이성질체), 디메틸(헥세닐)아민(모든 이성질체), 디메틸(헵테닐)아민(모든 이성질체), 디메틸(옥테닐)아민(모든 이성질체), 디메틸(시클로펜틸)아민(모든 이성질체), 디메틸(시클로헥실)아민(모든 이성질체), 디메틸(시클로헵틸)아민(모든 이성질체), 비스(메틸 시클로펜틸)아민(모든 이성질체), (디메틸 시클로펜틸)아민(모든 이성질체), 비스(디메틸 시클로펜틸)아민(모든 이성질체), (에틸 시클로펜틸)아민(모든 이성질체), 비스(에틸시클로펜틸)아민(모든 이성질체), (메틸에틸 시클로펜틸)아민(모든 이성질체), 비스(메틸에틸 시클로펜틸)아민(모든 이성질체), N-메틸 에틸렌디아민(모든 이성질체), N-에틸 에틸렌디아민(모든 이성질체), N-프로필 에틸렌디아민(모든 이성질체), N-부틸 에틸렌디아민(모든 이성질체), N-펜틸 에틸렌디아민(모든 이성질체), N-헥실 에틸렌디아민(모든 이성질체), N-헵틸 에틸렌디아민(모든 이성질체), N-옥틸 에틸렌디아민(모든 이성질체), N-노닐 에틸렌디아민(모든 이성질체), N-데실 에틸렌디아민(모든 이성질체), N-운데실 에틸렌디아민(모든 이성질체), N-dodecyl 에틸렌디아민(모든 이성질체) 등을 포함하며, 여기에 한정되지 않는다.

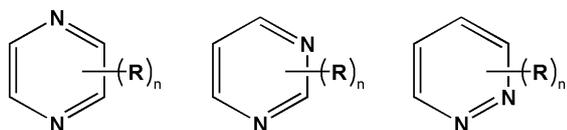
[0076] 탄소수 4 내지 15의 함질소(nitrogen-containing) 헤테로고리 화합물은 하기 화학식 1 내지 화학식 8의 화합물들 중 어느 하나 이상일 수 있다.

화학식 1



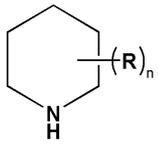
[0077]

화학식 2



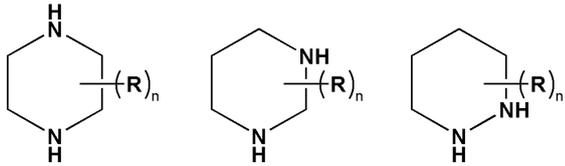
[0078]

화학식 3



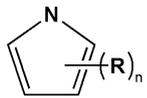
[0079]

화학식 4



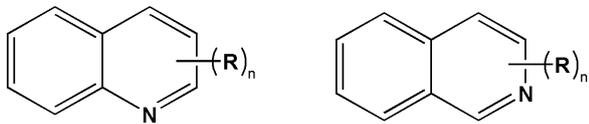
[0080]

화학식 5



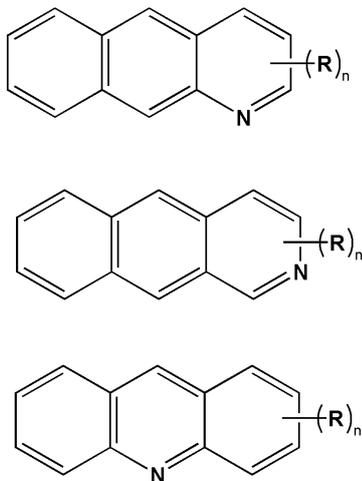
[0081]

화학식 6



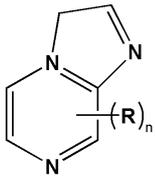
[0082]

화학식 7



[0083]

화학식 8



[0084]

[0085]

여기서, n은 1 내지 4의 정수이고, R은 수소, 탄소수 1 내지 10의 알킬, 탄소수 1 내지 10의 알케닐, 탄소수 6 내지 12의 아릴, 탄소수 7 내지 12의 아릴알킬, 탄소수 7 내지 12의 알킬아릴, 탄소수 5 내지 12의 시클로알킬로 구성되는 군으로부터 선택될 수 있다.

[0086]

탄소수 1 내지 20의 알킬실란은, 예를 들면, R¹-(SiR²R³)_n-R⁴의 화학식을 가질 수 있다. 여기서, n은 1 내지 12의 정수이고, R¹, R², R³ 및 R⁴는 각각 독립적으로 수소, 할로젠 원소, 탄소수 1 내지 10의 알킬, 탄소수 1 내지 10의 알케닐, 탄소수 1 내지 10의 알킬아미노, 탄소수 6 내지 12의 아릴, 탄소수 7 내지 12의 아릴알킬, 탄소수 7 내지 12의 알킬아릴, 및 탄소수 5 내지 12의 시클로알킬로 구성되는 군으로부터 선택될 수 있다. 이 때, R¹, R², R³ 및 R⁴ 중의 적어도 하나는 Si와 직접 결합하는 탄소 원자를 포함한다. 일부 실시예들에 있어서, R¹과 R⁴는 서로 연결되어 고리 모양을 형성할 수도 있다.

[0087]

보다 구체적으로, 탄소수 1 내지 20의 알킬실란의 비한정적인 예는, 메틸실란(methylsilane), 테트라메틸실란(tetramethylsilane, TMS), 테트라에틸실란(tetraethylsilane, TES), 테트라프로필실란(tetrapropylsilane), 테트라부틸실란(tetrabutylsilane), 디메틸실란(dimethylsilane, DMS), 디에틸실란(diethylsilane, DES), 디메틸디플루오로실란(dimethyldifluorosilane, DMDFS), 디메틸디클로로실란(dimethyldichlorosilane, DMDCS), 디에틸디클로로실란(diethyldichlorosilane, DEDCS), 헥사메틸디실란(hexamethyldisilane), 도데카메틸시클로헥사실란(dodecamethylcyclohexasilane), 디메틸디페닐실란(dimethyldiphenylsilane), 디에틸디페닐실란(diethyldiphenylsilane), 메틸트리클로로실란(methyltrichlorosilane), 메틸트리페닐실란(methyltriphenylsilane), 디메틸디에틸실란(dimethyldiethylsilane) 등을 포함하며, 여기에 한정되지 않는다.

[0088]

탄소수 1 내지 20의 알콕시실란은 중심의 실리콘 원자에 치환되거나 치환되지 않은 알콕시기들이 결합된 화합물로서, 예를 들면, R¹-[SiR²R³]_n-R⁴의 화학식을 가질 수 있다. 여기서, n은 1 내지 12의 정수이고, R¹, R², R³ 및 R⁴는 각각 독립적으로 수소, 할로젠 원소, 탄소수 1 내지 10의 알킬, 탄소수 1 내지 10의 알콕시, 탄소수 1 내지 10의 알케닐, 탄소수 1 내지 10의 알킬아미노, 탄소수 6 내지 12의 아릴, 탄소수 7 내지 12의 아릴알킬, 탄소수 7 내지 12의 알킬아릴, 및 탄소수 5 내지 12의 시클로알킬로 구성되는 군으로부터 선택될 수 있다. 이 때, R¹, R², R³ 및 R⁴ 중의 적어도 하나는 탄소수 1 내지 10의 알콕시이고, R¹, R², R³ 및 R⁴ 중의 적어도 하나는 Si와 직접 결합하는 탄소 원자를 포함한다. 일부 실시예들에 있어서, R¹과 R⁴는 서로 연결되어 고리 모양을 형성할 수도 있다.

[0089]

보다 구체적으로, 탄소수 1 내지 20의 알콕시실란의 비한정적인 예는, 트리메톡시실란(trimethoxysilane, TMOS), 디메톡시실란(dimethoxysilane, DMOS), 메톡시실란(methoxysilane, MOS), 메틸디메톡시실란(methyldimethoxysilane, MDMOS), 디에톡시메틸실란(diethoxymethylsilane, DMES), 디메틸에톡시실란(dimethylethoxysilane), 디메틸아미노메톡시실란(dimethylaminomethoxysilane, DMAMES), 디메틸메톡시실란(dimethylmethoxysilane, DMMOS), 메틸트리메톡시실란(methyltrimethoxysilane), 디메틸디메톡시실란(dimethyldimethoxysilane), 페닐트리메톡시실란(phenyltrimethoxysilane), 디페닐디메톡시실란(diphenyldimethoxysilane), 디페닐디에톡시실란(diphenyldiethoxysilane), 트리페닐메톡시실란(triphenylmethoxysilane), 트리페닐에톡시실란(triphenylethoxysilane) 등을 포함하며, 여기에 한정되지 않는다.

[0090]

탄소수 1 내지 20의 알킬실록산은 산소 원자를 개재하여 서로 연결된 둘 이상의 실리콘 원자들을 포함할 수 있

으며, 예를 들면, $R^1-(\text{SiR}^2\text{R}^3)_n-\text{R}^4$ 의 화학식을 가질 수 있다. 여기서, n 은 2 내지 12의 정수이고, R^1 , R^2 , R^3 , 및 R^4 는 각각 독립적으로 수소, 할로젠 원소, 탄소수 1 내지 10의 알킬, 탄소수 1 내지 10의 알콕시, 탄소수 1 내지 10의 알케닐, 탄소수 1 내지 10의 알킬아미노, 탄소수 6 내지 12의 아릴, 탄소수 7 내지 12의 아릴알킬, 탄소수 7 내지 12의 알킬아릴, 및 탄소수 5 내지 12의 시클로알킬로 구성되는 군으로부터 선택될 수 있다. 이때, R^1 , R^2 , R^3 , 및 R^4 중의 적어도 하나는 Si와 직접 결합하는 탄소 원자를 포함한다. 일부 실시예들에 있어서, R^1 과 R^4 는 서로 연결되어 고리 모양을 형성할 수도 있다.

[0091] 보다 구체적으로, 탄소수 1 내지 20의 알킬실록산의 비한정적인 예는, 헥사메틸시클로트리실록산(hexamethylcyclotrisiloxane), 테트라메틸시클로테트라실록산(tetramethylcyclotetrasiloxane), 테트라에틸시클로테트라실록산(tetraethylcyclotetrasiloxane), 옥타메틸시클로테트라실록산(octamethylcyclotetrasiloxane), 헥사메틸디실록산(hexamethyldisiloxane) 등을 포함하며, 여기에 한정되지 않는다.

[0092] 이상에서 설명한 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상은 약 50 내지 약 1000의 분자량을 가질 수 있다. 일부 실시예들에 있어서, 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상은 약 100 내지 약 400의 분자량을 가질 수 있다.

[0093] 상기 실리콘 전구체는, 예를 들면, 실란(SiH_4), 디실란(Si_2H_6), 모노클로로실란(SiClH_3), 디클로로실란(SiCl_2H_2), 트리클로로실란(SiCl_3H), 헥사클로로디실란(Si_2Cl_6), 디에틸실란(Et_2SiH_2), 테트라에틸 오쏘실리케이트($\text{Si}(\text{OCH}_2\text{CH}_3)_4$, TEOS), 또는 알킬 아미노실란계 화합물들일 수 있지만 여기에 한정되는 것은 아니다. 상기 알킬 아미노실란계 화합물은, 예를 들면, 디이소프로필아미노실란($\text{H}_3\text{Si}(\text{N}(\text{i-Prop})_2)$), 비스(터셔리-부틸아미노)실란($(\text{C}_4\text{H}_9(\text{H})\text{N})_2\text{SiH}_2$), 테트라키스(디메틸아미노)실란($\text{Si}(\text{NMe}_2)_4$), 테트라키스(에틸메틸아미노)실란($\text{Si}(\text{NEtMe})_4$), 테트라키스(디에틸아미노)실란($\text{Si}(\text{NEt}_2)_4$), 트리스(디메틸아미노)실란($\text{HSi}(\text{NMe}_2)_3$), 트리스(에틸메틸아미노)실란($\text{HSi}(\text{NEtMe})_3$), 트리스(디에틸아미노)실란($\text{HSi}(\text{NEt}_2)_3$), 트리스(디메틸하이드라지노)실란($\text{HSi}(\text{N}(\text{H})\text{NMe}_2)_3$), 비스(디에틸아미노)실란($\text{H}_2\text{Si}(\text{NEt}_2)_2$), 비스(디이소프로필아미노)실란($\text{H}_2\text{Si}(\text{N}(\text{i-Prop})_2)_2$), 트리스(이소프로필아미노)실란($\text{HSi}(\text{N}(\text{i-Prop})_2)_3$), 또는 (디이소프로필아미노)실란($\text{H}_3\text{Si}(\text{N}(\text{i-Prop})_2)$)을 포함할 수 있지만 여기에 한정되는 것은 아니다.

[0094] 여기서, Me는 메틸기, Et는 에틸기, i-Prop은 이소프로필기, n-Prop은 n-프로필기, Bu는 부틸기, n-Bu는 n-부틸기, Cp는 사이클로펜타디에닐기, THD는 2,2,6,6-테트라메틸-3,5-헵탄디오네이트, TMPD는 2,2,6,6-테트라메틸과 이퍼리다이드, acac는 아세틸아세토네이트, hfac는 헥사플루오로아세틸아세토네이트, 그리고 FOD는 6,6,7,7,8,8,8-헵타플루오로-2,2-디메틸-3,5-옥탄디오네이트를 나타낸다.

[0095] 상기 산소 반응물은, 예를 들면, O_3 , H_2O , O_2 , NO_2 , NO , N_2O , H_2O , 알콜(alcohol), 금속 알콕사이드(alkoxide), 플라즈마 O_2 , 리모트 플라즈마 O_2 , 플라즈마 N_2O , 플라즈마 H_2O , 또는 이들의 조합일 수 있다. 상기 질소 반응물은, 예를 들면, N_2 , NH_3 , 히드라진(N_2H_4), 플라즈마 N_2 , 리모트 플라즈마 N_2 , 또는 이들의 조합일 수 있다.

[0096] 이하에서는 위에서 설명한 상기 프로세스 가스들을 상기 반응 챔버(950) 내에 공급하는 시퀀스에 대하여 설명하고자 한다.

[0097] 도 4a는 본 발명의 일 실시예에 따른 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.

[0098] 도 4a를 참조하면, 반응 챔버(950) 내에는 각 프로세스 가스들이 실리콘 전구체, 산소 반응물, 제 1 탄소 전구체, 제 2 탄소 전구체, 그리고 질소 전구체의 순서대로 순차 공급될 수 있다. 이들 프로세스 가스들의 공급 타이밍들은 퍼지 가스의 공급 타이밍들에 의하여 서로 분리될 수 있다.

[0099] 도 4a에서는 각 프로세스 가스들이 실리콘 전구체, 산소 반응물, 제 1 탄소 전구체, 제 2 탄소 전구체, 그리고 질소 전구체의 순서대로 공급되는 것을 도시하였지만, 이들의 공급 순서는 전구체와 각 반응물들 사이의 반응 활성 등에 따라 적절히 변경될 수 있다.

[0100] 일부 실시예들에 있어서, 실리콘 전구체, 산소 반응물, 제 1 탄소 전구체, 제 2 탄소 전구체, 그리고 질소 전구

체의 펄스 공급은 하나의 사이클을 이룰 수 있다. 상기 사이클은 SiOCN 물질막이 원하는 두께로 형성될 때까지 반복될 수 있다.

- [0101] 일부 실시예들에 있어서, 상기 제 1 탄소 전구체와 상기 제 2 탄소 전구체 중의 적어도 하나는 (i) 탄소수 1 내지 15의 알킬아민 및/또는 탄소수 4 내지 15의 함질소(nitrogen-containing) 헤테로고리 화합물; 또는 (ii) 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및/또는 탄소수 1 내지 20의 알킬실록산일 수 있다.
- [0102] 일부 실시예들에 있어서, 상기 제 1 탄소 전구체가 탄소수 1 내지 15의 알킬아민 및/또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물이고, 상기 제 2 탄소 전구체가 탄소수 1 내지 10의 알칸 및/또는 탄소수 2 내지 10의 알켄일 수 있다.
- [0103] 일부 실시예들에 있어서, 상기 제 1 탄소 전구체가 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및/또는 탄소수 1 내지 20의 알킬실록산이고, 상기 제 2 탄소 전구체가 탄소수 1 내지 10의 알칸 및/또는 탄소수 2 내지 10의 알켄일 수 있다.
- [0104] 일부 실시예들에 있어서, 상기 제 1 탄소 전구체가 탄소수 1 내지 10의 알칸 및/또는 탄소수 2 내지 10의 알켄이고, 상기 제 2 탄소 전구체가 탄소수 1 내지 15의 알킬아민 및/또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물일 수 있다.
- [0105] 일부 실시예들에 있어서, 상기 제 1 탄소 전구체가 탄소수 1 내지 10의 알칸 및/또는 탄소수 2 내지 10의 알켄이고, 상기 제 2 탄소 전구체가 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및/또는 탄소수 1 내지 20의 알킬실록산일 수 있다.
- [0106] 제 1 탄소 전구체와 제 2 탄소 전구체를 위와 같이 구성하는 경우 600°C 이하의 비교적 낮은 온도에서도 높은 산소 함량 및 탄소 함량을 확보할 수 있다. 높은 탄소 함량은 내식각성이 향상되는 결과를 가져올 수 있다. 높은 산소 함량은 유전 상수를 낮춰주는 결과를 가져올 수 있다. 특히, 상기한 바와 같은 물질의 선택을 통해 유전 상수가 5.0보다 작게 될 수 있다.
- [0107] 도 4b는 본 발명의 다른 일 실시예에 따른 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.
- [0108] 도 4b를 참조하면, 제 1 탄소 전구체의 공급에 앞서 제 2 탄소 전구체가 공급되는 점에서 도 4a의 실시예와 상이하다. 제 1 탄소 전구체와 제 2 탄소 전구체는 표면에 대한 친화도, 화학 흡착(chemisorption) 특성, 다른 반응물과의 반응성 등에 있어서 차이가 있기 때문에 공급 순서를 변경함에 따라 추후에 얻어지는 물질막의 성질이 상이하게 될 수 있다.
- [0109] 도 4c 내지 도 4e는 본 발명의 또 다른 실시예들에 따른 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램들이다.
- [0110] 도 4c를 참조하면, 제 1 탄소 전구체와 제 2 탄소 전구체의 공급 시기가 완전히 일치하는 점에서 도 4a 및 도 4b의 실시예들과 상이하다. 예를 들면, 제 1 탄소 전구체와 제 2 탄소 전구체의 화학 흡착 특성이 유사한 경우에 이와 같은 공급 방법을 사용할 수 있다.
- [0111] 도 4d를 참조하면, 제 1 탄소 전구체와 제 2 탄소 전구체의 공급 시기가 중첩되되, 제 1 탄소 전구체의 공급은 제 2 탄소 전구체의 공급 이전에 개시되어 제 2 탄소 전구체의 중단 이후에 종료하는 점에서 도 4a 내지 도 4c의 실시예들과 상이하다. 예를 들면, 상기 제 2 탄소 전구체가 추후 얻어지는 물질막의 특정 성분의 함량을 조절할 목적으로 공급되는 경우 이와 같은 공급 방법을 사용할 수 있다.
- [0112] 일부 실시예들에 있어서, 제 1 탄소 전구체와 제 2 탄소 전구체의 표면에 대한 친화도, 화학 흡착 특성, 다른 반응물과의 반응성 등을 고려하여 위와 반대의 공급 방법을 이용할 수도 있다. 즉, 제 2 탄소 전구체의 공급을 제 1 탄소 전구체의 공급 이전에 개시되어 제 1 탄소 전구체의 중단 이후에 종료할 수도 있다.
- [0113] 도 4e를 참조하면, 제 1 탄소 전구체의 공급과 제 2 탄소 전구체의 공급은 시간상 부분적으로 중첩될 수 있다. 도 4e에서 보는 바와 같이 제 2 탄소 전구체의 공급이 개시되기 이전에 제 1 탄소 전구체의 공급이 개시되고, 제 1 탄소 전구체의 공급이 종료되기 이전에 제 2 탄소 전구체의 공급이 개시되며, 제 1 탄소 전구체의 공급이 종료된 이후에 제 2 탄소 전구체의 공급이 종료될 수 있다. 이와 같은 공급 방법은, 예를 들면, 제 1 탄소 전구체와 제 2 탄소 전구체의 흡착 특성의 차이를 보정하기 위하여 이용될 수 있다.
- [0114] 일부 실시예들에 있어서, 제 1 탄소 전구체와 제 2 탄소 전구체의 표면에 대한 친화도, 화학 흡착 특성, 다른

반응물과의 반응성 등을 고려하여 위와 반대의 공급 방법을 이용할 수도 있다. 즉, 제 1 탄소 전구체의 공급이 개시되기 이전에 제 2 탄소 전구체의 공급이 개시되고, 제 2 탄소 전구체의 공급이 종료되기 이전에 제 1 탄소 전구체의 공급이 개시되며, 제 2 탄소 전구체의 공급이 종료된 이후에 제 1 탄소 전구체의 공급이 종료될 수 있다.

- [0115] 일부 실시예들에 있어서, 제 2 탄소 전구체로서 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물을 사용하는 경우, 제 2 탄소 전구체 내에 질소 원소가 포함되어 있기 때문에 질소 반응물의 공급이 생략될 수 있다. 다시 말해, 제 2 탄소 전구체와 질소 반응물이 동일한 물질로서 동일 단계에서 공급될 수 있다.
- [0116] 도 5는 이와 같이 제 2 탄소 전구체와 질소 반응물이 동일한 경우의 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.
- [0117] 도 5를 참조하면, 반응 챔버(950) 내에는 각 프로세스 가스들이 실리콘 전구체, 산소 반응물, 제 1 탄소 전구체, 그리고 제 2 탄소 전구체(즉, 질소 전구체)의 순서대로 순차 공급될 수 있다. 이들 프로세스 가스들의 공급 펄스들은 퍼지 가스의 공급 펄스들에 의하여 서로 분리될 수 있다.
- [0118] 도 5에서는 각 프로세스 가스들이 실리콘 전구체, 산소 반응물, 제 1 탄소 전구체, 그리고 제 2 탄소 전구체(즉, 질소 전구체)의 순서대로 공급되는 것을 도시하였지만, 이들의 공급 순서는 전구체와 각 반응물들 사이의 반응 활성 등에 따라 적절히 변경될 수 있다.
- [0119] 일부 실시예들에 있어서, 실리콘 전구체, 산소 반응물, 제 1 탄소 전구체, 그리고 제 2 탄소 전구체(즉, 질소 전구체)의 펄스 공급은 하나의 사이클을 이룰 수 있다. 상기 사이클은 SiOCN 물질막이 원하는 두께로 형성될 때까지 반복될 수 있다.
- [0120] 도 5의 실시예에서는 제 1 탄소 전구체와 제 2 탄소 전구체가 순서대로 순차 공급되고 이들의 공급 펄스가 퍼지 가스의 공급 펄스에 의하여 분리되는 것으로 도시되었다. 하지만, 전구체들 및 반응물들의 특성에 따라, 도 4b 내지 도 4e를 참조하여 설명한 바와 같은 제 1 탄소 전구체와 제 2 탄소 전구체의 공급 방법들이 도 5의 실시예에 채용될 수 있다.
- [0121] 일부 실시예들에 있어서, 제 1 탄소 전구체로서 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상을 사용하는 경우, 제 1 탄소 전구체 내에 실리콘 원소가 포함되어 있기 때문에 실리콘 전구체의 공급이 생략될 수 있다. 다시 말해, 실리콘 전구체와 제 1 탄소 전구체가 동일한 물질로서 동일 단계에서 공급될 수 있다.
- [0122] 도 6은 이와 같이 실리콘 전구체와 제 1 탄소 전구체가 동일한 경우의 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.
- [0123] 도 6을 참조하면, 반응 챔버(950) 내에는 각 프로세스 가스들이 실리콘 전구체(즉, 제 1 탄소 전구체), 산소 반응물, 제 2 탄소 전구체, 그리고 질소 전구체의 순서대로 순차 공급될 수 있다. 이들 프로세스 가스들의 공급 펄스들은 퍼지 가스의 공급 펄스들에 의하여 서로 분리될 수 있다.
- [0124] 도 6에서는 각 프로세스 가스들이 실리콘 전구체(즉, 제 1 탄소 전구체), 산소 반응물, 제 2 탄소 전구체, 그리고 질소 전구체의 순서대로 공급되는 것을 도시하였지만, 이들의 공급 순서는 전구체와 각 반응물들 사이의 반응 활성 등에 따라 적절히 변경될 수 있다.
- [0125] 일부 실시예들에 있어서, 실리콘 전구체(즉, 제 1 탄소 전구체), 산소 반응물, 제 2 탄소 전구체, 그리고 질소 전구체의 펄스 공급은 하나의 사이클을 이룰 수 있다. 상기 사이클은 SiOCN 물질막이 원하는 두께로 형성될 때까지 반복될 수 있다.
- [0126] 도 6의 실시예에서는 실리콘 전구체(즉, 제 1 탄소 전구체)와 제 2 탄소 전구체가 순서대로 순차 공급되고 이들의 공급 펄스가 산소 반응물 및 퍼지 가스의 공급 펄스들에 의하여 분리되는 것으로 도시되었다. 하지만, 전구체들 및 반응물들의 특성에 따라, 도 4b 내지 도 4e를 참조하여 설명한 바와 같은 실리콘 전구체(즉, 제 1 탄소 전구체)와 제 2 탄소 전구체의 공급 방법들이 도 6의 실시예에 채용될 수 있다.
- [0127] 일부 실시예들에 있어서, 제 1 탄소 전구체로서 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상을 사용하고, 제 2 탄소 전구체로서 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물을 사용할 수 있다. 이

경우, 제 1 탄소 전구체 내에 실리콘 원소가 포함되어 있기 때문에 실리콘 전구체의 공급이 생략될 수 있고, 제 2 탄소 전구체 내에 질소 원소가 포함되어 있기 때문에 질소 반응물의 공급이 생략될 수 있다. 다시 말해, 실리콘 전구체와 제 1 탄소 전구체가 동일한 물질로서 동일 단계에서 공급되고, 제 2 탄소 전구체와 질소 반응물이 동일한 물질로서 동일 단계에서 공급될 수 있다.

- [0128] 도 7은 이와 같이 실리콘 전구체와 제 1 탄소 전구체가 동일하고, 제 2 탄소 전구체와 질소 반응물이 동일한 경우의 프로세스 가스들의 공급 시퀀스를 나타낸 타이밍 다이어그램이다.
- [0129] 도 7을 참조하면, 반응 챔버(950) 내에는 각 프로세스 가스들이 실리콘 전구체(즉, 제 1 탄소 전구체), 산소 반응물, 그리고 제 2 탄소 전구체(즉, 질소 전구체)의 순서대로 순차 공급될 수 있다. 이들 프로세스 가스들의 공급 펄스들은 퍼지 가스의 공급 펄스들에 의하여 서로 분리될 수 있다.
- [0130] 도 7에서는 각 프로세스 가스들이 실리콘 전구체(즉, 제 1 탄소 전구체), 산소 반응물, 그리고 제 2 탄소 전구체(즉, 질소 전구체)의 순서대로 공급되는 것을 도시하였지만, 이들의 공급 순서는 전구체와 각 반응물들 사이의 반응 활성 등에 따라 적절히 변경될 수 있다.
- [0131] 일부 실시예들에 있어서, 실리콘 전구체(즉, 제 1 탄소 전구체), 산소 반응물, 그리고 제 2 탄소 전구체(즉, 질소 전구체)의 펄스 공급은 하나의 사이클을 이룰 수 있다. 상기 사이클은 SiOCN 물질막이 원하는 두께로 형성될 때까지 반복될 수 있다.
- [0132] 도 7의 실시예에서는 실리콘 전구체(즉, 제 1 탄소 전구체)와 제 2 탄소 전구체(즉, 질소 전구체)가 순서대로 순차 공급되고 이들의 공급 펄스가 산소 반응물 및 퍼지 가스의 공급 펄스들에 의하여 분리되는 것으로 도시되었다. 하지만, 전구체들 및 반응물들의 특성에 따라, 도 4b 내지 도 4e를 참조하여 설명한 바와 같은 실리콘 전구체(즉, 제 1 탄소 전구체)와 제 2 탄소 전구체(즉, 질소 전구체)의 공급 방법들이 도 7의 실시예에 채용될 수 있다.
- [0133] 제 1 탄소 전구체로서 탄소수 1 내지 20의 알킬실란, 탄소수 1 내지 20의 알콕시실란, 및 탄소수 1 내지 20의 알킬실록산으로 구성되는 군으로부터 선택되는 1종 이상을 사용하고, 제 2 탄소 전구체로서 탄소수 1 내지 15의 알킬아민 또는 탄소수 4 내지 15의 함질소 헤테로고리 화합물을 사용함으로써 500°C 이하의 상당히 낮은 온도에서도 높은 산소 함량 및 탄소 함량을 확보할 수 있다. 높은 탄소 함량은 내식각성이 향상되는 결과를 가져올 수 있다. 높은 산소 함량은 유전 상수를 낮춰주는 결과를 가져올 수 있다. 특히, 상기한 바와 같은 물질의 선택을 통해 유전 상수가 4.4보다 작게 될 수 있다.
- [0134] 이하에서는 상기 물질막 적층체를 포함하는 반도체 소자에 관하여 설명한다.
- [0135] 도 8a 내지 도 8d는 반도체 기판 상에 SiOCN 물질막을 갖는 반도체 소자(100)를 나타내며, 도 8a는 상기 반도체 소자(100)의 평면도, 도 8b는 상기 반도체 소자(100)의 사시도, 도 8c는 상기 반도체 소자(100)의 측면면도, 도 8d는 상기 반도체 소자의 게이트 구조체와 그에 인접한 구조물을 중심으로 나타낸 확대 단면도를 각각 나타낸다.
- [0136] 도 8a 내지 도 8d를 참조하면, 반도체 소자(100)는 기판(102)으로부터 돌출된 핀형(fin-type) 활성 영역(FA)을 포함한다.
- [0137] 상기 기판(102)은 Si 또는 Ge와 같은 반도체, 또는 SiGe, SiC, GaAs, InAs, 또는 InP와 같은 화합물 반도체를 포함할 수 있다. 일부 실시예들에서, 상기 기판(102)은 III-V 족 물질 및 IV 족 물질 중 적어도 하나로 이루어질 수 있다. 상기 III-V 족 물질은 적어도 하나의 III 족 원자와 적어도 하나의 V족 원자를 포함하는 2 원계, 3 원계, 또는 4 원계 화합물일 수 있다. 상기 III-V 족 물질은 III 족 원자로서 In, Ga 및 Al 중 적어도 하나의 원자와, V 족 원자로서 As, P 및 Sb 중 적어도 하나의 원자를 포함하는 화합물일 수 있다. 예를 들면, 상기 III-V 족 물질은 InP, $In_zGa_{1-z}As$ ($0 \leq z \leq 1$), 및 $Al_zGa_{1-z}As$ ($0 \leq z \leq 1$)로부터 선택될 수 있다. 상기 2 원계 화합물은, 예를 들면 InP, GaAs, InAs, InSb 및 GaSb 중 어느 하나일 수 있다. 상기 3 원계 화합물은 InGaP, InGaAs, AlInAs, InGaSb, GaAsSb 및 GaAsP 중 어느 하나일 수 있다. 상기 IV 족 물질은 Si 또는 Ge일 수 있다. 그러나, 본 발명의 기술적 사상에 의한 집적회로 소자에서 사용 가능한 III-V 족 물질 및 IV 족 물질이 상기 예시한 바에 한정되는 것은 아니다. 다른 예에서, 상기 기판(102)은 SOI (silicon on insulator) 구조를 가질 수 있다. 상기 기판(102)은 도전 영역, 예를 들면 불순물이 도핑된 웰(well), 또는 불순물이 도핑된 구조물을 포함할 수 있다.
- [0138] 상기 기판(102)은 III-V 족 물질 또는 IV 족 물질로 이루어짐으로써 저전력, 고속 트랜지스터를 만들 수 있는

채널 재료로 이용될 수 있다. 상기 기판(102) 상에 NMOS 트랜지스터를 형성하는 경우, 상기 기판(102)은 III-V 족 물질들 중 어느 하나로 이루어질 수 있다. 예를 들면, 상기 기판(102)은 GaAs로 이루어질 수 있다. 상기 기판(102) 상에 PMOS 트랜지스터를 형성하는 경우, 상기 기판(102)은 Si 기판에 비해 정공의 이동도가 높은 반도체 물질, 예를 들면 Ge으로 이루어질 수 있다.

- [0139] 상기 핀형 활성 영역(FA)은 일 방향 (도 8a 및 도 8b에서 Y 방향)을 따라 연장될 수 있다. 상기 기판(102)상에는 상기 핀형 활성 영역(FA)의 하부 측벽을 덮는 소자분리막(110)이 형성되어 있다. 상기 핀형 활성 영역(FA)은 상기 소자분리막(110) 위로 핀 형상으로 돌출되어 있다. 일부 실시예들에서, 상기 소자분리막(110)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막, 또는 이들의 조합으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0140] 상기 기판(110)상에서 상기 핀형 활성 영역(FA) 위에는 게이트 구조체(120)가 상기 핀형 활성 영역(FA)의 연장 방향에 교차하는 방향 (X 방향)으로 연장될 수 있다. 상기 핀형 활성 영역(FA) 중 게이트 구조체(120)의 양 측에는 한 쌍의 소스/드레인 영역(130)이 형성될 수 있다.
- [0141] 상기 한 쌍의 소스/드레인 영역(130)은 상기 핀형 활성 영역(FA)으로부터 에피택셜 성장된 반도체층을 포함할 수 있다. 상기 한 쌍의 소스/드레인 영역(130)은 각각 에피택셜 성장된 복수의 SiGe층을 포함하는 임베디드 SiGe 구조, 에피택셜 성장된 Si 층, 또는 에피택셜 성장된 SiC 층으로 이루어질 수 있다. 도 8b에서, 상기 한 쌍의 소스/드레인 영역(130)이 특정한 형상을 가지는 경우를 예시하였으나, 본 발명의 기술적 사상에 따르면 상기 한 쌍의 소스/드레인 영역(130)의 단면 형상이 도 8b에 예시된 바에 한정되지 않으며, 다양한 형상을 가질 수 있다. 예를 들면, 상기 한 쌍의 소스/드레인 영역(130)은 원, 타원, 다각형 등 다양한 단면 형상을 가질 수 있다.
- [0142] 상기 핀형 활성 영역(FA)과 상기 게이트 구조체(120)가 교차하는 부분에서 MOS 트랜지스터(TR)가 형성될 수 있다. 상기 MOS 트랜지스터(TR)는 핀형 활성 영역(FA)의 상면 및 양 측면에서 채널이 형성되는 3 차원 구조의 MOS 트랜지스터로 이루어진다. 상기 MOS 트랜지스터(TR)는 NMOS 트랜지스터 또는 PMOS 트랜지스터를 구성할 수 있다.
- [0143] 도 8c에 도시한 바와 같이, 게이트 구조체(120)는 핀형 활성 영역(FA)의 표면으로부터 차례로 형성된 인터페이스층(112), 고유전막(114), 제1 금속함유층(126A), 제2 금속함유층(126B), 및 갭필 금속층(128)을 포함할 수 있다. 상기 게이트 구조체(120) 중 제1 금속함유층(126A), 제2 금속함유층(126B), 및 갭필 금속층(128)은 게이트 전극(120G)을 구성할 수 있다.
- [0144] 상기 게이트 구조체(120)의 양 측면에는 절연 스페이서(142)가 형성될 수 있다. 상기 절연 스페이서(142)는 SiOCN 물질막을 포함할 수 있다. 일부 실시예들에 있어서, 상기 절연 스페이서(142)는 단일층으로 이루어질 수 있다. 일부 실시예들에 있어서, 상기 절연 스페이서(142)는 둘 이상의 물질막이 적층된 다중층으로 이루어질 수 있다.
- [0145] 상기 절연 스페이서(142)의 SiOCN 물질막은 유전 상수가 1보다 크거나 같고 5.0보다 작을 수 있다. 일부 실시예들에 있어서, 상기 절연 스페이서(142)의 SiOCN 물질막은 유전 상수가 1보다 크거나 같고 4.8보다 작을 수 있다. 일부 실시예들에 있어서, 상기 절연 스페이서(142)의 SiOCN 물질막은 유전 상수가 1보다 크거나 같고 4.4보다 작을 수 있다.
- [0146] 이와 같이 낮은 유전 상수를 갖기 위하여 상기 SiOCN 물질막은 탄소 약 10 원자% 내지 약 30 원자% 및 산소 약 25 원자% 내지 약 50 원자% 포함할 수 있다. 일부 실시예들에 있어서, 상기 탄소의 함량은 약 11 원자% 내지 약 20 원자%일 수 있다. 일부 실시예들에 있어서, 상기 산소의 함량이 약 30 원자% 내지 약 48 원자%일 수 있다. 일부 실시예들에 있어서, 상기 탄소의 함량은 약 15 원자% 내지 약 20 원자%일 수 있다. 일부 실시예들에 있어서, 상기 산소의 함량이 약 38 원자% 내지 약 48 원자%일 수 있다.
- [0147] 도 8d에 도시된 바와 같이 상기 절연 스페이서(142)는 H1의 높이를 가지면서 상단(142t)과 하단(142b)을 가질 수 있다. 상기 상단(142t)은 상기 절연 스페이서(142)의 부분 중 상기 핀형 활성 영역(FA)으로부터 가장 먼 부분일 수 있다. 상기 하단(142b)은 상기 절연 스페이서(142)의 부분 중 상기 핀형 활성 영역(FA)으로부터 가장 가까운 부분일 수 있다.
- [0148] 상기 절연 스페이서(142)는 상기 하단(142b)으로부터 상기 절연 스페이서(142)의 상단(142t)으로 갈수록 측방향으로의 두께가 점점 얇아지는 형상을 가질 수 있다. 상기 절연 스페이서(142)의 하단(142b)은 적어도 부분적으로 평탄한 평면을 가질 수 있다. 일부 실시예에서, 상기 절연 스페이서(142)의 하단(142b)은 인터페이스층

(112)의 하부면과 동일한 평면 상에 위치할 수 있다.

- [0149] 상기 절연 스페이서(142)의 상단(142t)은 적어도 부분적으로 평탄한 평면을 가질 수 있다. 일부 실시예에서, 상기 절연 스페이서(142)의 상단(142t)은 게이트 전극(120G)의 상부면과 동일한 평면 상에 위치할 수 있다.
- [0150] 상기 절연 스페이서(142)가 위에서 설명한 바와 같은 SiOCN 물질막을 포함하는 경우 내식각성이 강하기 때문에 상부 부분의 측방향 두께가 종래의 물질막으로 이루어진 스페이서에 비하여 더 두꺼울 수 있다. 도 8d에서 보는 바와 같이, 상기 절연 스페이서(142)의 전체 높이를 H1으로 했을 때, 상기 하단(142b)에서는 두께 t1을 가질 수 있다. 또, 상기 하단(142b)으로부터 상기 절연 스페이서(142)의 전체 높이의 75% 높이인 H2에서 상기 절연 스페이서(142)는 두께 t2를 가질 수 있으며, t2는 t1의 0.4배보다 크거나 같을 수 있다. 또, 상기 하단(142b)으로부터 상기 절연 스페이서(142)의 전체 높이의 50% 높이인 H3에서 상기 절연 스페이서(142)는 두께 t3을 가질 수 있으며, t3은 t1의 0.8배보다 크거나 같을 수 있다.
- [0151] 일부 실시예들에 있어서, 상기 하단(142b)으로부터 상기 절연 스페이서(142)의 전체 높이의 75% 높이인 H2에서 상기 절연 스페이서(142)는 두께 t2를 가질 수 있으며, t2는 t1의 0.5배보다 크거나 같을 수 있다. 또, 상기 하단(142b)으로부터 상기 절연 스페이서(142)의 전체 높이의 50% 높이인 H3에서 상기 절연 스페이서(142)는 두께 t3을 가질 수 있으며, t3은 t1의 0.9배보다 크거나 같을 수 있다.
- [0152] 상기 절연 스페이서(142)를 중심으로 게이트 구조체(120)의 반대측에서 상기 절연 스페이서(142)를 덮는 층간 절연막(144)이 형성될 수 있다.
- [0153] 상기 인터페이스층(112)은 핀형 활성 영역(FA)의 표면 위에 형성될 수 있다. 상기 인터페이스층(112)은 산화막, 질화막, 또는 산화질화막과 같은 절연 물질로 형성될 수 있다. 상기 인터페이스층(112)은 고유전막(114)과 함께 게이트 절연막을 구성할 수 있다.
- [0154] 상기 고유전막(114)은 실리콘 산화막보다 유전 상수가 더 큰 물질로 이루어질 수 있다. 예를 들면, 상기 고유전막(114)은 약 10 내지 25의 유전 상수를 가질 수 있다. 상기 고유전막(114)은 지르코늄 산화물 (zirconium oxide), 지르코늄 실리콘 산화물 (zirconium silicon oxide), haf늄 산화물 (hafnium oxide), haf늄 산질화물 (hafnium oxynitride), haf늄 실리콘 산화물 (hafnium silicon oxide), 탄탈륨 산화물 (tantalum oxide), 티타늄 산화물 (titanium oxide), 바륨 스트론튬 티타늄 산화물 (barium strontium titanium oxide), 바륨 티타늄 산화물 (barium titanium oxide), 스트론튬 티타늄 산화물 (strontium titanium oxide), 이트륨 산화물 (yttrium oxide), 알루미늄 산화물 (aluminum oxide), 납 스칸듐 탄탈륨 산화물 (lead scandium tantalum oxide), 및 납 아연 니오브산염 (lead zinc niobate), 및 이들의 조합 중에서 선택되는 물질로 이루어질 수 있으나, 상기 고유전막(114)을 구성하는 물질이 상기 예시된 바에 한정되는 것은 아니다.
- [0155] 일부 실시예들에서, 상기 제1 금속함유층(126A)은 Ti의 질화물, Ta의 질화물, Ti의 산화질화물, 또는 Ta의 산화질화물을 포함할 수 있다. 예를 들면, 상기 제1 금속함유층(126A)은 TiN, TaN, TiAlN, TaAlN, TiSiN, 또는 이들의 조합으로 이루어질 수 있다. 상기 제1 금속함유층(126A)은 ALD, CVD, PVD 등 다양한 증착 방법을 통해 형성될 수 있다.
- [0156] 일부 실시예들에서, 상기 제2 금속함유층(126B)은 Ti 또는 Ta을 함유한 Al 화합물을 포함하는 NMOS 트랜지스터에 필요한 N 형 금속 함유층으로 이루어질 수 있다. 예를 들면, 상기 제2 금속함유층(126B)은 TiAlC, TiAlN, TiAlCN, TiAl, TaAlC, TaAlN, TaAlCN, TaAl, 또는 이들의 조합으로 이루어질 수 있다.
- [0157] 다른 일부 실시예들에서, 상기 제2 금속함유층(126B)은 PMOS 트랜지스터에 필요한 P 형 금속 함유층으로 이루어질 수 있다. 예를 들면, 상기 제2 금속함유층(126B)은 Mo, Pd, Ru, Pt, TiN, WN, TaN, Ir, TaC, RuN 및 MoN 중 적어도 하나를 포함할 수 있다.
- [0158] 상기 제2 금속함유층(126B)은 단일층 또는 다중층으로 이루어질 수 있다.
- [0159] 상기 제2 금속함유층(126B)은 상기 제1 금속함유층(126A)과 함께 게이트 구조체(120)의 일함수를 조절하는 역할을 할 수 있다. 상기 제1 금속함유층(126A) 및 제2 금속함유층(126B)의 일함수 조절에 의해 게이트 구조체(120)의 문턱 전압이 조절될 수 있다. 일부 실시예들에서, 상기 제1 금속함유층(126A) 및 제2 금속함유층(126B) 중 어느 하나는 생략 가능하다.
- [0160] 상기 캡필 금속층(128)은 RMG (Replacement Metal Gate) 공정에 의해 게이트 구조체(120)를 형성할 때 상기 제2 금속함유층(126B) 상의 납는 게이트 공간을 채우도록 형성될 수 있다. 상기 제2 금속함유층(126B)을 형성한 후 상기 제2 금속함유층(126B) 상부에 남아 있는 게이트 공간이 없는 경우, 상기 제2 금속함유층(126B) 위에 상

기 깎필 금속층(128)이 형성되지 않고 생략될 수도 있다.

- [0161] 상기 깎필 금속층(128)은 W, TiN, TaN 등의 금속 질화물, Al, 금속 탄화물, 금속 실리사이드, 금속 알루미늄 탄화물, 금속 알루미늄 질화물, 금속 실리콘 질화물 등을 포함하는 그룹 중에서 선택된 물질을 포함할 수 있다.
- [0162] 도 8a 내지 도 8d를 참조하여, 3 차원 구조의 채널을 구비하는 FinFET을 포함하는 집적회로 소자에 대하여 설명하였으나, 본 발명의 기술적 사상은 상기 설명한 바에 한정되는 것은 아니다. 예를 들면, 상기한 바와 같은 본 발명의 기술적 사상의 범위 내에서 본 발명의 기술적 사상의 다양한 변형 및 변경을 통하여 본 발명의 기술적 사상에 의한 특징들을 가지는 수평형(planar) MOSFET을 포함하는 집적회로 소자들의 제조 방법들을 제공할 수 있음은 당업자들이면 잘 알 수 있을 것이다.
- [0163] 도 9a 내지 도 9f는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법을 순서에 따라 나타낸 단면도들이다.
- [0164] 도 9a를 참조하면, 기판(102) 위에 더미 게이트 전극(120d)을 형성한 후, 기판(102)과 게이트 전극(120d)의 전면에 콘포말하게 스페이서 물질막(142m)을 퇴적시킬 수 있다.
- [0165] 기판(102)은 도 8a 내지 도 8c를 참조하여 설명하였으므로 여기서는 추가적인 설명을 생략한다.
- [0166] 상기 더미 게이트 전극(120d)은 예를 들면, 폴리실리콘으로 이루어질 수 있지만 여기에 한정되는 것은 아니다. 상기 더미 게이트 전극(120d)은 추후 게이트 전극을 형성하고자 하는 위치와 공간을 확보하기 위하여 제공될 수 있다.
- [0167] 상기 스페이서 물질막(142m)은 SiOCN 물질막을 포함할 수 있다. 일부 실시예들에 있어서, 상기 스페이서 물질막(142m)은 SiOCN의 단일 물질막으로 이루어질 수 있다. 일부 실시예들에 있어서, 상기 스페이서 물질막(142m)은 SiOCN을 포함하는 둘 이상의 물질막이 적층된 다중 물질막으로 이루어질 수 있다.
- [0168] 상기 SiOCN 물질막의 형성 방법은 도 2 내지 도 7을 참조하여 설명하였으므로 여기서는 추가적인 설명을 생략한다.
- [0169] 도 9b를 참조하면, 상기 스페이서 물질막(142m)을 이방성 식각하여 스페이서(142)를 형성한다. 상기 스페이서(142)는 상기 더미 게이트 전극(120d)의 측벽 위에 형성될 수 있다.
- [0170] 도 9c를 참조하면, 상기 더미 게이트 전극(120d)과 상기 스페이서(142)를 식각 마스크로 하여 핀형 활성 영역(FA)을 부분적으로 제거할 수 있다.
- [0171] 상기 핀형 활성 영역(FA)을 부분적으로 제거하기 위하여 이방성 식각 및/또는 등방성 식각을 수행할 수 있다. 특히, 상기 스페이서(142)의 하부면의 적어도 일부분을 노출시키기 위하여 이방성 식각과 등방성 식각을 조합하여 부분적 식각을 수행할 수 있다.
- [0172] 보다 구체적으로, 노출된 상기 핀형 활성 영역(FA)을 소정 깊이로 이방성 식각을 수행한 후, 습식 식각에 의하여 등방성 식각을 수행할 수 있다. 상기 습식 식각을 위한 식각제로는, 예를 들면, NH₄OH 용액, 트리메틸암모늄 하이드록사이드(trimethyl ammonium hydroxide, TMAH), HF 용액, NH₄F 용액 또는 이들의 혼합물이 이용될 수 있다. 그러나, 여기에 한정되는 것은 아니다.
- [0173] 상기 스페이서(142)를 식각 마스크로 이용한 이방성 식각에 의하여 트렌치가 형성되고, 상기 트렌치에 대하여 상기 습식 식각을 수행함으로써 도 9c에 도시된 바와 같이 상기 스페이서(142)의 하부면의 일부를 노출시키는 트렌치(R)가 얻어질 수 있다. 특히 상기 트렌치(R)는 상기 스페이서의 불순물 영역 쪽의 하부 표면의 적어도 일부를 노출시킬 수 있다.
- [0174] 일부 실시예들에 있어서, 상기 스페이서(142)의 하부면의 일부를 노출시키기 위하여 수행되는 습식 식각은 생략될 수 있다.
- [0175] 이어서, 불순물 영역(130)을 형성하기 위하여 상기 리세스(R) 내에 소스/드레인 물질막을 형성할 수 있다. 상기 소스/드레인 물질막은 Si, SiC, 또는 SiGe로 이루어질 수 있으나, 본 발명의 기술적 사상이 이들에 한정되는 것은 아니다. 상기 소스/드레인 물질막은, 예를 들면, 에피택셜 성장에 의하여 형성될 수 있다. 불순물은 소스/드레인 물질막의 에피택셜 성장 시에 인 시투(in situ)로 주입될 수도 있고, 소스/드레인 물질막이 형성된 후에 이온 주입(ion implantation)을 통하여 주입될 수도 있다. 또한 상기 불순물 영역(130)은 상기 핀형 활성 영역(FA)의 상부면보다 더 높은 레벨의 상면을 가질 수 있다.
- [0176] 그런 다음, 상기 불순물 영역(130)의 상부에 층간 절연막(144)을 형성할 수 있다. 상기 층간 절연막(144)은 예

를 들면 실리콘 산화물일 수 있으나 여기에 한정되는 것은 아니다.

- [0177] 도 9d를 참조하면, 더미 게이트 전극(120d)을 제거하여 게이트 트렌치(GT)를 형성할 수 있다. 상기 게이트 트렌치(GT)에 의하여 상기 기판(102)의 상부 표면의 일부가 노출될 수 있다. 상기 게이트 트렌치(GT)에 의하여 노출된 반도체 기판(102)의 부분이 추후 제조되는 반도체 소자의 채널 영역에 대응될 수 있다.
- [0178] 상기 더미 게이트 전극(120d)은, 예를 들면, 건식 식각 또는 습식 식각에 의하여 제거될 수 있다.
- [0179] 도 9e를 참조하면, 인터페이스층(112)을 형성할 수 있다. 이어서, 상기 인터페이스층(112) 위, 상기 게이트 트렌치(GT)의 측벽, 그리고 층간 절연막(144)의 상부 표면에 대하여 각각 고유전 물질막(114f), 제 1 금속함유 물질막(126Af), 제 2 금속함유 물질막(126Bf), 및 갭필 금속 물질막(128f)을 순차 형성한다. 특히, 상기 고유전 물질막(114f), 제 1 금속함유 물질막(126Af), 및 제 2 금속함유 물질막(126Bf)은 각 표면을 따라 콘포말하게 형성되도록 할 수 있다. 또한, 상기 갭필 금속 물질막(128f)은 상기 제 2 금속함유 물질막(126Bf)에 의하여 생성된 트렌치를 매립하도록 형성될 수 있다.
- [0180] 상기 고유전 물질막(114f), 제 1 금속함유 물질막(126Af), 제 2 금속함유 물질막(126Bf), 및 갭필 금속 물질막(128f)은 각각 독립적으로 ALD, CVD, 또는 PVD 공정에 의하여 형성될 수 있다. 그러나 여기에 한정되는 것은 아니다.
- [0181] 도 9f를 참조하면, 상기 층간 절연막(144)의 상부 표면이 노출될 때까지 평탄화함으로써 최종적인 반도체 소자(100)를 얻을 수 있다. 상기 평탄화는 예를 들면 화학적 기계적 연마(chemical mechanical polishing, CMP)에 의하여 수행될 수 있다. 그러나 여기에 한정되는 것은 아니다.
- [0182] 도 8a 내지 도 8c, 그리고 도 9a 내지 도 9f에서는 불순물 영역인 소스/드레인 영역이 상승된 소스/드레인(raised source/drain, RSD) 구조를 갖는 것으로 예시되었으나, 본 발명의 기술적 사상이 여기에 한정되는 것은 아니다. 예를 들면, 상기 불순물 영역(130)은 상기 핀형 활성 영역(FA)의 대응하는 영역에 형성된 불순물 도핑 영역으로 이루어질 수도 있다.
- [0183] 도 10은 본 발명의 기술적 사상에 의한 실시예들에 따른 전자 소자(1000)의 블록 다이어그램이다.
- [0184] 도 10을 참조하면, 전자 소자(1000)는 로직 영역(1010) 및 메모리 영역(1020)을 포함한다.
- [0185] 상기 로직 영역(1010)은 카운터(counter), 버퍼(buffer) 등과 같은 원하는 논리적 기능을 수행하는 표준 셀(standard cells)로서, 트랜지스터, 레지스터 등과 같은 복수의 회로 소자(circuit elements)를 포함하는 다양한 종류의 논리 셀을 포함할 수 있다. 상기 논리 셀은 예를 들면, AND, NAND, OR, NOR, XOR (exclusive OR), XNOR (exclusive NOR), INV (inverter), ADD (adder), BUF (buffer), DLY (delay), FILL (filter), 멀티플렉서(MXT/MXIT), OAI (OR/AND/INVERTER), AO (AND/OR), AOI (AND/OR/INVERTER), D 플립플롭, 리셋 플립플롭, 마스터-슬레이브 플립플롭(master-slaver flip-flop), 래치(latch) 등을 구성할 수 있다. 그러나, 상기 예시한 셀들은 단지 예시에 불과하며, 본 발명의 기술적 사상에 따른 논리 셀이 위에서 예시된 셀에만 한정되는 것은 아니다.
- [0186] 상기 메모리 영역(1020)은 SRAM, DRAM, MRAM, RRAM, 및 PRAM 중 적어도 하나를 포함할 수 있다.
- [0187] 상기 로직 영역(1010) 및 상기 메모리 영역(1020) 중 적어도 하나의 영역은 도 2 내지 도 9e을 참조하여 설명한 SiOCN 물질막을 스페이서로서 포함하는 반도체 소자(100) 및 이들로부터 본 발명의 기술적 사상의 범위 내에서 변형 및 변경된 다양한 구조를 가지는 집적회로 소자들 중 적어도 하나를 포함한다.
- [0188] 도 11은 본 발명의 기술적 사상에 의한 실시예들에 따른 디스플레이 구동 집적회로(display driver IC: DDI)(1500) 및 상기 DDI(1500)를 구비하는 디스플레이 장치(1520)의 개략적인 블록 다이어그램이다.
- [0189] 도 11을 참조하면, DDI(1500)는 제어부(controller)(1502), 파워 공급 회로부(power supply circuit)(1504), 드라이버 블록(driver block)(1506), 및 메모리 블록(memory block)(1508)을 포함할 수 있다. 제어부(1502)는 중앙 처리 장치(main processing unit: MPU)(1522)로부터 인가되는 명령을 수신하여 디코딩하고, 상기 명령에 따른 동작을 구현하기 위해 DDI(1500)의 각 블록들을 제어한다. 파워 공급 회로부(1504)는 제어부(1502)의 제어에 응답하여 구동 전압을 생성한다. 드라이버 블록(1506)은 제어부(1502)의 제어에 응답하여 파워 공급 회로부(1504)에서 생성된 구동 전압을 이용하여 디스플레이 패널(1524)을 구동한다. 디스플레이 패널(1524)은 액정 디스플레이 패널(liquid crystal display pannel) 또는 플라즈마 디스플레이 패널(plasma display pannel)일 수 있다. 메모리 블록(1508)은 제어부(1502)로 입력되는 명령 또는 제어부(1502)로부터 출력되는 제

어 신호들을 일시적으로 저장하거나, 필요한 데이터들을 저장하는 블록으로서, RAM, ROM 등의 메모리를 포함할 수 있다. 파워 공급 회로부(1504) 및 드라이버 블록(1506) 중 적어도 하나는 도 2 내지 도 9e을 참조하여 설명한 SiOCN 물질막을 스페이서로서 포함하는 반도체 소자(100) 및 이들로부터 본 발명의 기술적 사상의 범위 내에서 변형 및 변경된 다양한 구조를 가지는 집적회로 소자들 중 적어도 하나를 포함한다.

- [0190] 도 12는 본 발명의 기술적 사상에 의한 실시예들에 따른 CMOS 인버터(1600)의 회로도이다.
- [0191] 상기 CMOS 인버터(1600)는 CMOS 트랜지스터(1610)를 포함한다. CMOS 트랜지스터(1610)는 전원 단자(Vdd)와 접지 단자와의 사이에 연결된 PMOS 트랜지스터(1620) 및 NMOS 트랜지스터(1630)로 이루어진다. 상기 CMOS 트랜지스터(1610)는 도 2 내지 도 9e을 참조하여 설명한 SiOCN 물질막을 스페이서로서 포함하는 반도체 소자(100) 및 이들로부터 본 발명의 기술적 사상의 범위 내에서 변형 및 변경된 다양한 구조를 가지는 집적회로 소자들 중 적어도 하나를 포함한다.
- [0192] 도 13은 본 발명의 기술적 사상에 의한 실시예들에 따른 CMOS SRAM 소자(1700)의 회로도이다.
- [0193] 상기 CMOS SRAM 소자(1700)는 한 쌍의 구동 트랜지스터(1710)를 포함한다. 상기 한 쌍의 구동 트랜지스터(1710)는 각각 전원 단자(Vdd)와 접지 단자와의 사이에 연결된 PMOS 트랜지스터(1720) 및 NMOS 트랜지스터(1730)로 이루어진다. 상기 CMOS SRAM 소자(1700)는 한 쌍의 전송 트랜지스터(1740)를 더 포함한다. 상기 구동 트랜지스터(1710)를 구성하는 PMOS 트랜지스터(1720) 및 NMOS 트랜지스터(1730)의 공통 노드에 상기 전송 트랜지스터(1740)의 소스가 교차 연결된다. 상기 PMOS 트랜지스터(1720)의 소스에는 전원 단자(Vdd)가 연결되어 있으며, 상기 NMOS 트랜지스터(1730)의 소스에는 접지 단자가 연결된다. 상기 한 쌍의 전송 트랜지스터(1740)의 게이트에는 워드 라인(WL)이 연결되고, 상기 한 쌍의 전송 트랜지스터(1740) 각각의 드레인에는 비트 라인(BL) 및 반전된 비트 라인이 각각 연결된다.
- [0194] 상기 CMOS SRAM 소자(1700)의 구동 트랜지스터(1710) 및 전송 트랜지스터(1740) 중 적어도 하나는 도 2 내지 도 9e을 참조하여 설명한 SiOCN 물질막을 스페이서로서 포함하는 반도체 소자(100) 및 이들로부터 본 발명의 기술적 사상의 범위 내에서 변형 및 변경된 다양한 구조를 가지는 집적회로 소자들 중 적어도 하나를 포함한다.
- [0195] 도 14는 본 발명의 기술적 사상에 의한 실시예들에 따른 CMOS NAND 회로(1800)의 회로도이다.
- [0196] 상기 CMOS NAND 회로(1800)는 서로 다른 입력 신호가 전달되는 한 쌍의 CMOS 트랜지스터를 포함한다. 상기 CMOS NAND 회로(1800)는 도 2 내지 도 9e을 참조하여 설명한 SiOCN 물질막을 스페이서로서 포함하는 반도체 소자(100) 및 이들로부터 본 발명의 기술적 사상의 범위 내에서 변형 및 변경된 다양한 구조를 가지는 집적회로 소자들 중 적어도 하나를 포함한다.
- [0197] 도 15는 본 발명의 기술적 사상에 의한 실시예들에 따른 전자 시스템(1900)을 도시한 블록 다이어그램이다.
- [0198] 상기 전자 시스템(1900)은 메모리(1910) 및 메모리 컨트롤러(1920)를 포함한다. 상기 메모리 컨트롤러(1920)는 호스트(1930)의 요청에 응답하여 상기 메모리(1910)로부터의 데이터 독출 및/또는 상기 메모리(1910)로의 데이터 기입을 위하여 상기 메모리(1910)를 제어한다. 상기 메모리(1910) 및 메모리 컨트롤러(1920) 중 적어도 하나는 도 2 내지 도 9e을 참조하여 설명한 SiOCN 물질막을 스페이서로서 포함하는 반도체 소자(100) 및 이들로부터 본 발명의 기술적 사상의 범위 내에서 변형 및 변경된 다양한 구조를 가지는 집적회로 소자들 중 적어도 하나를 포함한다.
- [0199] 도 16은 본 발명의 기술적 사상에 의한 실시예들에 따른 전자 시스템(2000)의 블록 다이어그램이다.
- [0200] 상기 전자 시스템(2000)은 컨트롤러(2010), 입출력 장치 (I/O)(2020), 메모리(2030), 및 인터페이스(2040)를 포함하며, 이들은 각각 버스(2050)를 통해 상호 연결되어 있다.
- [0201] 상기 컨트롤러(2010)는 마이크로프로세서 (microprocessor), 디지털 신호 프로세서, 또는 이들과 유사한 처리 장치 중 적어도 하나를 포함할 수 있다. 상기 입출력 장치(2020)는 키패드 (keypad), 키보드 (keyboard), 또는 디스플레이 (display) 중 적어도 하나를 포함할 수 있다. 상기 메모리(2030)는 컨트롤러(2010)에 의해 실행된 명령을 저장하는 데 사용될 수 있다. 예를 들면, 상기 메모리(2030)는 유저 데이터 (user data)를 저장하는 데 사용될 수 있다.
- [0202] 상기 전자 시스템(2000)은 무선 통신 장치, 또는 무선 환경 하에서 정보를 전송 및/또는 수신할 수 있는 장치를 구성할 수 있다. 상기 전자 시스템(2000)에서 무선 커뮤니케이션 네트워크를 통해 데이터를 전송/수신하기 위하여 상기 인터페이스(2040)는 무선 인터페이스로 구성될 수 있다. 상기 인터페이스(2040)는 안테나 및/또는 무선

트랜시버 (wireless transceiver)를 포함할 수 있다. 일부 실시예에서, 상기 전자 시스템(2000)은 제3 세대 통신 시스템, 예를 들면, CDMA(code division multiple access), GSM (global system for mobile communications), NADC (north American digital cellular), E-TDMA (extended-time division multiple access), 및/또는 WCDMA (wide band code division multiple access)와 같은 제3 세대 통신 시스템의 통신 인터페이스 프로토콜에 사용될 수 있다. 상기 전자 시스템(2000)은 도 2 내지 도 9e을 참조하여 설명한 SiOCN 물질막을 스페이서로서 포함하는 반도체 소자(100) 및 이들로부터 본 발명의 기술적 사상의 범위 내에서 변형 및 변경된 다양한 구조를 가지는 집적회로 소자들 중 적어도 하나를 포함한다.

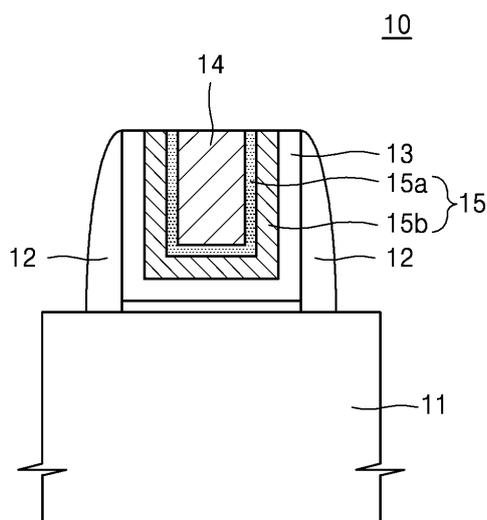
[0203] 이상에서 살펴본 바와 같이 본 발명의 실시예들에 대해 상세히 기술되었지만, 본 발명이 속하는 기술분야에 있어서 통상의 지식을 가진 사람이라면, 첨부된 청구 범위에 정의된 본 발명의 정신 및 범위를 벗어나지 않으면서 본 발명을 여러 가지로 변형하여 실시할 수 있을 것이다. 따라서 본 발명의 앞으로의 실시예들의 변경은 본 발명의 기술을 벗어날 수 없을 것이다.

부호의 설명

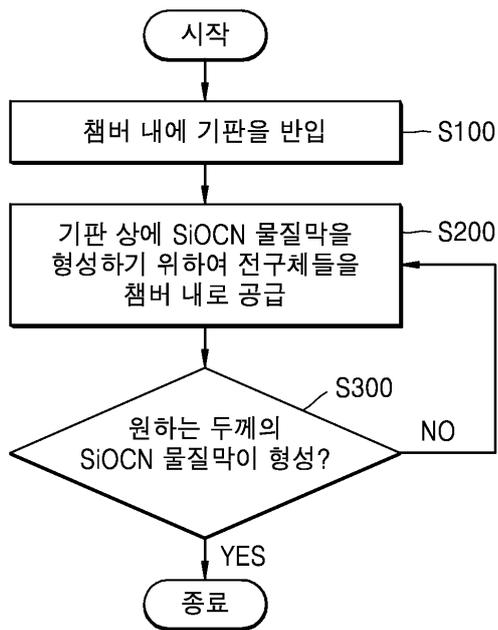
- [0204] 11: 반도체 기판 12: SiOCN 물질막
 13: 하이-k 물질막 14: 금속 물질막
 15: 물성 조정용 기능막 100: 반도체 소자
 102: 기판 110: 소자 분리막
 112: 인터페이스층 114: 고유전막
 120: 게이트 구조체 120d: 더미 게이트 전극
 126A: 제1 금속함유층 126B: 제2 금속함유층
 128: 캡필 금속층 130: 불순물 영역
 142: 절연 스페이서 142m: 스페이서 물질막
 144: 층간 절연막

도면

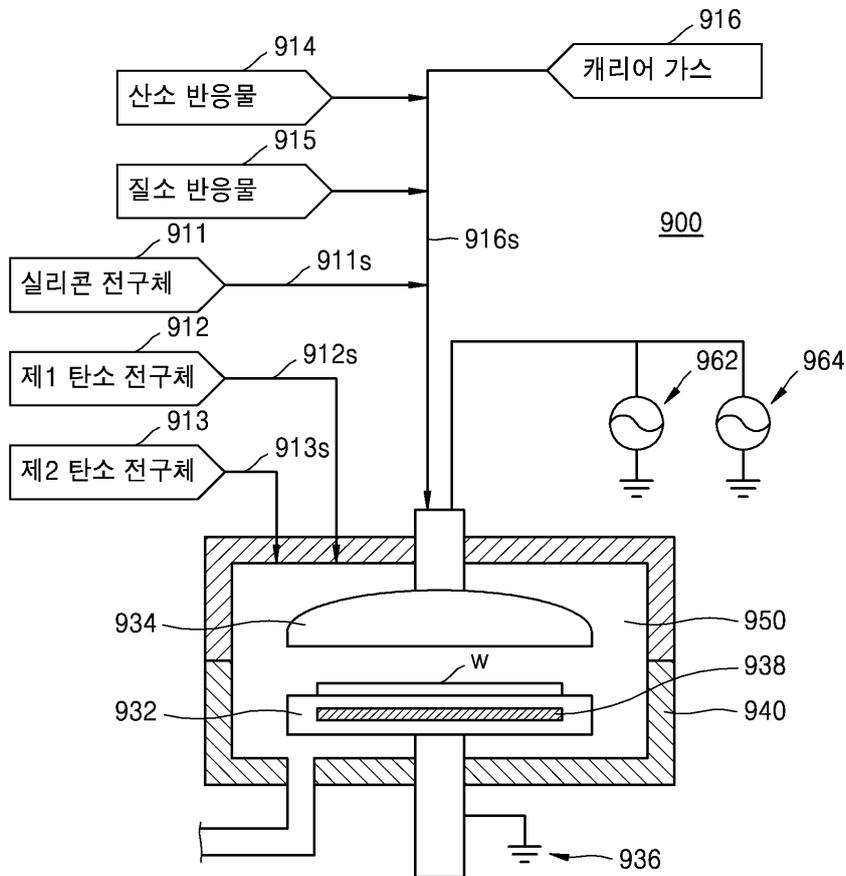
도면1



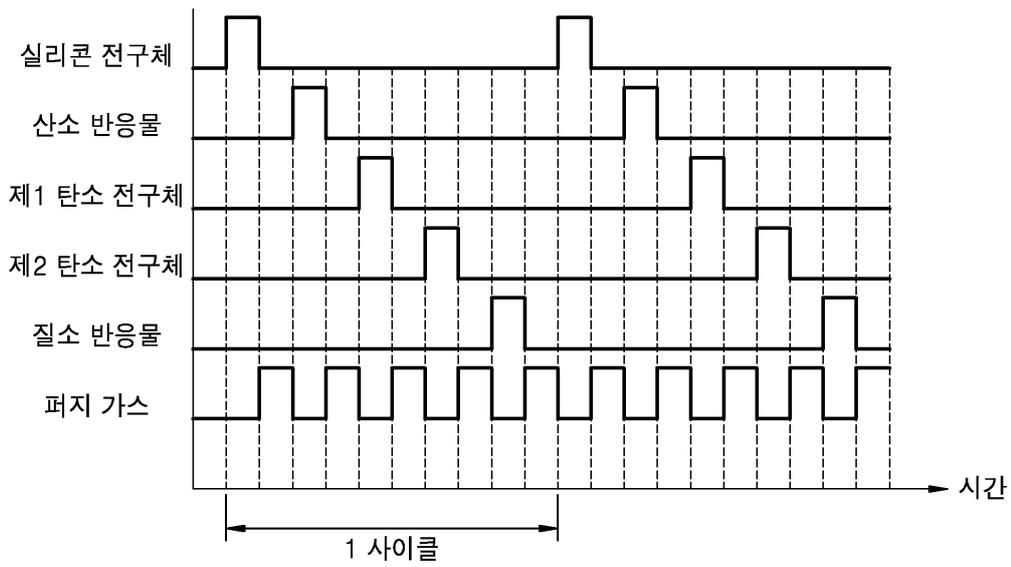
도면2



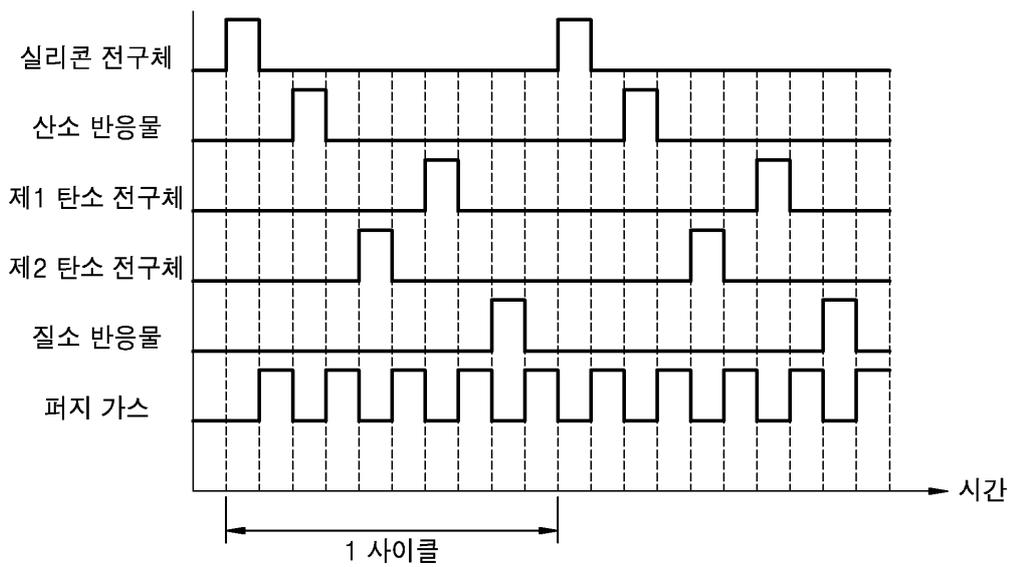
도면3



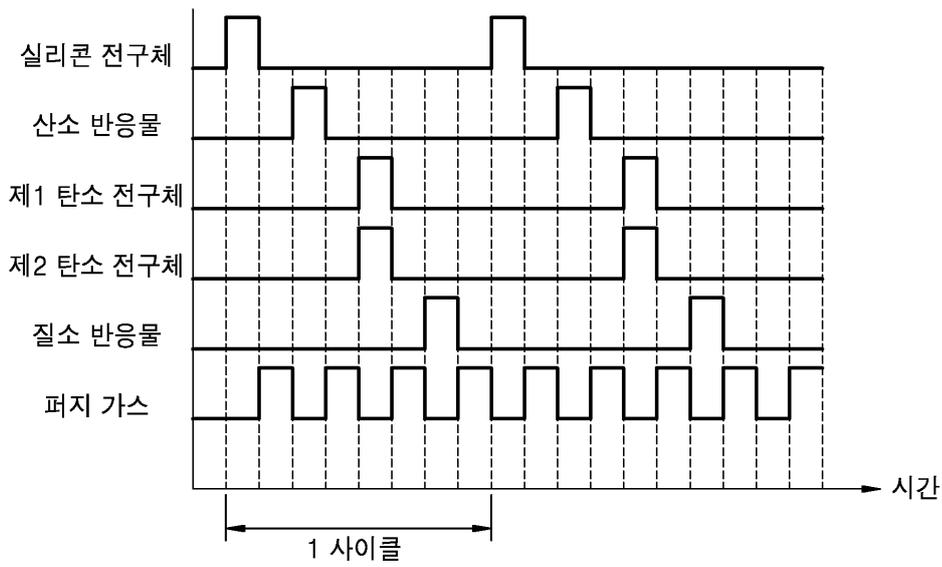
도면4a



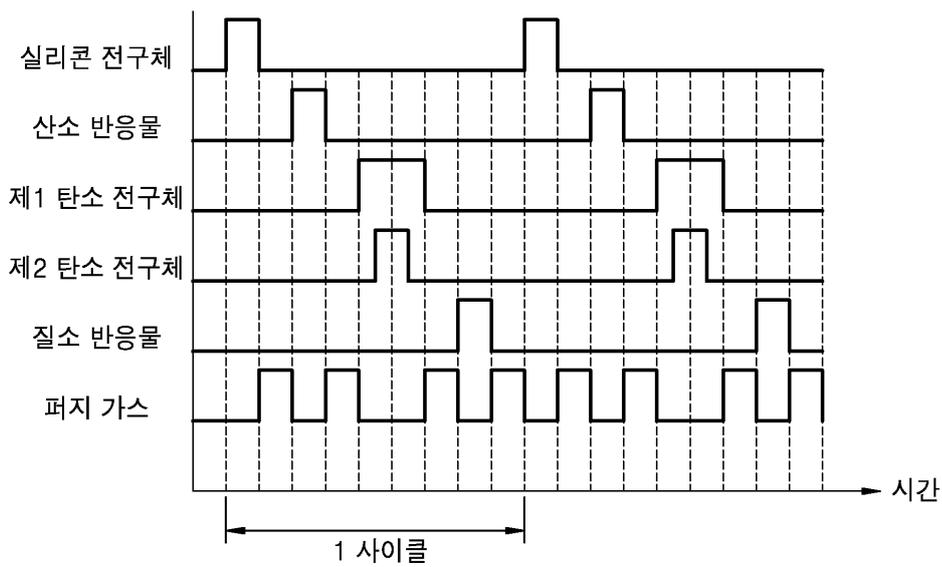
도면4b



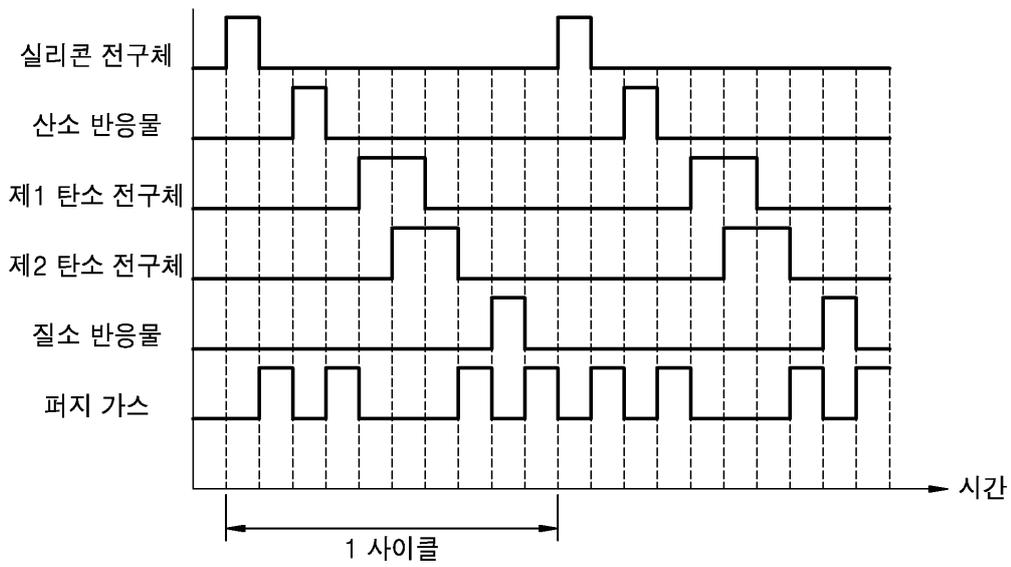
도면4c



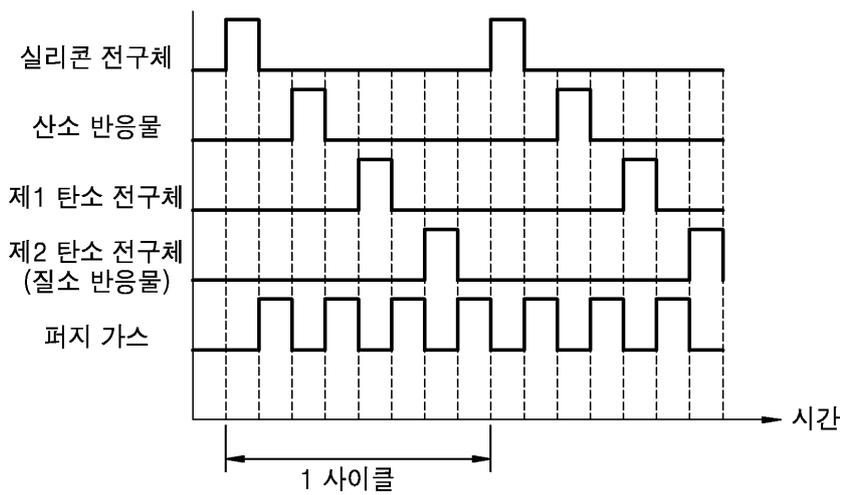
도면4d



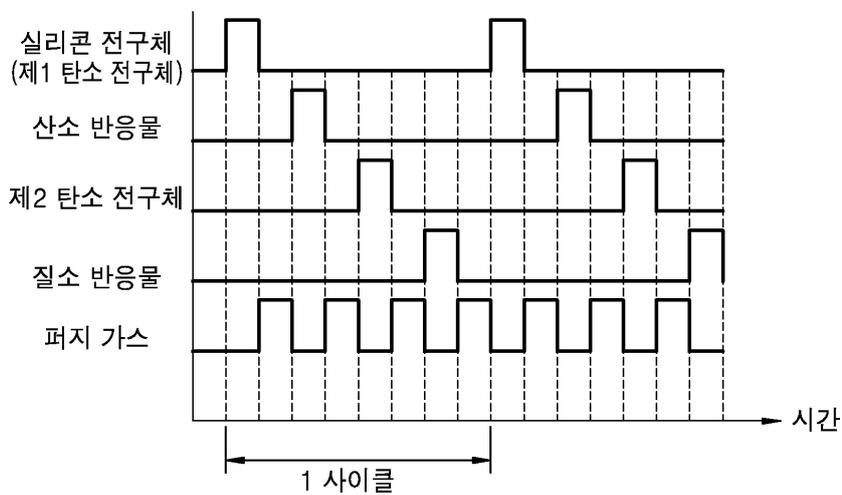
도면4e



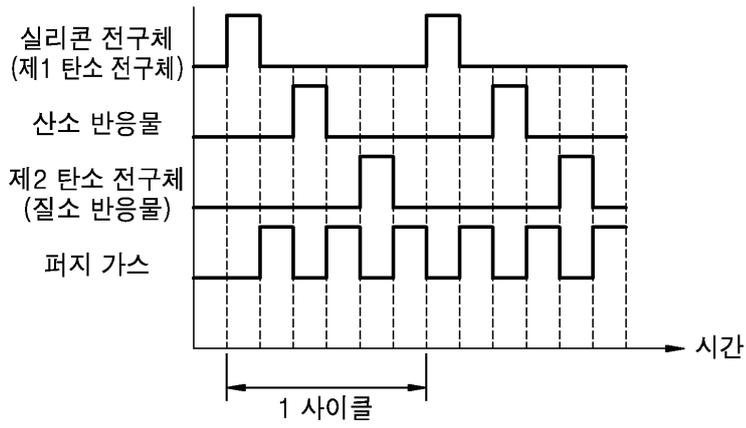
도면5



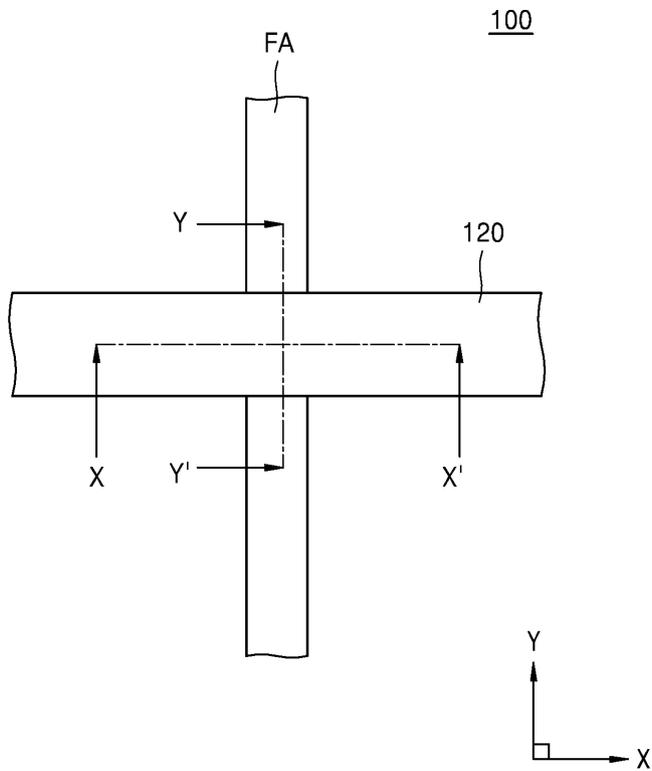
도면6



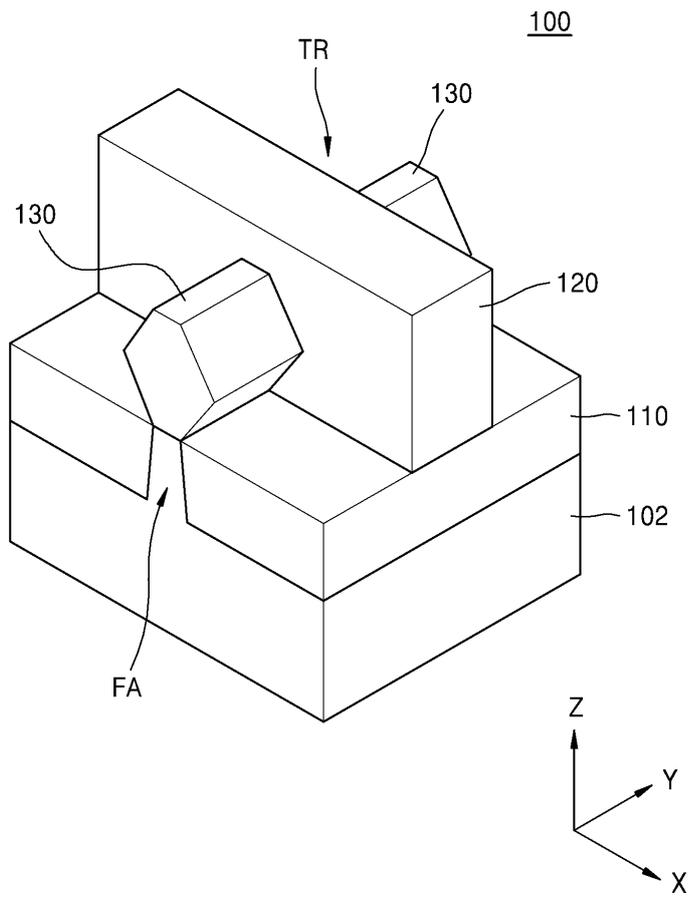
도면7



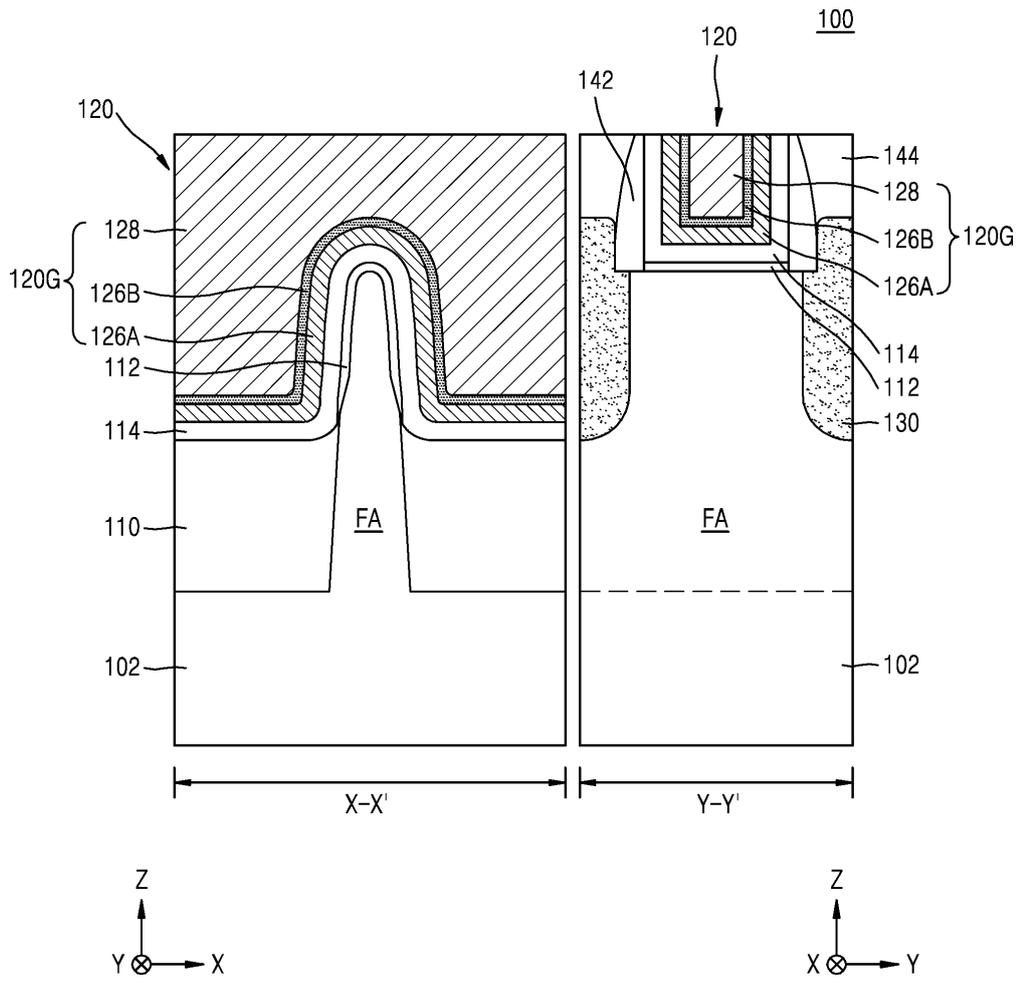
도면8a



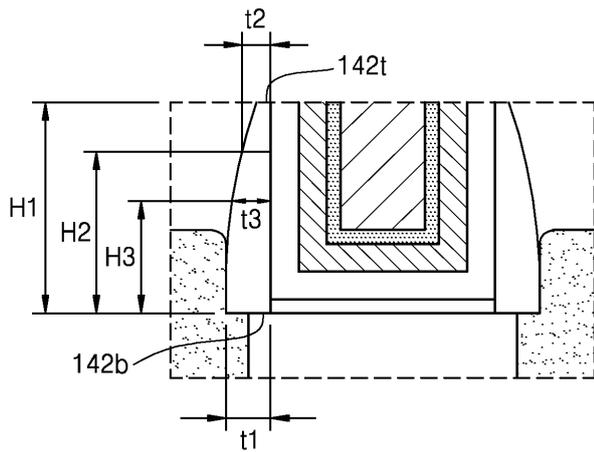
도면 8b



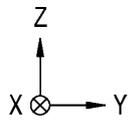
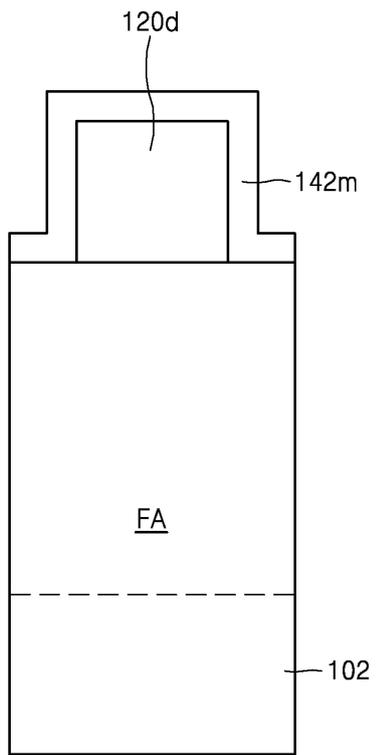
도면8c



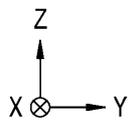
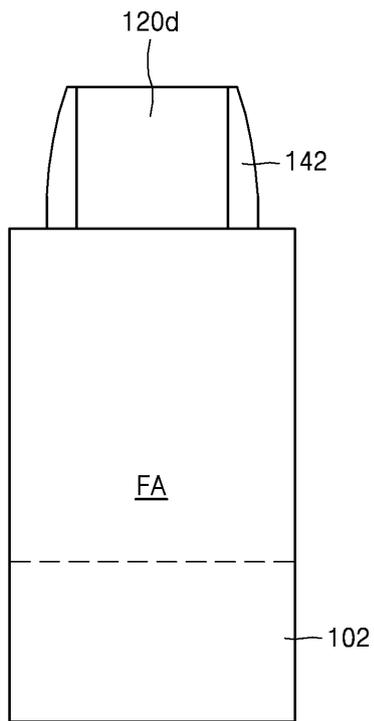
도면8d



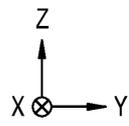
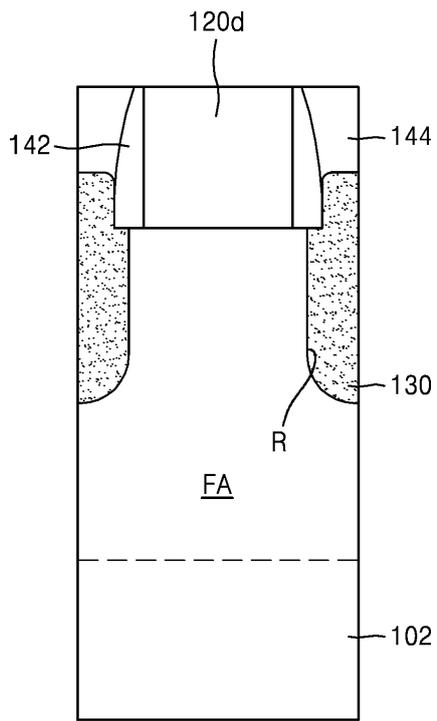
도면9a



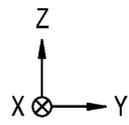
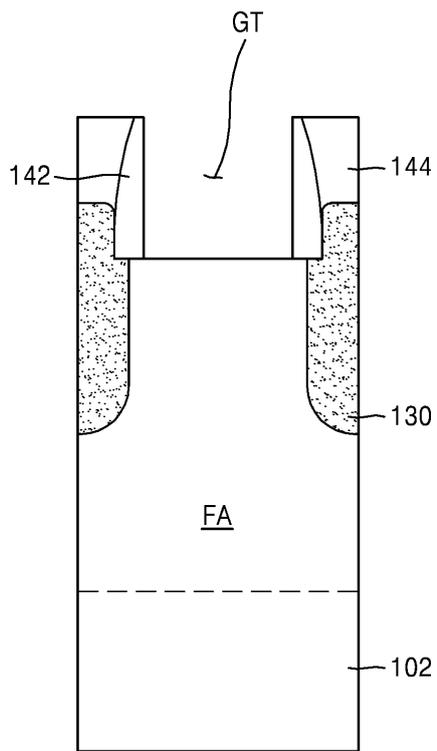
도면9b



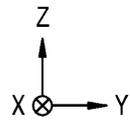
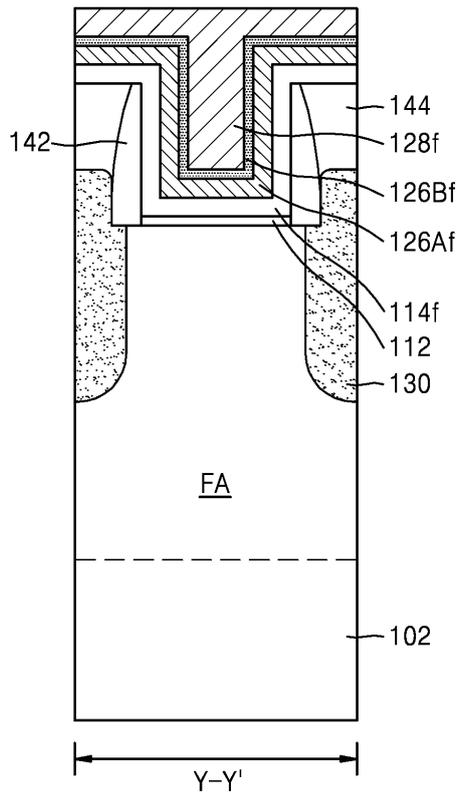
도면9c



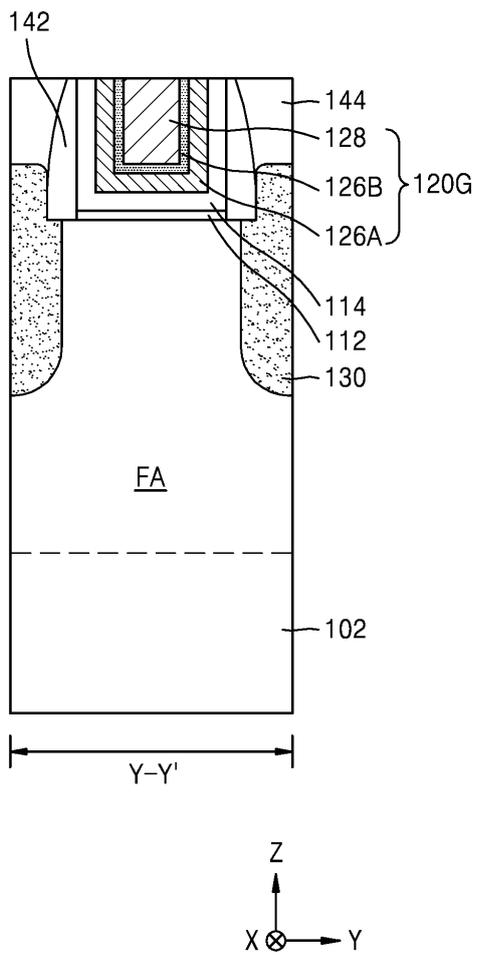
도면9d



도면9e

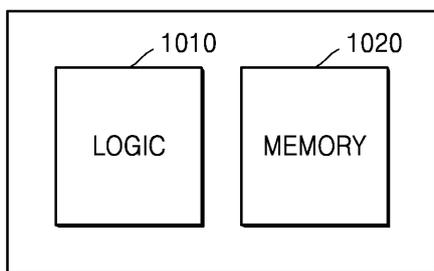


도면9f

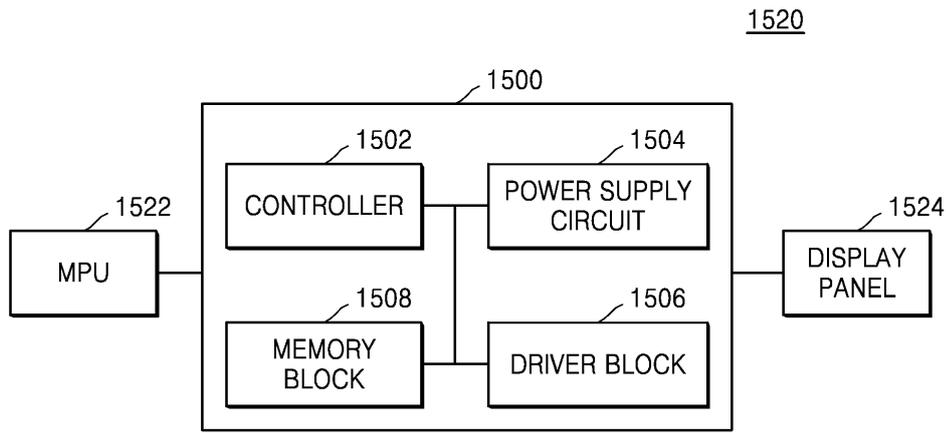


도면10

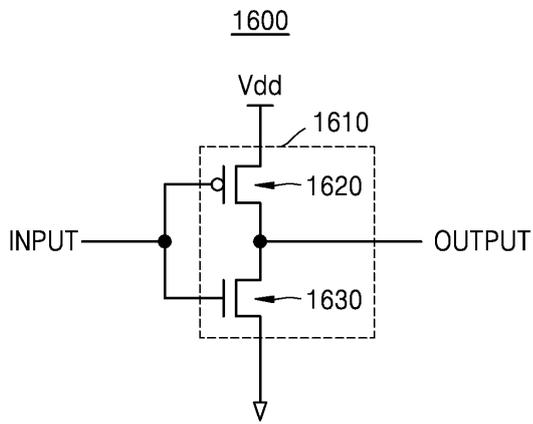
1000



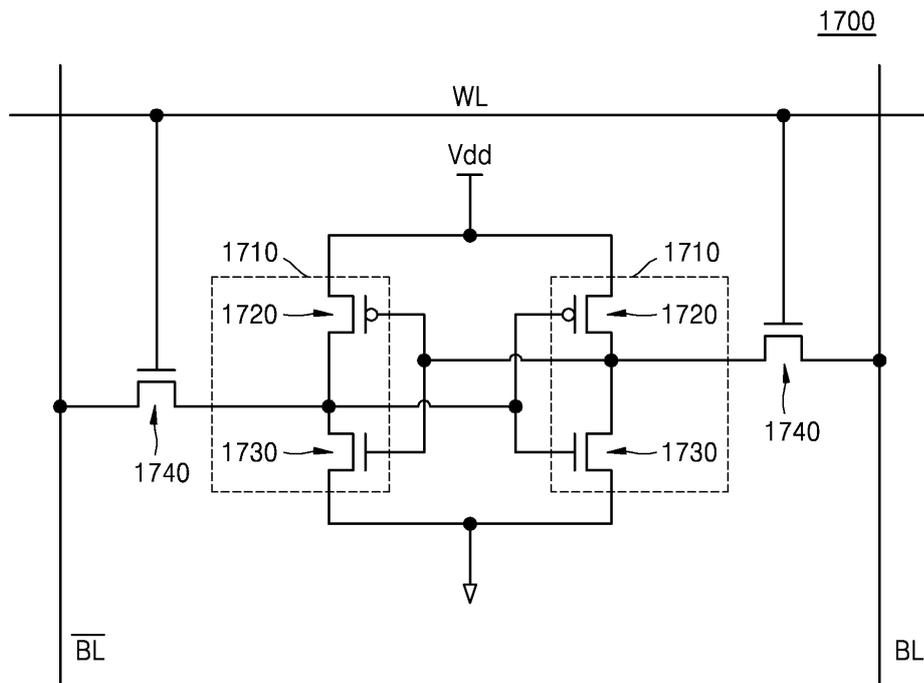
도면11



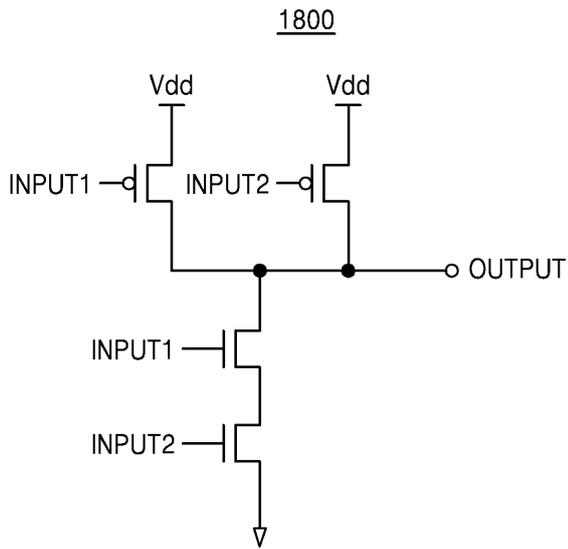
도면12



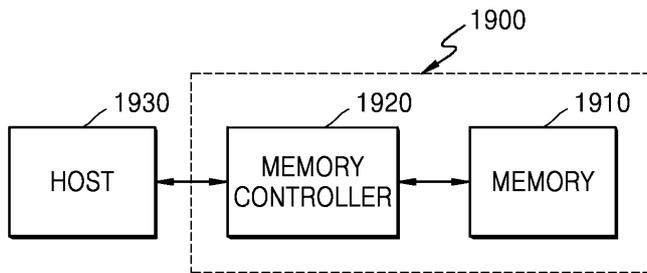
도면13



도면14



도면15



도면16

