



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I715234 B

(45)公告日：中華民國 110 (2021) 年 01 月 01 日

(21)申請案號：108136004

(22)申請日：中華民國 108 (2019) 年 10 月 04 日

(51)Int. Cl. : *H01L23/49 (2006.01)**H01L23/498 (2006.01)*(71)申請人：瑞昱半導體股份有限公司(中華民國)REALTEK SEMICONDUCTOR CORP. (TW)
新竹縣寶山鄉創新二路 2 號

(72)發明人：鍾勝峰 CHUNG, SHENG-FENG (TW)；朱正倫 CHU, CHENG-LUN (TW)

(74)代理人：張耀暉；莊志強

(56)參考文獻：

TW 539238

TW 200725764A

TW 201042734A

審查人員：修宇鋒

申請專利範圍項數：10 項 圖式數：6 共 25 頁

(54)名稱

晶片封裝模組

(57)摘要

本發明公開一種晶片封裝模組。晶片封裝模組包括封裝載板、晶片以及一導電連接件組。晶片設置在封裝載板上。晶片具有第一表面以及與第一表面相反的第二表面。第一表面被區分為一第一區域、一第二區域以及一第三區域。第二區域位於第一區域與第三區域之間。晶片包括覆晶接墊組、打線接墊組及訊號接墊組。覆晶接墊組位於第一區域，打線接墊組位於第三區域，而訊號接墊組位於第二區域。導電連接件組電性連接於晶片與封裝載板之間。覆晶接墊組以及打線接墊組兩者中的其中一個與導電連接件組電性且實體連接，而另一個不與導電連接件組實體連接。

A chip package module is provided in the present disclosure. The chip package module includes a package substrate, a chip, and a conductive connector assembly. The chip disposed on the package substrate has a first surface and a second surface opposite thereto. The first surface is divided into a first region, a second region, and a third region. The signal pad region is defined between the flip-chip pad region and the wire-bonding pad region. The chip includes a flip-chip pad set disposed at the flip-chip pad region, a signal pad set disposed at the signal pad region, and a wire-bonding pad set disposed at the wire-bonding pad region. The conductive connector assembly is electrically connected between the chip and the package substrate. One of the flip-chip pad set and the wire-bonding pad set is electrically and physically connected to the conductive connector assembly, and the other is not physically connected to the conductive connector assembly.

指定代表圖：

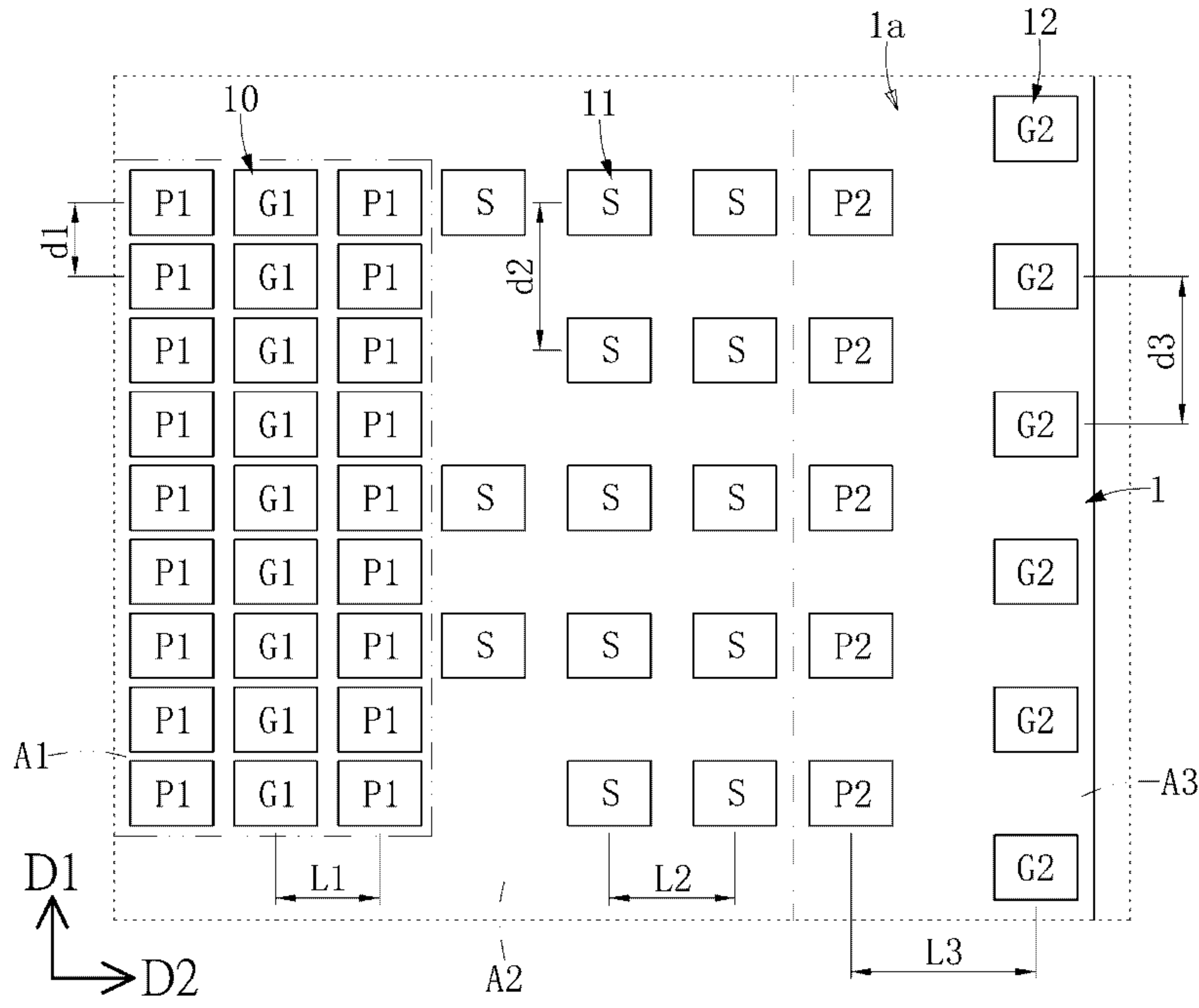


圖2

符號簡單說明：

1a:第一表面

A1:第一區域

A2:第二區域

A3:第三區域

10:覆晶接墊組

11:訊號接墊組

12:打線接墊組

P1:覆晶電源接墊

G1:覆晶接地接墊

S:訊號接墊

P2:打線電源接墊

G2:打線接地接墊

L1、L2、L3:行距

d1、d2、d3:間距

D1:第一方向

D2:第二方向



I715234

【發明摘要】

【中文發明名稱】晶片封裝模組

【英文發明名稱】CHIP PACKAGE MODULE

【中文】

本發明公開一種晶片封裝模組。晶片封裝模組包括封裝載板、晶片以及一導電連接件組。晶片設置在封裝載板上。晶片具有第一表面以及與第一表面相反的第二表面。第一表面被區分為一第一區域、一第二區域以及一第三區域。第二區域位於第一區域與第三區域之間。晶片包括覆晶接墊組、打線接墊組及訊號接墊組。覆晶接墊組位於第一區域，打線接墊組位於第三區域，而訊號接墊組位於第二區域。導電連接件組電性連接於晶片與封裝載板之間。覆晶接墊組以及打線接墊組兩者中的其中一個與導電連接件組電性且實體連接，而另一個不與導電連接件組實體連接。

【英文】

A chip package module is provided in the present disclosure. The chip package module includes a package substrate, a chip, and a conductive connector assembly. The chip disposed on the package substrate has a first surface and a second surface opposite thereto. The first surface is divided into a first region, a second region, and a third region. The signal pad region is defined between the flip-chip pad region and the wire-bonding pad region. The chip includes a flip-chip pad set disposed at the flip-chip pad region, a signal pad set disposed at the signal pad region, and a wire-bonding pad set disposed at the wire-bonding pad region. The conductive connector assembly is electrically connected between the chip and the package substrate. One of the flip-chip pad set and the

wire-bonding pad set is electrically and physically connected to the conductive connector assembly, and the other is not physically connected to the conductive connector assembly.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

1a	第一表面
A1	第一區域
A2	第二區域
A3	第三區域
10	覆晶接墊組
11	訊號接墊組
12	打線接墊組
P1	覆晶電源接墊
G1	覆晶接地接墊
S	訊號接墊
P2	打線電源接墊
G2	打線接地接墊
L1、L2、L3	行距
d1、d2、d3	間距
D1	第一方向
D2	第二方向

【特徵化學式】

無

【發明說明書】

【中文發明名稱】晶片封裝模組

【英文發明名稱】CHIP PACKAGE MODULE

【技術領域】

【0001】本發明涉及一種晶片封裝模組，特別是涉及一種可根據實際需求選擇覆晶封裝(flip-chip package)技術與打線封裝(wire-bonding package)技術的晶片封裝模組。

【先前技術】

【0002】目前，打線封裝(wire-bonding package)技術與覆晶封裝(flip-chip package)被廣泛應用於封裝積體電路晶片(IC chip)，而形成電子元件封裝結構。

【0003】利用打線封裝技術的成本較低，但利用打線封裝技術封裝後的電子元件封裝結構具有較大的尺寸。另外，且在傳輸信號時，多條焊線的間距過於密集，較容易產生串擾，而使雜訊增加。

【0004】相較之下，利用覆晶封裝技術的成本雖然較高，但電子元件封裝結構的體積較小。此外積體電路晶片與封裝用的導線基板之間的傳輸距離較小，雜訊較少，而可具有較好的信號傳輸品質。因此，較高階的產品通常會應用覆晶封裝技術，而較中低階的產品通常會應用打線封裝技術。

【0005】高階產品與中低階產品中可能會使用相同規格的積體電路晶片。然而，針對應用覆晶封裝技術或者應用打線封裝技術，積體電路晶片的多個接墊的配置方式並不相同。進一步而言，用以配合覆晶封裝技術的積體電路晶片的多個接墊中，多個電源接墊以及多個接地接墊通常會分布在積體

電路晶片的中央區域。相較之下，用以配合打線封裝技術的積體電路晶片的多個接墊中，多個電源接墊以及多個接地接墊通常會分布在積體電路晶片的周邊區域。

【0006】也就是說，在現有技術中，用以配合覆晶封裝技術的積體電路晶片的接墊配置方式，無法與打線封裝技術相容，反之亦然。如此，將限制積體電路晶片在應用端的彈性。

【發明內容】

【0007】本發明所要解決的技術問題在於，針對現有技術的不足提供一種晶片封裝模組，其包括可根據實際需求來選擇覆晶封裝(flip-chip package)技術或打線封裝(wire-bonding package)技術的晶片。

【0008】為了解決上述的技術問題，本發明所採用的其中一技術方案是，提供一種晶片封裝模組，其包括封裝載板、晶片以及一導電連接件組。晶片設置在封裝載板上。晶片具有第一表面以及與第一表面相反的第二表面。第一表面被區分為一第一區域、一第二區域以及一第三區域。第二區域位於第一區域與第三區域之間。晶片包括覆晶接墊組、打線接墊組及訊號接墊組。覆晶接墊組位於第一區域，打線接墊組位於第三區域，而訊號接墊組位於第二區域。導電連接件組電性連接於晶片與封裝載板之間。覆晶接墊組以及打線接墊組兩者中的其中一個與導電連接件組電性且實體連接，而另一個不與導電連接件組實體連接。

【0009】本發明的其中一有益效果在於，本發明所提供的晶片封裝模組，其能通過“晶片包括覆晶接墊組、打線接墊組以及訊號接墊組”以及“覆晶接墊組以及打線接墊組兩者中的其中一個與導電連接件組電性且實體連接，而另一個不與導電連接件組實體連接”的技術方案，使晶片封裝模組

可根據其所應用的領域，來選擇利用覆晶封裝技術或是打線封裝技術，可進一步增加晶片在應用端的彈性。

【0010】為使能更進一步瞭解本發明的特徵及技術內容，請參閱以下有關本發明的詳細說明與圖式，然而所提供的圖式僅用於提供參考與說明，並非用來對本發明加以限制。

【圖式簡單說明】

【0011】圖1為本發明一實施例的晶片的俯視示意圖。

【0012】圖2為圖1的晶片在區域II的局部放大示意圖。

【0013】圖3為圖1的晶片的局部側視示意圖。

【0014】圖4為本發明另一實施例的晶片的局部放大示意圖。

【0015】圖5為本發明第一實施例的晶片封裝模組的局部側視示意圖。

【0016】圖6為本發明第二實施例的晶片封裝模組的局部側視示意圖。

【實施方式】

【0017】以下是通過特定的具體實施例來說明本發明所公開有關“晶片封裝模組”的實施方式，本領域技術人員可由本說明書所公開的內容瞭解本發明的優點與效果。本發明可通過其他不同的具體實施例加以施行或應用，本說明書中的各項細節也可基於不同觀點與應用，在不悖離本發明的構思下進行各種修改與變更。另外，本發明的附圖僅為簡單示意說明，並非依實際尺寸的描繪，事先聲明。以下的實施方式將進一步詳細說明本發明的相關技術內容，但所公開的內容並非用以限制本發明的保護範圍。

【0018】應當可以理解的是，雖然本文中可能會使用到“第一”、“第二”、“第三”等術語來描述各種元件或者信號，但這些元件或者信號不應受這些術語

的限制。這些術語主要是用以區分一元件與另一元件，或者一信號與另一信號。另外，本文中所使用的術語“或”，應視實際情況可能包括相關聯的列出項目中的任一個或者多個的組合。

【0019】請參閱圖1至圖3。圖1為本發明一實施例的晶片的俯視示意圖。圖2為圖1的晶片在區域II的局部放大示意圖。圖3為圖1的晶片的局部側視示意圖。

【0020】如圖1與圖3所示，本發明實施例的晶片1具有一第一表面1a以及與第一表面1a相反的第二表面1b。請再參照圖1，晶片1的第一表面1a由中心向邊緣(徑向方向)可被區分為一第一區域A1、一第二區域A2以及一第三區域A3。

【0021】如圖1所示，第一區域A1是位於第一表面1a的中央區域，第二區域A2圍繞第一區域A1，且第三區域A3圍繞第二區域A2。也就是說，第二區域A2是位於第一區域A1與第三區域A3之間。

【0022】參照圖2，晶片1還包括一覆晶接墊組10、一訊號接墊組11以及一打線接墊組12。覆晶接墊組10是位於第一區域A1，並且包括多個接墊。進一步而言，覆晶接墊組10包括排成陣列的多個覆晶電源接墊P1以及多個覆晶接地接墊G1。

【0023】進一步而言，多個覆晶電源接墊P1沿著一第一方向D1排成至少一行(圖2繪示兩行為例)，而多個覆晶接地接墊G1沿著第一方向D1排列成另一行。在一實施例中，多行覆晶電源接墊P1與多行覆晶接地接墊G1是交替地設置在整個第一區域A1內。

【0024】在本實施例中，每兩行覆晶電源接墊P1之間設有一行覆晶接地接墊。也就是說，在第二方向D2上，任兩個覆晶電源接墊P1之間設有一個覆晶接地接墊G1。須說明的是，圖2中所繪示的覆晶接墊組10僅是作為舉例，並

非用以限制本發明。多個覆晶電源接墊P1以及多個覆晶接地接墊G1的數量以及排列方式可以根據實際需求而進行調整。

【0025】請先參照圖4，顯示本發明另一實施例的晶片的局部放大示意圖。本實施例的覆晶接墊組10中，多個覆晶電源接墊P1與多個覆晶接地接墊G1的排列方式與圖2所繪示的實施例不同。具體而言，如圖4所示，在覆晶接墊組10中，其中兩行覆晶電源接墊P1彼此相鄰。在另一實施例中，在覆晶接墊組10中，也可以是其中兩行覆晶接地接墊G1彼此相鄰。

【0026】因此，只要多個覆晶電源接墊P1以及多個覆晶接地接墊G1可與覆晶封裝技術相容，本發明並不限制多個覆晶電源接墊P1以及多個覆晶接地接墊G1的排列方式。

【0027】請再參照圖2，訊號接墊組11設置在第二區域A2，且包括多個訊號接墊S。多個訊號接墊S圍繞第一區域A1的周圍排列。在圖2所示實施例中，多個訊號接墊S在第一區域A1的其中一側排成三列，但並非用以限制本發明。在其他實施例中，訊號接墊S的數量以及排列方式也可以根據晶片1的功能以及尺寸而調整。

【0028】舉例而言，多個訊號接墊S可被指定為不同的信號連接端，如：接入電壓端(VCC)、工作電壓端(VDD)或者公共接地端電壓(VSS)、電源、時脈信號端(clock)、位址信號端(address signals)等等。

【0029】值得說明的是，訊號接墊組11中的多個訊號接墊S的配置需可相容於覆晶封裝技術以及打線封裝技術。一般而言，在覆晶封裝技術中，兩相鄰的接墊之間間距可以較窄，而在打線封裝技術中，兩相鄰的接墊之間間距需較寬。據此，為了使多個訊號接墊S的配置需可相容於覆晶封裝技術以及打線封裝技術，在同一列中的兩相鄰的訊號接墊S之間間距d2，會以符合打線封裝技術的要求為主。

【0030】因此，在同一列中的兩相鄰的訊號接墊S之間の間距 d_2 ，會大於在同一列中的任兩相鄰的覆晶接地接墊G1(或者覆晶電源接墊P1)之間の間距 d_1 。前述の間距，可以被定義為其中一接墊(如：訊號接墊S)的幾何中心與相鄰的接墊(如：另一訊號接墊S)的幾何中心之間的最短距離。另外，在第二區域A2中，相鄰兩行之間的行距 d_2 也會大於在第一區域A1中，相鄰兩行之間的行距 L_1 。

【0031】請繼續參照圖2，打線接墊組12包括多個打線電源接墊P2以及多個打線接地接墊G2，多個打線接地接墊G2沿著晶片1的其中一側邊緣排成一第一行。另外，多個打線電源接墊P2沿著側邊緣排成一第二行，其中第二行是位於第一行的內側，也就是較遠離晶片1的側邊緣。

【0032】在另一實施例中，第一行與第二行的位置也可以對調。也就是說，打線接地接墊G2的位置較遠離晶片1的側邊緣，而打線電源接墊P2的位置較靠近晶片1的側邊緣。

【0033】須說明的是，圖2僅繪示晶片1的局部區域來進行說明。實際上多個打線接地接墊G2以及多個打線電源接墊P2會沿著晶片1的整個邊緣排列，並圍繞第二區域A2。

【0034】在本實施例中，兩相鄰的打線電源接墊P2與打線接地接墊G2會相互錯開。如圖2所示，其中一個打線電源接墊P2的幾何中心與最靠近其的打線接地接墊G2的幾何中心的連線，與第二方向D2不平行。

【0035】兩相鄰的打線接地接墊G2之間の間距 d_3 會與兩相鄰的打線電源接墊P2之間の間距大致相同。值得注意的是，打線接墊組12的配置會符合打線封裝技術的需求，因此兩相鄰的打線接地接墊G2之間の間距 d_3 會大於兩相鄰的覆晶接地接墊G1之間の間距 d_1 。

【0036】除此之外，在第三區域A3中，相鄰兩行(第一行與第二行)之

間的行距L3也會大於在第一區域A1中，相鄰兩行之間的行距L1。

【0037】基於上述，本發明實施例所提供的晶片1可適用於覆晶封裝技術以及打線封裝技術。請參照圖5，圖5顯示利用覆晶封裝技術封裝晶片1之後，所形成的晶片封裝模組M1的局部側視示意圖。晶片封裝模組M1包括晶片1、封裝載板2、導電連接件組3以及封裝層4。封裝載板2包括一承載面2a以及與承載面2a相反的底面2b。

【0038】封裝載板2可以是電路基板、陶瓷基板、金屬基板或者是複合材基板。在本實施例中，封裝載板2為電路基板，且在封裝載板2內已預先配置多條線路(圖未示)，設置於承載面2a上的多個焊墊20G、20P、20S以及設置於底面2b的多個焊球21。具體而言，多個焊墊20G、20P、20S以及多個焊球21會通過配置在封裝載板2內的多條線路而電性連接。

【0039】多個焊墊20G、20P、20S可包括多個電源焊墊20P、多個接地焊墊20G以及多個訊號焊墊20S。在本實施例中，封裝載板2的多個焊墊20G、20P、20S、多條線路以及多個焊球21的設置，會符合覆晶封裝技術的要求。

【0040】進一步而言，如圖5所示，封裝載板2的承載面2a定義出一晶片預設區20a，而多個焊墊20G、20P、20S會位於晶片預設區20a內。當晶片1設置在封裝載板2上時，是以第一表面1a朝向封裝載板2設置，也就是以覆晶方式設置在封裝載板2上。多個電源焊墊20P、多個接地焊墊20G以及多個訊號焊墊20S都位於晶片1的正下方。

【0041】另外，在本實施例中，多個電源焊墊20P以及多個接地焊墊20G也會排列成陣列。進一步而言，多個電源焊墊20P的位置會分別對應於多個覆晶電源接墊P1的位置，且多個接地焊墊20G的位置會分別對應於多個覆晶接地接墊G1的位置。相似地，多個訊號焊墊20S的位置會對應於晶片1的第二區域A2，並分別對應於多個訊號接墊S的位置。

【0042】當晶片1設置在封裝載板2上時，可通過導電連接件組3電性連接於封裝載板2。在本實施例中，導電連接件組3是與覆晶接墊組10電性且實體連接，而不會與打線接墊組12實體連接。也就是說，在利用覆晶封裝技術來封裝晶片1時，晶片1的多個打線電源接墊P2以及多個打線接地接墊G2都是虛設接墊。

【0043】另外，根據使用覆晶封裝技術或是使用打線封裝技術，本實施例的導電連接件組3可以包括多個(導電)凸塊或是多條導線。在圖5的實施例中，導電連接件組3包括多個電源凸塊30P、多個接地凸塊30G以及多個訊號凸塊30S。

【0044】每一個電源凸塊30P連接於對應的電源焊墊20P與對應的覆晶電源接墊P1之間，且每一個接地凸塊30G連接於對應的接地焊墊20G與對應的覆晶接地接墊G1之間。每一個訊號凸塊30S連接於對應的訊號焊墊20S與對應的訊號接墊S之間。如此，晶片1可通過導電連接件組3固設並電性連接於封裝載板2。封裝層4覆蓋晶片1以及封裝載板2的承載面2a，以保護晶片。

【0045】請參照圖6，圖6顯示利用打線封裝技術封裝晶片1之後，所形成的晶片封裝模組M2的局部側視示意圖。

【0046】晶片封裝模組M2包括晶片1、封裝載板2、導電連接件組3'以及封裝層4。本實施例中，封裝載板2的多個焊墊20G、20P、20S、多條線路以及多個焊球21的配置，會符合打線封裝的要求。因此，多個焊墊20G、20P、20S(包括多個電源焊墊20P、多個接地焊墊20G以及多個訊號焊墊20S)會設置在晶片預設區20a之外，並圍繞晶片預設區20a設置。

【0047】在一實施例中，設置於封裝載板2的底面2b上的多個焊球21中，有一部分焊球21會電性連接於電源焊墊20P以及接地焊墊20G，且這些焊球21的位置會與晶片預設區20a的位置上下重疊。因此，相較於訊號焊墊20S而言，

封裝載板2的電源焊墊20P以及接地焊墊20G的位置會較靠近晶片預設區20a。

【0048】當晶片1設置在封裝載板2上時，是以第二表面1b朝向封裝載板2設置。也就是說，本實施例中，晶片1的設置方向是與圖5的實施例相反，是以第一表面1a朝上設置。此外，本發明實施例的晶片封裝模組M2還包括一膠層5，且膠層5位於晶片1以及封裝載板2之間，以使晶片1可固設在封裝載板2上。

【0049】另外，如圖6所示，任一訊號焊墊20S與晶片1之間的最短距離大於任一電源焊墊20P與晶片1之間的最短距離。另外，任一訊號焊墊20S與晶片1之間的最短距離也會大於任一接地焊墊20G與晶片1之間的最短距離。只要符合前述條件，電源焊墊20P與接地焊墊20G的配置位置也可以相互對調，本發明無特別限制。

【0050】當晶片1設置在封裝載板2上時，可通過導電連接件組3'電性連接於封裝載板2。與圖5的實施例不同的是，在本實施例中，導電連接件組3'是與打線接墊組12電性且實體連接，而不會與覆晶接墊組10實體連接。也就是說，在利用打線封裝技術來封裝晶片1時，晶片1的多個覆晶電源接墊P1以及多個覆晶接地接墊G1都是虛設接墊。

【0051】另外，在圖6的實施例中，導電連接件組3'包括多個電源導線30P'、多個接地導線30G'以及多個訊號導線30S'。每一條電源導線30P'連接於對應的電源焊墊20P與對應的打線電源接墊P2之間，且每一條接地導線30G'連接於對應的接地焊墊20G與對應的打線接地接墊G2之間。相似地，每一條訊號導線30S'連接於對應的訊號焊墊20S與對應的訊號接墊S之間。如此，晶片1可通過導電連接件組3'電性連接於封裝載板2，並通過封裝載板2上的多個焊球21而電性連接於外部控制電路。

【0052】值得注意的是，不論是利用覆晶封裝技術或是打線封裝技術，

晶片1的訊號接墊組11都會電性連接於導電連接件組3(3')。也就是說，當晶片1以覆晶方式與封裝載板2接合時，多個訊號接墊S會分別連接於多個訊號凸塊30S，以分別電性連接於多個訊號焊墊20S。當晶片1以打線方式與封裝載板2接合時，多個訊號接墊S會分別連接於多條訊號導線30S'，以分別電性連接於多個訊號焊墊20S。

【0053】本發明的其中一有益效果在於，本發明所提供的晶片封裝模組M1、M2，其能通過“晶片1包括覆晶接墊組10、打線接墊組12以及訊號接墊組11”以及“覆晶接墊組10以及打線接墊組12兩者中的其中一個與導電連接件組3、3'電性且實體連接，而另一個不與導電連接件組3、3'實體連接”的技術方案，使晶片封裝模組M1、M2可根據其所應用的領域，來選擇利用覆晶封裝技術或是打線封裝技術，而進一步增加晶片1在應用端的彈性。也就是說，本發明實施例所提供的晶片1可適用於兩種不同的封裝技術。

【0054】舉例而言，可以根據實際需求，利用覆晶封裝技術來封裝本發明實施例的晶片1，來製造可應用於較高階電子產品中的晶片封裝模組M1。另外，也可以利用打線封裝技術來封裝本發明實施例的晶片1，來製造可應用於較中階或低階電子產品中的晶片封裝模組M2。

【0055】以上所公開的內容僅為本發明的優選可行實施例，並非因此侷限本發明的申請專利範圍，所以凡是運用本發明說明書及圖式內容所做的等效技術變化，均包含於本發明的申請專利範圍內。

【符號說明】

【0056】

M1、M2	晶片封裝模組
1	晶片

1a	第一表面
1b	第二表面
A1	第一區域
A2	第二區域
A3	第三區域
10	覆晶接墊組
11	訊號接墊組
12	打線接墊組
P1	覆晶電源接墊
G1	覆晶接地接墊
S	訊號接墊
P2	打線電源接墊
G2	打線接地接墊

2 封裝載板

2a	承載面
20a	晶片預設區
2b	底面
20P	電源焊墊
20G	接地焊墊
20S	訊號焊墊
21	焊球

3、3' 導電連接件組

30P	電源凸塊
30G	接地凸塊

30S 訊號凸塊
30P' 電源導線
30G' 接地導線
30S' 訊號導線

4 封裝層
5 膠層
L1、L2、L3 行距
d1、d2、d3 間距
D1 第一方向
D2 第二方向

【發明申請專利範圍】

- 【第1項】 一種晶片封裝模組，包括：
- 一封裝載板；
 - 一晶片，其設置在所述封裝載板上，其中，所述晶片具有一第一表面以及與所述第一表面相反的一第二表面，所述第一表面被區分為一第一區域、一第二區域以及一第三區域，所述第二區域位於所述第一區域與所述第三區域之間，且所述晶片包括：
 - 一覆晶接墊組，其位於所述第一區域；
 - 一打線接墊組，其位於所述第三區域；及
 - 一訊號接墊組，其位於所述第二區域；以及
 - 一導電連接件組，其電性連接於所述晶片與所述封裝載板之間，其中，所述覆晶接墊組以及所述打線接墊組兩者中的其中一個與所述導電連接件組電性且實體連接，而另一個不與所述導電連接件組實體連接，而作為虛設接墊。
- 【第2項】 如申請專利範圍第 1 項所述的晶片封裝模組，其中，所述第一區域位於所述第一表面的中央區域，所述第二區域圍繞所述第一區域，且所述第三區域圍繞所述第二區域。
- 【第3項】 如申請專利範圍第 1 項所述的晶片封裝模組，其中，所述覆晶接墊組包括排成陣列的多個覆晶電源接墊以及多個覆晶接地接墊，所述晶片以所述第一表面面向所述封裝載板設置，所述封裝載板包括多個電源焊墊、多個接地焊墊以及多個訊號焊墊，且多個所述電源焊墊、多個所述接地焊墊以及多個所述訊號焊墊都設置在所述晶片正下方。

【第4項】如申請專利範圍第 3 項所述的晶片封裝模組，其中，所述訊號接墊組包括多個訊號接墊，所述導電連接件組與所述覆晶接墊組電性且實體連接，且包括：

多個電源凸塊，其中，每一所述電源凸塊連接於對應的所述電源焊墊與對應的所述覆晶電源接墊之間；

多個接地凸塊，其中，每一所述接地凸塊連接於對應的所述接地焊墊與對應的所述覆晶接地接墊之間；以及

多個訊號凸塊，其中，每一所述訊號凸塊連接於對應的所述訊號焊墊與對應的所述訊號接墊之間。

【第5項】如申請專利範圍第 1 項所述的晶片封裝模組，其中，所述訊號接墊組包括多個訊號接墊，多個所述訊號接墊圍繞所述第一區域的周圍排列，所述覆晶接墊組包括排成至少一系列的多個覆晶接地接墊，且任兩相鄰的所述訊號接墊之間的間距大於任兩相鄰的所述覆晶接地接墊之間的間距。

【第6項】如申請專利範圍第 1 項所述的晶片封裝模組，其中，所述打線接墊組包括多個打線電源接墊以及多個打線接地接墊，多個所述打線接地接墊沿著所述晶片的其中一側邊緣排成一第一行，多個所述打線電源接墊沿著所述側邊緣排成一第二行，且兩相鄰的所述打線電源接墊與所述打線接地接墊相互錯開。

【第7項】如申請專利範圍第 6 項所述的晶片封裝模組，其中，所述晶片以所述第二表面面向所述封裝載板設置，所述封裝載板包括多個電源焊墊、多個接地焊墊以及多個訊號焊墊，且多個所述電

源焊墊、多個所述接地焊墊以及多個所述訊號焊墊設置在所述晶片的周圍；

其中，任一所述訊號焊墊與所述晶片之間的最短距離大於任一所述電源焊墊與所述晶片之間的最短距離，且任一所述訊號焊墊與所述晶片之間的最短距離大於任一所述接地焊墊與所述晶片之間的最短距離。

【第8項】 如申請專利範圍第 7 項所述的晶片封裝模組，其中，所述訊號接墊組包括多個訊號接墊，所述導電連接件組與所述打線接墊組電性且實體連接，且所述導電連接件組包括：

多個電源導線，其中，每一所述電源導線連接於對應的所述電源焊墊與對應的所述打線電源接墊之間；

多個接地導線，其中，每一所述接地導線連接於對應的所述接地焊墊與對應的所述打線接地接墊之間；以及

多個訊號導線，其中，每一所述訊號導線連接於對應的所述訊號焊墊與對應的所述訊號接墊之間。

【第9項】 如申請專利範圍第 1 項所述的晶片封裝模組，其中，所述打線接墊組包括多個打線接地接墊以及多個打線電源接墊，所述覆晶接墊組包括多個覆晶接地接墊以及多個覆晶電源接墊，任兩相鄰的所述打線接地接墊之間間距大於任兩相鄰的所述覆晶接地接墊之間間距。

【第10項】 如申請專利範圍第 1 項所述的晶片封裝模組，其中，所述封裝載板具有一承載面以及與所述承載面相反的一底面，所述晶片設置在所述承載面上，且所述封裝載板包括設置在所述底面的多個焊球，且所述導電連接件組電性且實體連接於所述訊號接

墊組。

【發明圖式】

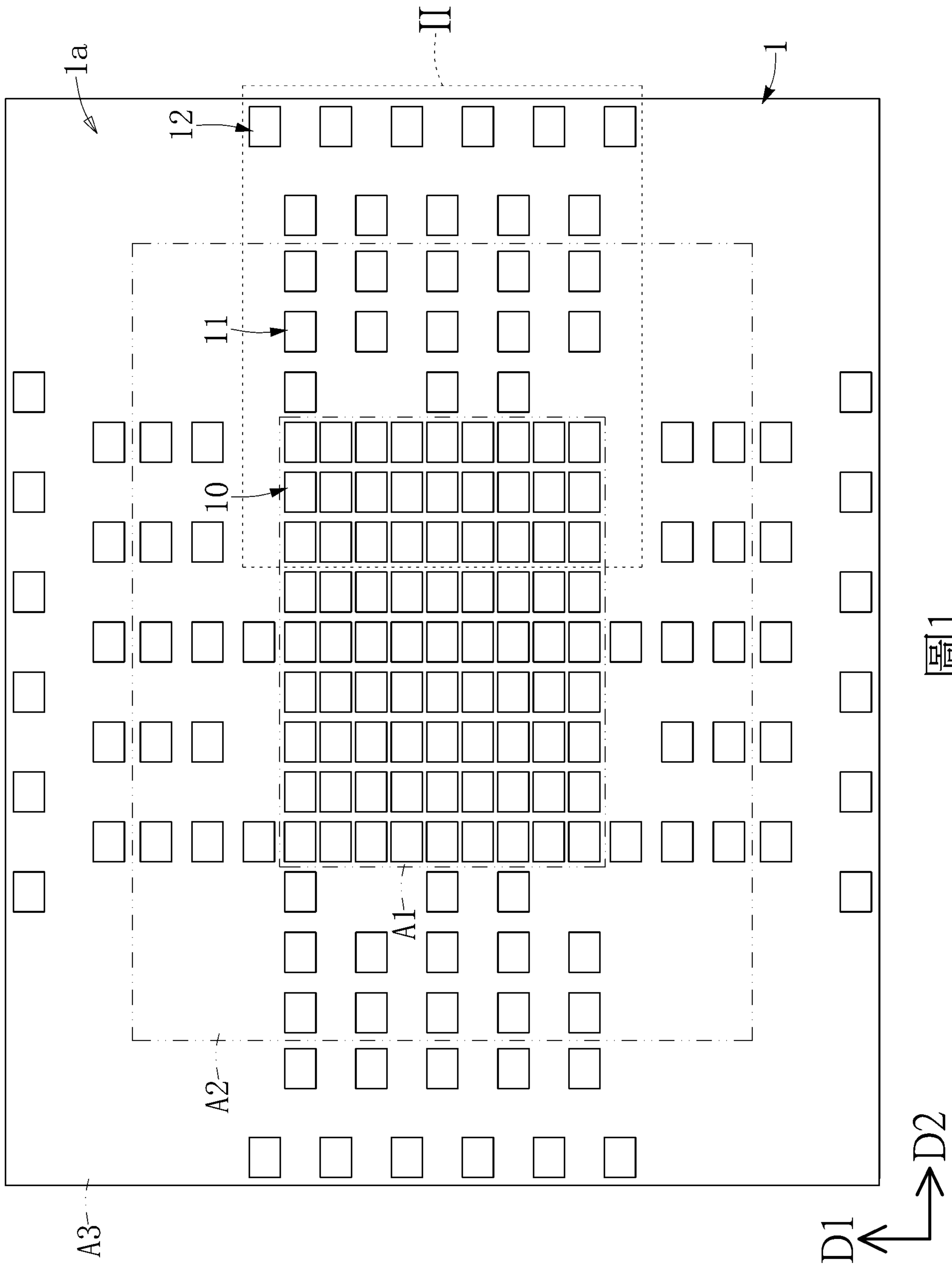


圖1

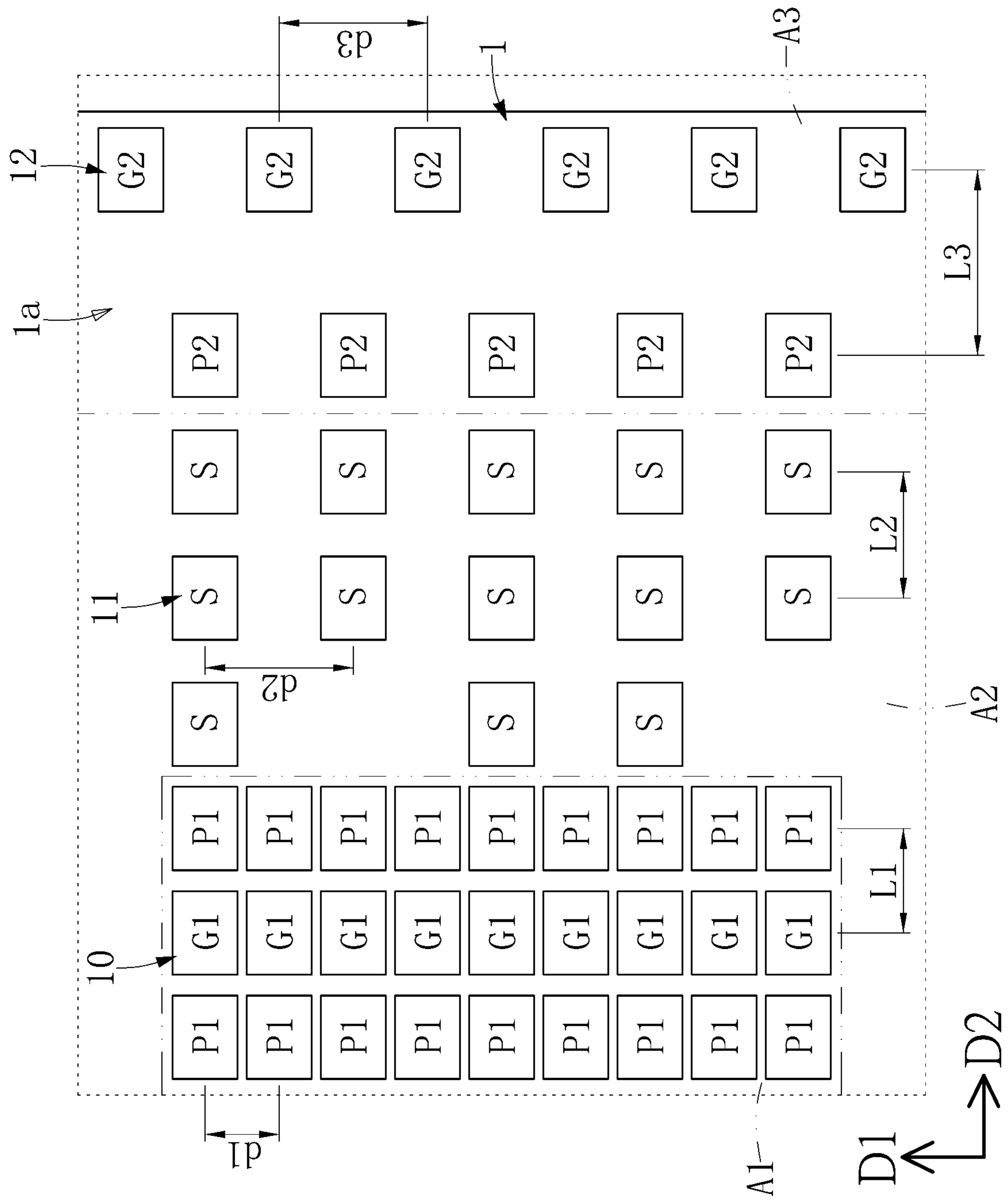


圖2

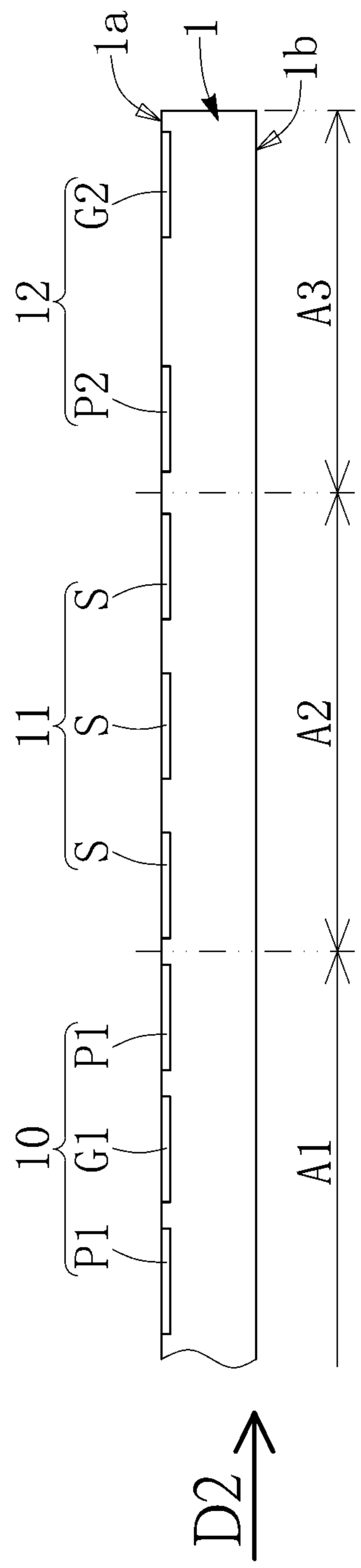


圖3

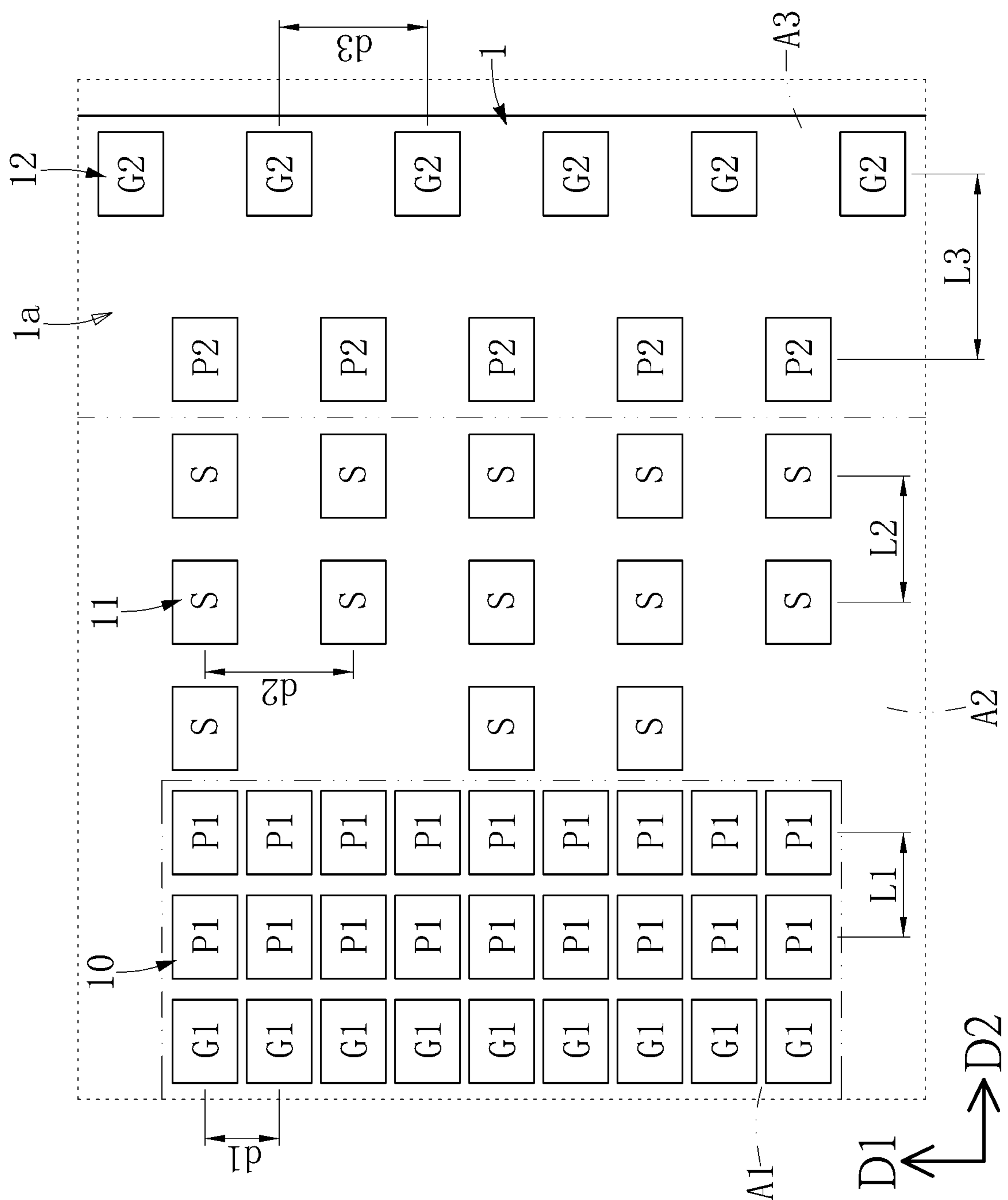


圖4

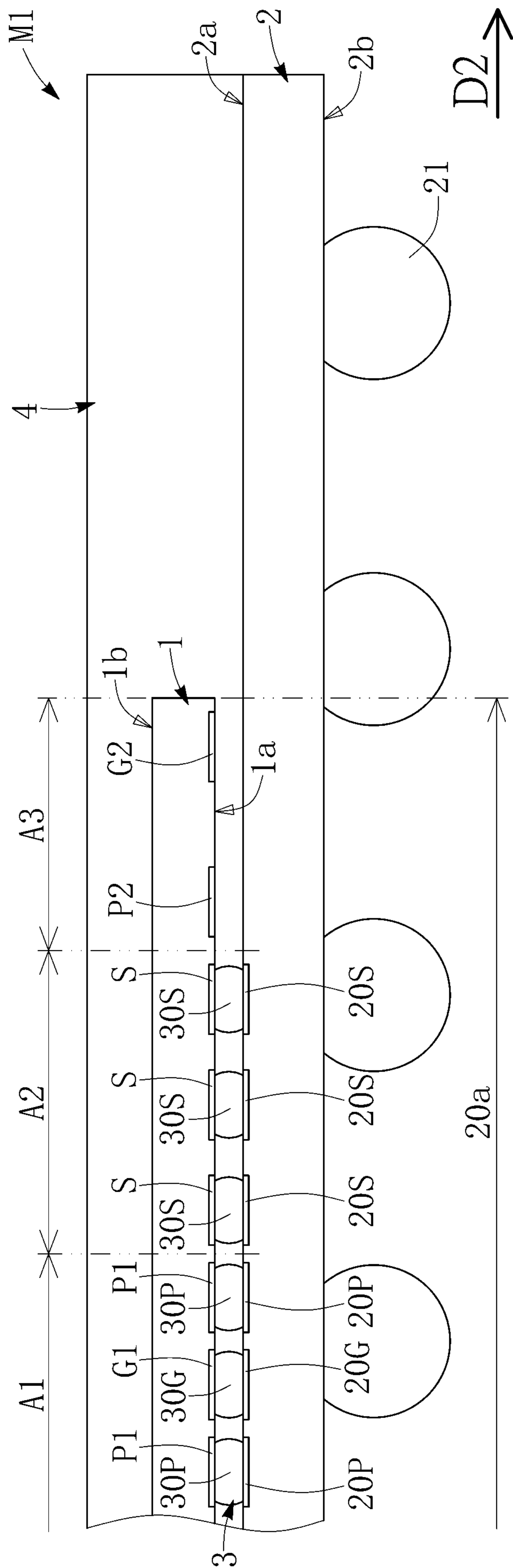


圖5

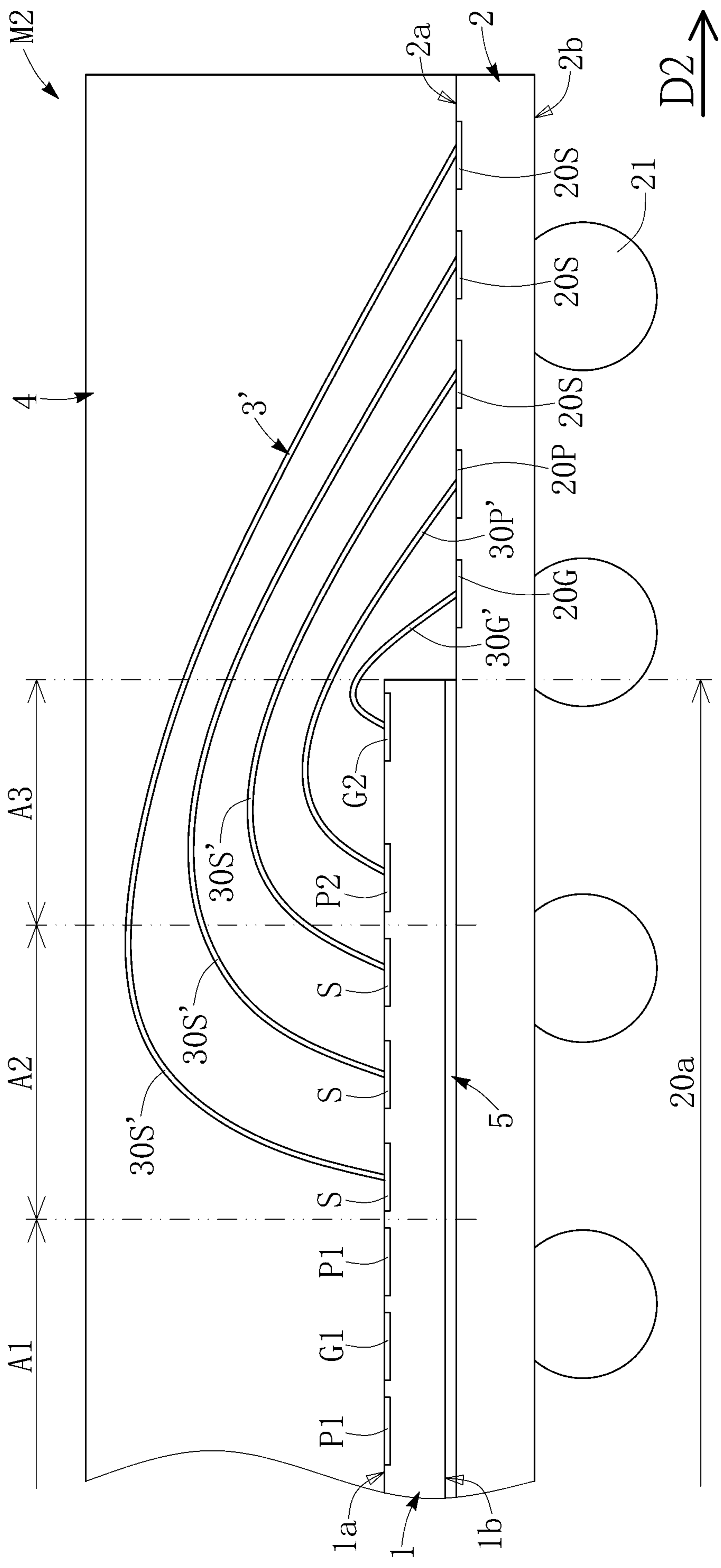


圖6