

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3864678号
(P3864678)

(45) 発行日 平成19年1月10日(2007.1.10)

(24) 登録日 平成18年10月13日(2006.10.13)

(51) Int. Cl.	F I	
GO2F 1/1333 (2006.01)	GO2F 1/1333	505
GO2F 1/1343 (2006.01)	GO2F 1/1343	
GO2F 1/133 (2006.01)	GO2F 1/133	525
GO2F 1/1337 (2006.01)	GO2F 1/1337	500
GO2F 1/1368 (2006.01)	GO2F 1/1368	
請求項の数 17 (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2000-229452 (P2000-229452)	(73) 特許権者	000002369
(22) 出願日	平成12年7月28日(2000.7.28)		セイコーエプソン株式会社
(65) 公開番号	特開2002-40455 (P2002-40455A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成14年2月6日(2002.2.6)	(74) 代理人	100095728
審査請求日	平成16年3月8日(2004.3.8)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	平林 幸哉
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	山崎 泰志
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	右田 昌士
			最終頁に続く

(54) 【発明の名称】 電気光学装置の製造方法及び電気光学装置

(57) 【特許請求の範囲】

【請求項1】

一対の第1及び第2基板間に電気光学物質が挟持されてなり、第1の周期で第1の画素群を反転駆動するための第1の画素電極群及び該第1の周期と相補の第2の周期で第2の画素群を反転駆動するための第2の画素電極群を含む複数の画素電極が前記第1基板上に平面配列され且つ前記第2基板上に前記複数の画素電極と対向する対向電極が設けられた電気光学装置の製造方法であって、

前記第1基板上に、前記画素電極に電氣的に接続される配線及び素子を含むパターンを形成する形成工程と、

前記パターンを含む前記第1基板上の積層体の上面を平坦化する工程と、

前記平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に凸部を形成する工程と、

前記複数の画素電極を形成する工程とを備え、

前記凸部を形成する工程は、異なる画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成しないことにより、平面的に見てストライプ状の凸部を形成することを特徴とする電気光学装置の製造方法。

【請求項2】

前記複数の画素電極上に配向膜を形成する工程と、

該配向膜に対して前記凸部による段差と平行にラビング処理を施す工程と

10

20

を更に備えたことを特徴とする請求項 1 に記載の電気光学装置の製造方法。

【請求項 3】

前記平坦化する工程は、
所定膜厚の絶縁膜を形成する工程と、

該所定膜厚の絶縁膜に対して C M P (Chemical Mechanical Polishing: 化学的機械研磨) 処理を施すことにより、平坦化された絶縁膜を形成する工程と

を含むことを特徴とする請求項 1 に記載の電気光学装置の製造方法。

【請求項 4】

前記平坦化する工程は、流動性のある絶縁膜材料を塗布することにより、平坦化された絶縁膜を形成する工程を含むことを特徴とする請求項 1 に記載の電気光学装置の製造方法

10

【請求項 5】

前記第 1 の基板上に形成される画素電極に電氣的に接続される素子は貼り合わせ S O I (Silicon On Insulator) による単結晶半導体層からなることを特徴とする請求項 1 から 4 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 6】

前記平坦化する工程は、予め前記パターンが埋め込まれる溝を形成する工程を含むことを特徴とする請求項 1 に記載の電気光学装置の製造方法。

【請求項 7】

一对の第 1 及び第 2 基板間に電気光学物質が挟持されてなり、第 1 の周期で第 1 の画素群を反転駆動するための第 1 の画素電極群及び該第 1 の周期と相補の第 2 の周期で第 2 の画素群を反転駆動するための第 2 の画素電極群を含む複数の画素電極が前記第 1 基板上に平面配列され且つ前記第 2 基板上に前記複数の画素電極と対向する対向電極が設けられた電気光学装置の製造方法であって、

20

前記第 1 基板上に、前記画素電極に電氣的に接続される配線及び素子を含むパターンを形成する形成工程と、

前記パターンを含む前記第 1 基板上の積層体の上面を平坦化する工程と、

前記平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に凸部を形成する工程と、

前記複数の画素電極を形成する工程とを備え、

30

前記凸部を形成する工程は、異なる画素電極群に含まれる相隣接する画素電極相互間には、第 1 の高さの前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記第 1 の高さより低い第 2 の高さの前記凸部を形成することにより、平面的に見て格子状の凸部を形成することを特徴とする電気光学装置の製造方法。

【請求項 8】

前記複数の画素電極上に配向膜を形成する工程と、

該配向膜に対して前記第 1 の高さの凸部による段差と平行にラビング処理を施す工程とを更に備えたことを特徴とする請求項 7 に記載の電気光学装置の製造方法。

【請求項 9】

前記凸部を形成する工程は、ウェットエッチングにより前記凸部を形成することを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置の製造方法。

40

【請求項 10】

前記凸部を形成する工程は、ドライエッチング及び該ドライエッチング後におけるウェットエッチングにより前記凸部を形成することを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 11】

一对の第 1 及び第 2 基板間に電気光学物質が挟持されてなり、第 1 の周期で第 1 の画素群を反転駆動するための第 1 の画素電極群及び該第 1 の周期と相補の第 2 の周期で第 2 の画素群を反転駆動するための第 2 の画素電極群を含む複数の画素電極が前記第 1 基板上に平面配列され且つ前記第 2 基板上に前記複数の画素電極と対向する対向電極が設けられた

50

電気光学装置の製造方法であって、

前記第 1 基板上に、前記画素電極に電氣的に接続される配線及び素子を含むパターンを形成する形成工程と、

前記パターンを含む前記第 1 基板上の積層体の上面を平坦化する工程と、

前記平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に凸部を形成する工程と、

前記複数の画素電極を形成する工程とを備え、

前記凸部を形成する工程は、前記パターンを形成する工程で前記配線を形成する際に用いられるマスクを用いてフォトリソグラフィを行う工程を含むことを特徴とする電気光学装置の製造方法。

10

【請求項 1 2】

前記凸部を形成する工程は、前記マスクを用いて且つ露光量を調節することにより前記配線の幅とは異なる幅を持つ前記凸部を形成することを特徴とする請求項 1 1 に記載の電気光学装置の製造方法。

【請求項 1 3】

前記第 2 基板における、前記相隣接する画素電極の間隙に対向する領域に、他の凸部を形成する工程を更に備えたことを特徴とする請求項 1 から 1 2 のいずれか一項に記載の電気光学装置の製造方法。

【請求項 1 4】

前記第 2 基板上に他の配向膜を形成する工程と、

該他の配向膜に対して前記他の凸部による段差と平行にラビング処理を施す工程とを更に備えたことを特徴とする請求項 1 3 に記載の電気光学装置の製造方法。

20

【請求項 1 5】

前記第 2 基板上における、前記相隣接する画素電極の間隙に対向する領域に、遮光膜を形成する工程を更に含み、

前記他の凸部を形成する工程は、前記遮光膜の存在に応じて前記他の凸部を形成することを特徴とする請求項 1 3 又は 1 4 に記載の電気光学装置の製造方法。

【請求項 1 6】

一对の第 1 及び第 2 基板間に電気光学物質が挟持されてなり、

前記第 1 基板上に、第 1 の周期で第 1 の画素群を反転駆動するための第 1 の画素電極群及び該第 1 の周期と相補の第 2 の周期で第 1 の画素群を反転駆動するための第 2 の画素電極群を含むと共に平面配列された複数の画素電極と、該画素電極に電氣的に接続される配線及び素子を含むパターンと、製造工程中に該パターンを含む前記第 1 基板上の積層体の上面を平坦化した後に該平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に形成された凸部と、

30

前記第 2 基板上に、前記複数の画素電極に対向する対向電極とを備え、

異なる画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成しないことにより、平面的に見てストライプ状の凸部が形成されてなることを特徴とする電気光学装置。

【請求項 1 7】

40

一对の第 1 及び第 2 基板間に電気光学物質が挟持されてなり、

前記第 1 基板上に、第 1 の周期で第 1 の画素群を反転駆動するための第 1 の画素電極群及び該第 1 の周期と相補の第 2 の周期で第 1 の画素群を反転駆動するための第 2 の画素電極群を含むと共に平面配列された複数の画素電極と、該画素電極に電氣的に接続される配線及び素子を含むパターンと、製造工程中に該パターンを含む前記第 1 基板上の積層体の上面を平坦化した後に該平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に形成された凸部と、

前記第 2 基板上に、前記複数の画素電極に対向する対向電極とを備え、

異なる画素電極群に含まれる相隣接する画素電極相互間には、第 1 の高さの前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記第 1 の高さよ

50

り低い第2の高さの前記凸部を形成することにより、平面的に見て格子状の凸部が形成されてなることを特徴とする電気光学装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶装置等の電気光学装置の技術分野に属し、特に列方向又は行方向に相隣接する画素電極に印加される電圧の極性が逆となるように画素行毎又は画素列毎に駆動電圧極性を周期的に反転させる反転駆動方式を採用する薄膜トランジスタ（Thin Film Transistor:以下適宜、TF Tと称す）によるアクティブマトリクス駆動型の液晶装置等の電気光学装置の技術分野に属する。

10

【0002】

【背景技術】

一般にこの種の電気光学装置では、直流電圧印加による電気光学物質の劣化防止、表示画像におけるクロストークやフリッカの防止などのために、各画素電極に印加される電圧極性を所定規則で反転させる反転駆動方式が採用されている。このうちのフレーム又はフィールドの画像信号に対応する表示を行う間は、奇数行に配列された画素電極を対向電極の電位を基準として正極性の電位で駆動すると共に偶数行に配列された画素電極を対向電極の電位を基準として負極性の電位で駆動し、これに続く次のフレーム又はフィールドの画像信号に対応する表示を行う間は、逆に偶数行に配列された画素電極を正極性の電位で駆動すると共に奇数行に配列された画素電極を負極性の電位で駆動する（即ち、同一行の画素電極を同一極性の電位により駆動しつつ、係る電位極性を行毎にフレーム又はフィールド周期で反転させる）1H反転駆動方式が、制御が比較的容易であり高品位の画像表示を可能ならしめる反転駆動方式として用いられている。

20

【0003】

また、同一列の画素電極を同一極性の電位により駆動しつつ、係る電圧極性を列毎にフレーム又はフィールド周期で反転させる1S反転駆動方式も、制御が比較的容易であり高品位の画像表示を可能ならしめる反転駆動方式として用いられている。

【0004】

更に、列方向及び行方向の両方向に相隣接する画素電極間で、各画素電極に印加される電圧極性を反転させるドット反転駆動方式も開発されている。

30

【0005】

【発明が解決しようとする課題】

しかしながら、上述した1H反転駆動方式、1S反転駆動方式、ドット反転駆動方式等のように、TF Tアレイ基板上において相隣接する画素電極の電圧（即ち、1H反転駆動方式では列方向に相隣接する画素電極に印加される電圧、1S反転駆動方式では行方向に相隣接する画素電極に印加される電圧、ドット反転駆動方式では行及び列方向に相隣接する画素電極に印加される電圧）が逆極性にある場合には、相隣接する画素電極間に生じる横電界（即ち、基板面に平行な電界或いは基板面に平行な成分を含む斜めの電界）が発生するという問題点が生じる。相対向する画素電極と対向電極との間の縦電界（即ち、基板面に垂直な方向の電界）の印加が想定されている電気光学物質に対して、このような横電界が印加されると、液晶の配向不良の如き電気光学物質の動作不良が生じ、この部分における光抜け等が発生してコントラスト比が低下してしまうという問題が生じる。これに対し、横電界が生じる領域を遮光膜により覆い隠すことは可能であるが、これでは横電界が生じる領域の広さに応じて画素の開口領域が狭くなってしまうという問題点が生じる。特に、画素ピッチの微細化により相隣接する画素電極間の距離が縮まるのに伴って、このような横電界は大きくなるため、これらの問題は電気光学装置の高精細化が進む程深刻化してしまう。

40

【0006】

本発明は上述した問題点を鑑みなされたものであり、液晶等の電気光学物質における横電界による動作不良を確実に低減可能であり高コントラストで明るい高品位の画像表示を行

50

う液晶装置等の電気光学装置を製造できる電気光学装置の製造方法及び該電気光学装置を提供することを課題とする。

【0007】

【課題を解決するための手段】

本発明の電気光学装置の製造方法は上記課題を解決するために、一对の第1及び第2基板間に電気光学物質が挟持されてなり、第1の周期で第1の画素群を反転駆動するための第1の画素電極群及び該第1の周期と相補の第2の周期で第2の画素群を反転駆動するための第2の画素電極群を含む複数の画素電極が前記第1基板上に平面配列され且つ前記第2基板上に前記複数の画素電極と対向する対向電極が設けられた電気光学装置の製造方法であって、前記第1基板上に、前記画素電極に電氣的に接続される配線及び素子を含むパターンを形成する形成工程と、前記パターンを含む前記第1基板上の積層体の上面を平坦化する工程と、前記平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に凸部を形成する工程と、前記複数の画素電極を形成する工程とを備え、前記凸部を形成する工程は、異なる画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成しないことにより、平面的に見てストライプ状の凸部を形成することを特徴とする。

10

また、前記複数の画素電極上に配向膜を形成する工程と、該配向膜に対して前記凸部による段差と平行にラビング処理を施す工程とを更に備えたことを特徴とする。

【0008】

本発明の電気光学装置の製造方法によれば、その製造に係る電気光学装置は、第1の周期で反転駆動されるための第1の画素電極群と、第1の周期と相補の第2の周期で反転駆動されるための第2の画素電極群とを含む複数の画素電極が第1基板上に平面配列されており、(i)反転駆動時に各時刻において相互に逆極性の駆動電圧で駆動される相隣接する画素電極と(ii)反転駆動時に各時刻において相互に同一極性の駆動電圧で駆動される相隣接する画素電極との両者が存在している。このような両者は、例えば前述の1H反転駆動方式や1S反転駆動方式などの反転駆動方式を採るマトリクス駆動型の液晶装置等の電気光学装置であれば存在する。従って、異なる画素電極群に属する相隣接する画素電極(即ち、逆極性の電位が印加される相隣接する画素電極)の間には、横電界が生じる。

20

【0009】

ここで本発明では特に、画素電極を駆動する配線(例えば、データ線、走査線、容量線など)及び素子(例えば、画素スイッチング用のTFTなど)を含むパターンを含む第1基板上の積層体の上面(例えば、層間絶縁膜上に配線が形成されてなる凹凸表面の最上層に形成された平坦化用の絶縁膜の上面)を、平坦化してもよい。続いて、凸部形成用膜を形成する工程では、このように平坦化された上面に対してフォトリソグラフィ及びエッチングを行うことにより、平面的に見て相隣接する画素電極の間隙となる領域に凸部を形成してもよい。そして、画素電極を形成してもよい。

30

【0010】

従って、画素電極の下地となる表面は、その下方に形成される配線や素子のパターンによらずに、凸部が形成されていない領域では、積極的に平坦化された表面となり、凸部が形成された領域では、積極的に所定高さ且つ所定形状の凸部が形成された表面となる。この結果、各画素の開口領域に位置する画素電極の中央部分については積極的に平坦化された表面上に形成されるので、当該画素電極と対向電極との間に挟持される電気光学物質の層厚のばらつきに起因した、液晶の配向不良等の電気光学物質の動作不良が低減される。

40

【0011】

同時に、相隣接する画素電極の間隙となる領域には、エッチングにより積極的に凸部が形成されるので、第1に、各画素電極の縁部がこの凸部上に位置するように形成すれば、各画素電極と対向電極との間に生じる縦電界を、相隣接する画素電極(特に、異なる画素電極群に属する画素電極)の間に生じる横電界と比べて、相対的に強められる。即ち、一般に電界は電極間の距離が短くなるにつれて強くなるので、凸部の高さの分だけ、画素電極の縁部が対向電極に近づき、両者間に生じる縦電界が強められるのである。第2に、各画

50

素電極の縁部がこの凸部上に位置するか否かに拘わらず、相隣接する画素電極（特に、異なる画素電極群に属する画素電極）の間に生じる横電界が凸部の存在により凸部の誘電率に応じて弱められると共に横電界が通過する電気光学物質の体積を（凸部で部分的に置き換えることにより）減ずることによっても、当該横電界の電気光学物質に対する作用を低減できる。従って、反転駆動方式に伴う横電界による液晶の配向不良等の電気光学物質の動作不良を低減できる。この際、上述のように画素電極の縁部は、凸部上に位置してもよいし位置していなくてもよく、更に凸部の傾斜した或いは略垂直な側面の途中に位置していてもよい。

【0012】

また特に、画素電極の下地面の下方に位置する配線や素子の存在を利用して、画素電極の縁の高さを調節する（多数存在する各膜における若干のパターンずれが組み合わされるので、最終的に形成される最上層における凹凸の高さや形状を設計通りにすることが基本的に困難である）技術と比べて、凸部の高さや形状を遥かに精度良く制御可能である。このため、最終的に横電界による液晶の配向不良等の電気光学物質の動作不良を確実に低減でき、装置信頼性を向上できる。

10

【0013】

更に、画素電極の下地面の下方に位置する配線や素子の存在に起因して電気光学物質の層厚に平面的なばらつきが存在する場合と比較しても、積極的に平坦化した面を利用してこのような層厚のばらつきを顕著に少なくする分だけ、層厚の平面的なばらつきによる液晶の配向不良等の電気光学物質の動作不良を確実に低減できる。加えて、電気光学物質の動作不良個所を隠すための遮光膜も小さくできるので、光抜け等の画像不良を起こさずに各画素の開口率を高めることも可能となる。

20

【0014】

以上の結果、液晶等の電気光学物質における横電界による動作不良を確実に低減可能であり高コントラストで明るい高品位の画像表示を行う液晶装置等の電気光学装置を比較的容易に製造できる。

【0015】

尚、横電界が生じる、異なる画素電極群に属する相隣接する画素電極（即ち、逆極性の電位が印加される画素電極）間のみ凸部を設けてもよい。横電界が殆ど生じない同一の画素電極群に属する相隣接する画素電極（即ち、同一極性の電位が印加される画素電極）間には、凸部を設けなくてもよいし、或いは相対的に高さの低い凸部を設けるようにしても、本発明の上述の如き効果は得られる。

30

【0016】

この手法は、駆動素子の能力を向上させるために単結晶半導体を能動層に用いた素子を形成する場合にも特に有効である。このような単結晶半導体層は、一般に貼り合わせ法と呼ばれる手法によって支持基板上に単結晶層を形成する。この貼り合わせにおいては、支持基板と単結晶層表面を平坦かつ鏡面化して両者を接合するため、素子や配線形成後の凹凸形状を自由に制御することが難しいが、上述のように画素電極下地基板表面を平坦化及び凸部形成することにより形状制御が容易になり液晶配向不良などを防ぐことができる。

【0017】

本発明の電気光学装置の製造方法の一態様では、前記平坦化する工程は、所定膜厚の絶縁膜を形成する工程と、該所定膜厚の絶縁膜に対してCMP（Chemical Mechanical Polishing：化学的機械研磨）処理を施すことにより、平坦化された絶縁膜を形成する工程とを含む。

40

【0018】

この態様によれば、前記平坦化する工程は、所定膜厚の絶縁膜を形成する工程と、該所定膜厚の絶縁膜に対してCMP処理を施すことにより、平坦化された絶縁膜を形成する工程とを含む。従って、凸部の高さや形状を比較的容易に精度良く制御できる。

【0019】

或いは本発明の電気光学装置の製造方法の他の態様では、前記平坦化する工程は、流動

50

性のある絶縁膜材料を塗布することにより、平坦化された絶縁膜を形成する工程を含む。

【0020】

この態様によれば、平坦化する工程では、スピコート等を用いて、流動性のある絶縁膜材料を塗布することにより、平坦化された絶縁膜を形成する。従って、凸部の高さや形状を比較的容易に精度良く制御できる。

【0021】

さらに本発明の電気光学装置の製造方法の一態様において、画素電極に電氣的に接続される素子は貼り合わせSOIによる単結晶半導体層からなる。このような場合でも、素子形成後の平坦化工程によって、画素電極部の凸部を任意に、かつ制御性良く形成できる。

【0022】

或いは本発明の電気光学装置の製造方法の他の態様では、前記平坦化する工程は、予め前記パターンが埋め込まれる溝を形成する工程を含む。

【0023】

この態様によれば、平坦化する工程では、配線や素子を含むパターンを形成する前に、第1基板やその上に形成された層間絶縁膜に溝を形成し、その後、このようなパターンを当該溝内に少なくとも部分的に埋め込む。従って、凸部の下地となる面を比較的容易に平坦化でき、この結果、凸部の高さや形状を比較的容易に精度良く制御できる。

【0024】

また、本発明の電気光学装置の製造方法は、一对の第1及び第2基板間に電気光学物質が挟持されてなり、第1の周期で第1の画素群を反転駆動するための第1の画素電極群及び該第1の周期と相補の第2の周期で第2の画素群を反転駆動するための第2の画素電極群を含む複数の画素電極が前記第1基板上に平面配列され且つ前記第2基板上に前記複数の画素電極と対向する対向電極が設けられた電気光学装置の製造方法であって、前記第1基板上に、前記画素電極に電氣的に接続される配線及び素子を含むパターンを形成する形成工程と、前記パターンを含む前記第1基板上の積層体の上面を平坦化する工程と、前記平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に凸部を形成する工程と、前記複数の画素電極を形成する工程とを備え、前記凸部を形成する工程は、異なる画素電極群に含まれる相隣接する画素電極相互間には、第1の高さの前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記第1の高さより低い第2の高さの前記凸部を形成することにより、平面的に見て格子状の凸部を形成することを特徴とする。

【0025】

この態様によれば、凸部を形成する工程では、相隣接する画素電極の間隙に沿った格子状の凸部を形成するので、異なる画素電極群に属する相隣接する画素電極が、画像表示領域内において縦に並んでいても横に並んでいても、格子状の凸部により、反転駆動時における横電界による悪影響を低減できる。

【0026】

この態様では、前記凸部を形成する工程は、異なる画素電極群に含まれる相隣接する画素電極相互間には、第1の高さの前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記第1の高さより低い第2の高さの前記凸部を形成することにより、前記格子状の凸部を形成してもよい。

【0027】

この態様によれば、凸部を形成する工程では、横電界が比較的強く生じる画素電極相互間には、第1の高さ(>第2の高さ)の凸部を形成することで(即ち、画素電極の縁部と対向電極との間の距離を小さくすることで)相対的に縦電界を強める。他方、横電界が殆ど生じない画素電極相互間には、第2の高さの凸部を形成することで、少しだけ縦電界を強めれば十分である。

【0028】

この態様では、前記複数の画素電極上に配向膜を形成する工程と、該配向膜に対して前記第1の高さの凸部による段差と平行にラビング処理を施す工程とを更に備えてもよい。

10

20

30

40

50

【0029】

このように凸部上に形成された配向膜に対して、相対的に高さが高い方の凸部による段差と平行にラビング処理を施すと、電気光学物質の層厚の平面的なばらつきによる電気光学物質の動作不良を抑制することができる。即ち一般には、段差に直角にラビング処理を施すと、ラビング処理された配向膜による電気光学物質の配向に乱れが生じ、この乱れは段差が大きい程に大きくなる。従って、より大きな段差に基づく電気光学物質の層厚の平面的なばらつきによる電気光学物質の動作不良を抑制することにより（小さい段差に基づく電気光学物質による層厚の平面的なばらつきによる電気光学物質の動作不良はラビング処理の方向に寄らずに本来小さいので）、装置全体として凸部による段差に基づく電気光学物質の動作不良を低減できる。

10

【0034】

本発明の電気光学装置の製造方法の他の態様では、前記凸部を形成する工程は、ウエットエッチングにより前記凸部を形成する。

【0035】

この態様によれば、凸部による段差の傾斜が緩やかになるので、当該段差による電気光学物質の動作不良を抑制することができる。即ち一般には、段差が急峻である程、電気光学物質の配向に乱れが生じるが、ウエットエッチングにより緩やかな段差を形成すれば、同じ高さの凸部を形成しても段差による電気光学物質の動作不良を低減できる。

【0036】

本発明の電気光学装置の製造方法の他の態様では、前記凸部を形成する工程は、ドライエッチング及び該ドライエッチング後におけるウエットエッチングにより前記凸部を形成する。

20

【0037】

この態様によれば、ドライエッチングにより、寸法制度の高い凸部を形成でき、更に、その後のウエットエッチングにより、このドライエッチングにより形成された凸部における急峻な段差を、緩やかな傾斜の段差にできるので、微細で位置精度及び寸法精度が高い凸部を形成しつつ、当該段差による電気光学物質の動作不良を抑制することができる。

【0038】

また、本発明の電気光学装置の製造方法は、一对の第1及び第2基板間に電気光学物質が挟持されてなり、第1の周期で第1の画素群を反転駆動するための第1の画素電極群及び該第1の周期と相補の第2の周期で第2の画素群を反転駆動するための第2の画素電極群を含む複数の画素電極が前記第1基板上に平面配列され且つ前記第2基板上に前記複数の画素電極と対向する対向電極が設けられた電気光学装置の製造方法であって、前記第1基板上に、前記画素電極に電氣的に接続される配線及び素子を含むパターンを形成する形成工程と、前記パターンを含む前記第1基板上の積層体の上面を平坦化する工程と、前記平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に凸部を形成する工程と、前記複数の画素電極を形成する工程とを備え、前記凸部を形成する工程は、前記パターンを形成する工程で前記配線を形成する際に用いられるマスクを用いてフォトリソグラフィを行う工程を含むことを特徴とする。

30

【0039】

この態様によれば、配線をフォトリソグラフィにより形成する際に用いられるマスクと、凸部をフォトリソグラフィにより形成する際に用いるマスクとを共用するので、夫々専用のマスクを用いる場合と比較して製造コストを削減できる。

40

【0040】

この態様では、前記凸部を形成する工程は、前記マスクを用いて且つ露光量を調節することにより前記配線の幅とは異なる幅を持つ前記凸部を形成してもよい。

【0041】

このようにすれば、配線をフォトリソグラフィにより形成する際に用いられるマスクと、凸部をフォトリソグラフィにより形成する際に用いるマスクとを共用しつつ、配線の幅及び凸部の幅については、露光量を調節することにより同一でないものとして形成できるの

50

で、製造コストを削減しつつ設計自由度を高められる。

【0042】

本発明の電気光学装置の製造方法の他の態様では、前記第2基板における、前記相隣接する画素電極の間隙に対向する領域に、他の凸部を形成する工程を更に備える。

【0043】

この態様によれば、第2基板側にも凸部を設けることにより、横電界が生じる領域における画素電極と対向電極との間の距離を小さくすることで縦電界を相対的に強めることができ、これに加えて、凸部の存在により横電界を弱めること及び横電界の電気光学物質への作用を低減することも可能となり、横電界による悪影響を低減できる。

【0044】

この態様では、前記第2基板上に他の配向膜を形成する工程と、該他の配向膜に対して前記他の凸部による段差と平行にラビング処理を施す工程とを更に備えてもよい。

【0045】

このように第2基板上に形成された他の配向膜に対して、他の凸部による段差と平行にラビング処理を施すと、当該段差による電気光学物質の動作不良を抑制することができる。

【0046】

この第2基板上に他の凸部を形成する態様では、前記第2基板上における、前記相隣接する画素電極の間隙に対向する領域に、遮光膜を形成する工程を更に含み、前記他の凸部を形成する工程は、前記遮光膜の存在に応じて前記他の凸部を形成してもよい。

【0047】

このようにすれば、一般にブラックマトリクス或いはブラックマスク(BM)と称される第2基板(対向基板)上の遮光膜を利用して、第2基板上に他の凸部を形成できるので、専用の膜を用いて当該他の凸部を形成する場合と比較して、製造工程及び装置構成を簡略化する上で有利である。

【0048】

本発明の電気光学装置は上記課題を解決するために、一对の第1及び第2基板間に電気光学物質が挟持されてなり、前記第1基板上に、第1の周期で第1の画素群を反転駆動するための第1の画素電極群及び該第1の周期と相補の第2の周期で第1の画素群を反転駆動するための第2の画素電極群を含むと共に平面配列された複数の画素電極と、該画素電極に電氣的に接続される配線及び素子を含むパターンと、製造工程中に該パターンを含む前記第1基板上の積層体の上面を平坦化した後に該平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に形成された凸部と、前記第2基板上に、前記複数の画素電極に対向する対向電極とを備え、異なる画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記凸部を形成しないことにより、平面的に見てストライプ状の凸部が形成されてなることを特徴とする。

また本発明の電気光学装置は、一对の第1及び第2基板間に電気光学物質が挟持されてなり、前記第1基板上に、第1の周期で第1の画素群を反転駆動するための第1の画素電極群及び該第1の周期と相補の第2の周期で第1の画素群を反転駆動するための第2の画素電極群を含むと共に平面配列された複数の画素電極と、該画素電極に電氣的に接続される配線及び素子を含むパターンと、製造工程中に該パターンを含む前記第1基板上の積層体の上面を平坦化した後に該平坦化された上面に、平面的に見て相隣接する画素電極の間隙となる領域に形成された凸部と、前記第2基板上に、前記複数の画素電極に対向する対向電極とを備え、異なる画素電極群に含まれる相隣接する画素電極相互間には、第1の高さの前記凸部を形成し、同一の画素電極群に含まれる相隣接する画素電極相互間には、前記第1の高さより低い第2の高さの前記凸部を形成することにより、平面的に見て格子状の凸部が形成されてなることを特徴とする。

【0049】

本発明の電気光学装置によれば、異なる画素電極群に属する相隣接する画素電極(即ち、逆極性の電位が印加される相隣接する画素電極)の間には、横電界が生じるが、各画素の

10

20

30

40

50

非開口領域に位置する或いは隣接する画素電極の縁部については、エッチングにより積極的に凸部が形成されているので、第1に、各画素電極の縁部がこの凸部上に位置するように形成すれば、各画素電極と対向電極との間に生じる縦電界を、相隣接する画素電極の間に生じる横電界と比べて、相対的に強められる。第2に、各画素電極の縁部がこの凸部上に位置するか否かに拘わらず、相隣接する画素電極の間に生じる横電界が凸部の存在により凸部の誘電率に応じて弱められると共に横電界が通過する電気光学物質の体積を減ずることによっても、当該横電界の電気光学物質に対する作用を低減できる。従って、反転駆動方式に伴う横電界による液晶の配向不良等の電気光学物質の動作不良を低減できる。この際、上述のように画素電極の縁部は、凸部上に位置してもよいし位置していなくてもよく、更に凸部の傾斜した或いは略垂直な側面の途中に位置していてもよい。

10

【0050】

同時に、各画素の開口領域に位置する画素電極の中央部分については積極的に平坦化された表面上に形成されているので、当該画素電極と対向電極との間に挟持される電気光学物質の層厚のばらつきに起因した、液晶の配向不良等の電気光学物質の動作不良を低減できる。加えて、電気光学物質の動作不良個所を隠すための遮光膜も小さくできるので、光抜け等の画像不良を起こさずに各画素の開口率を高めることも可能となる。

【0051】

これらの結果、液晶等の電気光学物質における横電界による動作不良を確実に低減でき、高コントラストで明るい高品位の画像表示を行える。

【0052】

尚、本発明は、透過型及び反射型等の他、各種形式の電気光学装置に適用可能である。

20

【0053】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0054】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を液晶装置に適用したものである。

【0055】

先ず本発明の実施形態における電気光学装置の構成について、図1から図5を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。図3は、図2のA-A'断面図であり、図4は、図2のB-B'断面図であり、図5は、図2のC-C'断面図である。尚、図3から図5においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

30

【0056】

図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素には夫々、画素電極9aと当該画素電極9aをスイッチング制御するためのTFT30とが形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルス的に走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して電気光学物質の一例としての液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することによ

40

50

り、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。

【 0 0 5 7 】

図 2 において、電気光学装置の T F T アレイ基板には、マトリクス状に複数の透明な画素電極 9 a (点線部 9 a ' により輪郭が示されている) が設けられており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a 及び走査線 3 a が設けられている。更に容量線 3 b が、走査線 3 a に並んでストライプ状に設けられている。より具体的には、容量線 3 b は、走査線 3 a に平行な本線部と、この本線部におけるデータ線 6 a に交差する個所からデータ線 6 a に沿って図中上側に突出した突出部とを有する。

10

【 0 0 5 8 】

また、半導体層 1 a のうち図中右下がりの斜線領域で示したチャンネル領域 1 a ' に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極として機能する。このように、走査線 3 a とデータ線 6 a との交差する個所には夫々、チャンネル領域 1 a ' に走査線 3 a がゲート電極として対向配置された画素スイッチング用の T F T 3 0 が設けられている。

【 0 0 5 9 】

20

図 2 及び図 3 に示すように、データ線 6 a は、コンタクトホール 5 を介して半導体層 1 a のうち高濃度ソース領域 1 d に電氣的に接続されている。他方、画素電極 9 a は、コンタクトホール 8 を介して半導体層 1 a のうち高濃度ドレイン領域 1 e に電氣的に接続されている。

【 0 0 6 0 】

また、高濃度ドレイン領域 1 e から延設された画素電位側容量電極 1 f と容量線 3 b の固定電位側容量電極としての部分とが、誘電体膜としての絶縁薄膜 2 を介して対向配置されることにより、蓄積容量 7 0 が構築されている。容量線 3 b は、画素電極 9 a が配置された画像表示領域からその周囲に延設され、定電位源と電氣的に接続されて、固定電位とされる。

30

【 0 0 6 1 】

図 3 から図 5 において、電気光学装置は、透明な T F T アレイ基板 1 0 と、これに対向配置される透明な対向基板 2 0 とを備えている。T F T アレイ基板 1 0 は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板 2 0 は、例えばガラス基板や石英基板からなる。

【 0 0 6 2 】

T F T アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は例えば、I T O (Indium Tin Oxide) 膜などの透明導電性薄膜からなる。また配向膜 1 6 は例えば、ポリイミド薄膜などの有機薄膜からなる。

40

【 0 0 6 3 】

他方、対向基板 2 0 には、その全面に渡って対向電極 2 1 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は例えば、I T O 膜などの透明導電性薄膜からなる。また配向膜 2 2 は、ポリイミド薄膜などの有機薄膜からなる。更に、対向基板 2 0 には、図 3 及び図 5 に示すように、各画素の非開口領域に、一般にブラックマスク或いはブラックマトリクス (BM) と称される遮光膜 2 3 が設けられている。このため、対向基板 2 0 の側から入射光が画素スイッチング用の T F T 3 0 の半導体層 1 a のチャンネル領域 1 a ' や低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に侵入することは殆どない。更に、遮光膜 2 3 は、コントラスト比の向上、カラーフィルタを形成した場合における色材の混色防止などの機能を有する。尚、

50

本実施形態では、A1等からなる遮光性のデータ線6aで、各画素の非開口領域のうちデータ線6aに沿った部分を遮光することにより、各画素の開口領域のうちデータ線6aに沿った輪郭部分を規定してもよいし（この場合には、走査線3aに沿ったストライプ状の遮光膜23を設ければよいし）、このデータ線6aに沿った非開口領域についても冗長的に又は単独で対向基板20に設けられた遮光膜23で遮光する（この場合には、格子状の遮光膜23を設ける）ように構成してもよい。このような遮光に代えて又は加えて、TFTアレイ基板10上の積層体内に、高融点金属膜等からなる内蔵遮光膜を設けて各画素の開口領域の一部或いは全部を規定してもよい。

【0064】

図3から図5に示すように、以上の如く構成された、画素電極9aと対向電極21とが対面するように配置されたTFTアレイ基板10と対向基板20との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFTアレイ基板10及び対向基板20をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

【0065】

更に、画素スイッチング用のTFT30の下には、下地絶縁膜12が設けられている。下地絶縁膜12は、TFTアレイ基板10の全面に形成されることにより、TFTアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用のTFT30の特性の劣化を防止する機能を有する。

【0066】

画素スイッチング用のTFT30は、LDD（Lightly Doped Drain）構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0067】

走査線3a上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々開孔された第1層間絶縁膜4が形成されている。

【0068】

第1層間絶縁膜4上にはデータ線6aが形成されており、この上には、コンタクトホール8が開孔された第2層間絶縁膜7が形成されている。

【0069】

本実施形態では特に、第2層間絶縁膜7上には第3層間絶縁膜80が形成されている。第3層間絶縁膜80は、平面的に見てデータ線6aに沿って伸びると共に基板面から垂直に立ち上がった土手状の凸部81（特に図4参照）と、走査線3aに沿って伸びると共に基板面から垂直に立ち上がった土手状の凸部82（特に図5参照）とを有する。そして、これらの凸部81及び凸部82により、平面的に見て格子状の凸部が各画素の非開口領域に沿って画像表示領域の全体に渡って構築されている。これらの凸部81及び82は、後述のように平坦化用の絶縁膜を第2層間絶縁膜7上に形成後に、これをCMP処理により平坦化し、更にその後これをエッチングして凸部81及び凸部82を残すことにより形成されたものである。即ち、第3層間絶縁膜80は、各画素の開口領域では、積極的に平坦に形成されており、各画素の非開口領域では、積極的に凸状に形成されている。画素電極9aは、このように構成された第3層間絶縁膜80の上面に設けられている。尚、図3から図5に示す各断面図では夫々、平坦化用の絶縁膜に対してCMP処理を施した際に得られる平坦化された表面のレベルLVが破線で示されている。

10

20

30

40

50

【0070】

本実施形態では、前述した従来の各種の反転駆動方式のうち、1H反転駆動方式を用いて駆動が行われる。これにより、直流電圧印加による液晶の劣化を避けつつ、フレーム或いはフィールド周期で発生するフリッカや特に縦クロストークの低減された画像表示を行える。

【0071】

ここで図6を参照して、本実施形態で採用する1H反転駆動方式における、相隣接する画素電極9aの電圧極性と横電界の発生領域との関係について説明する。

【0072】

即ち、図6(a)に示すように、 n (但し、 n は自然数)番目のフィールド或いはフレームの画像信号を表示する期間中には、画素電極9a毎に+又は-で示す液晶駆動電圧の極性は反転されず、行毎に同一極性で画素電極9aが駆動される。その後図6(b)に示すように、 $n+1$ 番目のフィールド或いは1フレームの画像信号を表示するに際し、各画素電極9aにおける液晶駆動電圧の電圧極性は反転され、この $n+1$ 番目のフィールド或いは1フレームの画像信号を表示する期間中には、画素電極9a毎に+又は-で示す液晶駆動電圧の極性は反転されず、行毎に同一極性で画素電極9aが駆動される。そして、図6(a)及び図6(b)に示した状態が、1フィールド又は1フレームの周期で繰り返されて、本実施形態における1H反転駆動方式による駆動が行われる。この結果、本実施形態によれば、直流電圧印加による液晶の劣化を避けつつ、クロストークやフリッカの低減された画像表示を行える。尚、1H反転駆動方式によれば、1S反転駆動方式と比べて、縦方向のクロストークが殆ど無い点で有利である。

10

20

【0073】

図6(a)及び図6(b)から分かるように、1H反転駆動方式では、横電界の発生領域C1は常時、縦方向(Y方向)に相隣接する画素電極9a間の間隙付近となる。

【0074】

そこで図3及び図5に示すように本実施形態では、凸部82を形成し、この凸部82上に配置された画素電極9aの縁付近における縦電界を強めると共に横電界を弱めるようにする。より具体的には、図5に示すように、凸部82上に配置された画素電極9aの縁付近と対向電極21との距離を凸部82の段差(高さ)の分だけ狭める。従って、図6に示した横電界の発生領域C1において、画素電極9aと対向電極21との間における縦電界を強めることができるのである。そして、図3及び図5において、相隣接する画素電極9a間の間隙は一定であるため、間隙が狭まる程に強まる横電界の大きさも一定である。このため、図6に示した横電界の発生領域C1において横電界に対する縦電界を強めることができる。

30

【0075】

更に、絶縁膜からなる凸部82の存在により、横電界の強度も弱められると共に、横電界が存在する凸部82に置き換えられた分だけ横電界を受ける液晶部分が減るので、当該横電界の液晶層50に対する作用を減らすことができる。

【0076】

これらの結果として縦電界をより支配的にすることにより、横電界の発生領域C1における横電界による液晶の配向不良を防止できるのである。

40

【0077】

以上の結果、本実施形態によれば、1H反転駆動方式において発生する横電界の特性に着目して、横電界の発生領域C1では、凸部82を設けることで、相対的に縦電界を強めることにより横電界による悪影響を低減する。このように横電界による液晶の配向不良を低減することにより、液晶の配向不良個所を隠すための遮光膜23も小さくて済む(但し、凸部82における段差に起因した液晶の配向不良個所を覆い隠すためには、凸部82の幅よりも遮光膜23の幅を若干広めに設定するのが望ましい)。従って、光抜け(等の画像不良を起こさずに各画素の開口率を高めることができ、最終的にコントラスト比が高く且つ明るく高品位の画像表示が可能となる。

50

【 0 0 7 8 】

更に本実施形態では、凸部 8 2 における長手状に伸びる上面の幅方向の縁に、画素電極 9 a の縁が位置するように構成するのが好ましい。このように構成すれば、当該縁における画素電極 9 a と対向電極 2 1 との間の距離を凸部 8 2 の高さを最大限に利用して短くすることができる。同時に、凸部 8 2 における上面の幅を最大限に生かして横電界が生じる相隣接する画素電極 9 a 間の間隔を広げられる。これらにより、凸部 8 2 の形状を極めて効率的に利用して、横電界の発生領域 C 1 において横電界に対して縦電界を強めることが可能となる。

【 0 0 7 9 】

尚、以上説明した凸部 8 2 のその長手軸に垂直に切った断面形状としては、例えば台形、三角形、半円形、半楕円形、頂上付近が平坦とされた半円形又は半楕円径、若しくは側辺の傾斜が頂上に向かうに連れて徐々に増す 2 次曲線や 3 次曲線状の略台形、略三角形など各種の形状が考えられる。実践的には、液晶の性質に応じて段差により生じる液晶の配向不良が小さくて済むような断面形状を適宜採用するのが望ましい。

【 0 0 8 0 】

本実施形態では、図 6 で説明したように走査線 3 a に沿った横電界の発生領域 C 1 に対応して、凸部 8 2 を設けるが、図 3 及び図 4 に示すように、データ線 6 a に沿った画素の非開口領域に対応して凸部 8 1 が設けられている。これは、データ線 6 a に沿った画素の非開口領域にも画像信号によっては若干の横電界が発生することに鑑みてである。但し、同一の液晶駆動電圧が同一極性である横に並んだ画素電極間で（図 6 参照）発生する横電界は弱いため、図 3 から分かるように、凸部 8 1 は、凸部 8 2 に比べて高さが低く形成されている。例えば、液晶層 5 0 の層厚を 3 μm とした場合、凸部 8 2 の高さを 0.5 μm 程度とし、凸部 8 1 の高さを 0.35 μm 程度とする。但し、横電界の発生領域 C 1 における液晶の配向不良を阻止する観点からは、凸部 8 1 を省略することも可能である（即ち、走査線 3 a に沿ったストライプ状の凸部 8 2 のみを設ければよい）。

【 0 0 8 1 】

尚、本実施形態で、相隣接する画素電極 9 a の電圧極性と横電界の発生領域 C 2 との関係を図 7 に示した 1 S 反転駆動方式（即ち、各列毎に液晶駆動電圧の極性が変化して、横電界の発生領域 C 2 がデータ線 6 a に沿った画素の間隙となる方式）を採用する場合には、図 3 から図 5 に示した構成において、凸部 8 1 を凸部 8 2 より高く形成すればよい（例えば、液晶層 5 0 の層厚を 3 μm とした場合、凸部 8 1 の高さを 0.5 μm 程度とし、凸部 8 2 の高さを 0.35 μm 程度とすればよい）。但し、横電界の発生領域 C 2 における液晶の配向不良を阻止する観点からは、凸部 8 2 を省略することも可能である（即ち、データ線 6 a に沿ったストライプ状の凸部 8 1 のみを設ければよい）。

【 0 0 8 2 】

或いは、本実施形態で、ドット反転駆動方式（即ち、各列毎に且つ各行毎に液晶駆動電圧の極性が変化して横電界の発生領域がデータ線 6 a 及び走査線 3 a に沿った画素の間隙となる方式）を採用する場合には、図 3 から図 5 に示した構成において、凸部 8 1 及び凸部 8 2 の両者を高く形成すればよい（例えば、液晶層 5 0 の層厚を 3 μm とした場合、凸部 8 1 の高さを 0.5 μm 程度とし、凸部 8 2 の高さを 0.5 μm 程度とすればよい）。

【 0 0 8 3 】

更に本発明における 1 H 反転駆動方式では駆動電圧の極性を、一行毎に反転させてもよいし、相隣接する 2 行毎に或いは複数行毎に反転させてもよい。同様に本発明における 1 S 反転駆動方式では駆動電圧の極性を、一列毎に反転させてもよいし、相隣接する 2 列毎に或いは複数列毎に反転させてもよく、ドット反転駆動方式の場合にも、複数の画素電極からなるブロック毎に駆動電圧の極性を反転させてもよい。

【 0 0 8 4 】

以上説明した実施形態では、スイッチング用 TFT 3 0 は、チャンネル部 1 a'、低濃度ソース領域 1 b 及び低濃度ドレイン領域、さらに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e は半導体材料からなり、多結晶構造もしくは単結晶構造を持つ。さらに画素スイ

10

20

30

40

50

ツチング用TFT30は、好ましくは図3に示したようにLDD構造を持つが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物イオンの打ち込みを行わないオフセット構造を持ってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型のTFTであってもよい。また本実施形態では、画素スイッチング用のTFT30のゲート電極を高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。

10

【0085】

更に、投射型或いは透過型の液晶装置に限らず、反射型の液晶装置に本発明を適用しても、本実施形態による横電界による液晶の配向不良を低減する効果は同様に得られる。

【0086】

(製造プロセス)

次に、以上のような構成を持つ実施形態における電気光学装置を構成するTFTアレイ基板側の製造プロセスについて、図8及び図9を参照して説明する。尚、図8は各工程におけるTFTアレイ基板側の各層を、図4と同様に図2のB-B'断面に対応させて示す工程図であり、図9は、図5と同様に図2のC-C'断面に対応させて示す工程図である。

【0087】

20

先ず図8及び図9の工程(a)に示すように、石英基板、ハードガラス基板、シリコン基板等のTFTアレイ基板10上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなり、膜厚が約500~2000nmの下地絶縁膜12を形成する。次に、下地絶縁膜12の上に、半導体層を形成する。半導体層は、多結晶構造あるいは単結晶構造からなる。多結晶半導体層の場合は、減圧CVD等によりアモルファスシリコン膜を形成し600

程度の温度でアニール処理を施することにより、ポリシリコン膜を固相成長させる。或いは、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜を直接形成する方法を用いることができる。また単結晶半導体層を形成する場合は、単結晶基板を支持基板と貼り合わせた後に単結晶基板側を薄膜化する貼り合わせ法を用いることができる。単結晶半導体としてはシリコンが好適に用いられるが、半導体としての特性を示し、スイッチング素子を形成できる材料であれば同様に用いることができる。このような薄膜シリコン単結晶層を絶縁層上に形成した構造を特にSOI(Silicon on Insulator)と呼び、一般にこのような手法を貼り合わせ法、またこのような基板を貼り合わせSOI基板と呼ぶ。この貼り合わせ法においては、膜厚均一性に優れた単結晶シリコン層を形成する手法の一つとして公知の、水素イオン注入とアニールを用いる方法が好ましく用いられる。これは薄膜層を形成しようとするシリコンからなる単結晶基板に規定の注入深さを持った水素イオン注入を行い、この単結晶シリコン基板をTFTアレイ形成基板と貼り合わせた後に500乃至600程度のアニール処理を行うことにより、TFTアレイ形成基板上に極薄い単結晶膜を残して単結晶シリコン基板を分離するものである。得られる単結晶シリコン膜は欠陥が少なく高品質、かつ膜厚均一性の非常に高いものとなる。

30

40

【0088】

また膜厚均一性に優れた単結晶シリコン層を形成する別の手法として公知の、多孔質シリコン層状にエピタキシャル成長させた単結晶シリコン層をアレイ基板に転写する手法を用いることもできる。これは表面を電解研磨によって多孔質化したシリコン基板表面に単結晶シリコン層をエピタキシャル成長させた後、これをアレイ基板と貼り合わせ、脆弱な多孔質層をウォータージェット等の物理的手段によって破碎し、シリコン基板と単結晶シリコン層を分断するものである。分断後、エピタキシャル単結晶シリコン層表面に残った多

50

孔質シリコンの残渣物はHF/H₂O₂を含むエッチャントにより高い選択比で除去される。これによりアレイ基板上に転写される単結晶シリコン膜は欠陥が少なく高品質、かつ膜厚均一性の非常に高いものとなる。

【0089】

次に、このポリシリコンあるいは単結晶シリコン膜に対し、フォトリソグラフィ工程、エッチング工程等を施すことにより、図2に示した如き画素電位側容量電極1fを含む所定パターンを有する半導体層1aを形成する。

【0090】

次に、熱酸化すること等により、図3から図5に示したTF T 30のゲート絶縁膜と共に蓄積容量形成用の誘電体膜を含む絶縁薄膜2を形成する。この結果、半導体層1aの厚さは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、絶縁薄膜2の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。次に、減圧CVD法等によりポリシリコン膜を約100~500nmの厚さに堆積し、更にP(リン)を熱拡散して、このポリシリコン膜を導電化した後、フォトリソグラフィ工程、エッチング工程等により、図2に示した如き所定パターンの走査線3a及び容量線3bを形成する。尚、走査線3a及び容量線3bは、高融点金属や金属シリサイド等の金属合金膜で形成しても良いし、ポリシリコン膜等と組み合わせた多層配線としても良い。次に、低濃度及び高濃度の2段階で不純物イオンをドーピングすることにより、低濃度ソース領域1b及び低濃度ドレイン領域1c、高濃度ソース領域1d及び高濃度ドレイン領域1eを含む、LDD構造の画素スイッチング用TF T 30を形成する。

【0091】

尚、図8及び図9の工程(a)と並行して、TF Tから構成されるデータ線駆動回路、走査線駆動回路等の周辺回路をTF Tアレイ基板10上の周辺部に形成してもよい。

【0092】

次に図8及び図9の工程(b)に示すように、走査線3a、容量線3b、絶縁薄膜2及び下地絶縁膜12からなる積層体を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第1層間絶縁膜4を形成する。第1層間絶縁膜4は、例えば1000~2000nm程度の膜厚とされる。尚、この熱焼成と並行して或いは相前後して、半導体層1aを活性化するために約1000のアニール処理を行ってもよい。そして、図3に示したデータ線6aと半導体層1aの高濃度ソース領域1dを電氣的に接続するためのコンタクトホール5を第1層間絶縁膜4及び絶縁薄膜2に開孔し、また、走査線3aや容量線3bを基板周辺領域において図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により開孔することができる。続いて、第1層間絶縁膜4の上に、スパッタリング処理等により、Al等の低抵抗金属膜や金属シリサイド膜を約100~500nmの厚さに堆積した後、フォトリソグラフィ工程及びエッチング工程等により、データ線6aを形成する。

【0093】

次に図8及び図9の工程(c)に示すように、データ線6a上に第2層間絶縁膜7が形成される。また、図3に示したように、画素電極9aと高濃度ドレイン領域1eとを電氣的に接続するためのコンタクトホール8を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチング或いはウェットエッチングにより形成する。続いて、第2層間絶縁膜7上に、平坦化用の絶縁膜を、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等から形成する。この時点では、係る平坦化膜用の絶縁膜の表面には、その下方に存在する走査線3a、容量線3b及びデータ線6a等の存在に応じて凹凸がある。続いてこの凹凸のある表面に対して、CMP処理を施すことにより、表面がレベルLVに位置する平坦化膜80cを形成する。尚、このようにCMP処理により、平坦化可能となるように、CMP処理を施す前の時点で、表面における最も低い個所の高さが、その下層に位置する第2層間絶縁膜7の最も高い個所の高さよりも高くなるに十分な膜厚に平坦

10

20

30

40

50

化用の絶縁膜を形成しておく。そして、CMP処理により、当初最も低かった部分が研磨されるまで研磨され、更に第2層間絶縁膜7や少なくともデータ線6aが露出しない程度の厚みまで研磨することで、表面をレベルLVで完全に平らとする。CMP処理としては、具体的には、例えば研磨プレート上に固定された研磨パッド上に、シリカ粒を含んだ液状のスラリー（化学研磨液）を流しつつ、スピンドルに固定した基板表面を、回転接触させることにより、平坦化膜80cの表面を研磨する。そして、第2層間絶縁膜7或いはデータ線6aが露出する前に、時間管理により或いは適当なストッパ層をTFTアレイ基板10上の所定位置に形成しておくことにより、研磨処理を停止する。この結果、表面がレベルLVの位置で平坦化された平坦化膜80cが完成する。尚、この場合のストッパ層表面の検出は、例えばストッパ層が露出した際の摩擦係数の変化を検出する摩擦検出式、ストッパ層が露出した際に発生する振動を検出する振動検出式、ストッパ層が露出した際の反射光量の変化を検出する光学式により行えばよい。

10

【0094】

次に図8及び図9の工程(d)に示すように、この平坦化膜80cに対して、フォトリソグラフィ及びエッチングを施すことにより、凸部81及び凸部82を除く領域をエッチング除去して、結果として、凸部81及び凸部82を形成する。従って、凸部81及び凸部82を除く第3層間絶縁膜80の表面は、エッチングの均一性により平坦とされる。尚、凸部81と凸部82とを同一の高さに形成するのであれば、両者を同時に形成できる。或いは、凸部81と凸部82とを異なる高さに形成するのであれば、両者を別々にエッチングすればよい。例えば、液晶層50の層厚を3 μ mとした場合、凸部82の高さを0.5 μ m程度とし、凸部81の高さを0.35 μ m程度とするように、当該エッチング処理が行われる。尚、このようなエッチングとして、ウエットエッチングを行うか、或いはドライエッチングとウエットエッチングとを組み合わせれば、凸部81及び凸部82の側面が緩やかに傾斜するように形成できる。

20

【0095】

特にこの工程(d)では好ましくは、工程(a)或いは工程(b)で走査線3aやデータ線6a等の配線パターンを形成する際に用いられるマスクを用いてフォトリソグラフィを行う。これにより、夫々専用のマスクを用いる場合と比較して製造コストを削減できる。この場合には更に、マスクを共用しつつ、配線の幅及び凸部の幅については、露光量を調節することにより同一でないものとして形成できる。

30

【0096】

次に図8及び図9の工程(e)に示すように、第3層間絶縁膜80の上に、スパッタリング処理等により、ITO膜等の透明導電性薄膜を、約50~200nmの厚さに堆積し、更にフォトリソグラフィ工程及びエッチング工程等により、画素電極9aを形成する。尚、当該電気光学装置を反射型として用いる場合には、A1等の反射率の高い不透明な材料から画素電極9aを形成してもよい。更にその上に配向膜16を形成する。係る配向膜16に対して、好ましくは前述のように、より大きい凸部82による段差に対して平行にラビング処理を行う。

【0097】

以上のように本実施形態の製造方法によれば、第2層間絶縁膜7を形成後に、CMP処理を用いて平坦化膜80cを形成することにより、一旦画像表示領域内における基板表面を全体的に平坦化した後に、エッチングにより、凸部81及び凸部82を形成するようになったので、凸部81及び凸部82の高さや形状或いは寸法の精度を格段に高めることができる。この結果、横電界の発生する領域では凸部81及び82により、横電界による液晶配向不良を確実に低減する装置信頼性の高い液晶装置を比較的容易に製造できる。

40

【0098】

ここで、凸部81及び凸部82における側面の傾斜とラビング方向との関係について図10を参照して説明を加える。

【0099】

図10(a)に示すように、液晶層50を構成する液晶分子50aは、図中左右方向にラ

50

ビング処理が施されており所定のプレティルト角を与えるように表面処理された配向膜 16 上で、所定の配向状態をとる。そして、画像信号に応じた電界の印加により、図中破線で示した位置に各液晶分子 50 a は回転する。

【0100】

この際、図 10 (b) に示すように、液晶層 50 を構成する液晶分子 50 a は、配向膜 16 の下地面に、ラビング方向に交わる方向に傾斜を与える凸部があると、この傾斜部で液晶分子 50 a の配向状態は乱れる。更に図 10 (c) に示すように、より急峻な傾斜を与える凸部があると、この液晶分子 50 a の配向状態の乱れは顕著となる。

【0101】

従って、前述した図 8 及び図 9 の工程 (d) に示したエッチングの際に、ウエットエッチングで凸部 81 及び凸部 82 を形成することで、或いはドライエッチングとウエットエッチングとの組み合わせで凸部 81 及び凸部 82 を形成することで、凸部 81 及び凸部 82 による段差を緩やかにすると、当該段差に基づく液晶分子 50 c の配向不良を低減することができ有利である。更に、同一の段差であっても、段差に平行な方向にラビング処理を行えば、段差による液晶分子 50 c の配向状態の乱れは低減する。従って、本実施形態では、TF T アレイ基板 10 側の配向膜 16 に対しては格子状の凸部 81 及び凸部 82 のうち大きい方の凸部による段差の方向に沿ってラビング処理を施すと有利である。或いは、前述の如く横電界が発生する領域にのみストライプ状に形成した凸部による段差の方向に沿ってラビング処理を施すと更に有利である。

【0102】

(変形形態)

次に、上述した実施形態の各種変形形態について図 11 から図 13 を参照して説明する。ここに、図 11 は、図 4 と同様に図 2 の B - B' 断面に対応する個所における一変形形態の断面図である。図 12 は、図 4 と同様に図 2 の B - B' 断面に対応する個所における他の変形形態の断面図である。図 13 は、図 5 と同様に図 2 の C - C' 断面に対応する個所における更に他の変形形態の断面図である。

【0103】

図 11 に示す変形形態では、図 4 に示した実施形態において第 3 層間絶縁膜 80 を CMP 処理により平坦化するのに代えて、予め TF T アレイ基板 10 における容量線 3 b、データ線 6 a 等に対向する位置に、エッチング等により溝 201 を掘っておき、この溝 201 内に、これらの容量線 3 b、データ線 6 a 等を埋め込むことにより、第 2 層間絶縁膜 7 を形成した時点で、TF T アレイ基板 10 上の積層体の上面が平坦化されるように構成されている。そして、このように積極的に平坦化された第 2 層間絶縁膜 7 の上面に、フォトリソグラフィ及びエッチングにより凸部 81' を形成するので、高さ及び形状或いは寸法精度の高い凸部 81' を形成できる。尚、この変形形態では、このような溝 201 は、データ線 6 a に沿った方向にストライプ状に掘ってもよいし、走査線 3 a に沿った方向にストライプ状に掘ってもよいし、或いは、データ線 6 a 及び走査線 3 a に沿った方向に格子状に掘ってもよい。

【0104】

図 12 に示す変形形態では、図 4 に示した実施形態において凸部 81 の上に画素電極 9 a の縁部が位置するのに代えて、凸部 81 に接する凸部 81 の下に画素電極 9 a の縁部が位置するように、凸部 81 及び画素電極 9 a が平面レイアウトされている。このように形成しても、絶縁膜からなる凸部 81 の存在により横電界を弱める効果及び、横電界が存在する領域で液晶を凸部 81 により置き換えることによる横電界の液晶層 50 への作用を減ずる効果は得られる。

【0105】

図 13 に示す変形形態では、図 5 に示した実施形態において TF T アレイ基板側に凸部 82 を形成するのに代えて、対向基板 20 側に、平面的に見て走査線 3 a に沿って伸びるか或いは格子状の凸部 23 a を形成する。そして、TF T アレイ基板 10 上の第 3 層間絶縁膜 80' は CMP 処理が施された平坦膜とされている。このように対向基板側に凸部 23

10

20

30

40

50

aを設けても、横電界の発生領域において、相対的に縦電界を強め、且つ横電界による悪影響を弱める効果は得られる。この変形形態の如く、対向基板20側に凸部23aを設ける場合には、TFTアレ基板10側の凸部81或いは凸部82を省略してもよい。或いは、対向基板20側に凸部23aを設けると共に、TFTアレ基板10側の凸部81或いは凸部82の一部或いは全部を設けてもよい。例えば、走査線3aに沿った方向の凸部をTFTアレ基板10側に設け且つデータ線6aに沿った方向の凸部を対向基板20側に設けてもよいし、逆に、走査線3aに沿った方向の凸部を対向基板20側に設け且つデータ線6aに沿った方向の凸部をTFTアレ基板10側に設けてもよい。ここで、TFTアレ基板10側の配向膜16におけるラビング処理の方向と、対向基板20側の配向膜22におけるラビング処理の方向とは、一般に一致しない(例えば、互いに直交方向にある)。このため、TFTアレ基板10上にストライプ状の凸部を形成し、これと直行する方向に対向基板20上にストライプ状の凸部を形成し、配向膜16に対してはTFTアレ基板10側の凸部による段差に平行にラビング処理し、配向膜22に対しては、対向基板20側の凸部による段差に平行にラビング処理すれば、横電界による悪影響を凸部により低減しつつ、凸部の段差による電気光学物質の動作不良を低減することが可能となる。尚、この変形形態の如く、対向基板20側に凸部を形成する場合、遮光膜23を厚く形成することで凸部を形成すると、専用の膜を用いて凸部を形成する場合と比較して、製造工程及び装置構成を簡略化できる。

【0106】

尚、上述した実施形態では図8及び図9の工程(c)に示したように、CMP処理を用いて平坦化膜80cを平坦化しているが、CMP処理を用いることなく、例えばスピコート等を用いて、流動性のある絶縁膜材料を塗布することにより、平坦化膜80cを形成してもよい。

【0107】

(電気光学装置の全体構成)

以上のように構成された各実施形態における電気光学装置の全体構成を図14及び図15を参照して説明する。尚、図14は、TFTアレ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図15は、図14のH-H'断面図である。

【0108】

図14において、TFTアレ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。更にTFTアレ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレ基板10と対向基板20との間で電氣的に導通をとるための導通材106が設けられている。そして、図15に示すように、図14に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。

【0109】

尚、TFTアレ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行し

10

20

30

40

50

て各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等
を
検査するための検査回路等を形成してもよい。

【0110】

以上図1から図14を参照して説明した各実施形態では、データ線駆動回路101及び走
査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape
Automated bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺
部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよ
い。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射
する側には各々、例えば、TNモード、VA (Vertically Aligned) モード、PDL C (P
olymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード 10
/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板など
が所定の方向で配置される。

【0111】

以上説明した各実施形態における電気光学装置は、プロジェクタに適用されるため、3枚
の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々
RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々
入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設
けられていない。しかしながら、画素電極9aに対向する所定領域にRGBのカラーフィ
ルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、プロジ
ェクタ以外の直視型や反射型のカラー電気光学装置について、各実施形態における電気光 20
学装置を適用できる。

【0112】

更に、以上の実施形態において、特開平9-127497号公報、特公平3-52611
号公報、特開平3-125123号公報、特開平8-171101号公報等に開示されて
いるように、TFTアレイ基板10上において画素スイッチング用TFT30に対向する
位置(即ち、TFTの下側)にも、例えば高融点金属からなる遮光膜を設けてもよい。こ
のようにTFTの下側にも遮光膜を設ければ、TFTアレイ基板10の側からの裏面反射
(戻り光)や複数の液晶装置をプリズム等を介して組み合わせると一つの光学系を構成す
る場合に、他の液晶装置からプリズム等を突き抜けて来る投射光部分等が当該液晶装置のT
FTに入射するのを未然に防ぐことができる。また、対向基板20上に1画素1個対応す 30
るようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGB
に対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能
である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が
実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干涉層を堆積する
ことで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成しても
よい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装
置が実現できる。

【0113】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読
み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を 40
伴なう電気光学装置及びその製造方法もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】第1実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複
数の画素に設けられた各種素子、配線等の等価回路である。

【図2】第1実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成され
たTFTアレイ基板の相隣接する複数の画素群の平面図である。

【図3】図2のA-A'断面図である。

【図4】図2のB-B'断面図である。

【図5】図2のC-C'断面図である。

【図6】実施形態で用いられる1H反転駆動方式における各電極における電圧極性と横電 50

界が生じる領域とを示す画素電極の図式的平面図である。

【図 7】実施形態で採用可能な 1 S 反転駆動方式における各電極における電圧極性と横電界が生じる領域とを示す画素電極の図式的平面図である。

【図 8】実施形態の電気光学装置の製造プロセスを、図 2 の B - B ' 断面に対応する個所について順を追って示す工程図である。

【図 9】実施形態の電気光学装置の製造プロセスを、図 2 の C - C ' 断面に対応する個所について順を追って示す工程図である。

【図 10】実施形態の電気光学装置における凸部による段差の傾斜と液晶分子の配向状態との関係を示す図式的な側面図である。

【図 11】一の変形形態における図 2 の B - B ' 断面に対応する個所における断面図である 10

【図 12】他の変形形態における図 2 の B - B ' 断面に対応する個所における断面図である

【図 13】更に他の変形形態における図 2 の C - C ' 断面に対応する個所における断面図である。

【図 14】各実施形態の電気光学装置における T F T アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 15】図 14 の H - H ' 断面図である。

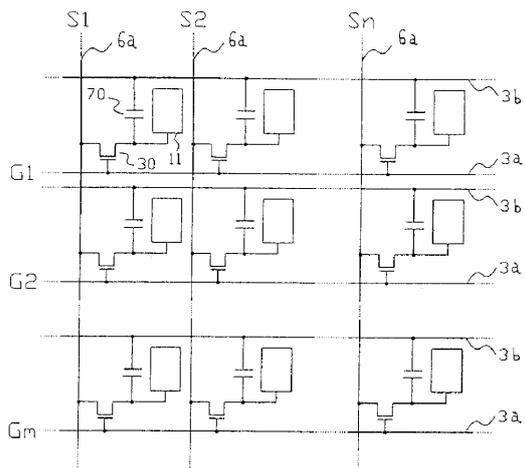
【符号の説明】

- 1 a ... 半導体層 20
- 1 a ' ... チャネル領域
- 1 b ... 低濃度ソース領域
- 1 c ... 低濃度ドレイン領域
- 1 d ... 高濃度ソース領域
- 1 e ... 高濃度ドレイン領域
- 1 f ... 画素電位側容量電極
- 2 ... 絶縁薄膜
- 3 a ... 走査線
- 3 b ... 容量線
- 4 ... 第 1 層間絶縁膜 30
- 5 ... コンタクトホール
- 6 a ... データ線
- 7 ... 第 2 層間絶縁膜
- 8 ... コンタクトホール
- 9 a ... 画素電極
- 10 ... T F T アレイ基板
- 12 ... 下地絶縁膜
- 16 ... 配向膜
- 20 ... 対向基板
- 21 ... 対向電極 40
- 22 ... 配向膜
- 23 ... 遮光膜
- 23 a ... 凸部
- 30 ... T F T
- 50 ... 液晶層
- 50 a ... 液晶分子
- 70 ... 蓄積容量
- 80 ... 第 3 層間絶縁膜
- 80 a ... 平坦化膜
- 81、82 ... 凸部 50

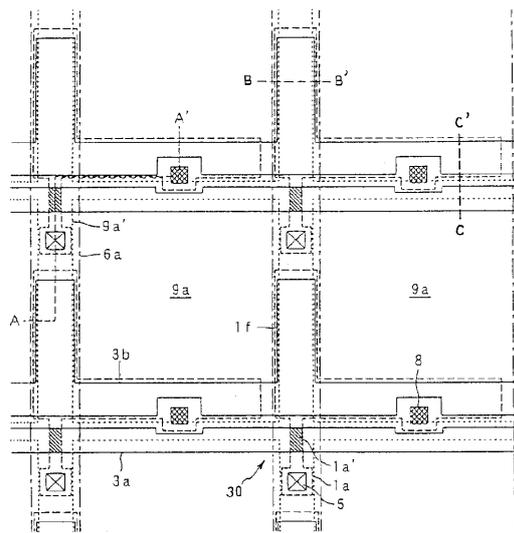
201...溝

C1、C2...横電界の発生領域

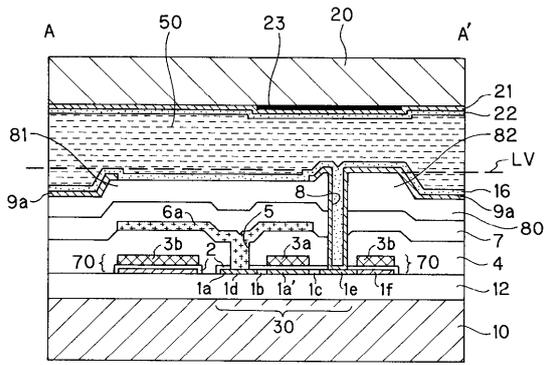
【図1】



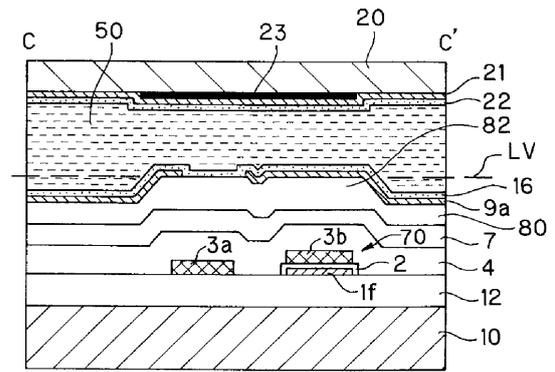
【図2】



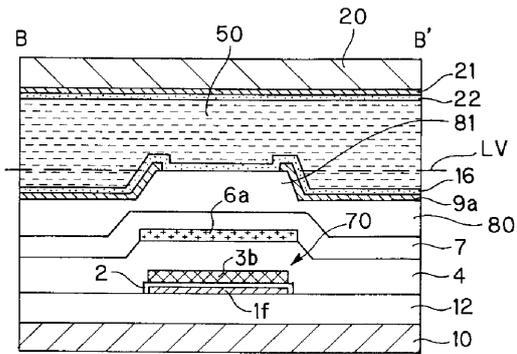
【 図 3 】



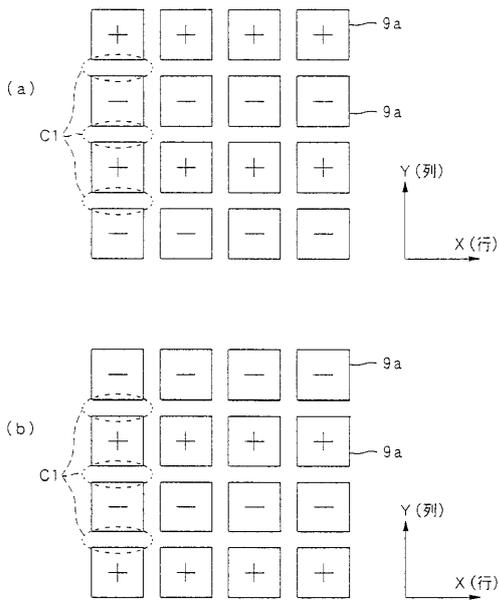
【 図 5 】



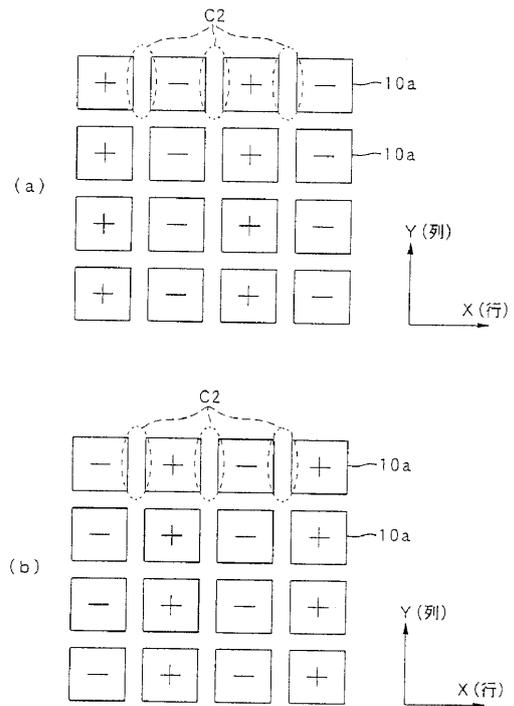
【 図 4 】



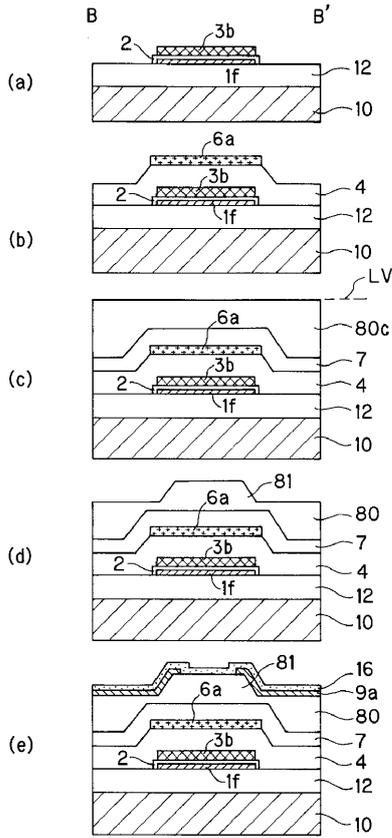
【 図 6 】



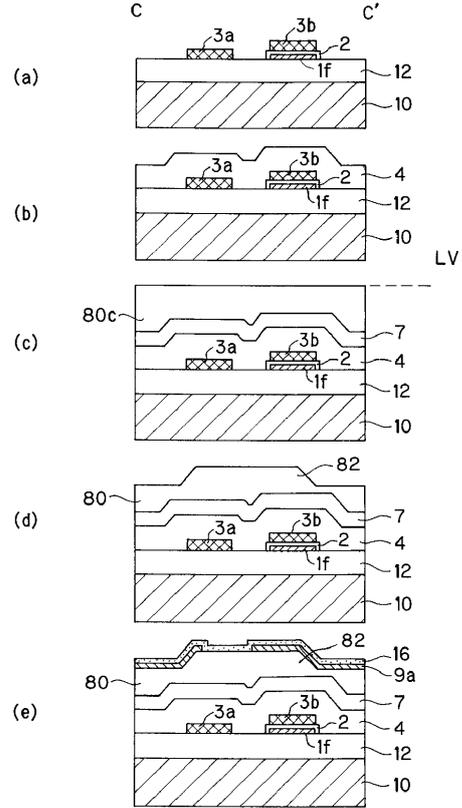
【 図 7 】



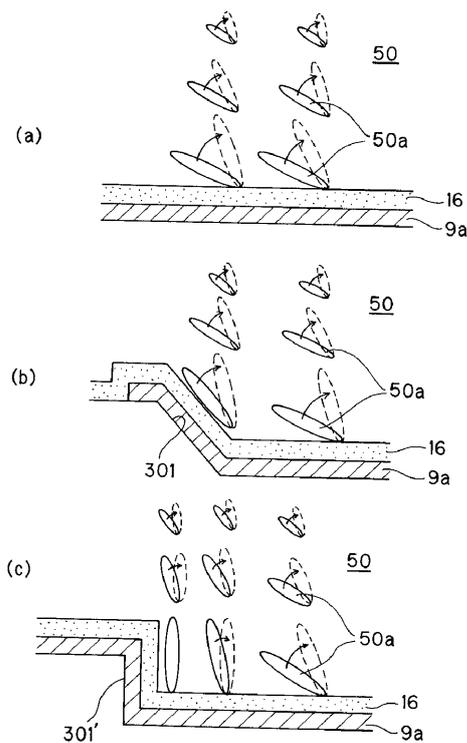
【 図 8 】



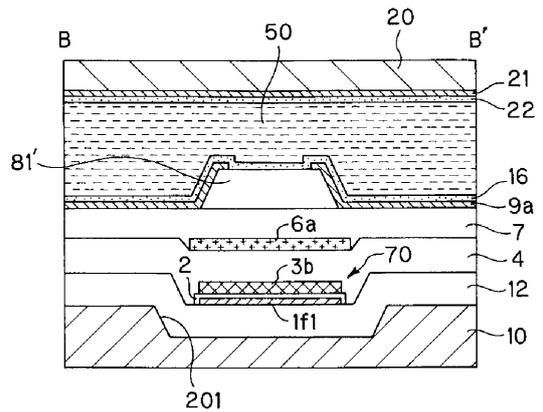
【 図 9 】



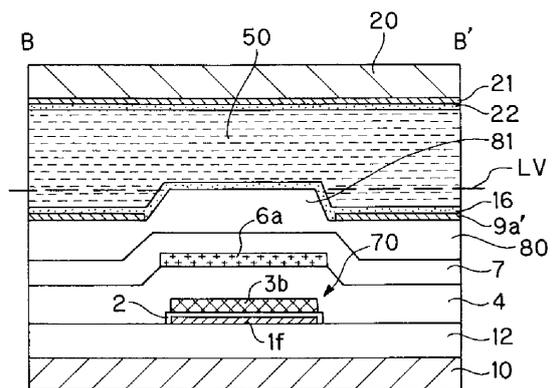
【 図 10 】



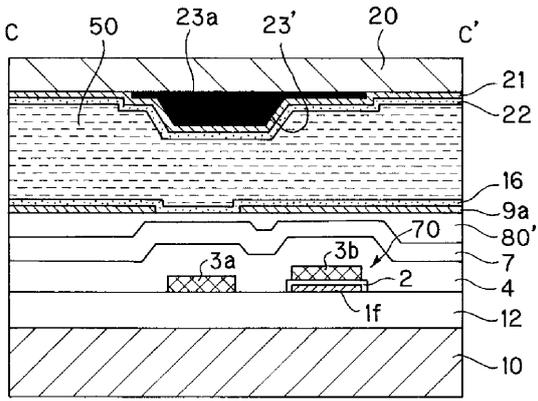
【 図 11 】



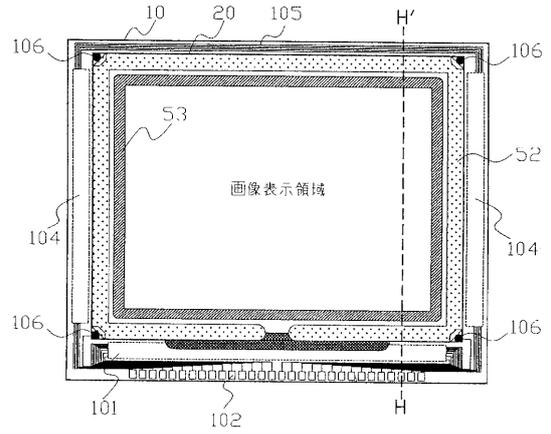
【 図 12 】



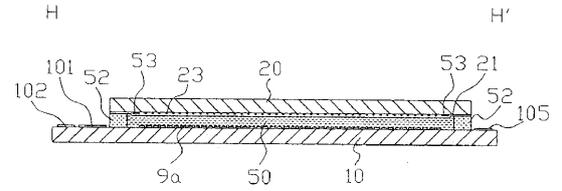
【図13】



【図14】



【図15】



フロントページの続き

(51) Int.Cl.			F I		
G 0 9 F	9/00	(2006.01)	G 0 9 F	9/00	3 4 2 Z
G 0 9 F	9/30	(2006.01)	G 0 9 F	9/30	3 4 8 A

(56) 参考文献 特開平 0 7 - 0 2 0 4 9 7 (J P , A)
特開平 1 1 - 2 1 8 7 8 1 (J P , A)
特開平 0 8 - 0 1 5 6 7 8 (J P , A)
特開平 0 5 - 1 6 5 0 6 1 (J P , A)
特開平 1 0 - 2 9 3 3 2 0 (J P , A)
特開 2 0 0 1 - 1 6 6 3 2 1 (J P , A)
特開平 1 1 - 2 1 8 7 8 3 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

G02F 1/1333
G02F 1/133
G02F 1/1337
G02F 1/1343
G02F 1/1368