



(12) 发明专利申请

(10) 申请公布号 CN 103226982 A

(43) 申请公布日 2013. 07. 31

(21) 申请号 201310014485. 5

(22) 申请日 2013. 01. 15

(30) 优先权数据

2012-017197 2012. 01. 30 JP

2012-245672 2012. 11. 07 JP

(71) 申请人 精工电子有限公司

地址 日本千叶县

(72) 发明人 中村孝志

(74) 专利代理机构 北京三友知识产权代理有限公司

11127

代理人 李辉 黄纶伟

(51) Int. Cl.

G11C 29/46 (2006. 01)

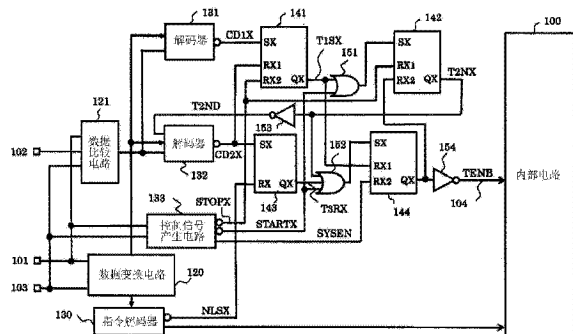
权利要求书1页 说明书5页 附图3页

(54) 发明名称

具有半导体存储电路的半导体装置

(57) 摘要

本发明提供具有半导体存储电路的半导体装置, 该半导体存储电路具备芯片面积小且能够在没有误动作的情况下切换为测试模式的模式切换电路。该半导体存储电路构成为具备追加了如下电路的模式切换电路: 数据比较电路, 其检测对通信用的输入端子与用于通信以外的输入端子输入的串行信号相互处于反相关系的情况; 解码器电路, 其检测串行信号是预定数据的情况, 并输出检测信号; 控制信号产生电路, 其产生控制信号; 以及根据这些信号来输出切换为测试模式的信号的电路。



1. 一种具有半导体存储电路的半导体装置,该半导体存储电路具备输入时钟信号的时钟输入端子与输入数据信号的通信用第 1 输入端子,其特征在于,

该半导体装置具有模式切换电路,该模式切换电路具备:

数据比较电路,其检测向所述第 1 输入端子与第 2 输入端子输入了彼此反相的数据信号的情况;

第一解码器电路,其检测输入了所述数据信号中的第一数据信号的情况,与所述数据比较电路的检测信号一起输出检测信号;

第二解码器电路,其检测输入了所述数据信号中的第二数据信号的情况,与所述数据比较电路的检测信号以及所述第一解码器电路的检测信号一起输出检测信号;以及

接收所述第一解码器电路与所述第二解码器电路的检测信号而输出向测试模式转移的切换信号的电路。

2. 根据权利要求 1 所述的具有半导体存储电路的半导体装置,其特征在于,

该半导体装置具备输出控制信号的控制信号产生电路,

所述第一解码器电路与所述第二解码器电路的检测信号以及所述切换信号是在接收到所述控制信号时输出的。

3. 根据权利要求 2 所述的具有半导体存储电路的半导体装置,其特征在于,

所述控制信号产生电路根据所述时钟信号与所述第 1 输入端子的数据信号输出所述控制信号。

4. 根据权利要求 2 所述的具有半导体存储电路的半导体装置,其特征在于,

所述控制信号产生电路根据芯片选择端子的信号输出所述控制信号。

具有半导体存储电路的半导体装置

技术领域

[0001] 本发明涉及具有半导体存储电路的半导体装置,更详细地涉及能够在没有误动作的情况下容易地进行通常动作模式与测试模式的切换的模式切换电路。

背景技术

[0002] 对现有的具备半导体存储电路的半导体装置的模式切换电路进行说明。图 3 是示出现有的模式切换电路的电路图。

[0003] 现有的模式切换电路具备输入端子 501、内部电路 502、P 型 MOS 晶体管 503、504、N 型 MOS 晶体管 505 和电压判定电路 507。

[0004] 内部电路 502 经由电阻 506 与输入端子 501 连接。内部电路 502 具有输入信号用的反相器,被提供电源电压 V_{cc} (例如 5V)。电压判定电路 507 与节点 N1 连接。P 型 MOS 晶体管 503 和 504 以二极管的形式进行连接,并相互反向地连接在输入端子 501 与电源端子之间。N 型 MOS 晶体管 505 以二极管的形式进行连接,并连接在输入端子 501 与接地端子之间。电压判定电路 507 具备用于检测输入端子 501 的电压的电压检测用反相器和将检测信号电平变换为电源电压 V_{cc} 的变换用反相器。电压检测用反相器的电源被输入节点 N1 的电压,输入端子被输入电源电压 V_{cc} 。变换用反相器的电源被输入电源电压 V_{cc} ,输入端子被输入电压检测用反相器的输出信号。电压判定电路 507 将检测信号输出至内部电路 502。

[0005] 现有的模式切换电路如以下这样地进行动作,从通常模式切换为测试模式(例如,参照专利文献 1)。

[0006] 当对输入端子 501 输入通常动作时的电压(例如 0V ~ 5V)的信号时,因为源极电压从 0V 变化到 5V,所以电压判定电路 507 的 P 型 MOS 晶体管 508 截止,N 型 MOS 晶体管 509 导通。因此,电压判定电路 507 向内部电路 502 输出高电平信号,从而内部电路 502 保持通常动作模式。

[0007] 接着,当对输入端子 501 输入比通常动作时的电压高的电压(例如 10V)时,因为源极电压成为 10V,所以电压判定电路 507 的 P 型 MOS 晶体管 508 导通,N 型 MOS 晶体管 509 截止。因此,电压判定电路 507 向内部电路 502 输出低电平信号,从而内部电路 502 切换为测试模式。

[0008] 【专利文献 1】日本特开 2000-269428 号公报

[0009] 但是,在现有技术中,因为对在通常动作时使用的输入端子施加高电压,所以需要设置用于保护输入端子以及内部电路免受高电压影响的保护晶体管。另外,还需要设置用于判定向输入端子输入高电压的情况的电压判定电路。因此,存在模式切换电路的面积增加的问题。

[0010] 另外,为了防止不慎进入测试模式,需要使得用于设定测试模式的高电压远远高于通常动作时的输入电压。但是,存在这样的问题:伴随着半导体集成电路中的元件的精细化或元件动作的高速化,导致具有保护功能的晶体管的耐压降低,从而难以确保考虑到电压判定电路偏差的充分裕度(margin)。

发明内容

[0011] 本发明是鉴于上述课题而完成的,其提供具备半导体存储电路的半导体装置,其具有芯片面积小且能够在没有误动作的情况下切换为测试模式的模式切换电路。

[0012] 本发明为了解决上述课题,采用如下结构:本发明的具有半导体存储电路的半导体装置具备追加以下电路的模式切换电路:数据比较电路,其检测向通信用的输入端子与用于通信以外的输入端子输入的串行信号彼此处于反转关系的情况;解码器电路,其检测串行信号是预定数据的情况,输出检测信号;控制信号产生电路,其产生控制信号;以及根据这些信号来输出切换为测试模式的信号的电路。

[0013] 根据本发明,可在不增加芯片面积的情况下构成模式切换电路,该模式切换电路可在没有误动作的情况下切换为测试模式。

附图说明

[0014] 图 1 是示出具有半导体存储电路的半导体装置的本实施方式的模式切换电路的电路图。

[0015] 图 2 是示出本实施方式的模式切换电路的动作的时序图。

[0016] 图 3 是示出现有的具备半导体存储电路的半导体装置的模式切换电路的电路图。

[0017] 标号说明

[0018] 100 内部电路;120 数据变换电路;121 数据比较电路;130 指令解码器电路;131、132 解码器电路;133 控制信号产生电路;141、142、143、144SR 锁存电路。

具体实施方式

[0019] 关于本发明的具有半导体存储电路的半导体装置的模式切换电路,对半导体装置具有的半导体存储电路的通信电路进行电路的变更以及追加,由此能够在不输入高电压的情况下切换模式。

[0020] 详细地说,追加了以下电路:数据比较电路,其检测向通信用的输入端子与用于通信以外的输入端子输入的串行信号彼此处于反转关系的情况;解码器电路,其检测到串行信号是预定数据的情况而输出检测信号;控制信号产生电路,其根据串行信号来产生控制信号;以及根据这些信号来输出切换为测试模式的切换信号的电路。

[0021] 以下,参照附图来说明本发明的实施方式。

[0022] 图 1 是具有半导体存储电路的半导体装置的本实施方式的模式切换电路的电路图。本实施方式是具有双线式的串行数据通信方式(例如 I²C 总线)的半导体存储电路的模式切换电路。

[0023] 本实施方式的模式切换电路由输入端子 101 以及 102、时钟端子 103、输出端子 104、数据变换电路 120、数据比较电路 121、指令解码器电路 130、第一解码器电路 131、第二解码器电路 132、控制信号产生电路 133、SR 锁存电路 141、142、143、144、OR 电路 151、152 和反相器 153、154 构成。

[0024] 数据变换电路 120 与输入端子 101、102、时钟端子 103 连接。数据比较电路 121 与输入端子 101、102、时钟端子 103 连接。控制信号产生电路 133 与输入端子 101、时钟端子

103 连接。数据变换电路 120 的输出端子与指令解码器电路 130、第一解码器电路 131、第二解码器电路 132 连接。数据比较电路 121 的输出端子与第一解码器电路 131、第二解码器电路 132 连接。指令解码器电路 130 的第一输出端子与内部电路 100 连接,第二输出端子(节点 NLSX)与 SR 锁存电路 143 的输入端子 RX 连接。第一解码器电路 131 的输出端子(节点 D1X)与 SR 锁存电路 141 的输入端子 SX 连接。第二解码器电路 132 的输出端子(节点 D2X)与 SR 锁存电路 141 的输入端子 RX1、SR 锁存电路 143 的输入端子 SX 连接。控制信号产生电路 133 的第一输出端子(节点 STOPX)与 SR 锁存电路 141 的输入端子 RX2、SR 锁存电路 142 的输入端子 RX1 连接,第二输出端子(节点 STARTX)与 OR 电路 151、152 的输入端子连接,第三输出端子(节点 SYSEN)与 SR 锁存电路 144 的输入端子 RX2 连接。SR 锁存电路 141 的输出端子 QX(节点 T1SX)与 OR 电路 151 的输入端子、SR 锁存电路 144 的输入端子 RX1 连接。SR 锁存电路 143 的输出端子 QX 与 OR 电路 152 的输入端子连接。OR 电路 151 的输出端子与 SR 锁存电路 142 的输入端子 SX 连接。OR 电路 152 的输出端子与 SR 锁存电路 144 的输入端子 SX 连接。SR 锁存电路 142 的输出端子 QX(节点 T2NX)与 OR 电路 152 的输入端子经由反相器 153 连接至第二解码器电路 132。SR 锁存电路 144 的输出端子 QX 与 SR 锁存电路 142 的输入端子 RX2 经由反相器 154、输出端子 104(节点 TENB)连接至内部电路 100。

[0025] 输入端子 101 是利用通常动作的通信来接收串行信号的输入端子。输入端子 102 是通信以外的输入端子,例如功能选择用信号的输入端子。时钟端子 103 是利用通常动作的通信来接收时钟信号的输入端子。

[0026] 数据变换电路 120 将从输入端子 101 输入的串行信号变换为并行信号。数据比较电路 121 输出比较输入端子 101 的信号与输入端子 102 的信号后的结果。在本实施方式中,当输入端子 101 的信号与输入端子 102 的信号彼此处于反转关系时,数据比较电路 121 输出检测信号。指令解码器电路 130 接收并行信号,向内部电路 100 输出指令信号。第一解码器电路 131 根据并行信号来检测第一数据信号(例如 7bit),在输入了数据比较电路 121 的检测信号的情况下,输出第一数据信号的检测信号。第二解码器电路 132 根据并行信号来检测第二数据信号(例如 7bit),在输入了数据比较电路 121 的检测信号与 SR 锁存电路 142 的测试模式标志 2 的情况下,输出第二数据信号的检测信号。控制信号产生电路 133 根据时钟信号与输入端子 101 的信号状态,输出启动信号和停止信号,并输出系统控制信号,该系统控制信号控制输出测试信号的 SR 锁存电路 144。

[0027] 接着,采用时序图来说明本实施方式的模式切换电路的动作。

[0028] 图 2 是示出本实施方式的模式切换电路的动作的时序图。

[0029] 首先,当使时钟端子 103 与输入端子 101 成为高电平、使输入端子 101 从高电平变为低电平时,控制信号产生电路 133 向第二输出端子(节点 STARTX)输出启动信号,使第三输出端子(节点 SYSEN)的系统控制信号从低电平变为高电平。在此状态下,向输入端子 101 与输入端子 102 输入彼此反相的第一数据信号,向时钟端子 103 输入时钟信号。数据比较电路 121 按照每 1bit 依次比较输入端子 101 与输入端子 102 的数据信号,当检测到这些数据信号彼此反相时,将检测信号输出至第一解码器电路 131 和第二解码器电路 132。数据变换电路 120 将从输入端子 101 输入的串行信号变换为并行信号,输出至指令解码器电路 130、第一解码器电路 131 和第二解码器电路 132。指令解码器电路 130 接收并行信号,

将模式切换电路的初始化信号输出至 SR 锁存电路 143, 并将指令信号输出至内部电路 100。

[0030] 当并行信号是第一数据信号且输入了数据比较电路 121 的检测信号时, 第一解码器电路 131 在第 7 次时钟信号的定时 (检测到并行信号是第一数据信号), 从输出端子 (节点 CD1X) 向 SR 锁存电路 141 的输入端子 SX 输出低电平的脉冲。SR 锁存电路 141 使输出端子 QX (节点 T1SX) 从高电平变为低电平, 设定测试模式标志 1。

[0031] 控制信号产生电路 133 在第 8 次时钟信号的定时, 使第三输出端子 (节点 SYSEN) 从高电平变为低电平, 在时钟端子 103 是高电平、输入端子 101 从高电平变为低电平时, 使第三输出端子从低电平变为高电平。此时, 因为还同时输出启动信号, 所以 OR 电路 151 的输入端子都为低电平, SR 锁存电路 142 的输入端子 SX 成为低电平。因此, SR 锁存电路 142 使输出端子 QX (节点 T2NX) 从高电平变为低电平, 设定测试模式标志 2。

[0032] 这里, 在图 2 的时序图内, 以在第 8 次时钟信号的定时、第一数据信号的第 7 位数据从高电平变成低电平为前提进行了说明, 但也可以在第一数据信号与第二数据信号之间插入 1 个脉冲, 在该脉冲从高电平变为低电平的定时使节点 SYSEN 从高电平变为低电平, 输出启动信号。另外, 不限于第 8 次时钟信号的定时。

[0033] 此外, 还对输入端子 101 与输入端子 102 输入彼此反相的第二数据信号, 对时钟端子 103 输入时钟信号。数据比较电路 121 按照每 1bit 依次比较输入端子 101 与输入端子 102 的数据信号, 当检测到这些数据信号彼此反相时, 将检测信号输出至第一解码器电路 131 和第二解码器电路 132。

[0034] 当并行信号是第二数据且输入了数据比较电路 121 的检测信号与 SR 锁存电路 142 的测试模式标志 2 时, 第二解码器电路 132 在第 7 次时钟信号的定时 (检测并行信号是第二数据信号) 中, 从输出端子 (节点 CD2X) 向 SR 锁存电路 141 的输入端子 RX1 与 SR 锁存电路 143 的输入端子 SX 输出低电平的脉冲。SR 锁存电路 141 使输出端子 QX (节点 T1SX) 从低电平变为高电平, 使测试模式标志 1 复位。SR 锁存电路 143 使输出端子 QX (节点 T3RX) 从高电平变为低电平, 设定测试模式标志 3。

[0035] 控制信号产生电路 133 同样在第 8 次时钟信号的定时, 使第三输出端子 (节点 SYSEN) 从高电平变为低电平, 在时钟端子 103 是高电平、输入端子 101 从高电平变为低电平时, 使第三输出端子从低电平变为高电平。此时, 还同时输出启动信号, 所以 OR 电路 152 的 3 个输入端子都为低电平, SR 锁存电路 144 的输入端子 SX 为低电平。因此, SR 锁存电路 144 使输出端子 QX 从高电平变为低电平, 从而使反相器 154 的输出端子 (节点 TENB) 成为高电平 (切换信号), 使内部电路 100 成为测试模式。此时, 因为 SR 锁存电路 142 的输入端子 SX 是低电平, 所以输出端子 QX (节点 T2NX) 从低电平变为高电平, 使测试模式标志 2 复位。

[0036] 接着, 对测试模式的解除方法进行说明。在时钟端子 103 为高电平时, 如果输入端子 101 从低电平变为高电平, 则控制信号产生电路 133 向第一输出端子 (节点 STOPX) 输出停止信号。SR 锁存电路 141、142 通过停止信号进行复位。同时, 控制信号产生电路 133 使第三输出端子 (节点 SYSEN) 成为低电平, 使 SR 锁存电路 144 的输出端子 QX 成为低电平, 从而使反相器 154 的输出端子 (节点 TENB) 成为高电平, 解除内部电路 100 的测试模式。此时, 本实施方式的测试模式标志 3 是已设定的状态, 在发送通常动作指令之后的来自时钟端子 103 的时钟第 8 次定时, 利用指令解码器电路 130 的输出节点 NRMRSTX 的 1 个脉冲进

行清除。其中,只要在解除测试模式之后对测试模式标志 3 进行复位即可,不限于此方法。

[0037] 如上所述,本实施方式的模式切换电路在检测到向通信用的输入端子 101 与其它输入端子 103 输入了彼此反相的第一数据信号与第二数据信号的情况后,输出切换为测试模式的信号,所以能够防止错误地进入测试模式的情况。另外,测试模式的解除只是在时钟信号为高电平时使输入端子 101 从低电平变为高电平,所以能够容易地进行。

[0038] 另外,利用具备双线式的串行数据通信方式的半导体存储电路的模式切换电路图说明了本实施方式的模式切换电路,但即使是具备 3 线式的串行数据通信方式的半导体存储电路,也能够同样地进行实施。

[0039] 例如,控制信号产生电路 133 也可构成为根据芯片选择端子的信号来输出启动信号和停止信号,控制输出测试信号的 SR 锁存电路 144。

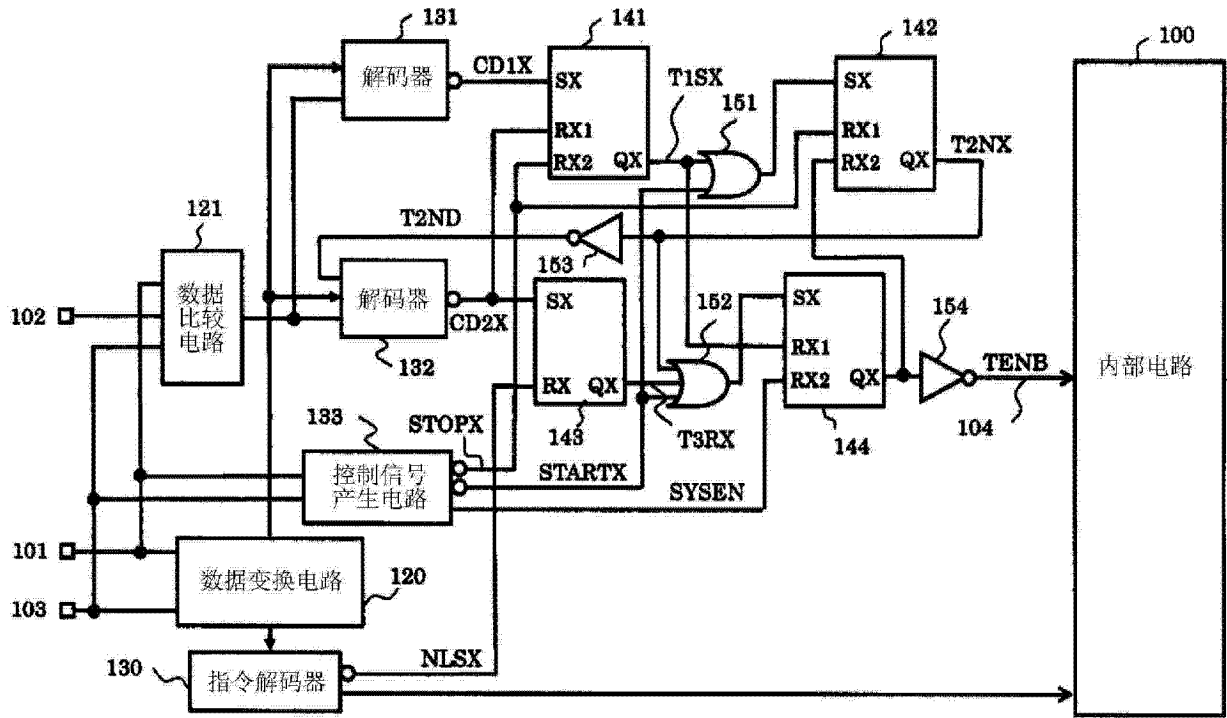


图 1

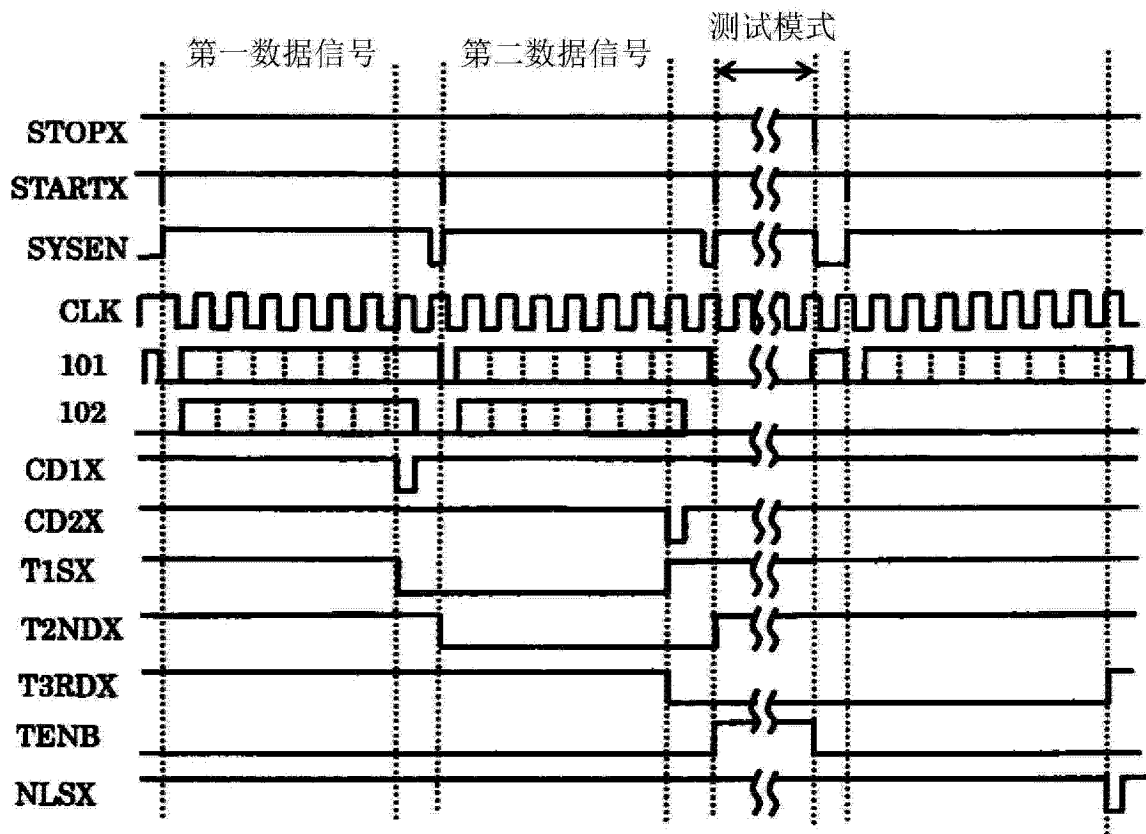


图 2

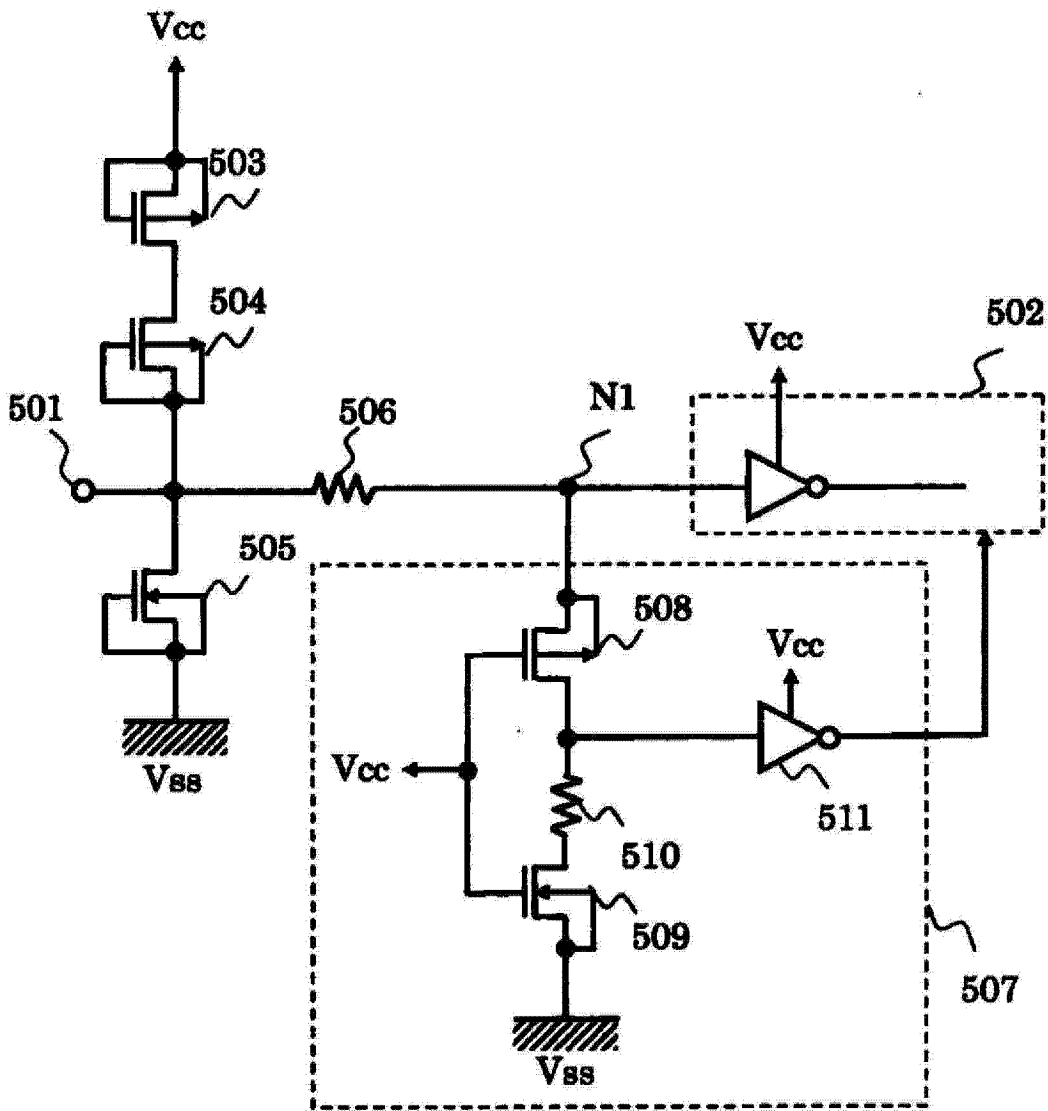


图 3