

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-86272

(P2006-86272A)

(43) 公開日 平成18年3月30日(2006.3.30)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 G	4 M 1 0 4
HO 1 L 21/283 (2006.01)	HO 1 L 21/283 C	5 F 0 4 8
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G	5 F 1 4 0
HO 1 L 29/49 (2006.01)	HO 1 L 29/78 3 O 1 P	
HO 1 L 21/336 (2006.01)	HO 1 L 27/08 3 2 1 D	

審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2004-268273 (P2004-268273)
 (22) 出願日 平成16年9月15日 (2004.9.15)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番1号
 (74) 代理人 100092978
 弁理士 真田 有
 (72) 発明者 青山 敬幸
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 4M104 BB13 BB14 BB16 BB17 BB18
 CC05 DD03 EE03 EE12 EE14
 EE16 EE17 GG08 GG10 HH20
 5F048 AC03 BA01 BB01 BB05 BB09
 BB11 BB14 BC05 BE03 BG13
 DA23

最終頁に続く

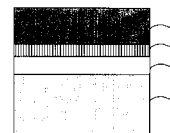
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高誘電率ゲート絶縁膜やメタルゲート電極を採用する場合に、仕事関数の変動を抑えて閾値電圧の変動量を低く抑えることができるようにし、ゲートリーク電流の増大を抑えて、信頼性の低下を招かないようにする。

【解決手段】 半導体装置を、ゲート電極1がメタルゲート電極であるか、又は、ゲート絶縁膜4が高誘電率ゲート絶縁膜である場合に、ゲート電極1とゲート絶縁膜4との間に、ゲート電極1側から順に、シリコン酸化膜2、シリコン窒化膜3を備えるものとする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート電極と、
ゲート絶縁膜とを備え、

前記ゲート電極がメタルゲート電極であるか、又は、前記ゲート絶縁膜が高誘電率ゲート絶縁膜である場合に、前記ゲート電極と前記ゲート絶縁膜との間に、前記ゲート電極側から順に、シリコン酸化膜、シリコン窒化膜を備えることを特徴とする、半導体装置。

【請求項 2】

ゲート電極と、
ゲート絶縁膜とを備え、

前記ゲート電極がメタルゲート電極であるか、又は、前記ゲート絶縁膜が高誘電率ゲート絶縁膜である場合に、前記ゲート電極と前記ゲート絶縁膜との間に、シリコン酸化膜を備えることを特徴とする、半導体装置。

【請求項 3】

前記メタルゲート電極が、Mo, W, Ta, Ti, Hf, Zr, V, Cr, Nbを含む金属群から選ばれるいずれか1種の金属を含むものとして構成されることを特徴とする、請求項1又は2記載の半導体装置。

【請求項 4】

前記高誘電率ゲート絶縁膜が、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、酸化イットリウム、ランタン族酸化物、又は前記各酸化物のシリケート、又は前記各酸化物若しくは前記各シリケートを含む混合物により構成されることを特徴とする、請求項1～3のいずれか1項に記載の半導体装置。

【請求項 5】

Mo, W, Ta, Ti, Hf, Zr, V, Cr, Nbを含む金属群から選ばれるいずれか1種の金属を含む金属膜と、

高誘電率膜とを備え、

前記金属膜と前記高誘電率膜との間に、前記金属膜側から順に、シリコン酸化膜、シリコン窒化膜を備えることを特徴とする、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばMOS (Metal Oxide Semiconductor) デバイスのゲートスタック構造に用いて好適の半導体装置に関する。

【背景技術】

【0002】

従来、MOS デバイスでは、ゲート絶縁膜としてSiO₂ゲート絶縁膜が広く用いられてきた。しかし、SiO₂ゲート絶縁膜の薄膜化が進み、その厚さが原子数個分にまで薄くなると、ゲートリーク電流が増大してしまい、消費電力や発熱量の増大という問題が深刻になり、その抑制が重要な課題となってきた。

そこで、近年、ゲート絶縁膜として、SiO₂ゲート絶縁膜よりも誘電率の高い絶縁膜（高誘電率ゲート絶縁膜、High-kゲート絶縁膜）を用いることが提案されている。

【0003】

一方、ゲート電極としては、従来、ポリシリコンゲート電極が広く用いられてきた。しかし、ゲート絶縁膜の薄膜化が進むにつれて、ゲート空乏化によってトランジスタのオン電流が低下してしまうという問題が深刻になり、その抑制が重要な課題となってきた。

また、ポリシリコンゲート電極は、高誘電率ゲート絶縁膜と組み合わせ使った場合に、ゲート絶縁膜とゲート電極との界面で欠陥が生じやすく、動作電圧（閾値電圧）が上昇してしまう傾向がある。さらにフォノン振動が発生して、トランジスタのチャンネル内での電子の移動を阻害するという問題も発生する。

【0004】

10

20

30

40

50

そこで、近年、ゲート電極として、メタルゲート電極を用いることが提案されている。

なお、従来、半導体デバイスにおいて、誘電率の高い膜（高誘電率膜，強誘電率膜）を設ける場合には、この膜からの酸素の拡散が問題の一つとされており、この問題を解決するために種々の提案がなされている（例えば特許文献1～3参照）。また、リーク電流を抑制するために、高誘電率絶縁膜を設ける技術もある（例えば特許文献4参照）。

【特許文献1】特開平5-243562号公報

【特許文献2】特開2000-208720号公報

【特許文献3】特開2002-359370号公報

【特許文献4】特開2003-188356号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、高誘電率(High-k)ゲート絶縁膜やメタルゲート電極を採用する場合、例えば図4に示すように、高誘電率(High-k)ゲート絶縁膜50又はSiO₂ゲート絶縁膜51上に直接メタルゲート電極52を設けることが考えられる。

しかしながら、高誘電率(High-k)ゲート絶縁膜50又はSiO₂ゲート絶縁膜51上に直接メタルゲート電極52を設けると、高誘電率ゲート絶縁膜50又はSiO₂ゲート絶縁膜51とメタルゲート電極52とが激しく反応してしまうという問題がある。特に、高誘電率ゲート絶縁膜50とメタルゲート電極52との反応は、低い温度（例えば500程度）でも進行することが多いため、問題が大きい。このように、ゲート絶縁膜50、51とゲート電極52とが反応してしまうと、ゲートリーク電流の増大（極度の場合には絶縁性の喪失）を招き、信頼性の低下につながることになる。

【0006】

また、高誘電率ゲート絶縁膜50上にポリシリコン(Poly-Si)ゲート電極53を設けることも考えられる。

しかしながら、この場合にも、上記の組み合わせの場合と同様に、高誘電率ゲート絶縁膜50とポリシリコンゲート電極53とが反応してしまうという問題がある。

このような高誘電率ゲート絶縁膜50とポリシリコンゲート電極53との反応を抑えるために、図5に示すように、高誘電率ゲート絶縁膜50とポリシリコンゲート電極53との間にシリコン窒化膜(SiN膜)54を挟むことが提案されている（例えば上記特許文献3など）。

【0007】

しかしながら、高誘電率ゲート絶縁膜50とポリシリコンゲート電極53との間にSiN膜54を挟むと、SiN膜54に含まれる窒素Nがゲート電極53を構成するポリシリコンと反応してしまい、仕事関数が変動してしまう場合がある。そして、仕事関数が変動してしまうと、閾値電圧(V_{th})が変動（例えば0.1V以上）してしまうため、目標とする閾値電圧に調整することが難しくなる。

【0008】

なお、上記特許文献1～3には、誘電率の高い膜からの酸素の拡散を抑制するための技術が開示されているに過ぎず、上記の問題については何ら考慮されていない。

また、上記特許文献4は、浮遊電極及び強誘電体層を備えるMFMI S型トランジスタにおいて、上部電極金属と強誘電体層との間や強誘電体層と浮遊電極金属層との間に、絶縁体層として、SiO₂、Si₃N₄、SiONのうちのひとつあるいは複数と、高誘電率絶縁膜とを積層させる技術が開示されている。また、Si基板と浮遊電極（白金，ポリシリコン，シリサイドなど）との間に、ゲート絶縁膜（SiO₂膜，Si₃N₄膜，SiON膜）と、高誘電率絶縁膜とを設けることも記載されている（例えば段落番号0049，図5参照）。しかしながら、この文献には、Si基板と浮遊電極との間に、絶縁体層として、ゲート絶縁膜（SiO₂膜，Si₃N₄膜，SiON膜）と、高誘電率絶縁膜とを設けることが記載されているに過ぎず、浮遊電極と高誘電率絶縁膜とが反応してしまうという上記の問題については何ら考慮されていない。

10

20

30

40

50

【0009】

本発明は、このような課題に鑑み創案されたもので、高誘電率ゲート絶縁膜やメタルゲート電極を採用する場合に、仕事関数の変動を抑えて閾値電圧の変動量を低く抑えることができるようにした、半導体装置を提供することを目的とする。

また、高誘電率ゲート絶縁膜やメタルゲート電極を採用する場合に、ゲートリーク電流の増大を抑えて、信頼性の低下を招かないようにすることも目的とする。

【課題を解決するための手段】

【0010】

このため、本発明の半導体装置は、ゲート電極と、高誘電率ゲート絶縁膜とを備え、ゲート電極がメタルゲート電極であるか、又は、ゲート絶縁膜が高誘電率ゲート絶縁膜である場合に、ゲート電極と高誘電率ゲート絶縁膜との間に、ゲート電極側から順に、シリコン酸化膜、シリコン窒化膜を備えることを特徴としている（請求項1）。

10

また、本発明の半導体装置は、ゲート電極と、高誘電率ゲート絶縁膜とを備え、ゲート電極がメタルゲート電極であるか、又は、ゲート絶縁膜が高誘電率ゲート絶縁膜である場合に、ゲート電極と高誘電率ゲート絶縁膜との間に、シリコン酸化膜を備えることを特徴としている（請求項2）。

【0011】

特に、ゲート電極をメタルゲート電極とする場合に適用するのが好ましい。この場合、メタルゲート電極は、Mo, W, Ta, Ti, Hf, Zr, V, Cr, Nbを含む金属群から選ばれるいずれか1種の金属を含むものとして構成するのが好ましい（請求項3）。また、高誘電率ゲート絶縁膜は、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、酸化イットリウム、ランタン族酸化物、又は前記各酸化物のシリケート、又は前記各酸化物若しくは前記各シリケートを含む混合物により構成するのが好ましい（請求項4）。

20

【0012】

さらに、本発明の半導体装置は、Mo, W, Ta, Ti, Hf, Zr, V, Cr, Nbを含む金属群から選ばれるいずれか1種の金属を含む金属膜と、高誘電率膜とを備え、金属膜と高誘電率膜との間に、金属膜側から順に、シリコン酸化膜、シリコン窒化膜を備えることを特徴としている（請求項5）。

【発明の効果】

【0013】

したがって、本発明によれば、ゲート電極と高誘電率ゲート絶縁膜との間にシリコン酸化膜が設けられているため、仕事関数の変動を抑えることができ、これにより、閾値電圧の変動量を低く抑えることができるという利点がある。

30

また、本発明によれば、ゲート電極と高誘電率ゲート絶縁膜との間にシリコン窒化膜が設けられているため、ゲートリーク電流の増大を抑えることができ、ひいては信頼性を確保できるようになるという利点がある。

【発明を実施するための最良の形態】

【0014】

以下、図面により、本発明の実施の形態にかかる半導体装置について説明する。

本実施形態にかかる半導体装置[例えばCMOS(Complementary Metal Oxide Semiconductor)デバイスなどのMOSデバイス(例えばMOSトランジスタを含む)]は、図1に示すように、ゲート電極1と、シリコン酸化膜2と、シリコン窒化膜3と、ゲート絶縁膜4とを備えるものとして構成される。

40

【0015】

つまり、本半導体装置は、ゲート電極1がメタルゲート電極であるか、又は、ゲート絶縁膜4が高誘電率ゲート絶縁膜である場合に、ゲート電極1とゲート絶縁膜4との間に、ゲート電極1側から順に、シリコン酸化膜2、シリコン窒化膜3を備えるものとする。

ここで、ゲート電極1は、メタルゲート電極とするのが好ましい。特に、製造工程において活性化のために1000以上の高温にする熱処理(アニール処理)を行なうことを考慮すると、熱処理工程における上限温度よりも高い融点を有する高融点金属により構成

50

するのが好ましい。例えば、Mo, W, Ta, Ti, Hf, Zr, V, Cr, Nbを含む金属群から選ばれるいずれか1種の金属を含む金属膜とするのが好ましい。つまり、Mo, W, Ta, Ti, Hf, Zr, V, Cr, Nbを含む金属群から選ばれるいずれか1種の金属、又はこれらの金属の化合物、又はこれらの金属や化合物を含む混合物により構成される金属膜とするのが好ましい。

【0016】

なお、ゲート絶縁膜を高誘電率ゲート絶縁膜とする場合には、ゲート電極はポリシリコンなどの一般に用いられている材料によって構成しても良い。

ゲート絶縁膜4は、高誘電率ゲート絶縁膜(High-kゲート絶縁膜, 高誘電率膜)とするのが好ましい。例えば、酸化ハフニウム(HfO_2)、酸化ジルコニウム(ZrO_2)、酸化アルミニウム(Al_2O_3)、酸化イットリウム(Y_2O_3)、ランタン族酸化物(例えば La_2O_3)、又はこれらの酸化物のシリケート(例えば、 HfO_2 の場合、 HfSi_xO_y ; Hfシリケート) [Nを含んだシリケート(例えば、 HfO_2 の場合、 $\text{HfSi}_x\text{O}_y\text{N}_z$; Hfシリケート)でも良い]、又はこれらの酸化物やそのシリケートを含む混合物(例えば HfAlO_x)などにより構成するのが好ましい。

10

【0017】

なお、ゲート電極をメタルゲート電極とする場合には、ゲート絶縁膜は SiO_2 などの一般に用いられている材料によって構成しても良い。

シリコン窒化膜3は、ゲートリーク電流の増大を抑えるために、ゲート電極1とゲート絶縁膜4との間に設けられる。ここでは、シリコン窒化膜を SiN (窒化ケイ素)により形成している。

20

【0018】

シリコン酸化膜2は、仕事関数の変動を抑えて閾値電圧の変動量を低く抑えるために、シリコン窒化膜3とゲート電極1との間に設けられる。ここでは、シリコン酸化膜を SiO_2 (酸化シリコン)により形成している。

上述のように、ゲートリーク電流の増大を抑えるために、シリコン窒化膜3を設けると、ゲート電極1とシリコン窒化膜3とが接することになる。一方、高融点金属に窒素が導入されると仕事関数が変化してしまう。例えば、モリブデンMoに窒素が導入されると仕事関数が変化してしまうことについては、例えば、IEEE Electron Device Letters, vol. 23, no.1, Page:49-51に記載されている。このため、特に、ゲート電極1を高融点金属により構成する場合に、高融点金属からなるメタルゲート電極1にシリコン窒化膜3から窒素が導入され、仕事関数が変化してしまう可能性が高い。したがって、特に、ゲート電極1を高融点金属により構成する場合に、シリコン窒化膜3とゲート電極1との間にシリコン酸化膜2を設けることが重要になる。

30

【0019】

ここでは、ゲート電極1とゲート絶縁膜4との間に、シリコン酸化膜2と、シリコン窒化膜3とを設け、ゲート絶縁膜/シリコン窒化膜/シリコン酸化膜/ゲート電極(例えばHigh-k/ SiN / SiO_2 /ゲート電極)の積層構造にし、その厚さ(膜厚)を、その後の熱処理やゲート電極1の材料の種類(例えばメタルの種類)によって調整するようにしている。このように構成することで、例えばゲート絶縁膜/シリコン酸化膜/ゲート電極(例えばHigh-k/ SiO_2 /ゲート電極)という積層構造にする場合と比較して、全体の厚さを薄くすることができるという効果もある。

40

【0020】

逆に言うと、全体の厚さを薄くする点をそれほど考慮しなくてもよい場合には、上述の構成において、シリコン窒化膜3を設けずに、ゲート絶縁膜/シリコン酸化膜/ゲート電極(例えばHigh-k/ SiO_2 /ゲート電極)という積層構造にすることもできる。

次に、本実施形態にかかる半導体装置の製造方法について説明する。ここでは、2つの代表的な例について説明するが、これに限られるものではない。以下、説明を分かり易くするため、本発明に関わる部分を中心に説明する。

(第1の製造方法)

50

まず、第1の製造方法について、図2を参照しながら説明する。

【0021】

第1の製造方法は、基本的に、MOSデバイスを製造する際の一般的な製造方法である。この方法によれば、従来の製造装置をそのまま使えることになる。

まず、図2(A)に示すように、STI(Shallow Trench Isolation)技術を用いて、Si基板5に浅い溝を形成し、絶縁物で埋めて素子分離領域6を形成する。

次に、図2(B)に示すように、Nウェル(N-WELL)7及びPウェル(P-WELL)8を形成し、チャンネル注入を行なう。

【0022】

次いで、図2(C)に示すように、例えばHfシリケートをMOCVD(Metal Organic Chemical Vapor Deposition)法により堆積させて、例えば1.5nmのHfシリケート膜(高誘電率膜)9[これがゲート絶縁膜(高誘電率ゲート絶縁膜)となる]を形成する。なお、Hfシリケート膜9の下側に他の膜を形成しておいても良い。

次に、図2(D)に示すように、例えばLPCVD(Low Pressure Chemical Vapor Deposition)法によりSiH₂Cl₂(DCS;ジクロロシラン)-NH₃(アンモニア)のガス系で、例えば680程度程度の所定の温度条件として、SiNを堆積させて、例えば0.2nmのSiN膜(シリコン窒化膜)10を形成する。

【0023】

なお、例えばLPCVD法によりSiH₄(モノシラン)-NH₃(アンモニア)のガス系で、例えば600程度程度の所定の温度条件として、SiNを堆積させて、SiN膜(シリコン窒化膜)10を形成しても良い。

次いで、図2(E)に示すように、CVD(Chemical Vapor Deposition)法により堆積させたSiN膜(CVD-SiN)の表面を、オゾン中で、かつ常温で酸化して、SiO₂膜(シリコン酸化膜)11を形成する。

【0024】

なお、CVD法により堆積させたSiN膜(CVD-SiN)の表面を、酸素中で、例えば600程度程度の所定の温度条件で酸化して、SiO₂膜(シリコン酸化膜)11を形成しても良い。

その後、図2(F)に示すように、MOCVD法によりモリブデンMoを堆積させてMo膜(モリブデン膜, 金属膜)12[これがゲート電極(メタルゲート電極)となる]を形成する。

【0025】

そして、図2(G)に示すように、ゲート加工を行なう。この結果、ゲート電極(メタルゲート電極, モリブデンゲート電極)12A/SiO₂膜(シリコン酸化膜)11A/SiN膜(シリコン窒化膜)10A/ゲート絶縁膜(高誘電率ゲート絶縁膜, Hfシリケートゲート絶縁膜)9Aの積層構造が形成される。

以降、通常のプロセスにしたがって、図2(H)に示すように、不純物を注入してエクステンション・ソースドレイン13を形成する。また、サイドウォール14も形成する。さらに、不純物を注入してコンタクト・ソースドレイン15も形成する。そして、熱処理(アニール処理)を行なって不純物を活性化させる。その後、メタル配線、層間絶縁膜の形成工程へ進む。

(第2の製造方法)

次に、第2の製造方法について、図3を参照しながら説明する。

【0026】

第2の製造方法は、ダマシン法による製造方法である。ダマシン法は、例えば、Conference: Proceedings of IEEE International Electron Devices Meeting, 1992, Page: 301-4 や International Electron Devices Meeting 1998, Technical Digest Page: 785-8 に詳しい。この方法によれば、工程は多くなるものの、膜厚を薄くできるという利点がある。

【0027】

まず、上述したような通常の製造プロセス（図2参照）にしたがって、チャンネル、ソース・ドレインを形成する。つまり、図3（A）に示すように、後で除去しやすい材料〔通常、ポリシリコン（poly-Si）、シリコン窒化物（SiN）等〕でダミー・ゲート絶縁膜9B及びダミー・ゲート12Bを形成し、これを用いてチャンネル及びソース・ドレイン領域のプロファイルを形成する。なお、上述の第1の製造方法（図2参照）と同じものには同じ符号を付している。

【0028】

次に、図3（B）に示すように、層間絶縁膜を形成するための材料（例えば低誘電率材料）16Aを堆積させた後、図3（C）に示すように、ダミー・ゲート12Bの上部表面が出るまでCMP（Chemical Mechanical Polishing）法により研磨・除去して、層間絶縁膜16を形成する。

10

次いで、図3（D）に示すように、選択性のある溶液でダミー・ゲート12B及びダミー・ゲート絶縁膜9Bを除去する。

【0029】

次に、図3（E）に示すように、例えば HfO_2 をALCVD（Atomic Layer Chemical Vapor Deposition）法により堆積させて、例えば3nmの HfO_2 膜（高誘電率膜）17〔これがゲート絶縁膜（高誘電率ゲート絶縁膜）となる〕を形成する。

次いで、図3（F）に示すように、例えばLPCVD法により SiH_4 - NH_3 のガス系で、例えば600程度の所定の温度条件として、SiNを堆積させて、例えば0.3nmのSiN膜（シリコン窒化膜）18を形成する。

20

【0030】

なお、例えばLPCVD法によりDCS（ SiH_2Cl_2 ）- NH_3 のガス系で、例えば680程度の所定の温度条件として、SiNを堆積させて、SiN膜（シリコン窒化膜）18を形成しても良い。

以下、図3（G）～図3（J）では、説明を分かり易くするために、一方のゲート部分のみを拡大して示すこととする。

【0031】

次に、図3（G）に示すように、CVD法により堆積させたSiN膜（CVD-SiN）18の表面を、酸素中で、例えば600程度の所定の温度条件で酸化して、 SiO_2 膜（シリコン酸化膜）19を形成する。

30

なお、CVD法により堆積させたSiN膜（CVD-SiN）18の表面を、オゾン中で、かつ常温で酸化して、 SiO_2 膜（シリコン酸化膜）19を形成しても良い。

【0032】

次いで、図3（H）に示すように、MOCVD法によりタングステンWを堆積させてW膜（タングステン膜、金属膜）20〔これがゲート電極（メタルゲート電極）となる〕を形成する。

その後、図3（I）に示すように、反応性イオンエッチング（RIE；Reactive Ion Etching）によりゲート加工を行なう。なお、図3（J）に示すように、CMP法によって削り落とすことでゲート加工を行なっても良い。この結果、ゲート電極（メタルゲート電極、タングステンゲート電極）20A（20B）/ SiO_2 膜（シリコン酸化膜）19/SiN膜（シリコン窒化膜）18/ゲート絶縁膜（高誘電率ゲート絶縁膜、 HfO_2 ゲート絶縁膜）17の積層構造が形成される。以降、メタル配線、層間絶縁膜の形成工程へ進む。

40

【0033】

したがって、本実施形態にかかる半導体装置によれば、ゲート電極とゲート絶縁膜との間にシリコン酸化膜が設けられているため、仕事関数の変動を抑えることができ、これにより、閾値電圧の変動量を低く抑えることができるという利点がある。例えば、閾値電圧 V_{th} の変動量を5mV以下に抑えることができる。

また、ゲート電極とゲート絶縁膜との間にシリコン窒化膜が設けられているため、ゲートリーク電流の増大を抑えることができ、ひいては信頼性を確保できるようになるという

50

利点もある。例えば、寿命を2倍以上（多くの場合、数桁）長くすることができる。

【0034】

なお、本発明は、上述した実施形態に限定されず、上記以外にも、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

例えば、上述の実施形態では、MOSデバイスを例に説明したが、本発明はその他の構造の半導体装置（半導体デバイス）に適用することもできる。この場合、半導体装置は、Mo, W, Ta, Ti, Hf, Zr, V, Cr, Nbを含む金属群から選ばれるいずれか1種の金属を含む金属膜と、高誘電率膜とを備え、金属膜と高誘電率膜との間に、金属膜側から順に、シリコン酸化膜、シリコン窒化膜を備えるものとして構成される。

【図面の簡単な説明】

10

【0035】

【図1】本発明の一実施形態にかかる半導体装置の構成を示す模式図である。

【図2】(A)～(H)は、本発明の一実施形態にかかる半導体装置の製造方法（第1の製造方法）を説明するための模式図である。

【図3】(A)～(J)は、本発明の一実施形態にかかる半導体装置の製造方法（第2の製造方法）を説明するための模式図である。

【図4】本発明の課題を説明するための模式図である。

【図5】本発明の課題を説明するための模式図である。

【符号の説明】

【0036】

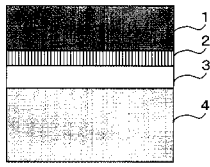
20

- 1 ゲート電極（メタルゲート電極，金属膜）
- 2, 11, 11A, 19 SiO₂膜（シリコン酸化膜）
- 3, 10, 10A, 18 SiN膜（シリコン窒化膜）
- 4 ゲート絶縁膜（高誘電率ゲート絶縁膜，高誘電率膜）
- 5 Si基板
- 6 シャロー・トレンチ
- 7 Nウェル
- 8 Pウェル
- 9 Hfシリケート膜
- 9A Hfシリケートゲート絶縁膜
- 12 モリブデン膜
- 12A モリブデンゲート電極
- 13 エクステンション・ソースドレイン
- 14 サイドウォール
- 15 コンタクト・ソースドレイン
- 16 層間絶縁膜
- 16A 層間絶縁膜材料
- 17 HfO₂ゲート絶縁膜
- 20 タングステン膜
- 20A, 20B タングステングート電極

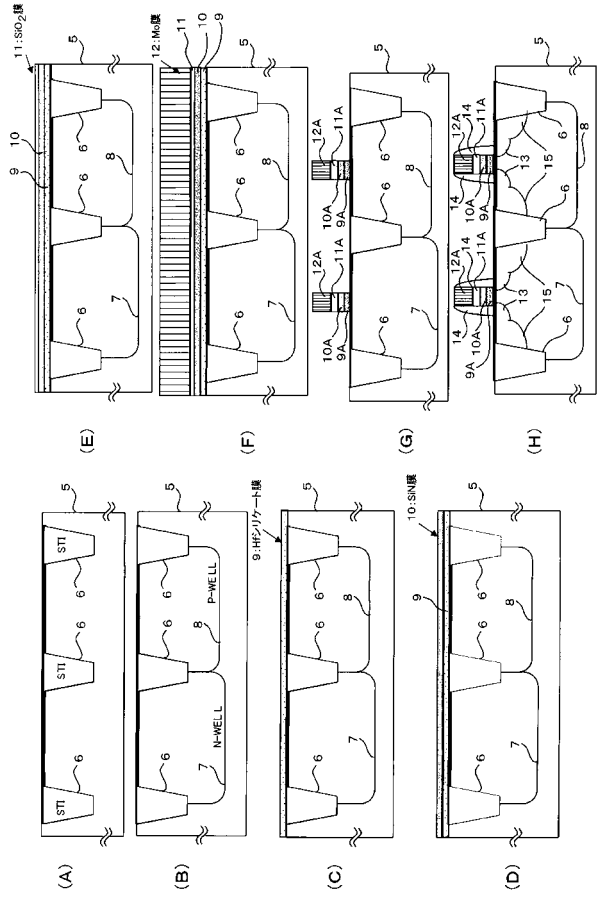
30

40

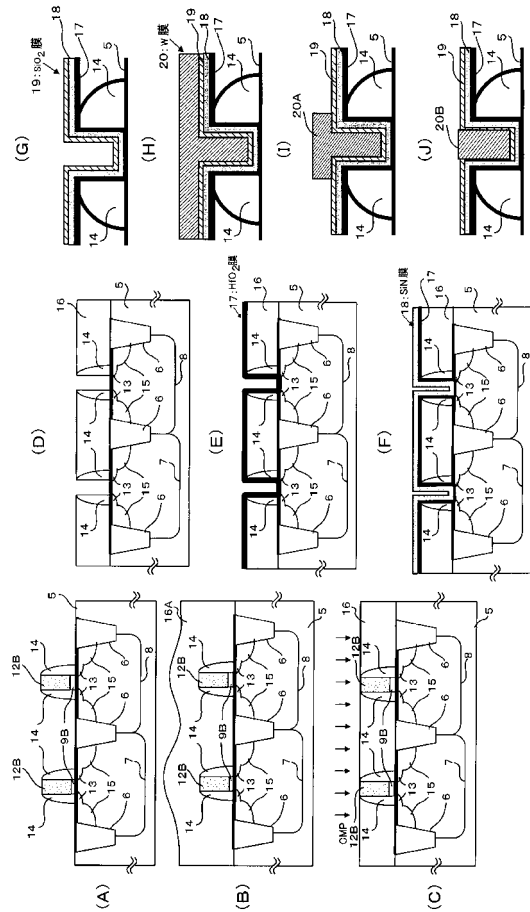
【図 1】



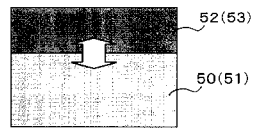
【図 2】



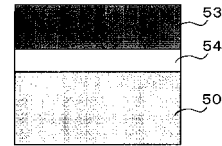
【図 3】



【図 4】



【図 5】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H O 1 L 27/092 (2006.01)

H O 1 L 21/8238 (2006.01)

Fターム(参考) 5F140 AA06 AA19 AB03 BD01 BD02 BD04 BD05 BD07 BD11 BD13
BE03 BE07 BE10 BF01 BF04 BF07 BF10 BG03 BG04 BG08
BG27 BG28 BG36 BG38 BG40 BH14 BK05 CB04 CB08 CE07
CE20