

Союз Советских  
Социалистических  
Республик



Государственный комитет  
СССР  
по делам изобретений  
и открытий

О П И С А Н И Е  
ИЗОБРЕТЕНИЯ  
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 738083

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 01.08.77 (21) 2509709/24-07

(51) М. Кл.<sup>2</sup>

H 02 P 5/06

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.05.80. Бюллетень №20

(53) УДК 621.313.  
.2(088.8)

Дата опубликования описания 02.06.80

(72) Авторы  
изобретения

В. В. Голин, С. В. Демидов, В. А. Казанский,  
Э. С. Мучник и В. А. Рыцов

(71) Заявитель

Особое конструкторское бюро станкостроения

(54) ЭЛЕКТРОПРИВОД С ДИСКРЕТНЫМ  
УПРАВЛЕНИЕМ

1

Изобретение относится к электротехнике, в частности, к устройствам с широким диапазоном регулирования скорости электродвигателя.

Известен электропривод с дискретным управлением [1], содержащий эталонный генератор, блок задания скорости, делитель частоты, блок логики, компаратор-интегратор, силовой преобразователь, двигатель и частотный датчик обратной связи по скорости двигателя.

У устройстве сигнал отклонения представляет собой разность периодов следования импульсов задания и обратной связи, при этом частота следования импульсов задания формируется с помощью делителя частоты. Сигнал отклонения поступает на вход компаратора-интегратора, который формирует сигнал управления силовых преобразователей.

Устройство обладает следующим недостатком. При увеличении скорости электродвигателя возрастает частота следования импульсов на выходе частотного дат-

2

чика и, следовательно, уменьшается точность регулирования скорости. Этот недостаток ограничивает применение частотных датчиков с высокой разрешающей способностью для расширения диапазона регулирования скорости.

Наиболее близким к изобретению по технической сущности является электропривод с дискретным управлением [2], содержащий последовательно включенные вычислительное устройство с входами задания скорости и обратной связи по скорости, усилитель мощности и двигатель с частотным датчиком в цепи обратной связи по скорости.

В этом электроприводе сигнал обратной связи формируется в виде периода следования импульсов частотного датчика. Требуемое значение скорости задается в виде временного интервала и вводится из задатчика в реверсивный счетчик в параллельном двоичном коде. В реверсивном счетчике формируется отклонение в результате вычитания импульсов эталон-

ной частоты из кода задания в течение интервала времени, равного периоду следования импульсов частотного датчика.

По сравнению с устройством [1] электропривод [2] обеспечивает наибольшее быстродействие, однако ему присущи те же недостатки, т. е. снижение точности на больших скоростях электропривода и ограниченный диапазон регулирования скорости.

Целью изобретения является расширение диапазона и повышение точности регулирования скорости электропривода.

Поставленная цель достигается за счет того, что последовательно в цепь обратной связи электропривода введен управляемый делитель частоты, а также генератор импульсов цикла идентификации и блок идентификации скорости двигателя, входы которого соединены соответственно с выходами генератора импульсов цикла идентификации и частотного датчика скорости, а выходы — с управляющим входом делителя частоты и дополнительным входом вычислительного устройства.

На фиг. 1 представлена структурная схема электропривода; на фиг. 2 — то же с возможным вариантом реализации управляемого делителя частоты и блока идентификации; на фиг. 3 — диаграмма работы электропривода.

Электропривод (фиг. 1) содержит соединенные последовательно вычислительное устройство 1, усилитель мощности 2, двигатель 3 и частотный датчик 4. К выходу частотного датчика 4 своими входами присоединены управляемый делитель частоты 5 и блок идентификации скорости 6. Другой вход блока идентификации 6 присоединен к выходу генератора импульсов цикла идентификации 7, а выходы блока идентификации соединены с дополнительным входом вычислительного устройства 1 и управляющим входом делителя частоты 5. Выход делителя частоты 5 соединен со входом обратной связи вычислительного устройства 1.

В свою очередь, управляемый делитель частоты 5 содержит счетчик импульсов 8, логические схемы И 9-11. Выход частотного датчика 4 подключен соответственно ко входам логической схемы 9 и счетчика импульсов 8. Выход счетчика импульсов 8 соединен со входом логической схемы 10, а выходы логических схем 9 и 10 с соответствующими входами логической схемы 11. Выход логической

схемы 11 присоединен ко входу обратной связи вычислительного устройства 1.

Счетчик импульсов 8 осуществляет деление частоты  $f_{цд}$ , поступающей из частотного датчика 4, в  $m$  раз. Управление логическими схемами 9 и 10 осуществляется сигналами, поступающими от блока идентификации скорости 6.

Блок идентификации скорости 6 (фиг. 2) состоит из счетчика 12, триггера управления 13, логических схем И 14-16. Импульсы с выхода частотного датчика 4 поступают на вход логической схемы 14, другой вход которой соединен с инверсным выходом счетчика 12. Выход логической схемы 14 соединен со счетным входом счетчика 12, прямой и инверсный выходы которого соединены с соответствующими входами логических схем 15 и 16. Другие входы схем 15 и 16 соединены с выходом генератора 7. С этим выходом генератора 7 соединен также вход "Установка нуля" счетчика 12. Выходы логических схем 15 и 16 соответственно подключены к установочным входам триггера управления 13.

Выходы 17 и 18 триггера управления 13 соединены соответственно со входами логических схем 10 и 9 управляемого делителя частоты. Кроме того, выход 17 соединен с дополнительным входом вычислительного устройства 1.

Электропривод работает следующим образом.

На вход вычислительного устройства 1 в момент времени  $t_0$  (фиг. 3, а) подаются постоянное управляющее воздействие, соответствующее заданной скорости. При этом электродвигатель 3 вращается с постоянной скоростью, а на выходе частотного датчика 4 формируется последовательность импульсов постоянной частоты  $f_{цд}$  (фиг. 3, б). Эти импульсы поступают прямо на вход логической схемы И 9 управляющего делителя частоты 5, а на выход логической схемы И 10 импульсы поступают с частотой  $1/m \cdot f_{цд}$  (фиг. 3, в) после деления в счетчике импульсов 8. Одновременно последовательность импульсов с частотой  $f_{цд}$  через логическую схему 14 поступает на вход счетчика 12 блока идентификации 6.

Цикл работы счетчика 12 определяется частотой  $f_n$  тактового генератора (фиг. 3, г). В момент прихода тактовых импульсов счетчик 12 устанавливается в нуль, а в течение интервала  $T_n = 1/f_n$

заполняется (фиг. 3, д) импульсами частоты  $f_{\text{цд}}$ .

При этом в зависимости от скорости вращения двигателя 3 и соответственно частоты следования импульсов обратной связи  $f_{\text{цд}}$  счетчик 12 может заполниться полностью (до уровня Q) или частично.

На фиг. 3, а, в интервале времени  $t_0 - t_1$ , величина управляющего воздействия на входе вычислительного устройства 1 и соответствующая ему частота импульсов обратной связи  $f_{\text{цд}}$  (фиг. 3, б) выбраны так, что за интервал  $T_n$  счетчик 12 не успевает заполниться полностью, и на его прямом выходе постоянно имеется нулевой сигнал (фиг. 3, е). В момент прихода импульса цикла идентификации логическая схема 16 формирует сигнал установки триггера управления 13 в состояние "0", а счетчик 12 сбрасывается в нуль.

На выходах 17 и 18 триггера управления 13 формируются сигналы "0" и "1" соответственно (фиг. 3, ж). Первый из них запрещает прохождение импульсов с частотой  $\frac{1}{m} f_{\text{цд}}$  через логическую схему 10, а другой — разрешает прямую трансляцию импульсов с частотой  $f_{\text{цд}}$  через логическую схему 9 на выход управляемого делителя частоты 5 и далее на вход вычислительного устройства 1 (фиг. 3, з). Одновременно с выхода 17 триггера управления 13 на дополнительный вход вычислительного устройства 1 подается нулевой сигнал, запрещающий переключение масштабных коэффициентов.

В интервале  $t_1 - t_2$  управляющее воздействие на входе вычислительного устройства 1 и соответствующая ему частота следования импульсов обратной связи  $f_{\text{цд}}$  начинают увеличиваться и достигают значений, при которых счетчик 12 успевает полностью заполниться за интервал  $T_T$  (фиг. 3, а, б, д). При этом на прямом выходе счетчика 12 формируется сигнал (фиг. 3, е), а его входная цепь блокируется от дальнейшего поступления импульсов  $f_{\text{цд}}$  до прихода импульса очередного цикла идентификации (с инверсного выхода счетчика 12 нулевой сигнал подается на вход логической схемы 14).

В момент прихода импульса цикла идентификации логическая схема 15 формирует сигнал установки триггера управления 13 в состояние "1" и этим же импульсом счетчик 12 сбрасывается в

нуль. На выходах 17 и 18 соответственно формируются сигналы "1" и "0", причем первый из них разрешает прохождение импульсов с частотой  $\frac{1}{m} f_{\text{цд}}$  через логическую схему 10, а второй запрещает прямую трансляцию импульсов с частотой  $f_{\text{цд}}$  через логическую схему 9. Таким образом, на выходе управляемого делителя частоты 5 импульсы следуют с частотой  $\frac{1}{m} f_{\text{цд}}$  (фиг. 3, з). Одновременно с выхода 17 триггера управления 13 на дополнительный вход вычислительного устройства 1 подается единичный сигнал, разрешающий переключение масштабных коэффициентов.

Начиная с момента времени  $t_2$ , управляющее воздействие на входе вычислительного устройства 1 вновь уменьшается, соответственно уменьшается и частота  $f_{\text{цд}}$  до величины, при которой счетчик 12 не успевает полностью заполниться за интервал  $T_n$ , триггер управления 13 переворачивается в состояние "0" и переключает управляемый делитель частоты 5 на прямую трансляцию импульсов с частотой  $f_{\text{цд}}$  (фиг. 3, а-з). Одновременно на дополнительный вход вычислительного устройства 1 подается нулевой сигнал, запрещающий переключение масштабных коэффициентов.

Таким образом, блок идентификации 6 в зависимости от текущей скорости исполнительного двигателя 3 формирует команды на автоматическое переключение коэффициента деления управляемого делителя частоты 5 и масштабных коэффициентов в вычислительном устройстве 1.

Как следует из фиг. 3, к, запаздывание формирования команды переключения блоком идентификации 6 не превышает  $T_T$ . При соответствующем выборе  $T_T$  и некотором запасе по оборудованию в вычислительном устройстве 1 (для дискретного вычислителя достаточно одного разряда счетчика или сумматора) это запаздывание не влияет на быстродействие привода.

Введение блока идентификации, управляемого делителя частоты генератора импульсов цикла идентификации в высококачественный широкорегулируемый электропривод с дискретным управлением, кроме расширения диапазона регулирования и повышения точности, приводит к значительной экономии оборудования за счет сокращения разрядности вычислительных

устройств (счетчиков, регистров, сумматоров, блоков памяти и т.д.).

### Ф о р м у л а и з о б р е т е н и я

Электропривод с дискретным управлением, содержащий последовательно включенные вычислительное устройство с входами задания скорости и обратной связи по скорости, усилитель мощности и двигатель с частотным датчиком в цепи обратной связи по скорости, отличающийся тем, что, с целью расширения диапазона и повышения точности регулирования скорости электропривода, по-

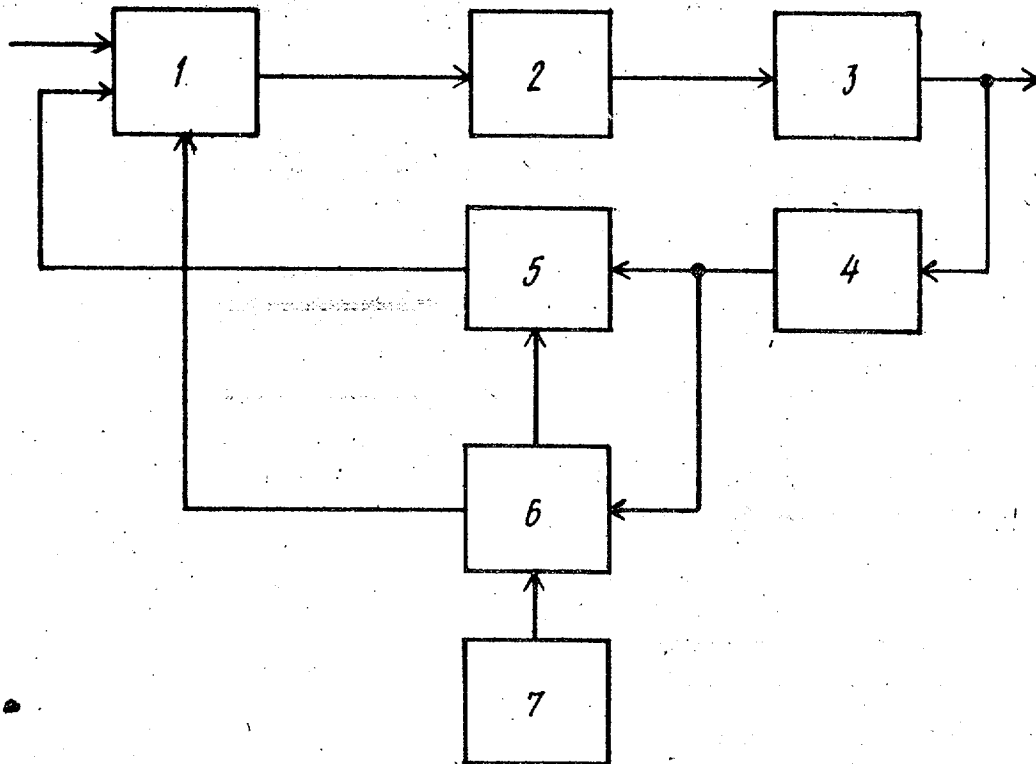
следовательно в цепь обратной связи введен управляемый делитель частоты генератора импульсов цикла идентификации и блок идентификации скорости двигателя, входы которого соединены соответственно с выходами генераторов импульсов цикла идентификации и частотного датчика скорости, а выходы - с управляющим входом делителя частоты и дополнительным входом вычислительного устройства.

Источники информации,

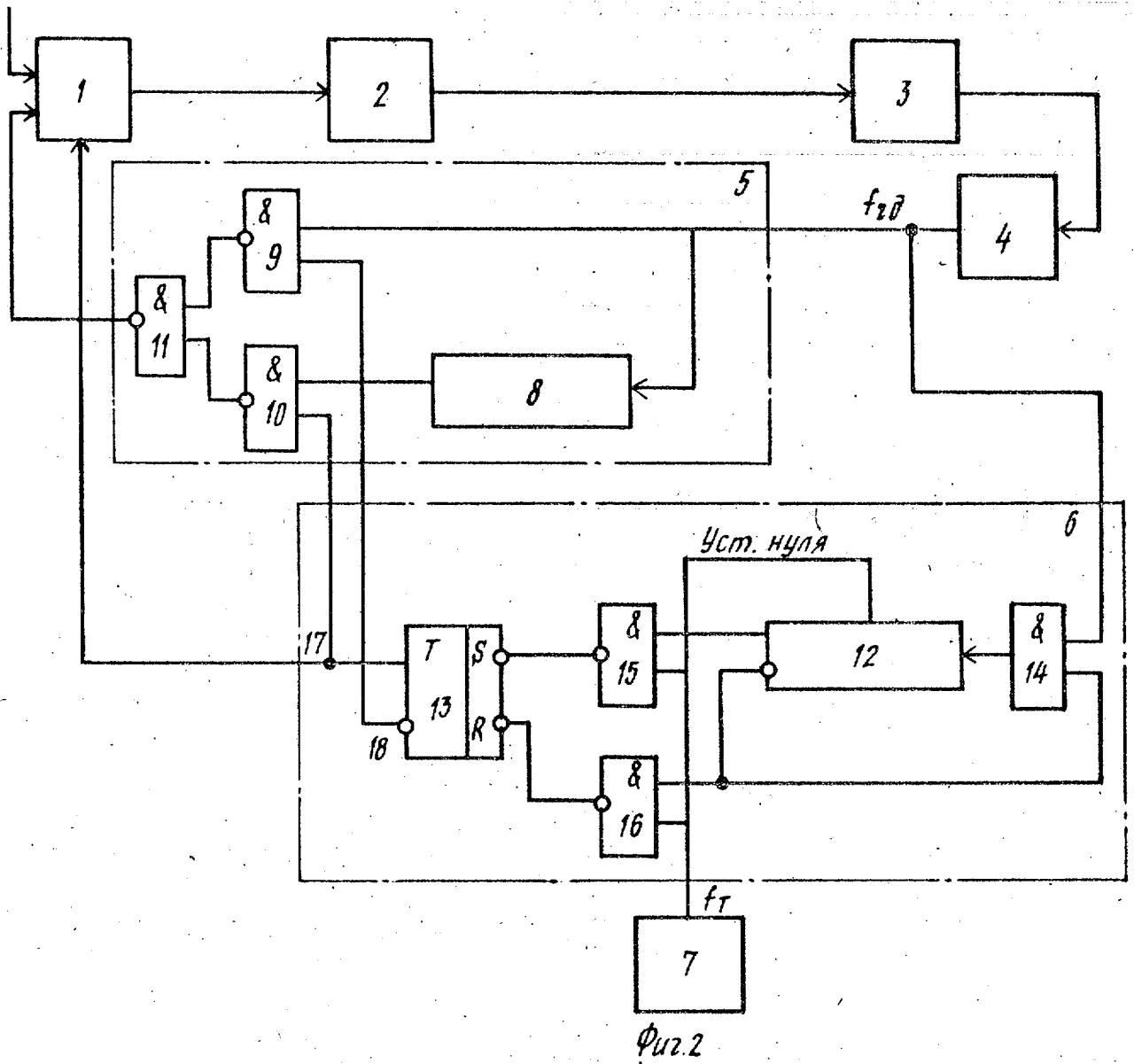
принятые во внимание при экспертизе

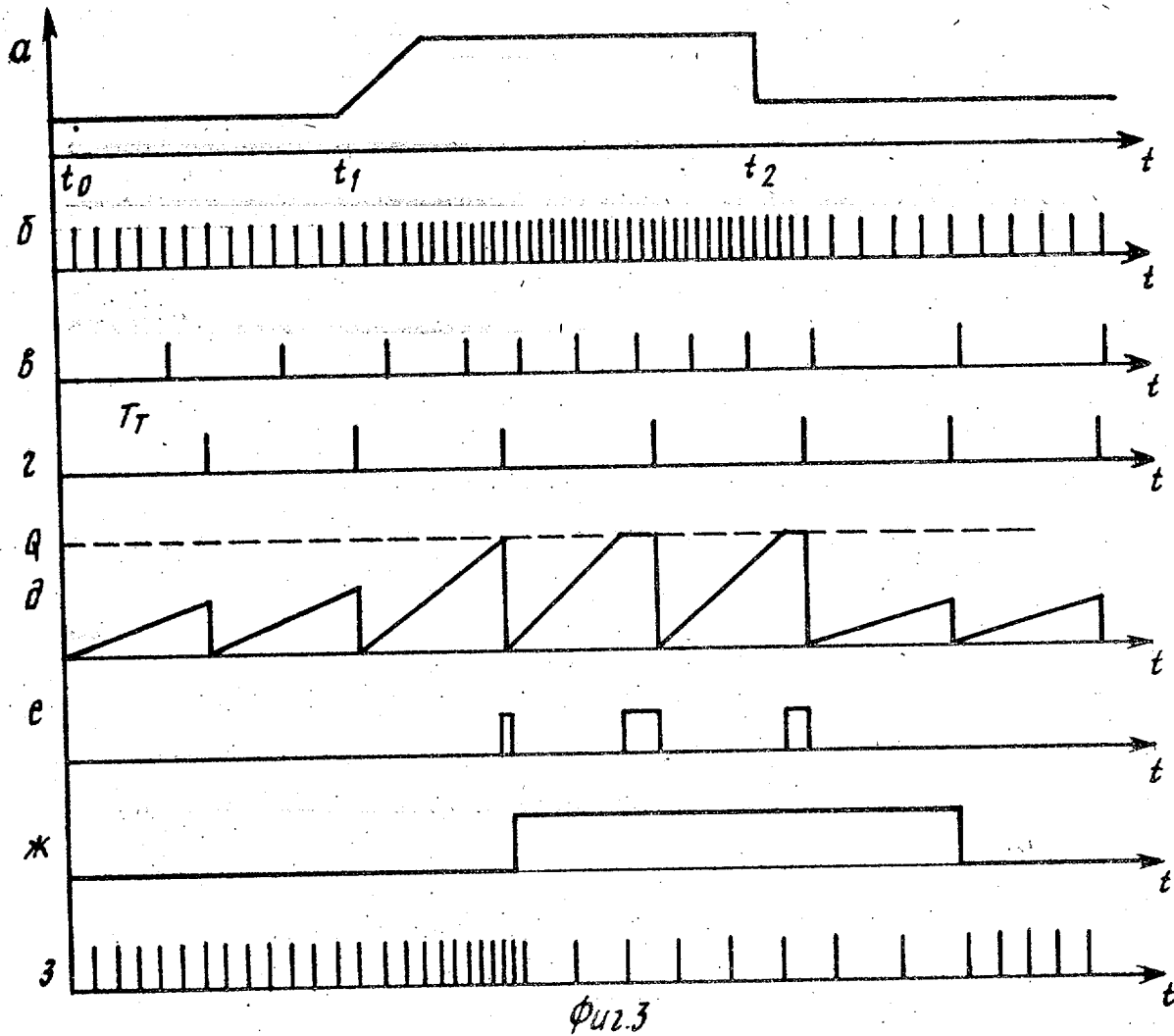
1. Патент США № 3802188, кл. 318 - 318, 1974.

2. Заявка Великобритании №1432674, кл. H 02 P 5/06, 1975.



Фиг.1





Составитель В. Самохин

Редактор Н. Коляда Техред Ж. Кастелевич Корректор М. Пожо

Заказ 2826/35

Тираж 783

Подписное

ЦНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4