

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4301305号  
(P4301305)

(45) 発行日 平成21年7月22日(2009.7.22)

(24) 登録日 平成21年5月1日(2009.5.1)

(51) Int.Cl.	F I
<b>B 2 4 B 37/00 (2006.01)</b>	B 2 4 B 37/00 H
<b>H O 1 L 21/304 (2006.01)</b>	H O 1 L 21/304 6 2 1 D
<b>C O 9 K 3/14 (2006.01)</b>	H O 1 L 21/304 6 2 2 X
	B 2 4 B 37/00 K
	C O 9 K 3/14 5 5 O D

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2007-36621 (P2007-36621)	(73) 特許権者	000002185
(22) 出願日	平成19年2月16日(2007.2.16)		ソニー株式会社
(65) 公開番号	特開2008-200771 (P2008-200771A)		東京都港区港南1丁目7番1号
(43) 公開日	平成20年9月4日(2008.9.4)	(74) 代理人	100122884
審査請求日	平成20年3月13日(2008.3.13)		弁理士 角田 芳末
		(74) 代理人	100133824
			弁理士 伊藤 仁恭
		(72) 発明者	中村 寛子
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	上月 貴晶
			東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 基体研磨方法、半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基体上の被研磨酸化膜を、異なるBET値を有するセリア砥粒からなる、少なくとも2種類以上のスラリーを用いて、順に2段階以上の化学的機械的研磨処理して平坦化する工程を有し、

前記2段階以上の化学的機械的研磨処理は、第1のBET値を有するセリア砥粒からなるスラリーを用い、下層パターンが密に形成された部分の被研磨酸化膜を研磨する第1の研磨処理工程と、

第1のBET値より小さい第2のBET値を有するセリア砥粒からなるスラリーを用い、下層パターンが疎に形成された部分の被研磨酸化膜を研磨する第2の研磨工程とで構成される

ことを特徴とする基体研磨方法。

【請求項2】

前記第1のBET値が15～30m<sup>2</sup>/gであり、

前記第2のBET値が5～10m<sup>2</sup>/gである

ことを特徴とする請求項1記載の基体研磨方法。

【請求項3】

基体上の被研磨酸化膜を、異なるBET値を有するセリア砥粒からなる、少なくとも2種類以上のスラリーを用いて、順に2段階以上の化学的機械的研磨処理して平坦化する工程を有し、

前記２段階以上の化学的機械的研磨処理は、第１のＢＥＴ値を有するセリア砥粒からなるスラリーを用い、下層パターンが密に形成された部分の被研磨酸化膜を研磨する第１の研磨処理工程と、

第１のＢＥＴ値より小さい第２のＢＥＴ値を有するセリア砥粒からなるスラリーを用い、下層パターンが疎に形成された部分の被研磨酸化膜を研磨する第２の研磨工程とで構成される

ことを特徴とする半導体装置の製造方法。

【請求項４】

前記第１のＢＥＴ値が  $15 \sim 30 \text{ m}^2 / \text{g}$  であり、

前記第２のＢＥＴ値が  $5 \sim 10 \text{ m}^2 / \text{g}$  である

ことを特徴とする請求項３記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、基体研磨方法に関するものであり、例えば、半導体ウェーハ、液晶パネル基板等の薄板状被研磨物の平坦化研磨に適用される基体研磨方法に関する。

また、本発明は、上記基体研磨方法を適用して成る半導体装置の製造方法に関する。

【背景技術】

【０００２】

従来、シリコンウェーハまたは化合物ウェーハ等よりなる半導体基板（以下、ウェーハ）の表面の研磨を行う研磨用組成物（以下、スラリー）としては、窒化珪素またはその水和物をコロイド状に分散した懸濁液、コロイダルシリカが研磨剤として使用されている。また、研磨に際しては、合成樹脂発泡体（ポリウレタン等）あるいは不織布よりなる研磨布を展張した研磨定盤上にウェーハを載置し、研磨ヘッドを介して押圧回転しつつ、上述スラリーを定量的に供給しながら研磨を行う、化学的機械的研磨（CMP：Chemical mechanical polishing）方法が一般的に用いられている。

【０００３】

スラリーとしては、例えば特許文献１に記載されているように、アルカリ成分を含んだ溶液に微細なコロイダルシリカ状酸化ケイ素粒子を分解した溶液が一般的に使用されている。この研磨は、スラリーのアルカリ成分の化学的作用、具体的には、ウェーハなどに対する侵食性を応用している。つまり、アルカリの腐食性により、ウェーハなどの表面に薄い軟質の侵食層が形成され、その薄い層を微細なコロイダル状酸化ケイ素粒子の機械的作用により除去していくことで研磨が進む。

【０００４】

また、特許文献２には、CMPによるトレンチ素子分離形成において、工程数を増やすことなく、素子分離部の平坦性を向上させる研磨方法として、研磨の前半に粒子径の大きい大きな砥粒からなるスラリーを用い、後半に小さな砥粒からなるスラリーを用いて研磨する方法が開示されている。このような研磨によって、粒子径の大きな砥粒による研磨によって、研磨時間を短縮し、粒子径の小さな砥粒による研磨によって、平坦性を向上させるような効果がもたらされる。

【０００５】

【特許文献１】米国特許第 3 3 2 8 1 4 1 号公報

【特許文献２】特開平 1 1 - 1 3 5 6 1 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

近年、半導体製造プロセスにおいて、半導体装置における各素子の微細化、高精度化に伴い、高平坦化（研磨後の凹凸段差が少ないこと）が求められている。そのため、被研磨膜への保護作用があり、被研磨膜の凸部に対して集中研磨が可能な界面活性剤入りセリアスラリーが用いられている。界面活性剤が入ったセリアスラリーにおいては、界面活性剤

10

20

30

40

50

の周囲にセリア粒子が取り巻くように構成されている。界面活性剤の周囲にセリア粒子があるので、被研磨膜を研磨する際に、被研磨膜の表面的に出っ張っている部分に存在していた砥粒に圧力が集中し、セリア粒子が破れて、中の界面活性剤が脱離し、その部分の研磨が進行する。このような、界面活性剤が用いられたセリアスラリーを用いることにより、研磨終了付近では被研磨膜への界面活性剤による保護作用が強まることで、研磨ヘッドと被研磨膜との間に発生する摩擦力が高くなる。この状態で凝集したスラリー等がスクラッチ等の要因となり、最悪の場合、ウェーハの内部配線を破壊するまでに至り、著しく歩留まりを低下させる。

また、セリアスラリーを用いた場合と、前世代のシリカスラリーを用いたときとを比較すると、セリアスラリーを用いた場合は高平坦化が得られるが、研磨量が少なく（研磨レートが低く）、被研磨膜を削り込むことが出来ない。

10

【0007】

また、下層に形成される微細パターンに疎密差があると、被研磨膜のウェーハ面内分布が悪い、つまり、ウェーハ表面の凹凸の分布にも疎密差が出てしまう。例えば、MOSトランジスタが集積された半導体装置において、ゲート電極が密に形成された領域及びゲート電極が疎に形成された領域を有する場合、そのゲート電極の上に形成される絶縁膜は、その疎密の影響を受け、表面に疎密差のある凹凸を形成してしまう。絶縁膜を形成した後に、CMP処理が施されるが、疎密差のある凹凸を踏襲し、CMP処理工程の後で、所望の高平坦化が得られない。このため、CMPによる高平坦化が不十分であり、凹凸段差のために、次工程である露光工程において、フォーカスが合わなくなり、所望の配線を形成するパターンをウェーハに露光することができない。したがって、著しい歩留まり低下を引き起こす。

20

【0008】

従来、このような、例えばゲート電極の疎密差により、表面に疎密を有したウェーハのCMP処理においては、より高平坦化する為に、反転マスクを用いた方法などが行われている。反転マスクとは、CMP処理の前工程として、密度の高い電極パターン上に形成された絶縁膜をRIE（反応性イオンエッチング：Reactive Ion Etching）法により選択的にエッチングする為に用いられるものであり、反転マスクで覆われた箇所はエッチングされない。こうすることによって、絶縁膜表面の凹凸の疎密が均一化されるので、次工程であるCMP処理工程において、より高平坦面を得ることが出来る。しかしながら、このような反転マスクを用いた方法を用いると、工程数が増えてしまい、コストの増加に繋がる。

30

【0009】

本発明は、上述の点に鑑み、高平坦化研磨を実現可能とする基体研磨方法、並びに半導体装置の製造方法を提供する。

【課題を解決するための手段】

【0010】

上記課題を解決し、本発明の目的を達成するため、本発明の基体研磨方法は、基体上の被研磨酸化膜を、異なるBET値を有するセリア砥粒からなる、少なくとも2種類以上のスラリーを用いて、順に2段階以上の化学的機械的研磨処理して平坦化する工程を有し、その2段階以上の化学的機械的研磨処理は、第1のBET値を有するセリア砥粒からなるスラリーを用い、下層パターンが密に形成された部分の被研磨酸化膜を研磨する第1の研磨処理工程と、第1のBET値より小さい第2のBET値を有するセリア砥粒からなるスラリーを用い、下層パターンが疎に形成された部分の被研磨酸化膜を研磨する第2の研磨工程とで構成されることを特徴とする。

40

【0011】

本発明の基体研磨方法では、BET値の異なるセリア砥粒から成る2種類以上のスラリーを用いて、順に研磨することにより、下層パターンの疎密に基づいて、段階毎に異なる被研磨酸化膜の部分が集中的に研磨される。

【0014】

50

半導体装置の製造方法は、基体上の被研磨酸化膜を、異なるBET値を有するセリア砥粒からなる、少なくとも2種類以上のスラリーを用いて、順に2段階以上の化学的機械的研磨処理して平坦化する工程を有し、その2段階以上の化学的機械的研磨処理は、第1のBET値を有するセリア砥粒からなるスラリーを用い、下層パターンが密に形成された部分の被研磨酸化膜を研磨する第1の研磨処理工程と、第1のBET値より小さい第2のBET値を有するセリア砥粒からなるスラリーを用い、下層パターンが疎に形成された部分の被研磨酸化膜を研磨する第2の研磨工程とで構成されることを特徴とする。

【0015】

本発明の半導体装置の製造方法では、BET値の異なるセリア砥粒から成る2種類以上のスラリーを用いて、順に研磨することにより、下層パターンの疎密に基づいて、段階毎に異なる被研磨酸化膜の部分が集中的に研磨される。

10

【発明の効果】

【0016】

本発明の基体研磨方法によれば、下層パターンの疎密に基づいて段階毎に異なる被研磨酸化膜の部分が集中的に研磨されるので、高平坦化面が得られる。

【0018】

本発明の半導体装置の製造方法によれば、下層パターンの疎密に基づいて段階毎に異なる被研磨酸化膜の部分が集中的に研磨されるので、高平坦化面が得られる。

【発明を実施するための最良の形態】

【0019】

以下、図面を参照して、本発明の実施の形態を説明する。

20

【0020】

図1に、本発明の基体研磨方法に適用される研磨装置、すなわち、CMP装置の一実施形態に係る概略構成を示す。本実施の形態では、半導体装置の製造に適用する場合である。本実施の形態で用いられるCMP装置1は、CMP処理に用いられるものであり、上面に研磨パッド3が載置された定盤2と、その定盤2に対向して配置された研磨ヘッド6と、研磨パッド3表面にスラリー4a, 4bを供給するためのスラリー供給手段5とからなる。

研磨パッド3としては、例えば合成樹脂発泡体（ポリウレタン等）あるいは不織布よりなる研磨布が用いられ、それらを定盤2上に展張する。

30

【0021】

本実施の形態のCMP装置を用いたCMP処理においては、研磨パッド3が展張された定盤2上にシリコンウェーハまたは化合物ウェーハ等よりなる図示しない半導体基板（以下ウェーハ）を載置し、スラリー供給手段5から、スラリー4a, 4bを定量的に供給しながら研磨ヘッド6をウェーハに押圧し、定盤2と研磨ヘッド6を互いに同一方向（図面矢印方向）に、それぞれ所定の回転数をもって回転し、研磨を行う。本実施の形態においては、研磨ヘッド6の回転数は例えば107rpmであり、定盤2の回転数は例えば100rpmとした。研磨剤であるスラリー4としては、酸化セリウム、及びその水和物をコロイド状に分散した懸濁液が使用される。

【0022】

図2には、本実施の形態で研磨される基体、すなわち、被研磨膜となる酸化膜を有するウェーハの概略断面構成を示す。

本実施の形態においては、図2に示すように、ウェーハ10上に下層パターン12が疎である領域18と下層パターンが密である領域19を有し、この下層パターン上に平坦に研磨される酸化膜（すなわち被研磨酸化膜）13が形成される。本例では下層パターン12をゲート電極パターンとし、酸化膜13を層間酸化膜としている。

40

【0023】

このように、1枚のウェーハ10上でゲート電極12から成る電極パターンの面積率に差があると、表面にもその面積率の影響が出る。つまり、電極パターンの面積率に差があるために、図2に示す上層の酸化膜13表面において、凹凸の面内分布が悪くなる。その

50

ため、従来は、CMP処理によって平坦化する際に、凹凸の疎密差によって良好に平坦化されなかった。

そこで、本実施の形態に係る基体研磨方法では、BET (Brunaure Emmett Teller Value) 値 (粒径) の異なるセリア砥粒をスラリーとして用いて、電極パターンの疎密に応じたCMP処理を行い、疎密差のある被研磨膜を研磨する。BET値とは、単位重量 (1g) あたりの比表面積であり、単位は、 $[m^2 / g]$  で表されるものである。つまり、BET値が大きいとき、粒径は小さく、BET値が小さいとき、粒径は大きいという関係がある。

#### 【0024】

図3に、BET値の大きいとき、すなわちセリア砥粒の粒径が小さいときの電極パターンの疎密に対する研磨量 (図3A) と、BET値が小さいとき、すなわちセリア砥粒の粒径が大きいときの電極パターンの疎密に対する研磨量 (図3B) を示す。

界面活性剤を抜いたセリアスラリーにおいては、BET値が大きいと電極パターンの面積率が高いところ、つまり、電極パターンが密な領域19の研磨量が高くなり、BET値が小さいと、電極パターンの面積率の低いところ、つまり、電極パターンの疎な領域18の研磨量が高くなる。このように、界面活性剤を抜いたセリアスラリーは、BET値 (粒径) が異なると、電極パターンの疎密によって研磨量に変化が生じる。本実施の形態では、そのような特性を生かし、酸化膜表面の凹凸に疎密差を有するウェーハにCMP処理を施す。

#### 【0025】

図4に、本実施の形態に係る研磨方法を示す。図4は、ウェーハのCMP処理において、2種類のBET値の異なるセリアスラリーを用いて、2段階研磨を行う場合の概略工程を示す。図4に示す被研磨膜を有するウェーハ10は、図2に対応するので、同一部分には同一符号を付し、重複説明を省略する。

本例の被研磨膜となる酸化膜13を有するウェーハ10は、図4に示すように、両端部領域19のゲート電極12が密に形成されており、中心領域18はゲート電極12が疎に形成されている。このように、電極パターンに疎密差がある。また、電極パターンが密な領域19では上部に形成される被研磨膜となる酸化膜13が、密に形成されたゲート電極12間の間隙を埋め込んでしまうため、溝が出来ず、酸化膜13表面は面一の状態に形成される。一方、電極パターンが疎である領域18では、酸化膜13もその電極パターンに合わせて凹凸を形成するので、被研磨膜表面に溝部17ができる。このようなウェーハ10が図1に示したCMP装置1の定盤2の研磨パッド3上に載置され、スラリー供給配管5によりスラリー4a, 4bが順次、供給されることにより、2段階のCMP処理がなされる。すなわち、定盤・スラリー供給配管が1つしか有していない装置においては、第1段階研磨 ウェーハの後洗浄 アンロード 第2段階研磨 ウェーハの後洗浄 アンロードの順序で行う。複数の定盤・スラリー供給配管を有する装置においては、第1、第2の各段階研磨を異なる定盤・スラリー供給配管で処理する。

#### 【0026】

まず、図4Aに示すように、第1段階として、BET値  $15 \sim 30 m^2 / g$  (平均粒径  $170 \sim 140 nm$ ) 程度のセリア砥粒15を有するスラリー4aがスラリー供給配管5より供給される。

このとき、ゲート電極12が密に形成された電極パターン上の酸化膜13表面には溝がほとんどないが、ゲート電極12が疎に形成された電極パターン上の酸化膜13表面には溝部17が形成されるため、ゲート電極12が疎に形成された電極パターン上の酸化膜13表面に供給されたセリア砥粒15は、粒径が小さいゆえに、溝部17に入りこむ。つまり、第1段階で用いられるセリア砥粒15の大きさは、ゲート電極12が疎である領域18の表面の凹凸の溝部17に入るような粒径である。一方で、ゲート電極12が密に形成された領域19の酸化膜13表面ではセリア砥粒15が入りこむ溝部17がほとんど無いので、セリア砥粒15が酸化膜13表面上に留まる。そうすると、ゲート電極12が密に形成された領域19の酸化膜13上のみにおいて、セリア砥粒15が存在することになる

10

20

30

40

50

。このような状態で、研磨ヘッド6を、酸化膜13を有するウェーハ10上に押圧し、研磨ヘッド6と定盤2を回転することによって、ゲート電極12が密に形成された領域18の酸化膜14のみが研磨されてゆき、平坦化される。

【0027】

続いて、図4Bに示すように、第2段階として、第1段階のBET値より小さいBET値 $5 \sim 10 \text{ m}^2 / \text{g}$ (平均粒径 $265 \sim 170 \text{ nm}$ )程度のセリア砥粒16を有するセリアスラリー4bがスラリー供給配管5より供給される。

この第2段階で用いられるセリアスラリー4bのBET値は、従来のセリアスラリーのBET値よりも大きい。つまり、第2段階で用いられるセリア砥粒16の粒径は、第1段階で用いられるセリア砥粒15の粒径よりも大きい。そうすると、第1段階で平坦化されなかつたゲート電極12の疎な領域18上の酸化膜13の凹凸の凸部が集中的に研磨される。研磨時に、研磨ヘッド6によって押圧されるが、このとき、凹部へかかる圧力よりも、凸部へかかる圧力の方が大きいため、凸部が集中的に研磨されるのである。

【0028】

以上の2段階研磨により、ウェーハ表面の酸化膜13は、図4Cに示すように平坦化される。

【0029】

以上のように、2段階の研磨工程によって、電極パターンの疎密の異なる領域18, 19上の酸化膜13の表面が電極パターンの密度に踏襲されることなく、均一に高平坦化される。よって、次工程の例えば酸化膜上に配線を形成する配線工程における配線精度を向上させることができる。

【0030】

従来のシリカスラリーにおいては、凹凸段差を平坦化する際、凸部が研磨されているときに、凸部よりも研磨レートが遅いものの、凹部も研磨が進む為、平坦化にパターン12の面積率が大きく影響し、平坦化に時間がかかっていた。

本実施の形態によれば、2種類のセリアスラリーを段階毎に使い分けることによって、パターン12の疎密差のある面上を効率よく研磨することが出来る。また、従来用いられていたセリアスラリーは、BET値が、約 $20 \text{ m}^2 / \text{g}$ 、平均粒径約 $170 \text{ nm}$ であるが、本例では、第1段階に従来のセリアスラリーのBET値よりも平均的に大きい(粒径の小さい)ものを用いてパターンの面積率が高い凸部分を研磨し、第2段階に従来のセリアスラリーのBET値よりも平均的に小さい(粒径の大きい)ものを用いてパターンの面積率の低い凸部分を研磨することによって平坦化が実現された。

【0031】

本実施の形態のように、BET値の異なる2種類のセリアスラリーを用いて、2段階研磨を行うことによって、被研磨膜の面内均一性が悪い場合にも、高平坦化な研磨を実現することができるので、広範囲の高平坦化が可能である。さらに、前述したような反転マスクを用いた選択的エッチングが不要となるので、工程数が増えることなく、コストが抑えられる。

【0032】

さらに、本実施の形態によれば、セリアスラリーに界面活性剤を用いていないので、界面活性剤を用いた場合のCMP処理工程よりも研磨中の摩擦力が抑制されスクラッチ低減が期待される。そして、界面活性剤を用いた場合のCMP処理工程よりも、研磨レートが高く、研磨量抑制が容易に行えるので、ランニングコスト削減やスループット向上が図られる。

【0033】

本実施の形態においては、セリアスラリーに界面活性剤を添加していないが、研磨特性を大幅に変えない程度に添加してもよい。このとき、第1段階で添加される界面活性剤は、 $10 \text{ cc} / \text{min}$ 以下であり、第2段階で添加される界面活性剤は、 $5 \text{ cc} / \text{min}$ 以下であるのが好ましく、この程度であるときに、上述したような界面活性剤が添加されないときと同様の結果が得られる。

10

20

30

40

50

また、本実施の形態においては、2段階工程としたが、2段階以上の工程とし、BET値の小さいセリアスラリーから順にウェーハに供給し、被研磨酸化膜を研磨してもよい。

さらに、本実施の形態においては、1本のスラリー供給配管を用いたが、2本のスラリー供給配管を用いて、セリアスラリーを別々の配管から供給するようにしてもよい。

#### 【0034】

上述の平坦化工程を経て、製造された半導体装置は、層間酸化膜13の面が高平坦化され、その上に高精度の配線が形成された構成となるので、半導体装置としての信頼性を向上することができる。

#### 【0035】

上述した本発明の基体研磨方法は、半導体装置、例えばDRAM混載ロジックの製造に適用できる。図5にDRAM混載ロジックの概略構成を示す。DRAM混載ロジック20は、CMOSロジック回路部22（以下ロジック回路部）と、MOSトランジスタ及び容量からなるDRAMセル21と、CPU24とが混載された半導体装置であり、基板23上に、ロジック回路部22、DRAMセル21、及びCPU24がそれぞれ形成されている。

DRAM混載ロジック20においては、図2に示すように、Siからなるウェーハ10上に、図示しないゲート絶縁膜を介して、複数のゲート電極12が形成され、そのゲート電極12を埋め込むように絶縁膜である酸化膜13がウェーハ10上面全体に堆積される。酸化膜13には、SiO<sub>2</sub>などが適用される。そして、このようなDRAM混載ロジック20においては、ロジック回路部22のトランジスタのゲート電極12が、DRAMセル21のトランジスタのゲート電極12よりも多く形成されるため、ロジック回路部22の下層パターンである電極パターンは密であり、その他のDRAMセル21等においては、電極パターンは疎に形成されている。

このようなDRAM混載ロジックにおいても、上述の2段階の研磨工程を経ることによって、酸化膜13の表面を均一に高平坦化することができる。

#### 【0036】

本実施の形態においては、被研磨膜として、SiO<sub>2</sub>による酸化膜を用いたが、NSG（no dope SG）、HDP（High Density Plasma）、BPSG（Boron Doped PSG）、TEOS（Tetraethyl orthosilicate）等の酸化膜等に適用可能である。本実施の形態の基体研磨方法は、DRAM混載ロジック以外の半導体集積回路、CCD型、CMOS型の固体撮像装置などの半導体装置、さらには液晶パネル基板の製造に適用できる。

#### 【0037】

次に、実施例を詳述する。本実施例に用いられるCMP装置は、荏原製作所、AMAT、東京精密などのロータリー方式の研磨装置であり、研磨パッドとして発泡ポリウレタン樹脂（ニッタ・ハース社製、製品名IC1400）が用いられる。また、スラリーとしては、酸化セリウム系スラリー（DANM、旭硝子、JSR、日立化成等）が用いられる。

#### 【0038】

本実施例においても、用いられるCMP装置の概略構成は、図1において説明したCMP装置と同様であるので、重複説明を省略し、以後、図1を用いて説明する。

このようなCMP装置1の定盤2上に研磨パッド3を介して、被研磨膜を有するウェーハを載置する。第1段階では、スラリー濃度が約0.7%であり、BET値15~30m<sup>2</sup>/g（平均粒径170~140nm）であるセリアスラリー4aを、流量200cc/minでスラリー供給配管5より供給する。そして、研磨ヘッド6をウェーハに押し付け、押圧回転する。このとき、定盤2の回転数は100rpm、研磨ヘッド6の回転数は107rpmとし、互いに同一方向の回転とする。また、このときの温度は25~30である。この第1段階においては、パターンの面積率の高い凸部が集中的に研磨される。

#### 【0039】

次に、第2段階として、BET値5~10m<sup>2</sup>/g（平均粒径265~170nm）程度のセリアスラリー4bを、流量200cc/minでスラリー供給配管5より供給する。そして、第1段階と同様に研磨ヘッド6及び定盤2を回転させる。この第2段階において

10

20

30

40

50

は、電極パターンの面積率の低い凸部が集中的に研磨される。

第1及び第2段階において、研磨時間はそれぞれ研磨前の初期段差や膜厚によって決定される。このようにして、高平坦化されたウェーハが得られる。

【0040】

本実施例によれば、電極の面積率の違いに関わらず、最終的には高平坦な素子を得ることが出来るので、次の工程の精度を向上させる効果を奏する。

【0041】

上述した実施の形態、及び、実施例においては、下層パターンをゲート電極12とし、この上面に形成された酸化膜13を、被研磨膜として用いたが、その他、下層パターンを配線、素子分離部、あるいは窒化膜など酸化膜と異なる絶縁膜とし、この上面に形成された被研磨膜である酸化膜のCMP処理工程にも同様に、本発明の酸化膜CMP方法を用いることが出来る。

10

【図面の簡単な説明】

【0042】

【図1】本発明の一実施の形態に係る酸化膜CMP方法に用いられるCMP装置である。

【図2】本発明の一実施の形態に係る酸化膜CMP方法に用いられる被研磨膜を有するウェーハの概略断面構成を示す。

【図3】A、B BET値が大きいときの配線パターンの面積率に対する研磨量と、BET値が小さいときの配線パターンの面積率に対する研磨量を示す。

【図4】A、B、C 本発明の一実施の形態に係る酸化膜CMP方法の概略工程図をしめす。

20

【図5】本発明の基体研磨方法が適用されるウェーハの例としてのDRAM混載ロジックを示す。

【符号の説明】

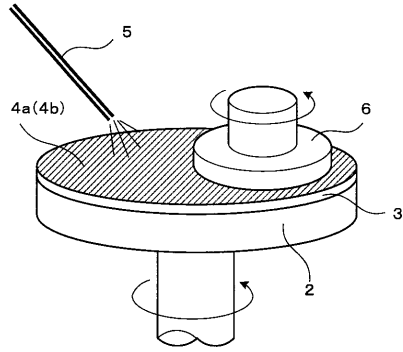
【0043】

1・・・CMP装置、2・・・定盤、3・・・研磨パッド、4a, 4b・・・スラリー、5・・・スラリー供給配管、6・・・研磨ヘッド、10・・・ウェーハ、12・・・ゲート電極、13、14・・・絶縁膜、15、16・・・セリア砥粒、17・・・溝部、18, 19・・・領域、20・・・DRAM混載ロジック、22・・・ロジック回路部、21・・・DRAMセル、23・・・ウェーハ、24・・・CPU

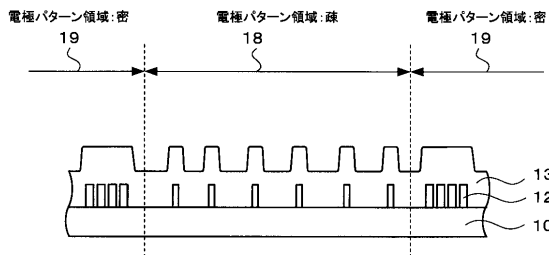
30



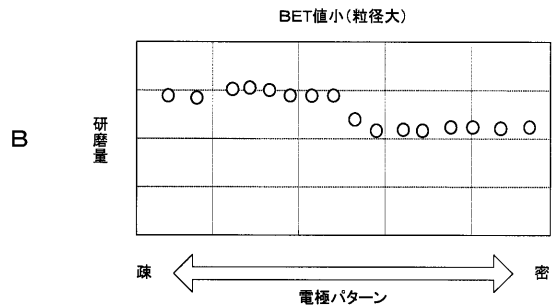
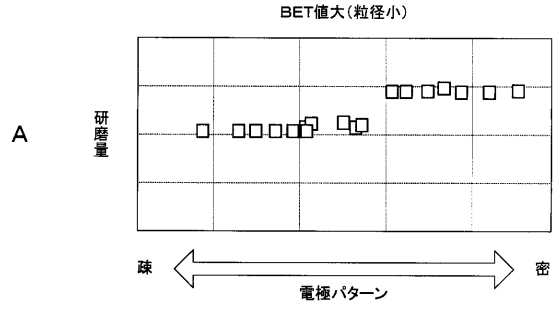
【図1】



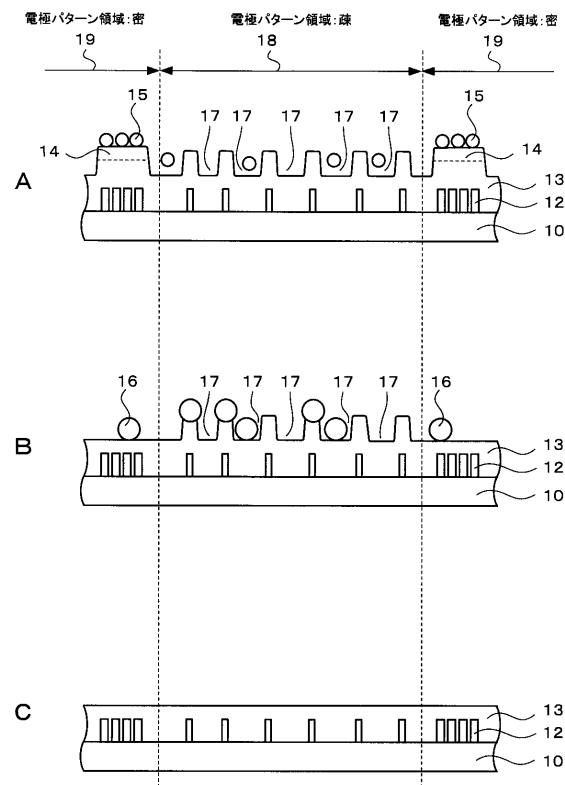
【図2】



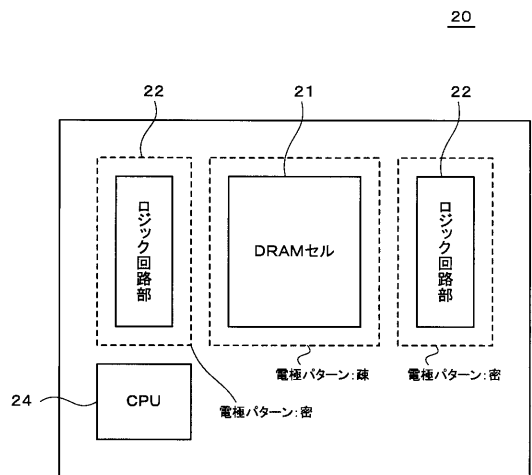
【図3】



【図4】



【図5】



---

フロントページの続き

- (72)発明者 榎本 貴幸  
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 山本 雄一  
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 橋本 卓行

- (56)参考文献 特開平11-135617(JP,A)  
特開2004-168638(JP,A)  
特開2005-203394(JP,A)  
特開2004-349426(JP,A)  
特開2007-227808(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| B24B | 37/00  |
| C09K | 3/14   |
| H01L | 21/304 |