



(12) 发明专利

(10) 授权公告号 CN 109841701 B

(45) 授权公告日 2021.09.10

(21) 申请号 201711192894.9

H01L 31/0352 (2006.01)

(22) 申请日 2017.11.24

H01L 31/18 (2006.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 109841701 A

(56) 对比文件

CN 105742397 A, 2016.07.06

US 2015171256 A1, 2015.06.18

(43) 申请公布日 2019.06.04

CN 1787222 A, 2006.06.14

(73) 专利权人 比亚迪半导体股份有限公司

CN 101090138 A, 2007.12.19

地址 518119 广东省深圳市大鹏新区葵涌

CN 105185845 A, 2015.12.23

街道延安路1号

WO 2007122890 A1, 2007.11.01

专利权人 宁波比亚迪半导体有限公司

KR 100386541 B1, 2003.06.02

(72) 发明人 刘东庆

CN 106129145 A, 2016.11.16

(74) 专利代理机构 深圳众鼎专利商标代理事务

所(普通合伙) 44325

CN 105977338 A, 2016.09.28

代理人 谭果林

审查员 陈学妍

(51) Int. Cl.

H01L 31/103 (2006.01)

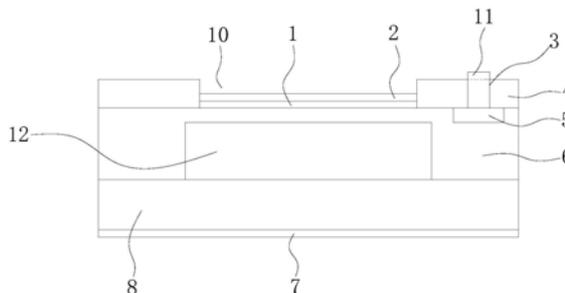
权利要求书1页 说明书7页 附图5页

(54) 发明名称

光电二极管及其制造工艺

(57) 摘要

本发明提供了光电二极管,包括耗尽层、阳极金属,及顺序设置的阴极金属、N型掺杂阴极区、P型掺杂阳极区和绝缘层;阴极金属、N型掺杂阴极区和P型掺杂阳极区电性导通,耗尽层封闭于N型掺杂阴极区与P型掺杂阳极区之间,阳极金属的一端穿过绝缘层并与P型掺杂阳极区电性导通。还提供了光电二极管的制造工艺:在N型掺杂阴极区上外延生长出感光区;在感光区的上外延生长出P型掺杂阳极区;在P型掺杂阳极区上生长出绝缘层;在绝缘层上的接触窗口处沉积阳极金属,在N型掺杂阴极区背离P型掺杂阳极区的一侧沉积阴极金属;耗尽感光区形成耗尽层。P型掺杂阳极区和N型掺杂阴极区封闭耗尽层,避免耗尽层外露,有效消除表面漏电,明显增加信噪比。



1. 光电二极管的制造工艺,其特征在于:包括如下步骤:  
准备N型掺杂阴极区;  
在所述N型掺杂阴极区上外延生长出感光区;  
在所述感光区的上外延生长出P型掺杂阳极区,且所述P型掺杂阳极区与所述N型掺杂阴极区封闭包裹所述感光区;  
在所述P型掺杂阳极区上生长出绝缘层,且所述绝缘层上设有接触窗口;  
在所述接触窗口处沉积阳极金属,在所述N型掺杂阴极区背离所述P型掺杂阳极区的一侧沉积阴极金属;  
在所述阴极金属上加高电位,在所述阳极金属加低电位,耗尽所述感光区,形成耗尽层。
2. 如权利要求1所述的光电二极管的制造工艺,其特征在于:在所述N型掺杂阴极区上外延生长出所述感光区的步骤包括:  
在所述N型掺杂阴极区上通过气相外延形成感光层,再对所述感光层进行蚀刻得到所述感光区。
3. 如权利要求1所述的光电二极管的制造工艺,其特征在于:在所述P型掺杂阳极区上生长出所述绝缘层的步骤包括:  
对所述P型掺杂阳极区进行抛光,在抛光后的所述P型掺杂阳极区上高温生长绝缘膜,对所述绝缘膜进行蚀刻得到所述绝缘层。
4. 如权利要求1所述的光电二极管的制造工艺,其特征在于:还包括如下步骤:所述绝缘层上设有覆盖所述感光区的感光窗口,在所述感光窗口内高温生长缓冲层,所述缓冲层封闭所述感光窗口;在所述缓冲层上气相沉积抗反射层,且所述抗反射层位于所述感光窗口内并封闭所述感光窗口。
5. 如权利要求1所述的光电二极管的制造工艺,其特征在于:还包括如下步骤:在所述P型掺杂阳极区面向所述接触窗口的一侧通过离子注入的方式形成P型高掺杂区。
6. 如权利要求1所述的光电二极管的制造工艺,其特征在于:所述感光区采用N型掺杂,且所述感光区内的N型材料的掺杂浓度小于所述N型掺杂阴极区内的N型材料的掺杂浓度。

## 光电二极管及其制造工艺

### 技术领域

[0001] 本发明属于半导体器件技术领域,更具体地说,是涉及一种光电二极管及其制造工艺。

### 背景技术

[0002] 众所周知的,光电二极管是将光信号转换成电信号的一种传感器,由掺杂类型相反的半导体组成PN结,通过P型掺杂半导体加反向电压或者靠自身的内建电势形成耗尽层,当光入射到耗尽层内,半导体吸收光子能量发生能量跃迁,形成电子空穴对,通过内在电场产生电流,被外部电路获取。

[0003] 现有的光电二极管为轻掺杂的N型半导体衬底作为I层,衬底一面进行N型杂质高掺杂形成N型区域,另一面进行部分P型掺杂扩散形成P型区域,N型区域表面连接金属作为阴极,P型区域覆盖抗反射层,并部分连接金属作为阳极,P型区域外围由接触窗口覆盖,对于波长比较长(>800nm)的光信号,为了得到更好的量子效率,器件工作时需要加反向偏压,形成较宽的耗尽层。

[0004] 然而,现有的光电二极管,PN结附近形成的耗尽层,部分会暴露在感光面P型掺杂外围的表面,而且反向电压越大,耗尽层宽度越宽,暴露面积越大,由于界面态缺陷、外部辐射等问题,会形成较大的表面漏电,降低光电二极管的信噪比。

### 发明内容

[0005] 本发明的一种目的之一在于提供一种光电二极管,以解决现有技术中的光电二极管中耗尽层部分暴露在感光面P型掺杂外围的表面,而造成的漏电及降低光电二极管的信噪比的技术问题。

[0006] 为实现上述目的,本发明采用的技术方案是:光电二极管,包括阴极金属、N型掺杂阴极区、P型掺杂阳极区、绝缘层和阳极金属,所述阴极金属、所述N型掺杂阴极区、所述P型掺杂阳极区和所述绝缘层顺序设置,所述阴极金属、所述N型掺杂阴极区和所述P型掺杂阳极区电性导通,还包括耗尽层,所述耗尽层封闭包裹于所述N型掺杂阴极区与所述P型掺杂阳极区之间,所述绝缘层上设有接触窗口,且所述阳极金属的一端穿过所述接触窗口并与所述P型掺杂阳极区电性导通。

[0007] 进一步地,所述P型掺杂阳极靠近所述阳极金属的一侧设有P型高掺杂区,所述P型高掺杂区与所述阳极金属接触。

[0008] 进一步地,还包括抗反射层,所述绝缘层上设有感光窗口,所述抗反射层位于所述感光窗口内并封闭所述感光窗口。

[0009] 进一步地,还包括缓冲层,所述缓冲层位于所述感光窗口内,所述缓冲层位于所述P型掺杂阳极区与所述抗反射层之间,所述缓冲层封闭所述感光窗口。

[0010] 本发明提供的光电二极管的有益效果在于,与现有技术相比,本发明提供的光电二极管,通过P型掺杂阳极区和N型掺杂阴极区封闭耗尽层,避免耗尽层暴露于器件表面,有

效消除表面漏电,对外部辐射进行有效隔离,明显增加信噪比;通过在接触窗口中设置阳极金属,使得阳极金属与P型掺杂阳极区紧密结合,电子在阳极金属与P型掺杂阳极区之间移动更加充分,提高了量子效率。

[0011] 本发明的目的之二在于提供一种光电二极管的制造工艺,以解决现有技术中的光电二极管中耗尽层部分暴露在感光面P型掺杂外围的表面,而造成的漏电及降低光电二极管的信噪比的技术问题。

[0012] 为实现上述目的,本发明采用的技术方案是:光电二极管的制造工艺,包括以下步骤:

[0013] 准备N型掺杂阴极区;

[0014] 在所述N型掺杂阴极区上外延生长出感光区;

[0015] 在所述感光区的上外延生长出P型掺杂阳极区,且所述P型掺杂阳极区与所述N型掺杂阴极区封闭包裹所述感光区;

[0016] 在所述P型掺杂阳极区上生长出接触窗口,且所述绝缘层上设有接触窗口;

[0017] 在所述接触窗口处沉积阳极金属,在所述N型掺杂阴极区背离所述P型掺杂阳极区的一侧沉积阴极金属;

[0018] 在所述阴极金属上加高电位,在所述阳极金属加低电位,耗尽所述感光区,形成耗尽层。

[0019] 进一步地,在所述N型掺杂阴极区上外延生长出所述感光区的步骤包括:

[0020] 在所述N型掺杂阴极区上通过气相外延形成感光层,再对所述感光层进行蚀刻得到所述感光区。

[0021] 进一步地,在所述P型掺杂阳极区上生长出所述绝缘层的步骤包括:

[0022] 对所述P型掺杂阳极区进行抛光,在抛光后的所述P型掺杂阳极区上高温生长绝缘膜,对所述绝缘膜进行蚀刻得到所述绝缘层。

[0023] 进一步地,还包括如下步骤:

[0024] 所述绝缘层上设有覆盖所述感光区的感光窗口,在所述感光窗口内高温生长缓冲层,所述缓冲层封闭所述感光窗口;在所述缓冲层上气相沉积抗反射层,且所述抗反射层位于所述感光窗口内并封闭所述感光窗口。

[0025] 进一步地,还包括如下步骤:

[0026] 还包括如下步骤:在所述P型掺杂阳极区面向所述接触窗口的一侧通过离子注入的方式形成P型高掺杂区。

[0027] 进一步地,所述感光区采用N型掺杂,且所述感光区内的N型材料的掺杂浓度小于所述N型掺杂阴极区内的N型材料的掺杂浓度。

[0028] 本发明提供的光电二极管的制造工艺的有益效果在于,与现有技术相比,在N型掺杂阴极区上外延生长出感光区,在感光区上外延生长出P型掺杂阳极区,使得感光区被包裹在N型掺杂阴极区和P型掺杂阳极区之间,由感光区耗尽后形成的耗尽层也就包裹在N型掺杂阴极区和P型掺杂阳极区之间,没有露出在器件表面上,有效的消除了表面漏电,进而增加了光电二极管的信噪比。

## 附图说明

[0029] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0030] 图1为本发明实施例提供的光电二极管的截面结构示意图;

[0031] 图2为本发明实施例提供的光电二极管的俯视结构示意图一;

[0032] 图3为本发明实施例提供的光电二极管的俯视结构示意图二;

[0033] 图4为本发明实施例提供的光电二极管中的N型掺杂阴极区上设置感光区后的截面结构示意图;

[0034] 图5为图4的感光区上设置P型掺杂阳极区后的截面结构示意图;

[0035] 图6为图5的P型掺杂阳极区上设置绝缘层后的截面结构示意图;

[0036] 图7为图6的绝缘层上设置感光窗口和接触窗口之后的截面结构示意图;

[0037] 图8为图7的感光窗口上设置缓冲层和抗反射层之后的截面结构示意图;

[0038] 图9为图8的P型掺杂阳极区上设置P型高掺杂区之后的截面结构示意图;

[0039] 图10为图9的接触窗口上设置阳极金属之后的截面结构示意图。

[0040] 图11为图10的N型掺杂阴极区下设置阴极金属后的截面结构示意图。

[0041] 其中,图中各附图标记:

[0042] 1-缓冲层;2-抗反射层;3-接触窗口;4-绝缘层;5-P型高掺杂区;6-P型掺杂阳极区;7-阴极金属;8-N型掺杂阴极区;9-感光区;10-感光窗口;11-阳极金属;12-耗尽层;13-对准标记。

## 具体实施方式

[0043] 为了便于理解本发明,下面将参照相关附图对本发明进行更全面的描述。附图中给出了本发明的若干实施例。但是,本发明可以以许多不同的形式来实现,并不限于本文所描述的实施例。相反地,提供这些实施例的目的是使对本发明的公开内容更加透彻全面。

[0044] 需要说明的是,当元件被称为“固定于”或“设置于”另一个元件,它可以直接在另一个元件上或者间接在该另一个元件上。当一个元件被称为是“连接于”另一个元件,它可以是直接连接到另一个元件或间接连接至该另一个元件上。

[0045] 需要理解的是,术语“长度”、“宽度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0046] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0047] 请一并参阅图1-3,现对本发明提供的光电二极管进行说明。光电二极管,包括阴极金属7、N型掺杂阴极区8、P型掺杂阳极区6、绝缘层4和阳极金属11,阴极金属7、N型掺杂阴

极区8、P型掺杂阳极区6和绝缘层4顺序设置,阴极金属7、N型掺杂阴极区8和P型掺杂阳极区6电性导通;还包括耗尽层12,耗尽层12封闭包裹于N型掺杂阴极区8与P型掺杂阳极区6之间,绝缘层4上设有接触窗口3,且阳极金属11的一端穿过接触窗口3并与P型掺杂阳极区6电性导通。

[0048] 本发明提供的光电二极管,与现有技术相比,通过P型掺杂阳极区6和N型掺杂阴极区8封闭耗尽层12,避免耗尽层12暴露于器件表面,有效消除表面漏电,对外部辐射进行有效隔离,明显增加信噪比;通过在接触窗口3中设置阳极金属11,使得阳极金属11与P型掺杂阳极区6紧密结合,电子在阳极金属11与P型掺杂阳极区6之间移动更加充分,提高了量子效率。

[0049] 进一步地,请参阅图1,作为本发明提供的光电二极管的一种具体实施方式,在P型掺杂阳极区6靠近阳极金属11的一侧设有P型高掺杂区5,P型高掺杂区5与阳极金属11接触。P型高掺杂区5的设置,降低了阻值,可使得电子在阳极金属11与P型掺杂阳极区6的过渡区域移动更加高效,提高了量子效率。

[0050] 进一步地,请参阅图1,作为本发明提供的光电二极管的一种具体实施方式,还包括抗反射层2,绝缘层4上设有感光窗口10,抗反射层2位于感光窗口10内并封闭感光窗口10。抗反射层2的设置可以增加光通量,提高能量转换率,还可以避免外界异物侵入光电二极管中,保护光电二极管,并且抗反射层2对外部辐射可以进行有效的隔离,进而增加光电二极管的信噪比。

[0051] 具体的,抗反射层2采用常见的氮化硅材料,氮化硅材料不仅能够有效的减少入射光的反射,而且还具有钝化的作用,使得抗反射层2可以更好的保护光电二极管,增加了光电二极管信噪比。

[0052] 进一步地,请参阅图1,作为本发明提供的光电二极管的一种具体实施方式,还包括缓冲层1,缓冲层1位于感光窗口10内,缓冲层1位于P型掺杂阳极区6与抗反射层2之间,缓冲层1封闭感光窗口10。缓冲层1的设置使得抗反射层2与P型掺杂阳极区6之间的应力配合更加充分,并且缓冲层1还可以调节光的反射系数,进而增加了光电二极管的信噪比。

[0053] 具体地,请一并参阅图2和图3作为本发明提供的光电二极管的一种具体实施方式,光电二极管的耗尽层12的截面可为方形,也可为圆形,封闭包裹于N型掺杂阴极区8与P型掺杂阳极区6之间,与外界隔离,即可实现避免耗尽层12暴露于器件表面,有效消除表面漏电,对外部辐射进行有效隔离,明显增加信噪比。

[0054] 请一并参阅图1和图4-11,现对本发明提供的光电二极管的制造工艺进行说明。光电二极管的制造工艺,包括以下步骤:

[0055] S1、准备N型掺杂阴极区8;

[0056] S2、在N型掺杂阴极区8上外延生长出感光区9;

[0057] S3、在感光区9的上外延生长出P型掺杂阳极区6,且P型掺杂阳极区6与N型掺杂阴极区8封闭包裹感光区9;

[0058] S4、在P型掺杂阳极区6上生长出绝缘层4,且绝缘层4上设有接触窗口3;

[0059] S5、在接触窗口3处沉积阳极金属11,在N型掺杂阴极区8背离P型掺杂阳极区6的一侧沉积阴极金属7;

[0060] S6、在阴极金属7上加高电位,在阳极金属11加低电位,耗尽感光区9,形成耗尽层

12。

[0061] 本发明提供的光电二极管的制造工艺,与现有技术相比,在N型掺杂阴极区8上外延生长出感光区9,在感光区9上外延生长出P型掺杂阳极区6,使得感光区9被包裹在N型掺杂阴极区8和P型掺杂阳极区6之间,由感光区9耗尽后形成的耗尽层12也就包裹在N型掺杂阴极区8和P型掺杂阳极区6之间,没有露出在器件表面上,有效的消除了表面漏电,进而增加了光电二极管的信噪比。

[0062] 具体地,步骤S1为在衬底上生长阴极区,生长阴极区的过程中掺杂N型材料,得到N型掺杂阴极区8;或者,先在衬底上生长阴极区,再通过离子注射的方式对阴极区进行N型掺杂,得到N型掺杂阴极区8。

[0063] 优选地,N型掺杂阴极区8中的N型材料的掺杂浓度为 $1.0E18\text{cm}^{-3}\sim 1.0E20\text{cm}^{-3}$ ,保证与阴极金属7形成良好的欧姆接触,使得N型掺杂阴极区8的导电性增强,进而提高量子效率。

[0064] 具体地,N型掺杂阴极区8使用的N型材料可为Si、InGaAs或者InP,但不限于这三种材料。

[0065] 进一步地,请参阅图4,作为本发明提供的光电二极管的制造工艺的一种具体实施方式,步骤S2包括:

[0066] S21、在N型掺杂阴极区8上通过气相外延形成感光层;

[0067] S22、对感光层进行蚀刻得到感光区9。

[0068] 通过气相外延方式形成的感光层与N型掺杂阴极区8之间紧密结合,使得电子在感光层与N型掺杂阴极区8移动时候更加充分。对感光层进行蚀刻得到感光区9,达到需要的感光区9尺寸,使得不同的产品中电子在感光区9与N型掺杂阴极区8之间的移动都能更加高效,提高了量子效率。

[0069] 其中,对感光层进行蚀刻的方法可为干法蚀刻,干法蚀刻能实现各向异性刻蚀,从而保证细小图形转移后的保真性,因此,干法蚀刻对感光区9尺寸的控制更加精准。

[0070] 进一步地,还可在N型掺杂阴极区8背离感光区9的一侧干法蚀刻N型掺杂材料形成对准标记13,使得后期在沉淀阴极金属7时候更加精准。

[0071] 进一步地,请一并参阅图5至图6,作为本发明提供的光电二极管的一种具体实施方式,步骤S4包括:

[0072] S41、对P型掺杂阳极区6进行抛光,在抛光后的P型掺杂阳极区6上高温生长绝缘膜。

[0073] S42、对绝缘膜进行蚀刻得到绝缘层4。

[0074] 抛光之后的P型掺杂阳极区6表面平滑,在平滑的P型掺杂阳极区6表面高温生长出的绝缘层4与P型掺杂阳极区6连接紧密,绝缘层4的设置可以有效的保护光电二极管,增加光电二极管的信噪比。

[0075] 具体地,P型掺杂阳极区6的厚度比感光区9的厚度偏厚 $1\mu\text{m}$ 以上,且经步骤S41抛光后P型掺杂阳极区6自感光区9背向N型掺杂阴极区8延伸部分的厚度在 $0.5\mu\text{m}$ 以上,抛光之后,P型掺杂阳极区6的晶圆表面平整,感光区9被包裹在P型掺杂阳极区6与N型掺杂阴极区8以内,使得电子不会移动到器件表面,有效的消除了表面漏电,进而增加了光电二极管的信噪比。

[0076] 具体地,感光窗口10到感光区9的距离为 $0.5\mu\text{m}\sim 5.0\mu\text{m}$ ,这样使得感光区9被完整的包裹在P型掺杂阳极区6和N型掺杂阴极区8内,因此感光区9不会与器件表面接触,电子不会移动到器件表面,可以有效的消除表面漏电,从而增加光电二极管的信噪比。

[0077] 具体地,作为本发明提供的光电二极管的一种具体实施方式,P型掺杂阳极区6的掺杂浓度为 $1.0\text{E}14\text{cm}^{-3}\sim 1.0\text{E}20\text{cm}^{-3}$ ,增强P型掺杂阳极区6的导电性,提高量子效率。

[0078] 具体地,在步骤S42中对绝缘膜进行蚀刻得到绝缘层4的方法为干法蚀刻。干法蚀刻能实现各向异性刻蚀,从而保证细小图形转移后的保真性,因此,干法蚀刻对绝缘层4尺寸的控制更加精准。当然,在步骤S42中对绝缘膜进行蚀刻得到绝缘层4的方法也可为湿法蚀刻。

[0079] 具体地,接触窗口3在步骤S42中形成,接触窗口3用于承载阳极金属11,阳极金属11与P型掺杂阳极区6紧密结合,使得阳极金属11与P型掺杂阳极区6之间的电子移动高效,提高了电子效率。

[0080] 进一步地,请一并参阅图7和图8,作为本发明提供的光电二极管的一种具体实施方式,还包括如下步骤:

[0081] S7、绝缘层4上设有覆盖感光区9的感光窗口10,在感光窗口10内高温生长缓冲层1,缓冲层1封闭感光窗口10;在缓冲层1上气相沉积抗反射层2,且抗反射层2位于感光窗口10内并封闭感光窗口10。

[0082] 感光窗口10用于承载缓冲层1与抗反射层2,使得缓冲层1与抗反射层2可以更好的保护光电二极管。

[0083] 具体地,感光窗口10在步骤S42中形成,有利于控制感光窗口10的尺寸,既避免入射光进入非耗尽层区域而导致转换率下降,又避免因感光窗口10过小而导致透光不充分,有利于增加光电二极管的信噪比。

[0084] 优选在绝缘膜上蚀刻形成接触窗口3的同时,蚀刻形成感光窗口10;有利于提高光电二极管的生产效率。

[0085] 进一步地,请参阅图9,作为本发明提供的光电二极管的一种具体实施方式,还包括如下步骤:

[0086] S8、在P型掺杂阳极区6面向接触窗口3的一侧通过离子注入的方式形成P型高掺杂区5。

[0087] P型高掺杂区5的设置使得阳极金属11与P型掺杂阳极区6之间的电子移动更加充分,提高了量子效率,进而增加了光电二极管的信噪比。离子注入得方式使得P型高掺杂区5成形更加精准,尺寸更加合理,提高了量子效率。

[0088] 具体地,P型高掺杂区5中的掺杂材料的浓度大于P型掺杂阳极区6中的掺杂材料的浓度,使得P型高掺杂区5和P型掺杂阳极区6之间存在一个浓度差,浓度差的设置可以使得电子移动更加充分,进而提高了量子效率。

[0089] 具体地,P型高掺杂区5与感光区9之间有间距,在电子移动充分的前提下有效减少电子移动到感光区9内和器件表面上,加强了电子移动的效率,提高了量子效率,增加了光电二极管的信噪比。

[0090] 进一步地,请参阅图4,作为本发明提供的光电二极管的一种具体实施方式,感光区9可选择无掺杂,也可以选择N型轻掺杂。优选地,感光区9采用N型掺杂,且感光区9内的N

型材料的掺杂浓度小于N型掺杂阴极区8内的N型材料的掺杂浓度,感光区9与N型掺杂阴极区8之间浓度差的设置可以使得电子移动更加充分,提高了量子效率,进而增加了光电二极管的信噪比。

[0091] 具体地,感光区9内的N型材料的掺杂浓度小于 $1.0E14\text{cm}^{-3}$ ,使得电子移动更加快速,更加高效,进而提高量子效率。

[0092] 具体地,N型掺杂阴极区8的浓度在 $1.0E18\text{cm}^{-3}\sim 1.0E20\text{cm}^{-3}$ 之间,保证N型掺杂阴极区8与阴极金属7形成良好的欧姆接触,并且降低外部信号或杂质对感光区9的干扰,因此可以有效的消除表面漏电,从而增加光电二极管的信噪比。

[0093] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等,均应包含在本发明的保护范围之内。

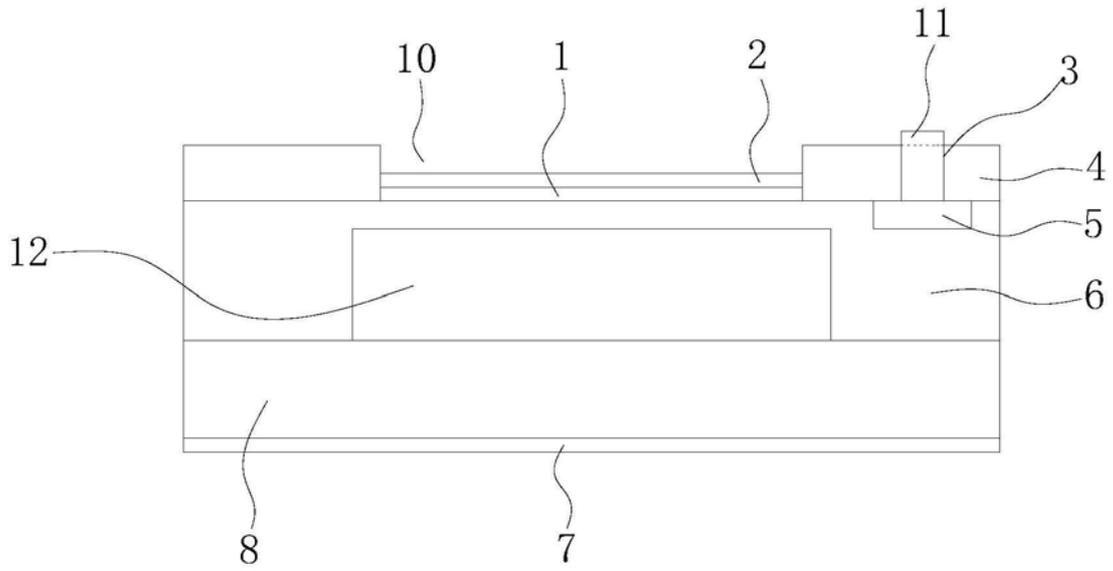


图1

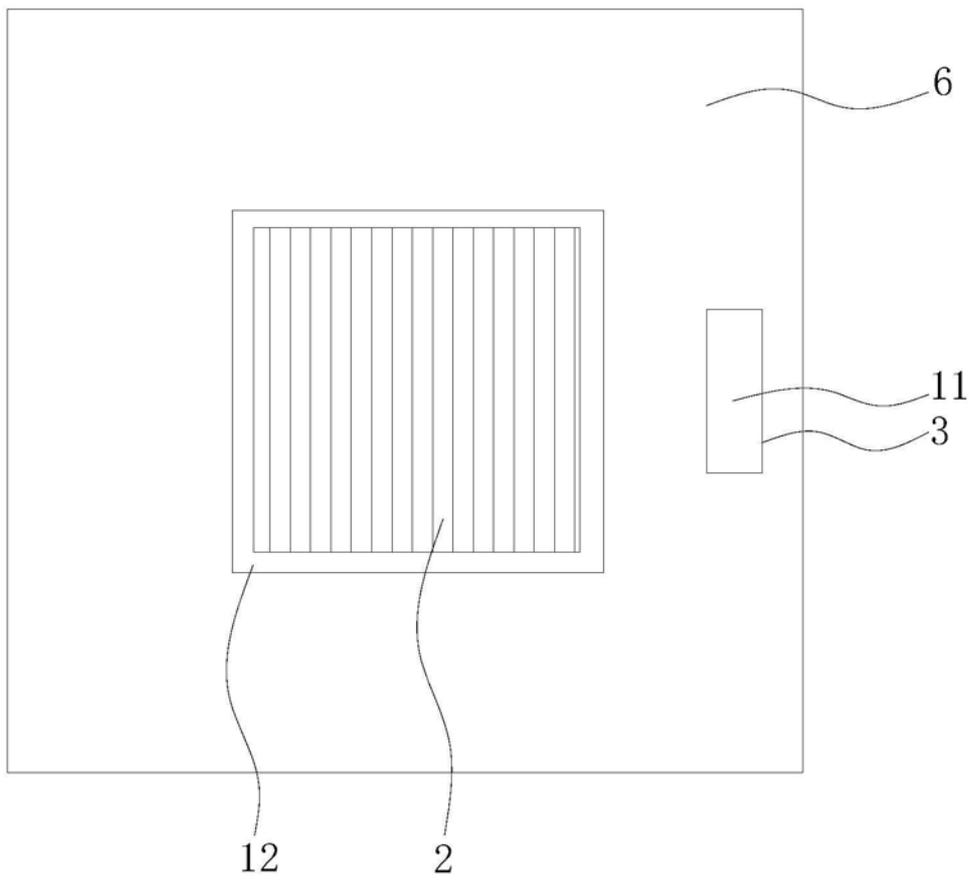


图2

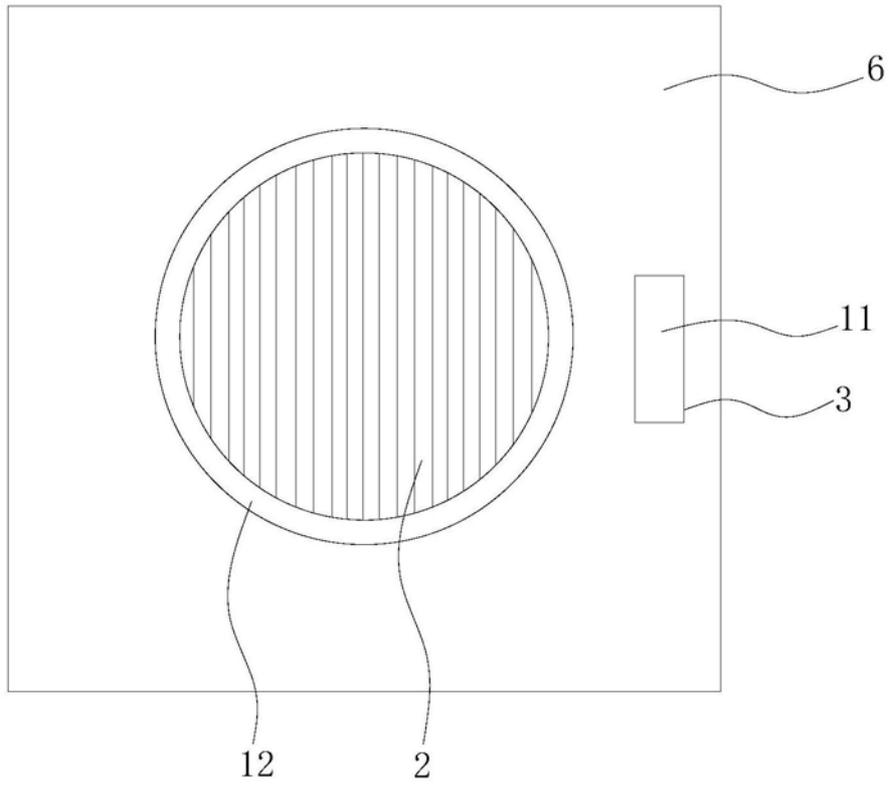


图3

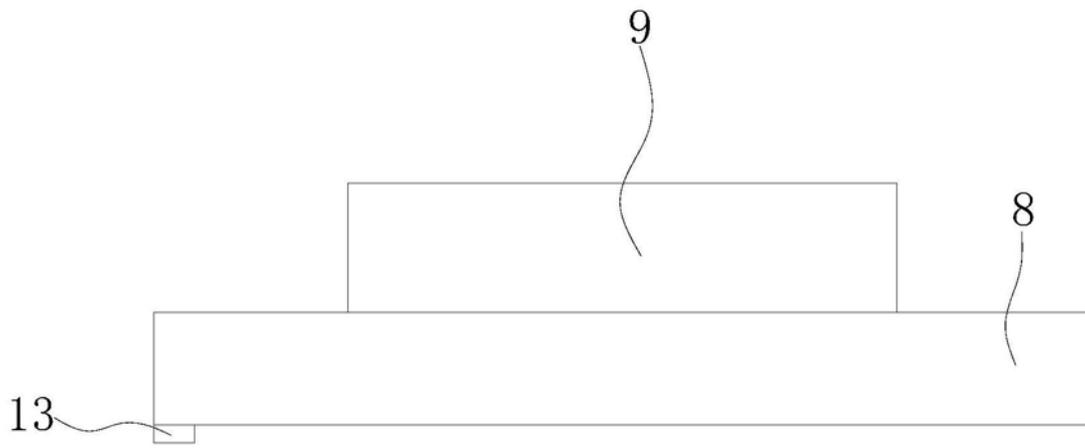


图4

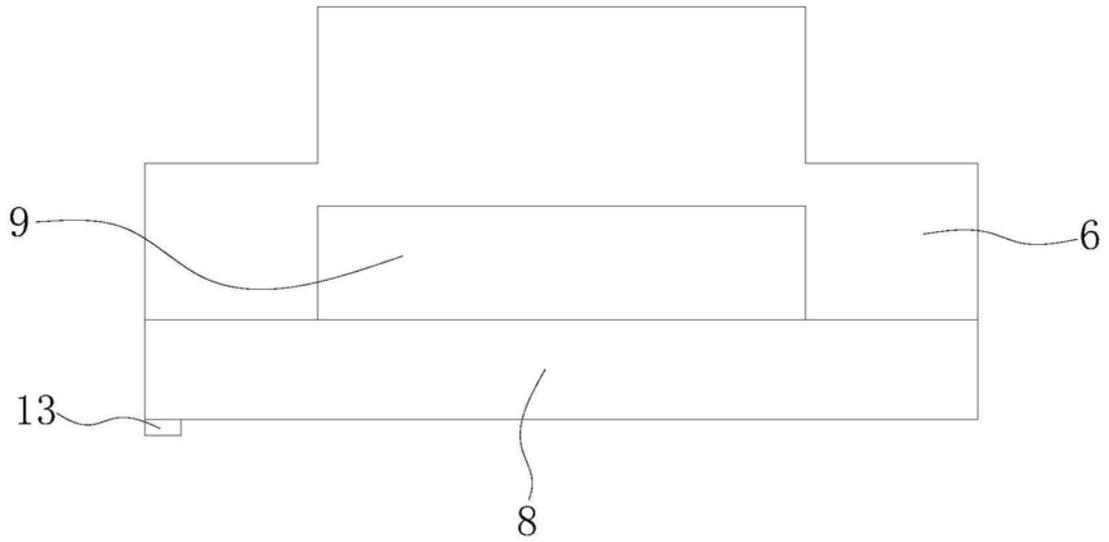


图5

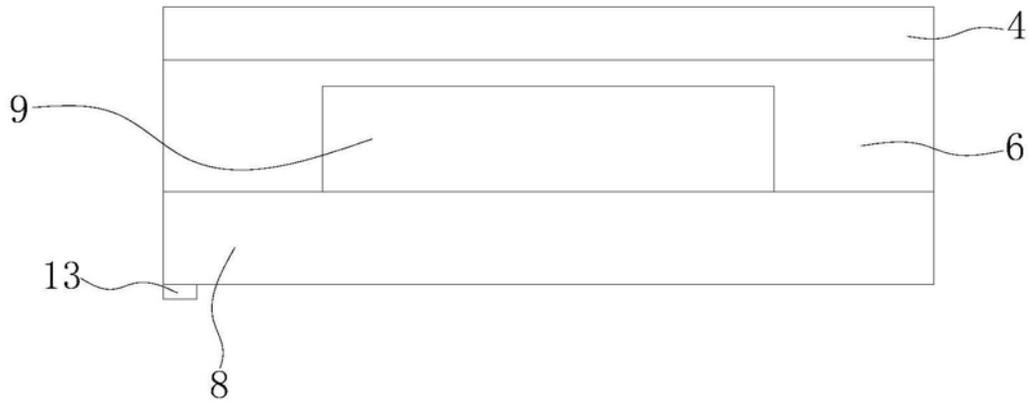


图6

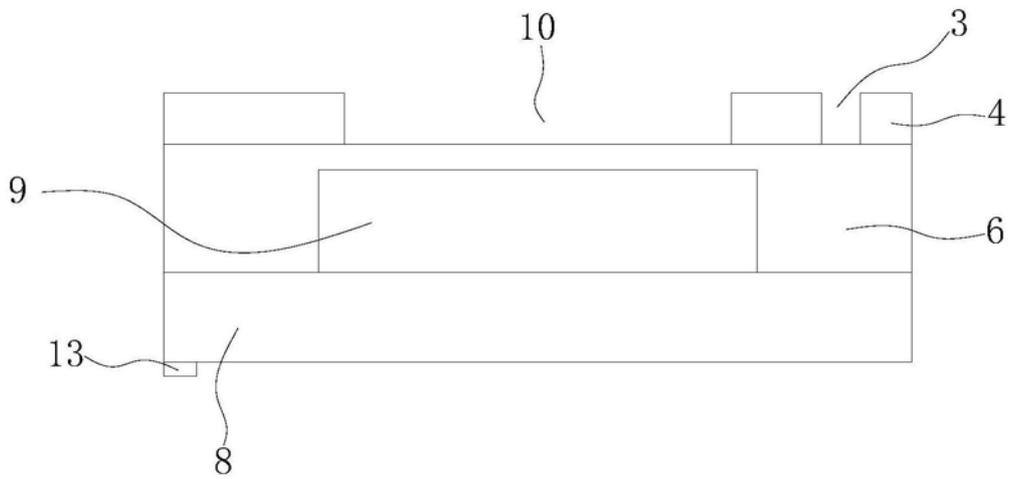


图7

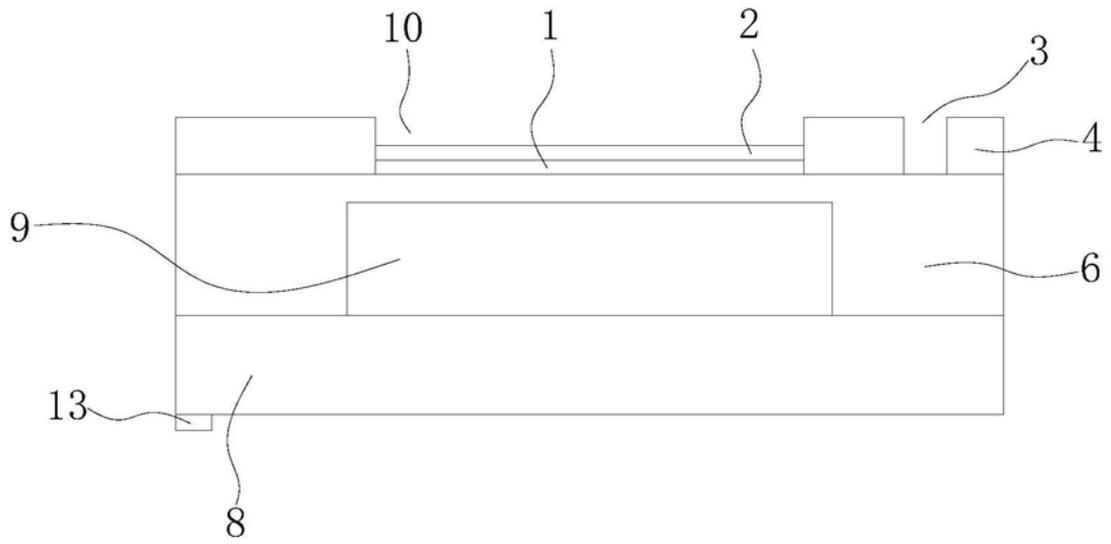


图8

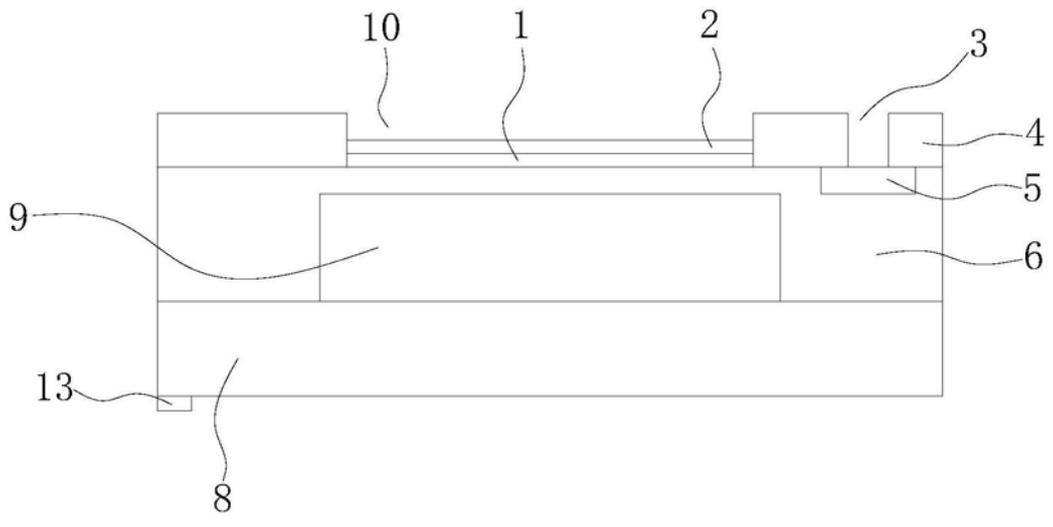


图9

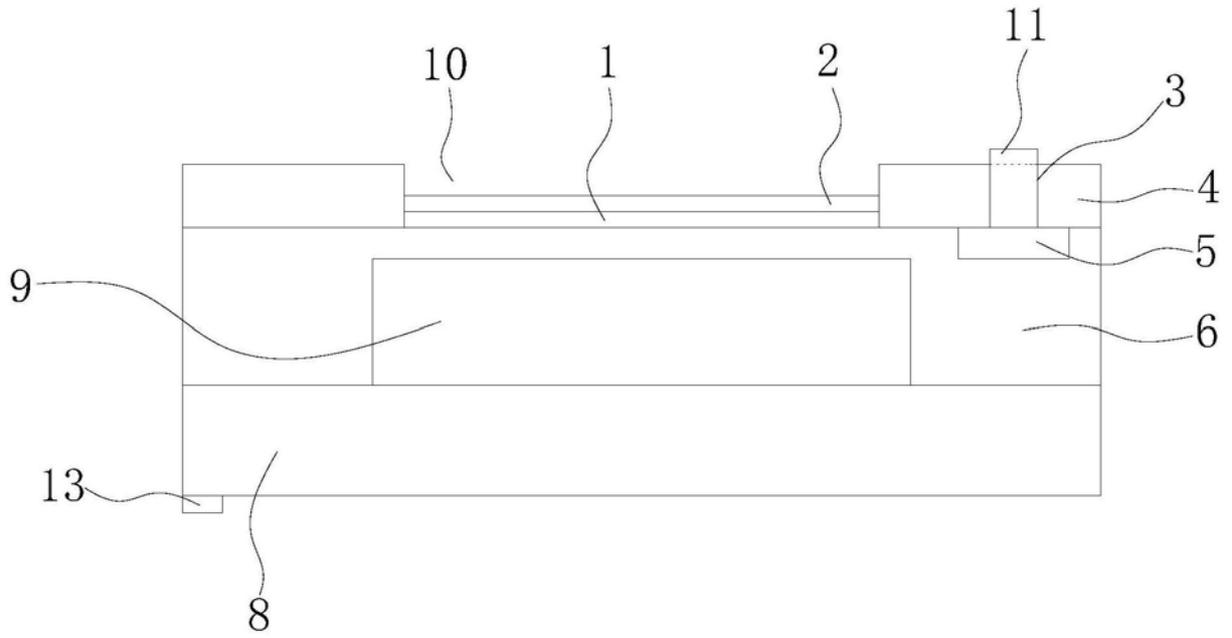


图10

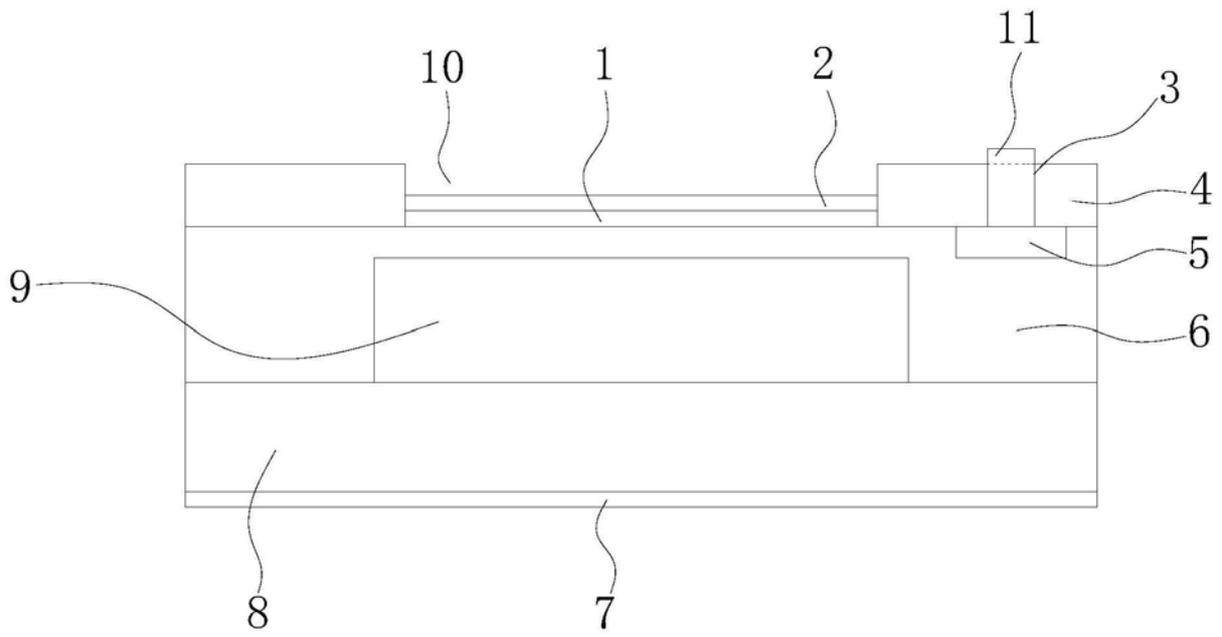


图11