



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월01일
(11) 등록번호 10-2415385
(24) 등록일자 2022년06월27일

(51) 국제특허분류(Int. Cl.)
G11C 16/06 (2021.01) G11C 16/08 (2006.01)
G11C 16/10 (2006.01) G11C 16/34 (2006.01)
(52) CPC특허분류
G11C 16/06 (2013.01)
G11C 16/08 (2013.01)
(21) 출원번호 10-2015-0103608
(22) 출원일자 2015년07월22일
심사청구일자 2020년05월21일
(65) 공개번호 10-2017-0012674
(43) 공개일자 2017년02월03일
(56) 선행기술조사문헌
US20140369124 A1*
(뒷면에 계속)

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
심민수
충청남도 아산시 탕정면 탕정면로 37, 402동 270
2호 (탕정삼성트라펠리스아파트)
정진성
충청남도 아산시 탕정면 탕정면로 37 삼성트라펠
리스 504-3505
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 8 항

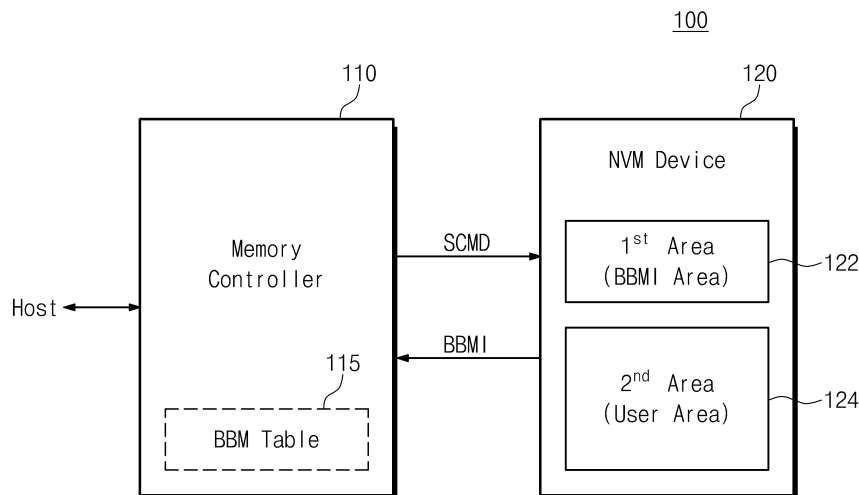
심사관 : 한선경

(54) 발명의 명칭 불휘발성 메모리 장치 및 그것을 포함하는 저장 장치

(57) 요약

본 발명에 따른 불휘발성 메모리 장치는, 메모리 관리 정보가 저장되는 제 1 영역과 유저 데이터가 저장되는 제 2 영역을 포함하는 메모리 셀 어레이, 어드레스에 응답하여 상기 제 1 영역 또는 상기 제 2 영역의 행들 중 어느 하나의 행을 선택하는 디코더, 상기 선택된 행에 연결되는 메모리 셀들에 입력된 데이터를 저장하거나, 상기 메모리 셀들에 저장된 데이터를 센싱하는 페이지 버퍼, 그리고 특정 명령어에 응답하여 상기 제 1 영역에 대한 접근을 수행하도록 상기 디코더 및 페이지 버퍼를 포함하되, 상기 메모리 관리 정보는 특정 메모리 단위에 반복적으로 프로그램되며, 서로 다른 특정 메모리 단위들 각각의 서로 다른 열 위치에 상기 메모리 관리 정보가 기입된다.

대표도 - 도2



(52) CPC특허분류

G11C 16/10 (2013.01)

G11C 16/3459 (2013.01)

(56) 선행기술조사문헌

KR101303524 B1*

KR1020150111692 A

KR1020100082710 A

KR1020060006554 A

US20090157989 A1

*는 심사관에 의하여 인용된 문헌

공지예외적용 : 있음

명세서

청구범위

청구항 1

메모리 관리 정보가 저장되는 제 1 영역과 유저 데이터가 저장되는 제 2 영역을 포함하는 메모리 셀 어레이;

어드레스에 기초하여 상기 제 1 영역 또는 상기 제 2 영역의 행들 중 적어도 하나의 행을 선택하는 디코더;

상기 선택된 행에 연결되는 메모리 셀들에 데이터를 저장하거나, 상기 메모리 셀들에 저장된 데이터를 센싱하는 페이지 버퍼; 그리고

특정 명령어에 응답하여 상기 제 1 영역에 대한 접근을 수행하도록 상기 디코더 및 상기 페이지 버퍼를 제어하는 제어 로직을 포함하되,

상기 메모리 셀 어레이는 복수의 비트들을 포함하는 상기 메모리 관리 정보를 저장하기 위한 복수의 행들 및 열들을 포함하고,

상기 복수의 비트들 중 제 1 비트는 제 1 행과 제 1 열에 프로그램 되고,

상기 복수의 비트들 중 상기 제 1 비트에 인접한 제 2 비트는 상기 제 1 행 및 상기 제 1 열에 인접한 제 2 열에 프로그램 되고,

상기 제 1 비트는 상기 제 1 행에 인접한 제 2 행 및 상기 제 2 열에 프로그램 되고,

상기 제 2 비트는 상기 제 2 행 및 상기 제 2 열에 인접한 제 3 열에 프로그램 되고,

상기 제 1 비트는 상기 제 2 행에 인접한 제 3 행 및 상기 제 3 열에 프로그램 되고,

상기 제 2 비트는 상기 제 3 행 및 상기 제 3 열에 인접한 제 4 열에 프로그램 되고,

상기 제 1 행의 메모리 셀들 중 일부 열들의 메모리 셀들은 상기 복수의 비트들을 저장하고, 그리고 나머지 열들의 메모리 셀들은 고정된 논리값을 저장하고,

상기 제 2 행의 메모리 셀들 중 일부 열들의 메모리 셀들은 상기 복수의 비트들을 저장하고, 그리고 나머지 열들의 메모리 셀들은 고정된 논리값을 저장하고,

상기 제 3 행의 메모리 셀들 중 일부 열들의 메모리 셀들은 상기 복수의 비트들을 저장하고, 그리고 나머지 열들의 메모리 셀들은 고정된 논리값을 저장하고, 그리고

상기 제 1 행, 상기 제 2 행 및 상기 제 3 행의 각각에서, 상기 복수의 비트들을 저장하는 상기 일부 열들은 다른 행의 일부 열들과 서로 중복되는 제 1 부분 및 서로 중복되지 않는 제 2 부분을 포함하는 불휘발성 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 메모리 관리 정보는 서로 다른 행들에 반복적으로 프로그램되며, 각각의 행들에서 상기 메모리 관리 정보가 시작되는 열 어드레스 위치는 프로그램 순서에 따라 지그재그 방식, 순차 증가 방식, 순차 감소 방식들 중 어느 하나의 방식에 따라 기입되는 불휘발성 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 메모리 관리 정보는 상기 셀 어레이에 포함되는 배드 블록의 위치 및 배드 블록의 수에 대한 정보를 포함하는 불휘발성 메모리 장치.

청구항 4

제 1 항에 있어서,

상기 메모리 관리 정보는 상기 불휘발성 메모리 장치의 초기화 또는 설정 정보들이 포함되는 불휘발성 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 셀 어레이는 3차원 메모리 어레이로 형성되며, 상기 3차원 메모리 어레이를 구성하는 각각의 메모리 셀들은 전하 트랩 층을 포함하는 불휘발성 메모리 장치.

청구항 6

불휘발성 메모리 장치에 메모리 관리 정보를 저장하는 방법에 있어서:

상기 메모리 관리 정보를 제 1 페이지 영역에 프로그램하는 단계; 및

상기 메모리 관리 정보를 제 2 페이지 영역에 프로그램하는 단계를 포함하되,

상기 제 1 페이지 영역에서의 상기 메모리 관리 정보의 열 위치는 상기 제 2 페이지 영역에서의 상기 메모리 관리 정보의 열 위치와는 상이하고,

상기 불휘발성 메모리 장치는 상기 메모리 관리 정보가 저장되는 제 1 영역과 유저 데이터가 저장되는 제 2 영역을 포함하는 메모리 셀 어레이를 포함하고,

상기 메모리 셀 어레이는 복수의 비트들을 포함하는 상기 메모리 관리 정보를 저장하기 위한 복수의 행들 및 열들을 포함하고,

상기 복수의 비트들 중 제 1 비트는 제 1 행과 제 1 열에 프로그램 되고,

상기 복수의 비트들 중 상기 제 1 비트에 인접한 제 2 비트는 상기 제 1 행 및 상기 제 1 열에 인접한 제 2 열에 프로그램 되고,

상기 제 1 비트는 상기 제 1 행에 인접한 제 2 행 및 상기 제 2 열에 프로그램 되고,

상기 제 2 비트는 상기 제 2 행 및 상기 제 2 열에 인접한 제 3 열에 프로그램 되고,

상기 제 1 비트는 상기 제 2 행에 인접한 제 3 행 및 상기 제 3 열에 프로그램 되고,

상기 제 2 비트는 상기 제 3 행 및 상기 제 3 열에 인접한 제 4 열에 프로그램 되고,

상기 제 1 행의 메모리 셀들 중 일부 열들의 메모리 셀들은 상기 복수의 비트들을 저장하고, 그리고 나머지 열들의 메모리 셀들은 고정된 논리값을 저장하고,

상기 제 2 행의 메모리 셀들 중 일부 열들의 메모리 셀들은 상기 복수의 비트들을 저장하고, 그리고 나머지 열들의 메모리 셀들은 고정된 논리값을 저장하고,

상기 제 3 행의 메모리 셀들 중 일부 열들의 메모리 셀들은 상기 복수의 비트들을 저장하고, 그리고 나머지 열들의 메모리 셀들은 고정된 논리값을 저장하고, 그리고

상기 제 1 행, 상기 제 2 행 및 상기 제 3 행의 각각에서, 상기 복수의 비트들을 저장하는 상기 일부 열들은 다른 행의 일부 열들과 서로 중복되는 제 1 부분 및 서로 중복되지 않는 제 2 부분을 포함하는 저장 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 페이지 영역 및 상기 제 2 페이지 영역은 상기 메모리 관리 정보의 접근을 위한 특정 명령어에 의해서 접근되는 저장 방법.

청구항 8

제 7 항에 있어서,

상기 메모리 관리 정보는 불휘발성 메모리 장치의 배드 블록의 수 및 상기 배드 블록의 어드레스 정보를 포함하는 저장 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 불휘발성 메모리 장치 및 그것의 메모리 관리 정보를 관리하는 방법에 관한 것이다.

배경 기술

- [0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 불휘발성 반도체 메모리 장치(Non-volatile semiconductor memory device)로 구분될 수 있다. 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에 불휘발성 반도체 메모리 장치는 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 불휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 저장하는데 쓰인다.
- [0003] 불휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치가 있다. 플래시 메모리 장치는 컴퓨터, 휴대폰, PDA, 디지털카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld PC), 게임기, 팩스, 스캐너, 프린터 등(이하, '호스트'라 함)과 같은 정보기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다.
- [0004] 최근에는, 플래시 메모리 기반의 다양한 스토리지 장치들이 출시되고 소개되고 있다. 하드 디스크 드라이브(HDD)를 대체하기 위한 솔리드 스테이트 드라이브(SSD)라든지, 플래시 기반의 임베디드 멀티미디어 카드(Embedded MultiMedia Card: 이하, eMMC)나, 멀티미디어 카드(MMC)와 같은 스토리지 장치들이 보편화되고 있다. 이러한 스토리지 장치들의 가장 기본적인 저장 매체(Storage medium)는 플래시 메모리 장치이다.
- [0005] 플래시 메모리 장치의 집적도를 향상시키기 위하여 3차원으로 적층되는 메모리 셀을 갖는 불휘발성 메모리 장치가 대안이 되고 있다. 하지만, 3차원으로 적층되는 메모리에서 빈번하게 발생하는 열 방향의 결합은 플래시 메모리 장치의 특정 영역에 기입되는 제어 정보의 신뢰성을 저감시키고 있다. 제어 정보의 예로는 플래시 메모리 장치의 생산 및 테스트 과정에서 누적된 배드 블록 관리 정보를 예로 들 수 있다. 이러한 제어 정보에 오류가 발생하면 해당 플래시 메모리 장치는 불량으로 처리되어야 한다. 따라서, 이러한 불량을 줄이는 것이 수율 향상의 중요한 요인으로 작용하고 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 목적은 높은 신뢰성의 메모리 관리 정보 또는 배드 블록 관리 정보를 제공할 수 있는 불휘발성 메모리 장치 및 그것을 포함하는 저장 장치, 그리고 그것의 메모리 관리 정보의 관리 방법을 제공하는 데 있다.

과제의 해결 수단

- [0007] 상기 목적을 달성하기 위한 본 발명에 따른 불휘발성 메모리 장치는, 메모리 관리 정보가 저장되는 제 1 영역과 유저 데이터가 저장되는 제 2 영역을 포함하는 메모리 셀 어레이, 어드레스에 응답하여 상기 제 1 영역 또는 상기 제 2 영역의 행들 중 어느 하나의 행을 선택하는 디코더, 상기 선택된 행에 연결되는 메모리 셀들에 입력된 데이터를 저장하거나, 상기 메모리 셀들에 저장된 데이터를 센싱하는 페이지 버퍼, 그리고 특정 명령어에 응답하여 상기 제 1 영역에 대한 접근을 수행하도록 상기 디코더 및 페이지 버퍼를 포함하되, 상기 메모리 관리 정보는 특정 메모리 단위에 반복적으로 프로그램되며, 서로 다른 특정 메모리 단위들 각각의 서로 다른 열 위치에 상기 메모리 관리 정보가 기입된다.
- [0008] 상기 목적을 달성하기 위한 본 발명에 따른 저장 장치는, 복수의 메모리 단위들 각각의 서로 다른 열 위치에 반복적으로 프로그램된 메모리 관리 정보를 포함하는 불휘발성 메모리 장치, 그리고 상기 메모리 관리 정보를 독출하기 위한 특정 명령어를 사용하여 상기 불휘발성 메모리 장치에 접근하는 메모리 컨트롤러를 포함하되, 상기 메모리 컨트롤러는 상기 복수의 메모리 단위들로부터 각각 독출된 메모리 관리 정보들의 열 위치를 재배열하고, 재배열된 열들에 대한 다수-비트 결정(Majority Decision) 알고리즘을 적용하여 상기 메모리 관리 정보를 복원한다.
- [0009] 상기 목적을 달성하기 위한 본 발명에 따른 불휘발성 메모리 장치에 메모리 관리 정보를 저장하는 방법은, 상기 메모리 관리 정보를 제 1 페이지 영역에 프로그램하는 단계, 및 상기 메모리 관리 정보를 제 2 페이지 영역에 프로그램하는 단계를 포함하되, 상기 제 1 페이지 영역에서의 상기 메모리 관리 정보의 열 위치는 상기 제 2 페이지 영역에서의 상기 메모리 관리 정보의 열 위치와는 다르다.
- [0010] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 불휘발성 메모리 장치로부터 메모리 관리 정보를 독출하는 방법은, 상기 불휘발성 메모리 장치로부터 상기 메모리 관리 정보가 저장된 제 1 페이지 영역을 독출하는 단계, 상기 불휘발성 메모리 장치로부터 상기 메모리 관리 정보가 저장된 제 2 페이지 영역을 독출하는 단계, 상기 제 1 페이지 영역 및 상기 제 2 페이지 영역에서 서로 다른 열 위치에 상기 메모리 관리 정보들이 각각 위치

하며, 상기 제 1 페이지 영역으로부터 독출된 제 1 페이지 데이터와 상기 제 2 페이지 영역으로부터 독출된 제 2 페이지 데이터의 열 위치를 재배열하는 단계, 그리고 재배열된 상기 제 1 페이지 데이터 및 상기 제 2 페이지 데이터 각각의 열들에 대한 다수-비트 결정 연산을 적용하여 상기 메모리 관리 정보를 추출하는 단계를 포함한다.

발명의 효과

[0011] 이상과 같은 본 발명의 실시 예에 따르면, 불휘발성 메모리 장치의 배드 블록 관리 정보가 저장되는 영역에 예러나 결함이 존재하더라도 오류없이 배드 블록 관리 정보를 제공할 수 있는 불휘발성 메모리 장치 및 그것의 프로그램 방법을 제공할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명에 따른 불휘발성 메모리 장치의 배드 블록 관리 정보를 불휘발성 메모리 장치에 저장하는 절차를 보여주는 공정도이다.

도 2는 본 발명의 실시 예에 따른 저장 장치를 보여주는 블록도이다.

도 3은 도 2의 불휘발성 메모리 장치(120)를 구체적으로 보여주는 블록도이다.

도 4는 도 3의 제 1 영역에 대한 구성을 예시적으로 보여주는 회로도이다.

도 5는 본 발명의 실시 예에 따른 배드 블록 관리 정보(BBMI)가 프로그램된 패턴을 보여주는 도면이다.

도 6은 도 5의 패턴으로 기입된 배드 블록 관리 정보를 식별하는 방법을 보여주는 도면이다.

도 7은 도 6에 도시된 배드 블록 관리 정보의 독출 및 재배열 방법을 보여주는 도면이다.

도 8은 도 5의 패턴으로 기입된 배드 블록 관리 정보를 식별하는 방법을 보여주는 도면이다.

도 9는 도 8에 도시된 배드 블록 관리 정보의 독출 및 재배열 방법을 보여주는 도면이다.

도 10a 및 도 10b는 본 발명의 불휘발성 메모리 장치(120)에 대한 접근 방법을 예시적으로 보여주는 타이밍도들이다.

도 11은 본 발명의 실시 예에 따른 배드 블록 관리 정보의 프로그램 방법을 간략히 보여주는 순서도이다.

도 12는 본 발명의 배드 블록 관리 정보의 독출 방법을 간략히 보여주는 순서도이다.

도 13a 내지 도 13d는 본 발명의 배드 블록 관리 정보를 불휘발성 메모리 장치(120)의 제 1 영역(122)에 프로그램하는 다양한 예를 보여주는 도면들이다.

도 14는 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.

도 15는 도 3의 불휘발성 메모리 장치의 셀 어레이에 포함된 메모리 블록들 중 어느 하나를 예시적으로 보여주는 회로도이다.

도 16은 본 발명의 실시 예들에 따른 불휘발성 메모리 장치를 포함하는 메모리 카드 시스템을 보여주는 블록도이다.

도 17은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 SSD(Solid State Drive) 시스템을 예시적으로 보여주는 블록도이다.

도 18은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 추가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.

- [0014] 이하에서 설명되는 배드 블록 관리 정보(Bad Block Management Information: BBMI)는 불휘발성 메모리 장치의 고유 메모리 영역에 저장되는 메모리 관리 정보(Memory Management Information)의 일종이다. 따라서, 설명의 편의를 위해서 배드 블록 관리 정보(BBMI)로 표현되었으나, 배드 블록 관리 정보(BBMI)는 메모리 관리 정보에 대해서도 동일하게 적용될 수 있음은 잘 이해될 것이다.
- [0015] 도 1은 본 발명에 따른 불휘발성 메모리 장치의 배드 블록 관리 정보를 불휘발성 메모리 장치에 저장하는 절차를 보여주는 공정도이다. 도 1을 참조하면, 배드 블록 관리 정보(BBMI)는 다양한 테스트 단계에서 추출되어 취합되고, 이후 불휘발성 메모리 장치의 특정 영역에 프로그램된다. 좀더 자세히 설명하면 다음과 같다.
- [0016] S10 단계에서, 불휘발성 메모리 장치(NVM device)는 웨이퍼 상태의 다이(Die)에 대해서 또는 칩 상태의 다이(Die) 상태에서 다양한 테스트 공정을 거친다. 예를 들면, 테스트 패드를 통해서 칩 또는 웨이퍼 다이 상태의 불휘발성 메모리 장치는 라우팅에 대한 테스트, 번인(Burn-in) 테스트 등의 다양한 테스트 과정을 거치게 될 것이다. 더불어, 불휘발성 메모리 장치의 데이터가 저장되는 셀들에 대한 결함이 존재하는지 테스트될 것이다. 테스트 데이터가 기입되고 읽혀지는 과정에서 비트 에러가 존재하는지 또는 열 방향의 결함이 존재하는지 검출될 것이다. 더불어, 블록 단위의 데이터 저장 성능에 대해서도 테스트된다. 이 테스트 과정에서 데이터를 저장하기에 적절치 못한 메모리 블록은 배드 블록(Bad block)으로 지정된다. 배드 블록의 수나 위치(또는 어드레스)에 대한 정보는 다양한 테스트들을 통해서 누적되고 최종적으로 배드 블록 관리 정보(BBMI)로 취합될 수 있다.
- [0017] S20 단계에서, 칩 다이 상태의 불휘발성 메모리 장치에 대한 제반 테스트 절차가 완료되고, 불휘발성 메모리 장치는 패키지 공정을 통해서 하나의 장치로 가공된다. 하나의 패키지 내에 복수의 칩들이 배열 또는 적층될 수도 있을 것이다.
- [0018] S30 단계에서, 패키징된 불휘발성 메모리 장치들에 대한 배드 블록 관리 정보(BBMI)의 기입이 수행된다. 배드 블록 관리 정보(BBMI)뿐 아니라 다양한 메모리 관리 정보가 함께 이 과정에서 특정 영역에 기입될 수 있다. 하지만, 배드 블록 관리 정보(BBMI)를 예로 들어 본 발명의 이점을 설명하고자 한다. 배드 블록 관리 정보(BBMI)는 불휘발성 메모리 장치의 특정 영역에 저장될 수 있다. 특정 영역은 특정 명령어를 통해서만 접근 가능한 영역일 수 있다.
- [0019] S40 단계에서, 특정 영역에 저장된 데이터의 신뢰성에 대한 테스트가 수행된다. 즉, 배드 블록 관리 정보(BBMI)가 저장된 특정 영역에 결함이나 에러가 존재하는지 검출될 것이다. 만일, 특정 영역에 결함이 존재하여 정확한 배드 블록 관리 정보(BBMI)의 제공이 보장되지 않는 경우, 해당 불휘발성 메모리 장치는 불량으로 처리되어야 할 것이다. 하지만, 본 발명의 불휘발성 메모리 장치는 열 방향 결함이나 비트 에러가 존재하더라도 용이하게 배드 블록 관리 정보(BBMI)를 복원할 수 있다. 따라서, 본 발명의 실시 예에 따르면 S40 단계에서 발생하는 불량률의 비율을 획기적으로 개선할 수 있어, 현저한 수율 향상을 제공할 수 있다.
- [0020] 도 2는 본 발명의 실시 예에 따른 저장 장치를 보여주는 블록도이다. 도 2를 참조하면, 저장 장치(100)는 메모리 컨트롤러(110) 및 불휘발성 메모리 장치(120)를 포함할 수 있다.
- [0021] 메모리 컨트롤러(110)는 호스트(Host)의 요청에 응답하여 불휘발성 메모리 장치(120)를 제어하도록 구성될 것이다. 메모리 컨트롤러(110)는 호스트(Host)와 불휘발성 메모리 장치(120)를 인터페이싱한다. 메모리 컨트롤러(110)는 호스트(Host)의 쓰기 요청에 응답하여 데이터를 기입하기 위하여 불휘발성 메모리 장치(120)를 제어한다. 또한, 메모리 컨트롤러(110)는 호스트(Host)로부터의 읽기 명령에 응답하여 불휘발성 메모리 장치(120)의 독출 동작을 제어한다.
- [0022] 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)를 제어하기 위한 플래시 변환 계층(Flash Translation Layer: 이하, FTL)이라는 소프트웨어(또는, 펌웨어)를 구동할 수 있다. 플래시 변환 계층(FTL)은 호스트(Host)의 파일 시스템(File System)과 불휘발성 메모리 장치(120) 사이에서 불휘발성 메모리 장치(120)의 삭제 연산을 감추기 위한 인터페이싱을 제공한다. 플래시 변환 계층(FTL)에 의하여, 쓰기 전 소거(Erase-before-Write) 및 소거 단위와 쓰기 단위의 불일치라는 불휘발성 메모리 장치(120)의 단점이 보완될 수 있다. 또한, 플래시 변환 계층(FTL)은 불휘발성 메모리 장치(120)의 기입 동작시, 파일 시스템이 생성한 논리 주소(LA)를 불휘발성 메모리 장치(120)의 물리 주소(PN)로 맵핑(Mapping)시킨다.
- [0023] 본 발명의 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 배드 블록 관리 정보(BBMI)를 독출할 수 있다. 배드 블록 관리 정보(BBMI)는 불휘발성 메모리 장치(120)에 포함된 배드 블록(Bad Block)에 대한 특성 정보를 포함한다. 예를 들면, 배드 블록 관리 정보(BBMI)는 불휘발성 메모리 장치(120)에 포함되는 배드 블록의 수나 배드 블록의 위치 등을 포함한다. 배드 블록 관리 정보(BBMI)는 생산자가 불휘발성 메모리 장치(120)를 생

산하는 다양한 테스트 공정에서 검출된 결과를 취합하여 생성될 것이다. 따라서, 메모리 컨트롤러(110)는 배드 블록 관리 정보(BBMI)를 독출하여 배드 블록에 대한 접근을 차단하기 위한 배드 블록 관리 테이블(115)을 생성할 수 있다. 호스트(Host)는 메모리 컨트롤러(110)에 의해서 구성된 배드 블록 관리 테이블(115)을 참조하여 불휘발성 메모리 장치(120)의 배드 블록들에 대한 상태를 파악할 수 있다. 그리고 호스트(Host)는 배드 블록으로의 잘못된 접근에 의한 오류를 미연에 방지할 수 있다.

[0024] 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)의 제어에 따라, 소거 동작, 읽기 동작, 그리고 쓰기 동작을 수행한다. 불휘발성 메모리 장치(120)는 복수의 메모리 블록들을 포함하며, 메모리 블록들 각각은 행들과 열들로 배열된 복수의 메모리 셀들을 포함할 것이다. 메모리 셀들 각각은 멀티-레벨(또는, 멀티-비트) 데이터를 저장할 것이다. 메모리 셀들은 2차원 어레이 구조를 갖도록 또는 3차원(또는, 수직) 어레이 구조를 갖도록 배열될 수 있다.

[0025] 불휘발성 메모리 장치(120)는 복수의 메모리 블록들(BLK1~BLKi)을 포함할 수 있다. 각각의 메모리 블록들(BLK1~BLKi)은 하나의 소거 단위를 구성한다. 각각의 메모리 블록들(BLK1~BLKi)은 기관과 교차하는 방향으로 적층되어 셀 스트링을 구성하는 복수의 메모리 셀들을 포함할 수 있다. 또는, 각각의 메모리 블록들(BLK1~BLKi)은 기관에 평행한 방향으로 복수의 셀 스트링들이 적층되는 형태로 제공될 수 있다. 상술한 바와 같은 3차원 구조로 형성되는 메모리 블록들(BLK1~BLKi)에 의해서 하나의 메모리 블록의 용량은 획기적으로 증가하는 추세이다.

[0026] 불휘발성 메모리 장치(120)의 저장 영역은 기능에 따라 적어도 2개의 영역으로 구분될 수 있다. 불휘발성 메모리 장치(120)의 저장 영역은 배드 블록 관리 정보(BBMI) 또는 메모리 관리 정보가 저장되는 제 1 영역(122)과 사용자 데이터가 저장되는 제 2 영역(124)으로 구분될 수 있다. 제 1 영역(122)에 저장되는 배드 블록 관리 정보(BBMI)는 훼손되거나 사용자에게 의해서 변경되어서는 안된다. 따라서, 제 1 영역(122)에 대한 접근은 일반 사용자에게 의해서 쉽게 이루어져서는 곤란하다. 제 1 영역(122)에 대한 접근은 특정 명령어(SCMD)에 의해서 접근 가능한 영역이다. 반면, 제 2 영역(124)은 사용자에게 의해서 접근 가능하고 다양한 데이터가 저장될 수 있다. 본 발명의 불휘발성 메모리 장치(120)는 특정 명령어(SCMD)에 의해서 접근될 수 있고, 배드 블록 관리 정보(BBMI)를 출력할 수 있다.

[0027] 특히, 제 1 영역(122)에 저장되는 배드 블록 관리 정보(BBMI)는 신뢰성을 위해서 복수 회 프로그램될 수 있다. 예를 들면, 복수의 페이지에 동일한 배드 블록 관리 정보(BBMI)가 반복적으로 기입될 수 있다. 하지만, 이들 복수의 페이지에 배드 블록 관리 정보(BBMI)는 서로 다른 열 위치에 분포하게 될 것이다. 서로 다른 열 위치에 동일한 배드 블록 관리 정보(BBMI)가 저장됨에 따라 열 방향 또는 비트 라인 방향으로 발생하는 결함에 대해서 높은 신뢰성을 제공할 수 있다. 이러한 구조는 후술하는 도면을 통해서 상세히 설명할 것이다.

[0028] 결론적으로, 본 발명의 저장 장치(100)는 배드 블록 관리 정보(BBMI)가 저장되는 제 1 영역(122)에 서로 다른 열 위치에 반복적으로 프로그램될 수 있다. 그리고 제 1 영역(122)에 대한 접근을 위해서 이 영역으로의 접근을 위해 특화된 특정 명령어(SCMD)에 의해서만 가능하도록 설정된다. 메모리 컨트롤러(110)는 특정 명령어(SCMD)를 사용하여 불휘발성 메모리 장치(120)의 제 1 영역(122)을 접근하고, 배드 블록 관리 정보(BBMI)를 독출할 수 있다. 이후, 독출된 배드 블록 관리 정보(BBMI)는 프로그램된 열의 위치를 고려하여 재배열되고, 재배열된 이후에 다수-비트 결정 방식에 의해서 배드 블록 관리 정보(BBMI)가 추출될 수 있다. 추출된 배드 블록 관리 정보(BBMI)는 배드 블록을 관리하기 위한 배드 블록 관리 테이블(115)을 구성하는데 사용될 것이다.

[0029] 불휘발성 메모리 장치(120)의 저장 매체로서 낸드 플래시 메모리를 예로 들어 설명하게 될 것이다. 그러나 또 다른 불휘발성 메모리 장치들로 구성될 수 있다. 예를 들면, 저장 매체로서 PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등이 사용될 수 있으며, 이종의 메모리 장치들이 혼용되는 메모리 시스템도 적용될 수 있다. 특히, 최근 활발히 연구되는 솔리드 스테이트 드라이브(Solid State Drive: 이하, SSD)와 같은 저장 장치에서 본 발명의 기술적 특징이 채용될 수 있다. 이 경우, 메모리 컨트롤러(110)는 USB, MMC, PCI-E, SATA, PATA, IDE, E-IDE, SCSI, ESDI, 그리고 SAS 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 통해 호스트(Host)와 통신하도록 구성될 것이다.

[0030] 도 3은 도 2의 불휘발성 메모리 장치(120)를 구체적으로 보여주는 블록도이다. 도 3을 참조하면, 불휘발성 메모리 장치(120)는 메모리 셀 어레이(121), 디코더(123), 페이지 버퍼(125), 그리고 제어 로직(127)을 포함할 수 있다.

[0031] 메모리 셀 어레이(121)는 워드 라인들(WLs) 또는 선택 라인들(SSL, GSL)을 통해 디코더(123)에 연결된다. 메모리 셀 어레이(121)는 비트 라인들(BLs)을 통해서 페이지 버퍼(125)에 연결된다. 메모리 셀 어레이(121)는 복수

의 낸드형 셀 스트링들(NAND Cell Strings)을 포함한다. 복수의 셀 스트링들은 동작 또는 선택 단위에 따라 복수의 메모리 블록들(BLK1~BLKi)을 구성할 수 있다.

- [0032] 메모리 셀 어레이(121)는 제 1 영역(122)과 제 2 영역(124)으로 크게 두 개의 영역으로 구분될 수 있다. 제 1 영역(122)에는 배드 블록 관리 정보(BBMI) 또는 메모리 관리 정보가 저장될 수 있다. 제 2 영역(124)에는 다양한 사용자 데이터가 저장될 수 있다.
- [0033] 여기서, 셀 스트링들 각각의 채널은 수직 또는 수평 방향으로 형성될 수 있다. 메모리 셀 어레이(121)에는 복수의 워드 라인들이 수직 방향으로 적층되고, 셀 스트링들 각각의 채널이 수직 방향으로 형성될 수 있다. 이런 셀 스트링의 구조로 메모리 셀 어레이(121)가 형성되는 메모리 장치를 수직 구조 불휘발성 메모리 장치 또는 3차원 구조 불휘발성 메모리 장치라 칭하기도 한다.
- [0034] 디코더(123)는 어드레스(ADD)에 응답하여 메모리 셀 어레이(121)의 메모리 블록들 중 어느 하나를 선택할 수 있다. 디코더(123)는 선택된 메모리 블록의 워드 라인들(WLs) 중 어느 하나를 선택할 수 있다. 디코더(123)는 선택된 메모리 블록의 워드 라인에 워드 라인 전압을 전달한다. 프로그램 동작시 디코더(123)는 선택 워드 라인(Selected WL)에 프로그램 전압(Vpgm)과 검증 전압(Vvfy)을, 비선택 워드 라인(Unselected WL)에는 패스 전압(Vpass)을 전달한다.
- [0035] 페이지 버퍼(125)는 동작 모드에 따라 기입 드라이버로서 또는 감지 증폭기로서 동작한다. 프로그램 동작시, 페이지 버퍼(125)는 메모리 셀 어레이(121)의 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 전달한다. 읽기 동작시, 페이지 버퍼(125)는 선택된 메모리 셀에 저장된 데이터를 비트 라인을 통해서 감지한다. 페이지 버퍼(125)는 감지된 데이터를 래치하여 외부에 전달한다.
- [0036] 제어 로직(127)은 외부로부터 전달되는 특정 명령어(SCMD)에 응답하여 페이지 버퍼(125)와 디코더(123)를 제어한다. 제어 로직(127)은 소거 동작시, 선택된 메모리 블록(또는, 물리 블록)을 소거할 수 있다. 제어 로직(127)은 특정 명령어(SCMD)에 응답하여 제 1 영역(122)에 저장된 데이터를 출력하도록, 또는 제공된 데이터를 제 1 영역(122)에 프로그램하도록 디코더(123) 및 페이지 버퍼(125)를 제어할 것이다.
- [0037] 본 발명의 불휘발성 메모리 장치(120)는 배드 블록 관리 정보(BBMI)를 서로 다른 메모리 영역에 반복적으로 프로그램할 수 있다. 특히, 제 1 영역(122)에 저장되는 배드 블록 관리 정보(BBMI)는 서로 다른 열 위치에 반복적으로 프로그램될 수 있다. 따라서, 열 방향 결함에 대해서도 높은 신뢰성을 갖는 배드 블록 관리 정보(BBMI)를 제공할 수 있다.
- [0038] 도 4는 도 3의 제 1 영역에 대한 구성을 예시적으로 보여주는 회로도이다. 도 3을 참조하면, 제 1 영역(122)에 포함되는 메모리 블록의 일부분이 도시되어 있다. 하나의 메모리 블록에는 복수의 낸드 셀 스트링(NSi)들이 연결된다. 복수의 낸드 셀 스트링(NSi)들은 기판에 대해서 수직 방향 또는 수평 방향으로 형성될 수 있다.
- [0039] 동일 메모리 블록에 포함되는 복수의 셀 스트링들(Strings)은 각각 동일한 공통 소스 라인(Common Source Line: CSL)에 연결된다. 그리고 각각의 낸드 셀 스트링(NSi)들은 서로 다른 비트 라인들(BL0~BLn-1)에 연결된다. 만일, 메모리 블록에 포함되는 어느 하나의 셀 스트링(예를 들면, NS2)에 결함이 발생하면 비트 라인(BL2)에 연결되는 나머지 셀 스트링들에도 영향을 미친다. 이러한 결함은 열 방향 결함(Column defect)이라 칭하기도 한다.
- [0040] 뿐만 아니라, 회로적인 결함은 없지만 어느 하나의 메모리 셀의 특성이 다른 메모리 셀들과 달라서 저장된 데이터가 의도한 비트와는 다르게 독출될 수도 있다. 이러한 결함을 비트 에러(Bit error)라 칭하기로 한다. 이러한 결함들 외에도, 메모리 셀들의 프로그램/소거 사이클(P/E Cycle)의 증가에 따라서 또는, 데이터가 저장된 시점으로부터의 경과 시간의 증가에 따라 메모리 셀들은 열화된다. 따라서, 열화된 메모리 셀들이 다수 존재하는 스트링의 경우에는 데이터의 신뢰성이 상대적으로 낮을 수밖에 없다.
- [0041] 본 발명의 배드 블록 관리 정보(BBMI)는 서로 다른 행에 반복적으로 프로그램될 수 있다. 그리고 각각의 행들에 저장된 배드 블록 관리 정보(BBMI)는 서로 다른 열 위치에 저장된다. 따라서, 본 발명의 불휘발성 메모리 장치(120)의 배드 블록 관리 정보(BBMI)의 프로그램 방식을 적용하면 비트 에러는 물론, 열 방향 결함에 대해서도 신뢰성 높은 배드 블록 관리 정보(BBMI)를 제공할 수 있다.
- [0042] 도 5는 본 발명의 실시 예에 따른 배드 블록 관리 정보(BBMI)가 프로그램된 패턴을 보여주는 도면이다. 도 5를 참조하면, 제 1 영역(122)에 저장되는 배드 블록 관리 정보(BBMI)가 예를 들면 'abcdefgh'라 가정하기로 한다. 그러면 배드 블록 관리 정보(BBMI)는 제 1 영역(122)의 서로 다른 행들에 반복적으로 프로그램될 수 있다.

특히, 서로 다른 행들에서 배드 블록 관리 정보 'abcdefgh'는 서로 다른 열 위치는 기입될 수 있다.

- [0043] 제 1 행(R0)에 기입되는 배드 블록 관리 정보 'abcdefgh'의 시작 열은 제 1 열(Y0)에서부터 기입될 수 있다. 그리고 제 2 행(R1)에 기입되는 배드 블록 관리 정보 'abcdefgh'는 제 2 열(Y1)을 시작으로 기입될 수 있다. 제 3 행(R2)에 기입되는 배드 블록 관리 정보 'abcdefgh'는 제 3 열(Y2)을 시작으로 기입될 수 있다. 이러한 방식으로 서로 다른 행에서 배드 블록 관리 정보 'abcdefgh'는 서로 다른 열 위치에 반복적으로 기입될 것이다. 여기서, 배드 블록 관리 정보 'abcdefgh'가 기입되지 않는 메모리 셀들에는 소거 상태를 의미하는 논리 '1'이 기입될 수 있을 것이다.
- [0044] 도 6은 도 5의 패턴으로 기입된 배드 블록 관리 정보를 식별하는 방법을 보여주는 도면이다. 도 6을 참조하면, 본 발명의 프로그램 방법에 따른 배드 블록 관리 정보는 비트 에러가 발생하더라도 용이하게 원데이터를 복원할 수 있다. 배드 블록 관리 정보 'abcdefgh'가 프로그램된 제 2 행(R1)과 제 4 행(R3)에 비트 에러들(X)이 발생한 것으로 가정하기로 한다.
- [0045] 독출 동작시, 메모리 컨트롤러(110)는 서로 다른 행(또는, 페이지)에 프로그램된 배드 블록 관리 정보 'abcdefgh'를 읽어낼 것이다. 그리고 메모리 컨트롤러(110)는 독출된 각각의 행들에 대해서 무효한 데이터에 해당하는 부분을 제거하기 위한 배드 블록 관리 정보 'abcdefgh'의 재배열을 수행할 것이다. 여기서, 재배열은 각 행들에 포함된 배드 블록 관리 정보 'abcdefgh'의 열위치를 일치시키기 위해 특정 열만큼 각각 시프트하는 동작을 의미한다.
- [0046] 제 1 행(R0)에서 독출된 데이터(또는, 페이지)에 대해서는 별도의 시프트 동작없이 열(Y8) 이후의 무효한 데이터만 제거하면 된다. 제 2 행(R1)으로부터 독출된 데이터에 대해서는 제 1 열(Y0)과 제 10 열(Y9) 이후의 비트들을 제거하고, 1-비트만큼 왼쪽으로 시프트하는 방식으로 재배열이 수행될 것이다. 제 3 행(R2)으로부터 독출된 데이터에 대해서는 제 1 내지 제 2 열(Y0~Y1)과 제 11 열(Y10) 이후의 비트들을 제거하고, 1-비트만큼 왼쪽으로 시프트하는 방식으로 재배열이 수행될 것이다. 이러한 방식으로 제 1 영역(122)의 8개 행들(R0~R7)로부터 독출된 배드 블록 관리 정보들 'abcdefgh'은 동일한 비트들이 동일한 열에 위치되도록 재배열될 것이다.
- [0047] 재배열에 이어서, 각 열에 대한 다수-비트 결정(Majority Decision)이 수행될 수 있다. 재배열된 제 1 열의 데이터는 'a'가 8-비트 존재하게 될 것이다. 따라서, 제 1 열은 다수-비트 결정에 의해서 'a'로 결정될 수 있다. 재배열된 제 2 열에는 'b'가 8-비트 존재하게 될 것이다. 따라서, 제 2 열은 다수-비트 결정에 의해서 'b'로 결정될 수 있다. 재배열된 제 3 열에는 'c'가 7-비트가 존재하고, 1-비트의 비트 에러 'X'가 존재하게 될 것이다. 따라서, 제 3 열은 비트 에러가 존재하더라도 다수를 차지하는 비트값이 결정되는 다수-비트 결정에 의해서 'c'로 결정될 수 있다.
- [0048] 재배열된 제 4 열에는 비트 에러가 존재하지 않고 'd'만 8-비트 존재하게 될 것이다. 따라서, 제 4 열은 다수-비트 결정에 의해서 'd'로 결정될 수 있다. 재배열된 제 5 열에는 비트 에러가 존재하지 않고 'e'만 8-비트 존재하게 될 것이다. 따라서, 제 5 열은 다수-비트 결정에 의해서 'e'로 결정될 수 있다.
- [0049] 재배열된 제 6 열에는 6-비트의 'f'들, 그리고 2-비트의 비트 에러 'X'가 존재하게 될 것이다. 따라서, 제 6 열은 2-비트의 비트 에러가 존재하더라도 다수를 차지하는 비트값이 선택되는 다수-비트 결정에 의해서 'f'로 결정될 수 있다. 재배열된 제 7 열에는 비트 에러가 존재하지 않고 'g'만 8-비트 존재하게 될 것이다. 따라서, 제 7 열은 다수-비트 결정에 의해서 'g'로 결정될 수 있다. 재배열된 제 8 열에는 비트 에러가 존재하지 않고 'h'만 8-비트 존재하게 될 것이다. 따라서, 제 8 열은 다수-비트 결정에 의해서 'h'로 결정될 수 있다.
- [0050] 이상에서는 본 발명의 방식에 따라 제 1 영역(122)에 저장된 배드 블록 관리 정보(BBMI)의 독출 및 열에 대한 재배열 방식이 설명되었다. 특히, 비트 에러(X)가 존재하더라도 다수-비트 결정 방식에 의해서 배드 블록 관리 정보(BBMI)는 용이하게 복원될 수 있음이 설명되었다.
- [0051] 도 7은 도 6에 도시된 배드 블록 관리 정보의 독출 및 재배열 방법을 보여주는 도면이다. 도 7을 참조하면, 제 1 영역(122)에 저장된 배드 블록 관리 정보에 비트 에러가 존재하더라도 배드 블록 관리 정보가 용이하게 복원될 수 있다.
- [0052] (a)는 배드 블록 관리 정보(BBMI)가 독출되는 단위를 보여준다. 배드 블록 관리 정보는 각 행 단위(또는, 페이지 단위)로 독출될 수 있다. 여기에, 제 2 행(R1)에 2-비트의 비트 에러들(X), 그리고 제 4 행(R3)에 1-비트의 비트 에러(X)가 존재하는 것으로 가정하기로 한다. 그리고 각 행에서 배드 블록 관리 정보 'abcdefgh'를 제외한 무효 데이터 영역에는 논리 '1'이 읽혀질 수 있다.

- [0053] (b)는 독출된 배드 블록 관리 정보 'abcdefgh'에 대한 재배열 방법을 보여준다. 배드 블록 관리 정보 'abcdefgh'가 각 행에서 서로 다른 시작 열을 갖도록 프로그램되었다. 따라서, 각각의 행들은 시작 열 이전의 무효한 비트 수만큼 시프트되어야 할 것이다. 재배열된 이후, 행들 각각의 배드 블록 관리 정보 'abcdefgh'는 도시된 바와 같이 동일 열에 동일 비트들이 위치하게 될 것이다. 그리고 논리 '1'로 독출된 무효 비트들의 집합인 무효 데이터(125)는 본 발명의 다수-비트 결정 동작과는 무관하기 때문에 제거되어도 무방하다.
- [0054] (c)는 다수-비트 결정에 의해서 정해지는 배드 블록 관리 정보 'abcdefgh'를 보여준다. 재배열된 제 1 열(y0)에는 데이터 'a'가 8-비트 존재하게 될 것이다. 따라서, 재배열된 제 1 열(y0)은 다수-비트 결정에 의해서 'a'로 결정될 수 있다. 재배열된 제 2 열(y1)에는 데이터 'b'가 8-비트 존재하게 될 것이다. 따라서, 재배열된 제 1 열(y1)은 다수-비트 결정에 의해서 'b'로 결정될 수 있다. 재배열된 제 3 열(y2)에는 데이터 'c'가 7-비트가 존재하고, 1-비트의 비트 에러 'X'가 존재한다. 하지만, 재배열된 제 3 열(y2)은 비트 에러가 존재하더라도 다수를 차지하는 비트값이 결정되는 다수-비트 결정에 의해서 'c'로 결정될 수 있다.
- [0055] 재배열된 제 4 열(y3)에는 비트 에러가 존재하지 않고 'd'만 8-비트 존재하게 될 것이다. 따라서, 배드 블록 관리 정보의 제 4 열(y4)은 다수-비트 결정에 의해서 'd'로 결정될 수 있다. 재배열된 제 5 열(y4)에는 비트 에러가 존재하지 않고 'e'만 8-비트 존재하게 될 것이다. 따라서, 제 5 열(y4)은 다수-비트 결정에 의해서 'e'로 결정될 수 있다. 재배열된 제 6 열(y5)에는 6-비트의 'f'들, 그리고 2-비트의 비트 에러 'X'가 존재하게 될 것이다. 따라서, 배드 블록 관리 정보의 제 6 열(y5)은 2-비트의 비트 에러가 존재하더라도 다수를 차지하는 비트값이 결정되는 다수-비트 결정에 의해서 'f'로 결정될 수 있다. 재배열된 제 7 내지 8 열(y6-y7)에도 상술한 방식의 다수-비트 결정이 적용되면 각각 데이터 'g', 'h'가 결정될 수 있다.
- [0056] 더불어, 무효한 데이터(125, Invalid Data)에 대응하는 제 9 열(y8) 이후의 데이터는 다수-비트 결정 연산에서 제외될 것이다. 즉, 무효한 데이터는 제거될 수 있다.
- [0057] 도 8은 도 5의 패턴으로 기입된 배드 블록 관리 정보를 식별하는 방법을 보여주는 도면이다. 도 8을 참조하면, 본 발명의 프로그램 방법에 따른 배드 블록 관리 정보 'abcdefgh'는 열 방향의 결함(Y)이 발생하더라도 용이하게 원데이터로 복원될 수 있다. 배드 블록 관리 정보 'abcdefgh'가 프로그램된 영역의 제 6 열(Y5)에 열 방향 결함이 존재하는 것으로 가정하자. 더불어, 비트 에러들(X)이 추가로 발생할 수도 있음은 잘 이해될 것이다.
- [0058] 독출 동작시, 메모리 컨트롤러(110)는 서로 다른 행(또는, 페이지)에 반복적으로 프로그램된 배드 블록 관리 정보 'abcdefgh'를 읽어낼 것이다. 그리고 메모리 컨트롤러(110)는 독출된 각각의 데이터로부터 무효한 데이터에 해당하는 부분을 제거하기 위한 데이터 재배열을 수행할 것이다. 여기서, 데이터 재배열은 프로그램시 각 행들에 적용된 시프트된 열 오프셋(Column Offset)만큼 역으로 시프트하고, 각 행들의 무효한 부분을 제거(Discard)하는 동작을 의미한다.
- [0059] 각 행들(R0~R7)에 대한 독출 및 데이터 재배열, 그리고 이후의 각 열들에 대한 다수-비트 결정(Majority Decision)의 적용 방법은 앞서 설명된 도 6의 기술 사항과 동일하므로 이하에서는 자세한 설명은 생략하기로 한다. 하지만, 열 방향 결함(Y)과 비트 에러(X)가 존재하는 경우에도 각각의 재배열된 데이터의 열들에 대해 다수-비트 결정 연산이 수행하면, 배드 블록 관리 정보 'abcdefgh'의 복원이 가능하다. 왜냐하면, 행들이 순차적으로 시프트된 경우에는 열 방향 결함이 존재하는 경우에도 적어도 어느 하나의 행에는 결함에 영향받지 않은 배드 블록 관리 정보 'abcdefgh'가 존재할 수 있기 때문이다. 더불어, 다수-비트 결정 방식의 적용에 따라, 열 방향 결함(예를 들면, Weak column)이 존재하는 행들에 대해서도 프로그램된 데이터를 충분히 추정할 수 있다.
- [0060] 이상에서는 본 발명의 방식에 따라 제 1 영역(122)에 저장된 배드 블록 관리 정보(BBMI)의 독출 및 열에 대한 재배열 방식이 설명되었다. 특히, 열 방향 결함(Y)이 존재하는 경우에도 각 행들의 서로 다른 열 위치에 존재하는 배드 블록 관리 정보(BBMI)는 용이한 복원이 가능함은 잘 이해될 것이다.
- [0061] 도 9는 도 8에 도시된 배드 블록 관리 정보의 독출 및 재배열 방법을 보여주는 도면이다. 도 9를 참조하면, 제 1 영역(122)에 저장된 배드 블록 관리 정보에 비트 에러(X)나 열 방향 결함(Y)이 존재하더라도 배드 블록 관리 정보가 용이하게 복원될 수 있다.
- [0062] (a)는 배드 블록 관리 정보의 독출되는 단위를 보여준다. 배드 블록 관리 정보(BBMI)는 하나의 페이지에 1회 이상 프로그램될 수 있다. 따라서, 제 1 영역(122)에서 배드 블록 관리 정보(BBMI)를 추출하기 위해서는 각 행 단위(또는, 페이지 단위)로 독출될 것이다. 각 행들의 제 6 행(y5)에 열 방향 결함(Y)이 존재하는 것으로 가정하기로 한다. 그리고 각 행에서 배드 블록 관리 정보 'abcdefgh'를 제외한 무효 데이터 영역에는 논리 '1'이 읽혀지는 것으로 가정하기로 한다.

- [0063] (b)는 독출된 배드 블록 관리 정보 'abcdefgh'가 포함된 각 행들의 재배열 이후의 형태를 간략히 보여준다. 재배열시 배드 블록 관리 정보 'abcdefgh'는 각 행에서 서로 다른 시작 열을 갖도록 열 오프셋(Column offset)이 적용되었기 때문에, 재배열시 각 행의 열 오프셋만큼 역으로 시프트될 것이다. 재배열된 이후의 배드 블록 관리 정보 'abcdefgh'는 도식된 바와 같이 동일 열에 동일 비트들이 위치하게 될 것이다. 그리고 논리 '1'로 독출된 무효 데이터(125)는 본 발명의 다수-비트 결정 연산과는 무관하기 때문에 고려대상에서 제외될 수 있다.
- [0064] (c)는 다수-비트 결정에 의해서 정해지는 배드 블록 관리 정보를 보여준다. 재배열된 제 1 열(y0)에는 데이터 'a'가 7-비트 존재하고, 결합열에 대응하는 'Y'는 1-비트가 존재할 수 있을 것이다. 따라서, 재배열된 제 1 열(y0)은 다수-비트 결정에 의해서 'a'로 결정될 수 있다. 재배열된 제 2 열(y1)에는 데이터 'b'가 7-비트 존재하게 될 것이다. 따라서, 재배열된 제 1 열(y1)은 다수-비트 결정에 의해서 'b'로 결정될 수 있다. 재배열된 제 3 열(y2)에는 데이터 'c'가 6-비트가 존재하고, 1-비트의 비트 에러 'X'와 열결함(Y)가 존재한다. 하지만, 재배열된 제 3 열(y2)은 비트 에러나 열 결함이 존재하더라도 다수를 차지하는 비트값이 결정되는 다수-비트 결정에 의해서 'c'로 결정될 수 있다. 상술한 방식에 따라 열방향 결함이 치명적이 아닌 경우(즉, Weak Cloumn인 경우), 다수-비트 결정에 의해서 본 발명의 배드 블록 관리 정보는 용이하게 복원될 수 있다.
- [0065] 하지만, 열 방향 결함(Y)이 해당 열에 위치하는 메모리 셀들로부터 데이터를 읽어내기 어려운 정도의 치명적인 결함이라 하더라도 배드 블록 관리 정보의 추출은 가능할 수 있다. 즉, 복수의 행들 중에는 열 방향 결함(Y)이 존재하지 않고, 배드 블록 관리 정보 'abcdefgh'의 독출이 가능한 행들이 존재한다. 예를 들면, 제 7 내지 제 8 열(R6~R7)에 저장된 배드 블록 관리 정보들(126)은 열 방향 결함(Y)의 영향으로부터 어느 정도 자유롭다. 따라서, 제 7 내지 제 8 열(R6~R7)에 저장된 배드 블록 관리 정보들(126)을 사용하면, 배드 블록 관리 정보 'abcdefgh'의 추출이 가능할 수 있다.
- [0066] 도 10a 및 도 10b는 본 발명의 불휘발성 메모리 장치(120)에 대한 접근 방법을 예시적으로 보여주는 타이밍도이다. 도 10a는 불휘발성 메모리 장치(120)의 제 1 영역(122)에 배드 블록 관리 정보(BBMI)를 프로그램하기 위한 명령어 시퀀스를 보여준다. 그리고 도 10b는 불휘발성 메모리 장치(120)의 제 1 영역(122)으로부터 배드 블록 관리 정보(BBMI)를 독출하기 위한 명령어 시퀀스를 보여준다.
- [0067] 도 10a를 참조하면, 불휘발성 메모리 장치(120)의 배드 블록 관리 정보를 저장하기 위한 제 1 영역(122)에 접근하기 위한 특정 명령어(BSC)가 제공된다. 특정 명령어(BSC)는 명령어 래치 인에이블 신호(CLE)의 하이 구간에서 쓰기 인에이블 신호(/WE)의 토글링되는 경우에 불휘발성 메모리 장치(120)에 입력된다. 그리고 이어서 쓰기 명령어 시퀀스(80h)가 입력될 수 있다. 명령어 래치 인에이블 신호(CLE)가 로우 레벨로 천이하고, 어드레스 래치 인에이블 신호(ALE)가 하이 레벨로 유지되는 구간에서 쓰기 인에이블 신호(/WE)가 토글링되면, 배드 블록 관리 정보(BBMI)가 저장되는 제 1 영역(122)의 어드레스가 제공될 수 있다. 예를 들면, 어드레스 입력 시퀀스에서 열 어드레스(CA), 행 어드레스(RA), 블록 어드레스(BA)들이 제공될 수 있다. 이후, 명령어 시퀀스(30h)가 제공된 이후에 하나의 페이지 단위에 대응하는 배드 블록 관리 정보(BBMI_1)가 쓰기 인에이블 신호(/WE)의 토글링에 동기되어 불휘발성 메모리 장치(120)에 제공될 것이다. 이러한 절차는 각각의 배드 블록 관리 정보(BBMI)가 저장될 페이지의 수에 따라 반복될 것이다. 더불어, 각각의 페이지에서 열 어드레스(CA)는 앞서 설명한 바와 같이 특정 열 오프셋(Column offset)만큼 증가할 수 있다.
- [0068] 불휘발성 메모리 장치(120)의 배드 블록 관리 정보(BBMI)가 저장되는 제 1 영역(122)은 일반 유저들에게는 접근이 제한되는 영역이다. 따라서, 본 발명의 배드 블록 관리 정보(BBMI)를 기입하는 공정에서도 특정 명령어(BSC)가 제공된다. 특정 명령어(BSC)는 상술한 방법 이외에도 다양하게 제공될 수 있다. 어드레스를 통해서 불휘발성 메모리 장치(120)의 내부에 위치하는 명령어 레지스터를 지정하는 방식으로 제공될 수도 있을 것이다.
- [0069] 도 10b를 참조하면, 불휘발성 메모리 장치(120)의 제 1 영역(122)으로부터 배드 블록 관리 정보(BBMI)를 독출하기 위해서는 특정 명령어(BSC)가 요구된다. 특정 명령어(BSC)는 명령어 래치 인에이블 신호(CLE)의 하이 구간에서 쓰기 인에이블 신호(/WE)가 토글링되면 불휘발성 메모리 장치(120)에 입력된다. 그리고 이어서 읽기 명령어 시퀀스(00h=Address=30h)가 제공될 수 있다. 명령어 래치 인에이블 신호(CLE)의 하이 구간에서 읽기 명령어(00h)가 불휘발성 메모리 장치(120)에 입력될 것이다. 그리고 어드레스 래치 인에이블 신호(ALE)가 활성화되는 구간에서 쓰기 인에이블 신호(/WE)가 토글링되면 배드 블록 관리 정보(BBMI)가 저장되는 제 1 영역(122)의 어드레스(Address)가 제공될 수 있다. 이어서, 읽기 명령어(30h)가 입력되면, 읽기 인에이블 신호(/RE)의 토글링에 동기하여 배드 블록 관리 정보(BBMI)가 출력될 것이다.
- [0070] 만일, 어드레스(Address)가 하나의 페이지 단위를 읽기 위한 어드레스인 경우, 이러한 페이지 읽기 동작은 배드 블록 관리 정보(BBMI)가 반복적으로 프로그램된 횟수만큼 반복될 수 있다. 더불어, 서로 다른 열 오프셋을 적용

한 열 어드레스가 각각의 명령어 시퀀스의 어드레스(Address)에 적용될 수도 있을 것이다.

- [0071] 이상에서는 불휘발성 메모리 장치(120)의 배드 블록 관리 정보(BBMI)가 저장되는 제 1 영역(122)의 접근을 위한 명령어 시퀀스의 예가 설명되었다. 본 발명의 배드 블록 관리 정보(BBMI)가 저장된 제 1 영역(122)의 접근을 위해서는 특정 명령어(BSC)가 사용된다. 특정 명령어(BSC) 없이는 제 2 영역(124)으로의 접근은 가능하지만, 제 1 영역(122)으로의 접근은 차단될 것이다.
- [0072] 도 11은 본 발명의 실시 예에 따른 배드 블록 관리 정보의 프로그램 방법을 간략히 보여주는 순서도이다. 도 11을 참조하면, 테스트 장비나 시스템은 각각의 행들에 대해서 서로 다른 열 오프셋(Column offset)을 적용하여 배드 블록 관리 정보를 불휘발성 메모리 장치(120)에 기입할 수 있다.
- [0073] S110 단계에서, 배드 블록 관리 정보(BBMI)는 특정 명령어(BSC)에 의해서 제 1 페이지에 프로그램될 것이다. 제 1 페이지에 프로그램되는 배드 블록 관리 정보(BBMI)는 열 오프셋(Column offset)으로 'N'이 적용될 수 있다. 여기서, N은 0 또는 자연수이다. 도 5와 같이 배드 블록 관리 정보 'abcdefgh'가 제 1 열부터 기입되는 경우, 열 오프셋은 '0'로 설정될 수 있다. 하지만, 제 1 페이지에 제공되는 열 오프셋은 필요에 따라 다양한 값으로 설정될 수 있음은 잘 이해될 것이다.
- [0074] S120 단계에서, 열 오프셋에 대한 증가 또는 차감이 적용된다. 열 오프셋에 배드 블록 관리 정보가 시프트되는 크기 'm'이 더해지거나 차감될 수 있다. 여기서, 설명의 편의를 위해서 열 오프셋에 시프트 크기인 'm'이 더해지는 예를 설명하기로 한다. 만일, 도 5와 같은 형태인 경우, 시프트 크기 'm'은 '1'이 될 것이다.
- [0075] S130 단계에서, 시프트된 열 오프셋을 적용하여 배드 블록 관리 정보(BBMI)가 후속 페이지에 기입될 것이다. 여기서, 후속되는 페이지는 프로그램 시퀀스에 따라 선택되는 후속 워드 라인에 대응하거나, 또는 후속 논리 페이지에 대응할 수도 있다.
- [0076] S140 단계에서, 후속 페이지가 배드 블록 관리 정보(BBMI)를 저장하기 위한 최종 페이지인지 판단한다. 만일, 최종 페이지가 아닌 것으로 판단되면(No 방향), 절차는 S120 단계로 복귀하여 추가적인 열 오프셋을 적용한 배드 블록 관리 정보(BBMI)의 프로그램 동작이 계속될 것이다. 하지만, 프로그램된 배드 블록 관리 정보(BBMI)가 반복 프로그램 횟수의 최종 횟수이거나 최종 페이지인 경우라면(Yes 방향), 제반 배드 블록 관리 정보를 제 1 영역(122)에 기입하는 절차는 종료된다.
- [0077] 이상에서는 배드 블록 관리 정보(BBMI)를 불휘발성 메모리 장치(120)에 저장하기 위한 열 오프셋의 가변을 적용하는 프로그램 방법이 설명되었다. 열 오프셋은 순차적으로 증가하는 것으로 설명되었으나, 순차적으로 감소하거나 특정 크기만큼 증가 및 감소를 반복하는 형태로 제공될 수 있음은 잘 이해될 것이다.
- [0078] 도 12는 본 발명의 배드 블록 관리 정보의 독출 방법을 간략히 보여주는 순서도이다. 도 12를 참조하면, 서로 다른 열 오프셋에 따라 프로그램된 배드 블록 관리 정보(BBMI)를 특정 명령어(BSC)를 사용하여 독출하는 방법이 제공된다.
- [0079] S210 단계에서, 불휘발성 메모리 장치(120)의 제 1 영역(122)에 저장된 배드 블록 관리 정보(BBMI)는 특정 명령어를 사용한 읽기 동작에 의해서 독출된다. 각각 서로 다른 열 오프셋을 적용한 페이지 데이터들이 제 1 영역(122)에 접근하기 위한 특정 명령어(BSC)에 의해서 읽혀질 것이다.
- [0080] S220 단계에서, 읽혀진 복수의 페이지들에 대해서 열 오프셋을 고려하여 재배열하기 위한 처리가 실시된다. 즉, 각각의 페이지들은 프로그램 당시에 시프트된 열 오프셋만큼 역방향으로 시프트될 수 있다. 역방향으로 시프트된 각각의 페이지들은 동일한 열에 위치하는 배드 블록 관리 정보(BBMI)를 갖게 될 것이다. 그리고 각 페이지들에 위치하는 무효 데이터는 삭제될 수 있다.
- [0081] S230 단계에서, 재배열된 각각의 열들에 대해서 다수-비트 결정(Majority decision) 알고리즘이 적용될 수 있다. 이때, 비트 에러(X)나 열방향 결함(Y)에 의한 에러가 존재하더라도, 다수-비트 결정 연산에 의해서 배드 블록 관리 정보(BBMI)가 복구될 수 있을 것이다.
- [0082] S240 단계에서, 다수-비트 결정(Majority decision) 알고리즘에 따라서 각각의 열들에 대응하는 배드 블록 관리 정보가 추출될 수 있다. 그리고 추출된 정보는 배드 블록 관리 정보(BBMI)로 결정되고, 이후 배드 블록 테이블(115, 도 2 참조)에 하나의 항목으로 제공될 것이다.
- [0083] 이상의 도 11 내지 도 12에서 배드 블록 관리 정보(BBMI)에 대한 프로그램 방법 및 독출 방법이 설명되었다. 하지만, 본 발명의 제 1 영역(122)에 저장되는 배드 블록 관리 정보(BBMI)의 접근 방법은 도시된 절차에만 국한되

지 않는다. 다양한 방식에 의해서 배드 블록 관리 정보(BBMI)가 접근될 수 있음은 잘 이해될 것이다. 예를 들면, 특정 명령어(BSC)는 어드레스를 통한 레지스터 지정을 통해서도 제공될 수 있고, 불휘발성 메모리 장치(120)의 특정 제어 신호를 사용하여 활성화될 수도 있을 것이다.

[0084] 도 13a 내지 도 13d는 본 발명의 배드 블록 관리 정보를 불휘발성 메모리 장치(120)의 제 1 영역(122)에 프로그램하는 다양한 예를 보여주는 도면들이다. 도 13a 내지 도 13d이 패턴은 예시적인 것이며, 본 발명의 배드 블록 관리 정보가 행들 각각에서 서로 다른 열 위치에 프로그램되는 다양한 변경들이 가능함을 잘 이해될 것이다.

[0085] 도 13a를 참조하면, 제 1 행(R0)에는 열 오프셋이 '0'으로 적용되어 배드 블록 관리 정보 'abcdefgh'가 프로그램될 수 있다. 제 2 행(R1)에는 열 오프셋이 '+3'으로 적용되어 제 1 행(R0)에 비해서 배드 블록 관리 정보 'abcdefgh'가 우측으로 3-비트 시프트되어 프로그램될 수 있다. 제 3 행(R2)에는 열 오프셋이 '-2'으로 적용되어 제 2 행(R1)에 비해서 배드 블록 관리 정보 'abcdefgh'가 좌측으로 2-비트 시프트되어 프로그램될 수 있다. 제 4 행(R3)에는 열 오프셋이 '+3'으로 적용되어 제 3 행(R2)에 비해서 배드 블록 관리 정보 'abcdefgh'가 우측으로 3-비트 시프트되어 프로그램될 수 있다. 이러한 방식으로 각각의 행들에 프로그램되는 배드 블록 관리 정보 'abcdefgh'는 열 오프셋(+3, -2)을 반복하여 제 1 영역(122)에 프로그램될 수 있다. 이러한 프로그램 방식이 적용된 경우, 독출 동작의 재배열시에 각 행들로부터 독출된 데이터들은 열 오프셋(+3, -2)만큼 역방향으로 시프트되어야 할 것이다.

[0086] 도 13b를 참조하면, 제 1 행(R0)에는 열 오프셋이 '0'으로 적용되어 배드 블록 관리 정보 'abcdefgh'가 프로그램될 수 있다. 제 2 행(R1)에는 열 오프셋이 '+4'으로 적용되어 제 1 행(R0)에 비해서 배드 블록 관리 정보 'abcdefgh'가 우측으로 4-비트 시프트되어 프로그램될 수 있다. 제 3 행(R2)에는 열 오프셋이 '-3'으로 적용되어 제 2 행(R1)에 비해서 배드 블록 관리 정보 'abcdefgh'가 좌측으로 3-비트 시프트되어 프로그램될 수 있다. 제 4 행(R3)에는 열 오프셋이 '+4'으로 적용되어 제 3 행(R2)에 비해서 배드 블록 관리 정보 'abcdefgh'가 우측으로 4-비트 시프트되어 프로그램될 수 있다. 이러한 방식으로 각각의 행들에 프로그램되는 배드 블록 관리 정보 'abcdefgh'는 열 오프셋(+4, -3)을 반복하여 제 1 영역(122)에 프로그램될 수 있다. 이러한 프로그램 방식이 적용된 경우, 독출 동작의 재배열시에 각 행들로부터 독출된 데이터들은 열 오프셋(+4, -3)만큼 역방향으로 시프트되어야 할 것이다.

[0087] 도 13c를 참조하면, 제 1 행(R0)에는 열 오프셋이 '7'으로 적용되어 배드 블록 관리 정보 'abcdefgh'가 프로그램될 수 있다. 제 2 행(R1)에는 열 오프셋이 '-1'으로 적용되어 제 1 행(R0)에 비해서 배드 블록 관리 정보 'abcdefgh'가 좌측으로 1-비트 시프트되어 프로그램될 수 있다. 제 3 행(R2) 내지 제 8 행(R7)까지 순차적으로 배드 블록 관리 정보 'abcdefgh'가 좌측으로 1-비트씩 시프트되어 프로그램될 것이다. 이러한 프로그램 방식이 적용된 경우, 독출 동작의 재배열시에 각 행들로부터 독출된 데이터들은 열 오프셋만큼 고려하여 역방향으로 시프트되어야 할 것이다.

[0088] 도 13d를 참조하면, 제 1 행(R0)에는 열 오프셋이 '7'으로 적용되어 배드 블록 관리 정보 'abcdefgh'가 프로그램될 수 있다. 제 2 행(R1)에는 열 오프셋이 '-3'으로 적용되어 제 1 행(R0)에 비해서 배드 블록 관리 정보 'abcdefgh'가 좌측으로 3-비트 시프트되어 프로그램될 수 있다. 제 3 행(R2)에는 열 오프셋이 '+2'로 적용되어 제 2 행(R1)에 비해서 배드 블록 관리 정보 'abcdefgh'가 우측으로 2-비트 시프트되어 프로그램될 수 있다. 이러한 방식으로 각각의 행들에 프로그램되는 배드 블록 관리 정보 'abcdefgh'는 열 오프셋(-3, +2)을 반복하여 제 1 영역(122)에 프로그램될 수 있다. 이러한 프로그램 방식이 적용된 경우, 독출 동작의 재배열시에 각 행들로부터 독출된 데이터들은 열 오프셋(-3, +2)만큼 역방향으로 시프트되어야 할 것이다.

[0089] 도 14는 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다. 도 14를 참조하면, 본 발명의 불휘발성 메모리 장치(220)의 제 1 영역(222)에는 앞서 도 3 내지 도 13d를 통해서 설명된 방식으로 메모리 관리 정보 또는 배드 블록 관리 정보(BBMI)가 저장될 수 있다. 테스트 시스템(210)은 테스트 과정에서 획득된 불휘발성 메모리 장치(220)에 대한 다양한 메모리 관리 정보 또는 배드 블록 관리 정보(BBMI)를 불휘발성 메모리 장치(220)의 제 1 영역(222)에 프로그램할 수 있다. 각각의 행들의 서로 다른 열 위치에 동일한 메모리 관리 정보 또는 배드 블록 관리 정보(BBMI)가 프로그램될 것이다.

[0090] 도 15는 도 3의 불휘발성 메모리 장치의 셀 어레이에 포함된 메모리 블록들 중 어느 하나를 예시적으로 보여주는 회로도이다. 예시적으로, 도 15를 참조하여 3차원 구조의 제 1 메모리 블록(BLK1)이 설명된다. 그러나 본 발명의 범위가 이에 한정되는 것은 아니며, 불휘발성 메모리(128) 각각에 포함된 다른 메모리 블록들 또한 제 1 메모리 블록(BLK1)과 유사한 구조를 가질 수 있다.

- [0091] 도 15를 참조하면, 제 1 메모리 블록(BLK1)은 복수의 셀 스트링들(CS11, CS12, CS21, CS22)을 포함한다. 복수의 셀 스트링들(CS11, CS12, CS21, CS22)은 행 방향(row direction) 및 열 방향(column direction)을 따라 배치되어 행들 및 열들을 형성할 수 있다. 예를 들어, 셀 스트링들(CS11, CS12)은 스트링 선택 라인들(SSL1a, SSL1b)와 연결되어, 제 1 행을 형성할 수 있다. 셀 스트링들(CS21, CS22)은 스트링 선택 라인들(SSL2a, SSL2b)와 연결되어 제 2 행을 형성할 수 있다. 예를 들어, 셀 스트링들(CS11, CS21)은 제 1 비트라인(BL1)과 연결되어 제 1 열을 형성할 수 있다. 셀 스트링들(CS12, CS22)은 제 2 비트라인(BL2)과 연결되어 제 2 열을 형성할 수 있다.
- [0092] 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 복수의 셀 트랜지스터들을 포함한다. 예를 들어, 복수의 셀 스트링들(CS11, CS12, CS21, CS22) 각각은 스트링 선택된 트랜지스터들(SSTa, SSTb), 복수의 메모리 셀들(MC1~MC8), 접지 선택된 트랜지스터들(GSTa, GSTb), 및 더미 메모리 셀들(DMC1, DMC2)을 포함할 수 있다. 예시적으로, 복수의 셀 스트링들(CS11, CS12, CS21, CS22)에 포함된 복수의 셀 트랜지스터들 각각은 전하 트랩형 플래시(CTF; charge trap flash) 메모리 셀일 수 있다.
- [0093] 복수의 메모리 셀들(MC1~MC8)은 직렬 연결되며, 행 방향 및 열 방향에 의해 형성된 평면과 수직인 방향인 높이 방향(height direction)으로 적층된다. 스트링 선택된 트랜지스터들(SSTa, SSTb)은 직렬 연결되고, 직렬 연결된 스트링 선택된 트랜지스터들(SSTa, SSTb)은 복수의 메모리 셀들(MC1~MC8) 및 비트 라인(BL) 사이에 제공된다. 접지 선택된 트랜지스터들(GSTa, GSTb)은 직렬 연결되고, 직렬 연결된 접지 선택된 트랜지스터들(GSTa, GSTb)은 복수의 메모리 셀들(MC1~MC8) 및 공통 소스 라인(CSL) 사이에 제공된다. 예시적으로, 복수의 메모리 셀들(MC1~MC8) 및 접지 선택된 트랜지스터들(GSTa, GSTb) 사이에 제 1 더미 메모리 셀(DMC1)이 제공될 수 있다. 예시적으로, 복수의 메모리 셀들(MC1~MC8) 및 스트링 선택된 트랜지스터들(SSTa, SSTb) 사이에 제 2 더미 메모리 셀(DMC2)이 제공될 수 있다. 셀 스트링들(CS11, CS12, CS21, CS22)의 접지 선택된 트랜지스터들(GSTa, GSTb)은 접지 선택 라인(GSL)에 공통으로 연결될 수 있다.
- [0094] 예시적으로, 동일한 행의 접지 선택된 트랜지스터들은 동일한 접지 선택 라인에 연결될 수 있고, 다른 행의 접지 선택된 트랜지스터들은 다른 접지 선택 라인에 연결될 수 있다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 1 접지 선택된 트랜지스터들(GSTa)은 제 1 접지 선택 라인에 연결될 수 있고, 제 2 행의 셀 스트링들(CS21, CS22)의 제 1 접지 선택된 트랜지스터들(GSTa)은 제 2 접지 선택 라인에 연결될 수 있다.
- [0095] 예시적으로, 도면에 도시되지는 않았으나, 기판(미도시)으로부터 동일한 높이에 제공되는 접지 선택된 트랜지스터들은 동일한 접지 선택 라인에 연결될 수 있고, 다른 높이에 제공되는 접지 선택된 트랜지스터들은 다른 접지 선택 라인에 연결될 수 있다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제 1 접지 선택된 트랜지스터들(GSTa)은 제 1 접지 선택 라인에 연결되고, 제 2 접지 선택 트랜지스터들(GSTb)은 제 2 접지 선택 라인에 연결될 수 있다.
- [0096] 기판(또는 접지 선택된 트랜지스터(GSTa, GSTb)으로부터 동일한 높이의 메모리 셀들은 동일한 워드라인에 공통으로 연결되고, 서로 다른 높이의 메모리 셀들은 서로 다른 워드라인에 연결된다. 예를 들어, 셀 스트링들(CS11, CS12, CS21, CS22)의 제 1 내지 제 8 메모리 셀들(MC8)은 제 1 내지 제 8 워드라인들(WL1~WL8)에 각각 공통으로 연결된다.
- [0097] 동일한 높이의 제 1 스트링 선택된 트랜지스터들(SSTa) 중 동일한 행의 스트링 선택된 트랜지스터들은 동일한 스트링 선택 라인에 연결되고, 다른 행의 스트링 선택된 트랜지스터들은 다른 스트링 선택 라인에 연결된다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 1 스트링 선택된 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)과 공통으로 연결되고, 제 2 행의 셀 스트링들(CS21, CS22)의 제 1 스트링 선택된 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)과 공통으로 연결된다.
- [0098] 마찬가지로, 동일한 높이의 제 2 스트링 선택된 트랜지스터들(SSTb) 중 동일한 행의 스트링 선택된 트랜지스터들은 동일한 스트링 선택 라인에 연결되고, 다른 행의 스트링 선택된 트랜지스터들은 다른 스트링 선택 라인에 연결된다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 2 스트링 선택된 트랜지스터들(SSTb)은 스트링 선택 라인(SSL1b)과 공통으로 연결되고, 제 2 행의 셀 스트링들(CS21, CS22)의 제 2 스트링 선택된 트랜지스터들(SSTb)은 스트링 선택 라인(SSL2b)과 공통으로 연결된다.
- [0099] 비록 도면에 도시되지는 않았으나, 동일한 행의 셀 스트링들의 스트링 선택된 트랜지스터들은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다. 예를 들어, 제 1 행의 셀 스트링들(CS11, CS12)의 제 1 및 제 2 스트링 선택된 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다. 제 2 행의 셀 스트링들

(CS21, CS22)의 제 1 및 제 2 스트링 선택된 트랜지스터들(SSTa, SSTb)은 동일한 스트링 선택 라인에 공통으로 연결될 수 있다.

- [0100] 예시적으로, 동일한 높이의 더미 메모리 셀들은 동일한 더미 워드라인과 연결되고, 다른 높이의 더미 메모리 셀들은 다른 더미 워드라인과 연결된다. 예를 들어, 제 1 더미 메모리 셀들(DMC1)은 제 1 더미 워드라인(DWL1)과 연결되고, 제 2 더미 메모리 셀들(DMC2)은 제 2 더미 워드라인(DWL2)과 연결된다. 제 1 메모리 블록(BLK1)에서, 읽기 및 쓰기는 행 단위로 수행될 수 있다. 예를 들어, 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 의해 메모리 블록(BLKa)의 하나의 행이 선택될 수 있다.
- [0101] 예를 들어, 스트링 선택 라인들(SSL1a, SSL1b)이 턴-온 전압이 공급되고 스트링 선택 라인들(SSL2a, SSL2b)에 턴-오프 전압이 공급될 때, 제 1 행의 셀 스트링들(CS11, CS12)이 비트 라인들(BL1, BL2)에 연결된다. 스트링 선택 라인들(SSL2a, SSL2b)에 턴-온 전압이 공급되고 스트링 선택 라인들(SSL1a, SSL1b)에 턴-오프 전압이 공급될 때, 제 2 행의 셀 스트링들(CS21, CS22)이 비트 라인들(BL1, BL2)에 연결되어 구동된다. 워드라인을 구동함으로써 구동되는 행의 셀 스트링의 메모리 셀들 중 동일한 높이의 메모리 셀들이 선택된다. 선택된 메모리 셀들에서 읽기 및 쓰기 동작이 수행될 수 있다. 선택된 메모리 셀들은 물리 페이지 단위를 형성할 수 있다.
- [0102] 제 1 메모리 블록(BLK1)에서, 소거는 메모리 블록 단위 또는 서브 블록의 단위로 수행될 수 있다. 메모리 블록 단위로 소거가 수행될 때, 제 1 메모리 블록(BLK1)의 모든 메모리 셀들(MC)이 하나의 소거 요청에 따라 동시에 소거될 수 있다. 서브 블록의 단위로 수행될 때, 제1 메모리 블록(BLK1)의 메모리 셀들(MC) 중 일부는 하나의 소거 요청에 따라 동시에 소거되고, 나머지 일부는 소거 금지될 수 있다. 소거되는 메모리 셀들에 연결된 워드 라인에 저전압(예를 들어, 접지 전압)이 공급되고, 소거 금지된 메모리 셀들에 연결된 워드 라인은 플로팅될 수 있다.
- [0103] 도 15에 도시된 제 1 메모리 블록(BLK1)은 예시적인 것이며, 셀 스트링들의 개수는 증가 또는 감소할 수 있으며, 셀 스트링들의 개수에 따라 셀 스트링들이 구성하는 행들 및 열들의 개수는 증가 또는 감소할 수 있다. 또한, 제 1 메모리 블록(BLK1)의 셀 트랜지스터들(GST, MC, DMC, SST 등)의 개수들은 각각 증가 또는 감소될 수 있으며, 셀 트랜지스터들의 개수들에 따라 제 1 메모리 블록(BLK1)의 높이가 증가 또는 감소할 수 있다. 또한, 셀 트랜지스터들의 개수들에 따라 셀 트랜지스터들과 연결된 라인들(GSL, WL, DWL, SSL 등)의 개수들이 증가 또는 감소될 수 있다.
- [0104] 도 16은 본 발명의 실시 예들에 따른 불휘발성 메모리 장치를 포함하는 메모리 카드 시스템을 보여주는 블록도이다. 도 16을 참조하면, 메모리 카드 시스템(1000)은 컨트롤러(1100), 불휘발성 메모리(1200), 및 커넥터(1300)를 포함한다.
- [0105] 컨트롤러(1100)는 불휘발성 메모리(1200)와 연결된다. 컨트롤러(1100)는 불휘발성 메모리(1200)를 액세스하도록 구성된다. 예를 들어, 컨트롤러(1200)는 불휘발성 메모리(1100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 배경(background) 동작은 마모도 관리, 가비지 콜렉션 등과 같은 동작들을 포함한다.
- [0106] 컨트롤러(1100)는 불휘발성 메모리(1100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 불휘발성 메모리(1100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다. 예시적으로, 컨트롤러(1100)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에러 정정부와 같은 구성 요소들을 포함할 수 있다.
- [0107] 컨트롤러(1100)는 커넥터(1300)를 통해 외부 장치와 통신할 수 있다. 컨트롤러(1100)는 특정한 통신 규격에 따라 외부 장치(예를 들어, 호스트)와 통신할 수 있다. 예시적으로, 컨트롤러(1200)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), NVMe (Nonvolatile Memory express) 등과 같은 다양한 통신 규격들 중 적어도 하나를 통해 외부 장치와 통신하도록 구성된다. 예시적으로, 상술된 통신 규격들에 의해 정의된 쓰기 커맨드는 쓰기 데이터의 사이즈 정보를 포함할 수 있다.
- [0108] 불휘발성 메모리(1200)는 EPROM (Electrically Erasable and Programmable ROM), 낸드 플래시 메모리, 노어 플래시 메모리, PRAM (Phase-change RAM), ReRAM (Resistive RAM), FRAM (Ferroelectric RAM), STT-MRAM(Spin-Torque Magnetic RAM) 등과 같은 다양한 불휘발성 메모리 소자들로 구현될 수 있다.

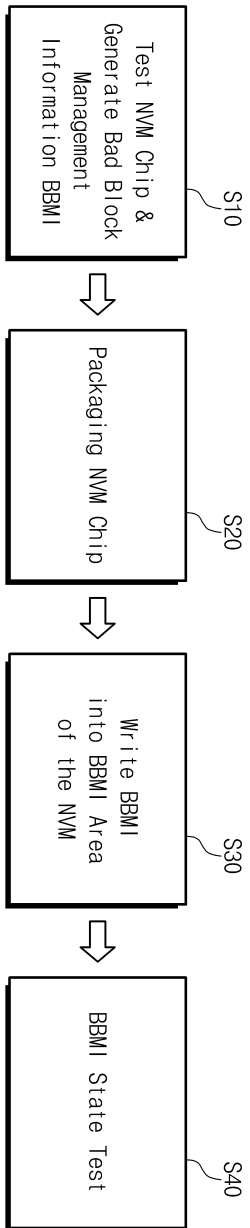
- [0109] 예시적으로, 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적될 수 있다. 예시적으로, 컨트롤러(1200) 및 불휘발성 메모리(1100)는 하나의 반도체 장치로 집적되어 솔리드 스테이트 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 컨트롤러(1100) 및 불휘발성 메모리(1100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1100) 및 불휘발성 메모리(1200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro, eMMC), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0110] 상술한 불휘발성 메모리(1200)는 본 발명의 프로그램 방식이 적용된 메모리 관리 정보를 저장하는 영역을 포함할 수 있다. 즉, 메모리 관리 정보는 각 행들에 반복적으로 프로그램되며, 각각의 행들에서의 메모리 관리 정보의 열 위치는 서로 다르게 제공될 것이다. 더불어, 메모리 관리 정보에 접근하기 위해서는 특정 명령어가 요구될 수도 있을 것이다.
- [0111] 도 17은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 SSD(Solid State Drive) 시스템을 예시적으로 보여주는 블록도이다. 도 17을 참조하면, SSD 시스템(2000)은 호스트(2100) 및 SSD(2200)를 포함한다. SSD(2200)는 신호 커넥터(2001)를 통해 호스트(2100)와 신호(SIG)를 주고 받고, 전원 커넥터(2002)를 통해 전원(PWR)을 입력받는다. SSD(2200)는 SSD 컨트롤러(2210), 복수의 플래시 메모리들(2221~222n), 보조 전원 장치(2230), 및 버퍼 메모리(2240)를 포함한다.
- [0112] SSD 컨트롤러(2210)는 호스트(2100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(2221~222n)을 제어할 수 있다. 보조 전원 장치(2230)는 전원 커넥터(2002)를 통해 호스트(2100)와 연결된다. 보조 전원 장치(2230)는 호스트(2100)로부터 전원(PWR)을 입력받고, 충전할 수 있다. 보조 전원 장치(2230)는 호스트(2100)로부터의 전원 공급이 원활하지 않을 경우, SSD 시스템(2000)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(2230)는 SSD(2200) 내에 위치할 수도 있고, SSD(2200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(2230)는 메인 보드에 위치하며, SSD(2200)에 보조 전원을 제공할 수도 있다.
- [0113] 버퍼 메모리(2240)는 SSD(2200)의 버퍼 메모리로 동작한다. 예를 들어, 버퍼 메모리(2240)는 호스트(2100)로부터 수신된 데이터 또는 복수의 플래시 메모리들(2221~222n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(2221~222n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(2240)는 DRAM, SDRAM, DDR SDRAM, LPDDR SDRAM, SRAM 등과 같은 휘발성 메모리 또는 FRAM ReRAM, STT-MRAM, PRAM 등과 같은 불휘발성 메모리들을 포함할 수 있다.
- [0114] 여기서, 복수의 플래시 메모리들(2221~222n) 중 적어도 하나는 본 발명의 프로그램 방식이 적용된 메모리 관리 정보를 저장하는 영역을 포함할 수 있다. 즉, 메모리 관리 정보는 복수의 플래시 메모리들(2221~222n) 중 적어도 하나의 특정 영역의 각 행들에 반복적으로 프로그램되며, 각각의 행들에서의 메모리 관리 정보의 열 위치는 서로 다르게 제공될 것이다. 더불어, 메모리 관리 정보에 접근하기 위해서는 특정 명령어가 요구될 수도 있을 것이다.
- [0115] 도 18은 본 발명에 따른 불휘발성 메모리 시스템이 적용된 사용자 시스템을 보여주는 블록도이다. 도 18을 참조하면, 사용자 시스템(3000)은 애플리케이션 프로세서(3100), 메모리 모듈(3200), 네트워크 모듈(3300), 스토리지 모듈(3400), 및 사용자 인터페이스(3500)를 포함한다.
- [0116] 애플리케이션 프로세서(3100)는 사용자 시스템(3000)에 포함된 구성 요소들, 운영체제(OS; Operating System)를 구동시킬 수 있다. 예시적으로, 애플리케이션 프로세서(3100)는 사용자 시스템(3000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 인터페이스들, 그래픽 엔진 등을 포함할 수 있다. 애플리케이션 프로세서(3100)는 시스템-온-칩(SoC; System-on-Chip)으로 제공될 수 있다.
- [0117] 메모리 모듈(3200)은 사용자 시스템(3000)의 주메모리, 동작 메모리, 버퍼 메모리 또는 캐시 메모리로 동작할 수 있다. 메모리 모듈(3200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR SDRAM, LPDDR3 SDRAM, LPDDR3 SDRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 불휘발성 랜덤 액세스 메모리를 포함할 수 있다.
- [0118] 네트워크 모듈(3300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(3300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, WI-DI 등과 같은 무선 통신을 지원할 수 있다. 예시적으로, 네트워크 모듈(3300)은 애플리케이션 프로세서(3100)에 포

함될 수 있다.

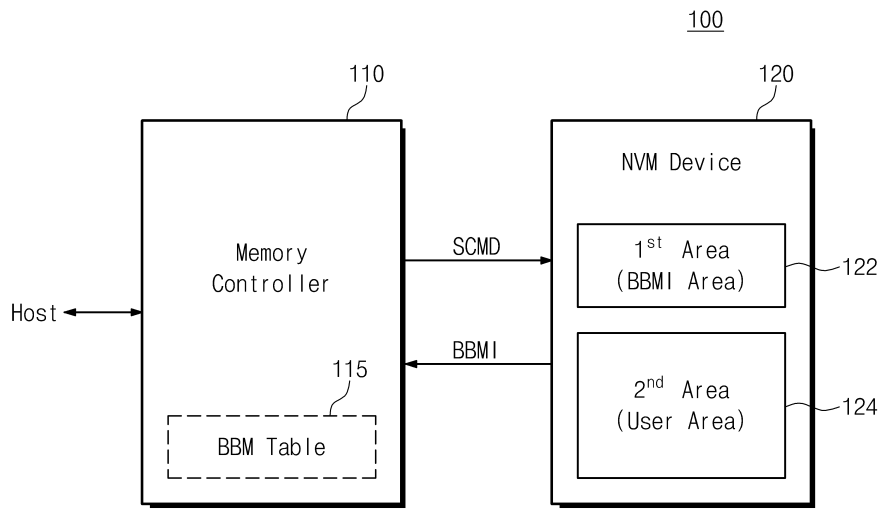
- [0119] 스토리지 모듈(3400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(3400)은 애플리케이션 프로세서(3100)로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(3400)은 스토리지 모듈(3400)에 저장된 데이터를 애플리케이션 프로세서(3100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(3400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 불휘발성 반도체 메모리 소자로 구현될 수 있다.
- [0120] 예시적으로, 스토리지 모듈(3400)은 도 1 내지 도 13d를 참조하여 설명된 방식에 따라 관리될 수 있다. 스토리지 모듈(3400)은 애플리케이션 프로세서(3100)와 미리 정해진 인터페이스를 기반으로 통신할 수 있다. 스토리지 모듈(3400)은 애플리케이션 프로세서(3100)로부터 수신한 쓰기 커맨드를 기반으로 가비지 콜렉션의 수행 시간을 조절할 수 있다.
- [0121] 여기서, 스토리지 모듈(3400)을 구성하는 메모리들 중 적어도 하나는 본 발명의 프로그램 방식이 적용된 메모리 관리 정보를 저장하는 영역을 포함할 수 있다. 즉, 메모리 관리 정보는 메모리의 저장 영역 중 적어도 하나의 특정 영역의 각 행들에 반복적으로 프로그램되며, 각각의 행들에서의 메모리 관리 정보의 열 위치는 서로 다르게 제공될 것이다. 더불어, 메모리 관리 정보에 접근하기 위해서는 특정 명령어가 요구될 수도 있을 것이다.
- [0122] 사용자 인터페이스(3500)는 애플리케이션 프로세서(3100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로 데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(3500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 압전 소자 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(3500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.
- [0123] 본 발명에 따른 메모리 카드, 불휘발성 메모리 장치, 카드 컨트롤러는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명에 따른 플래시 메모리 장치 그리고/또는 메모리 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0124] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

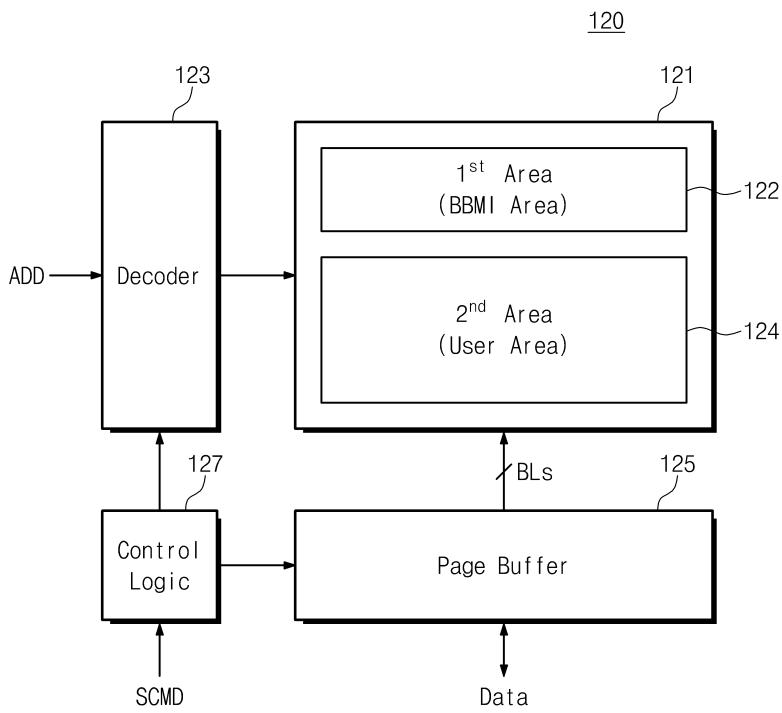
도면1



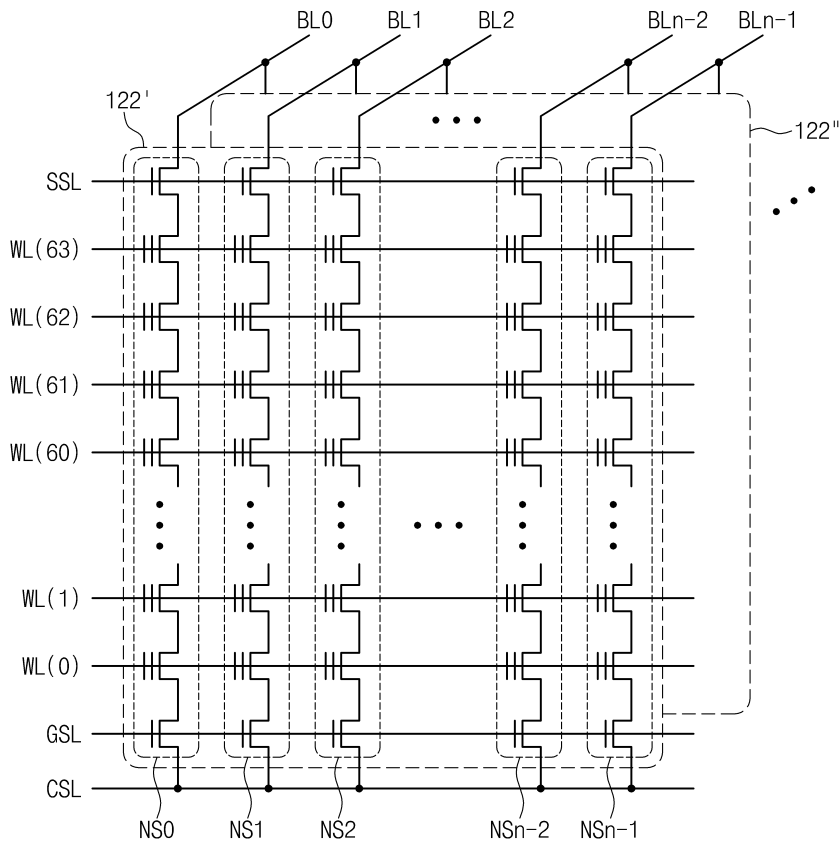
도면2



도면3



도면4

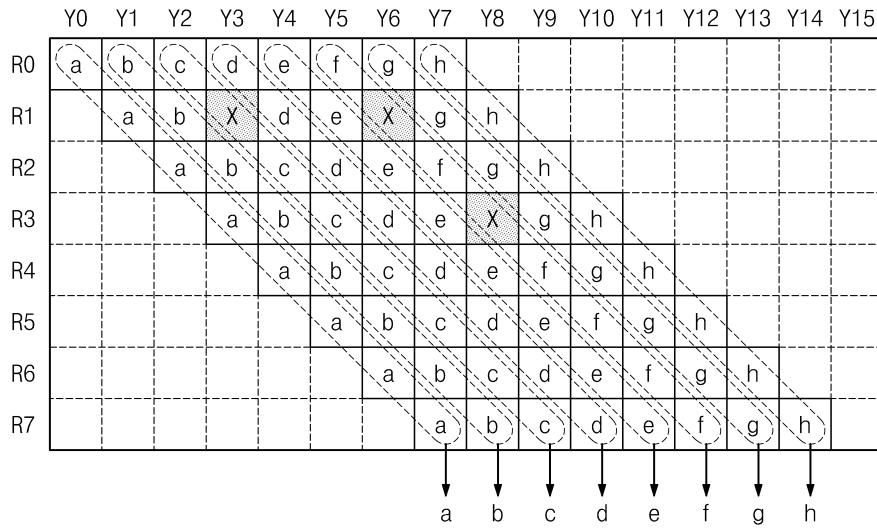


도면5

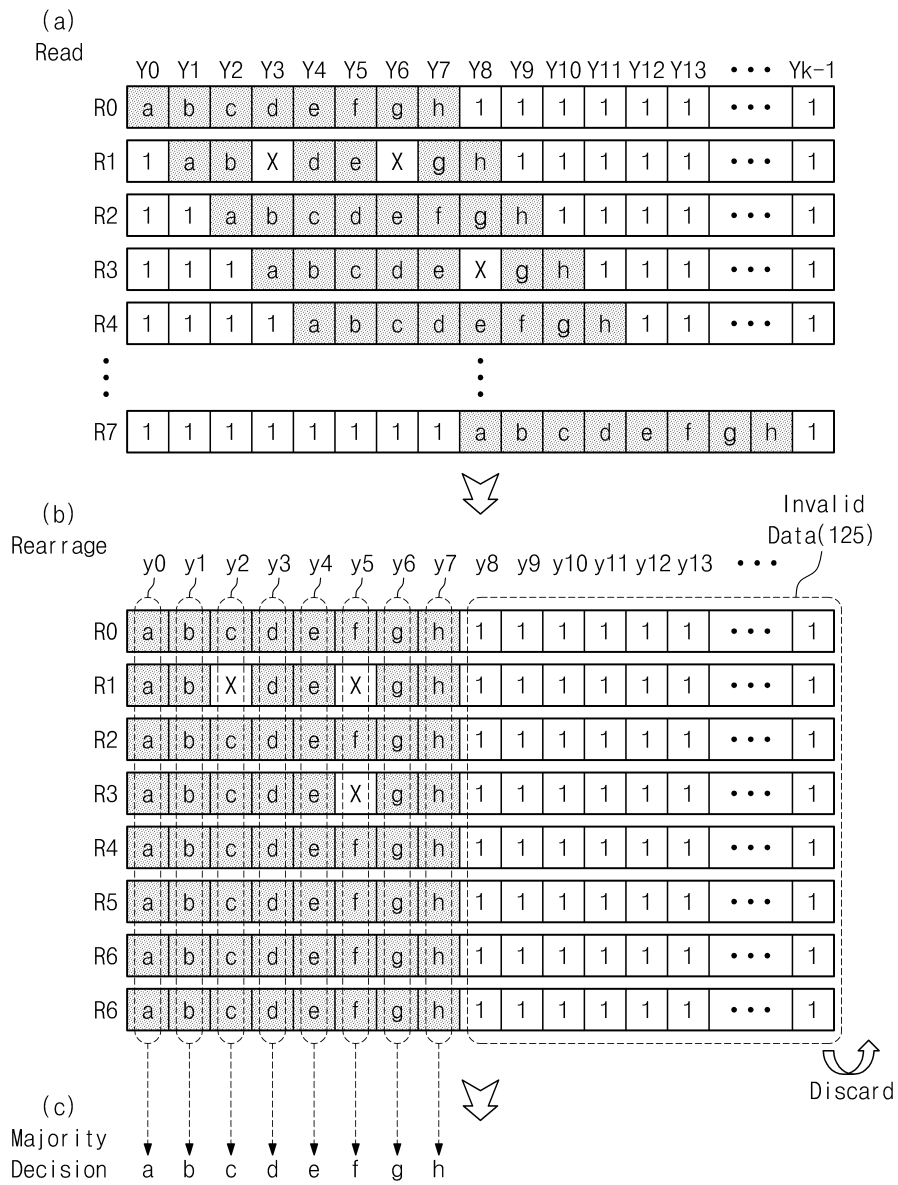
122

| | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | Y8 | Y9 | Y10 | Y11 | Y12 | Y13 | Y14 | Y15 |
|----|----|----|----|----|----|----|----|----|----|----|-----|-----|-----|-----|-----|-----|
| R0 | a | b | c | d | e | f | g | h | | | | | | | | |
| R1 | | a | b | c | d | e | f | g | h | | | | | | | |
| R2 | | | a | b | c | d | e | f | g | h | | | | | | |
| R3 | | | | a | b | c | d | e | f | g | h | | | | | |
| R4 | | | | | a | b | c | d | e | f | g | h | | | | |
| R5 | | | | | | a | b | c | d | e | f | g | h | | | |
| R6 | | | | | | | a | b | c | d | e | f | g | h | | |
| R7 | | | | | | | | a | b | c | d | e | f | g | h | |

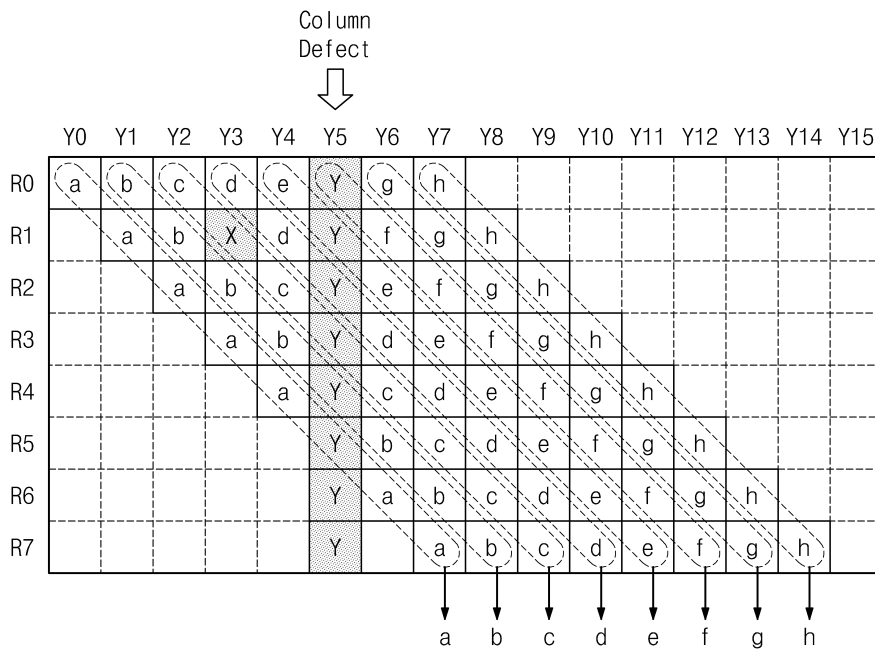
도면6



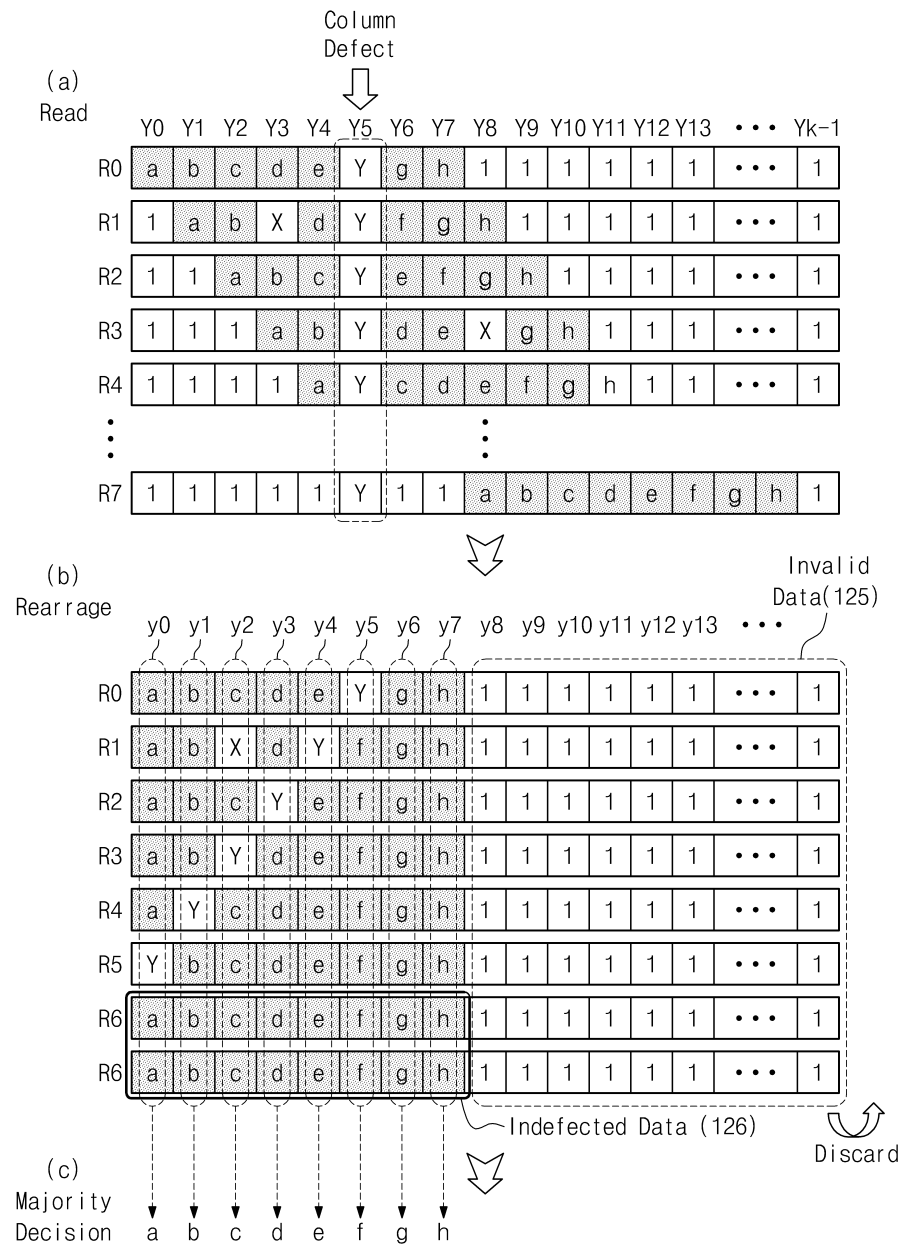
도면7



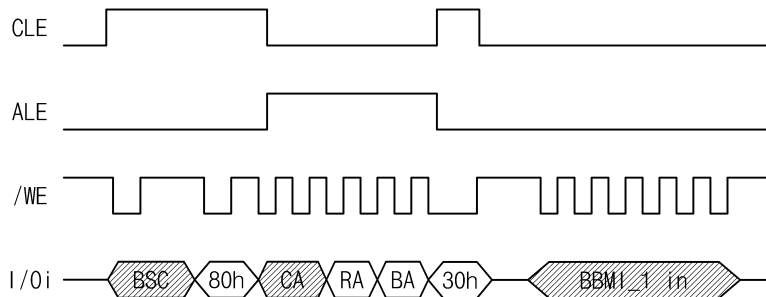
도면8



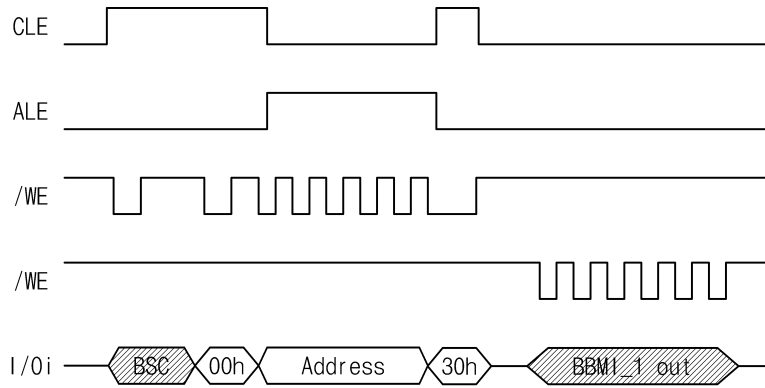
도면9



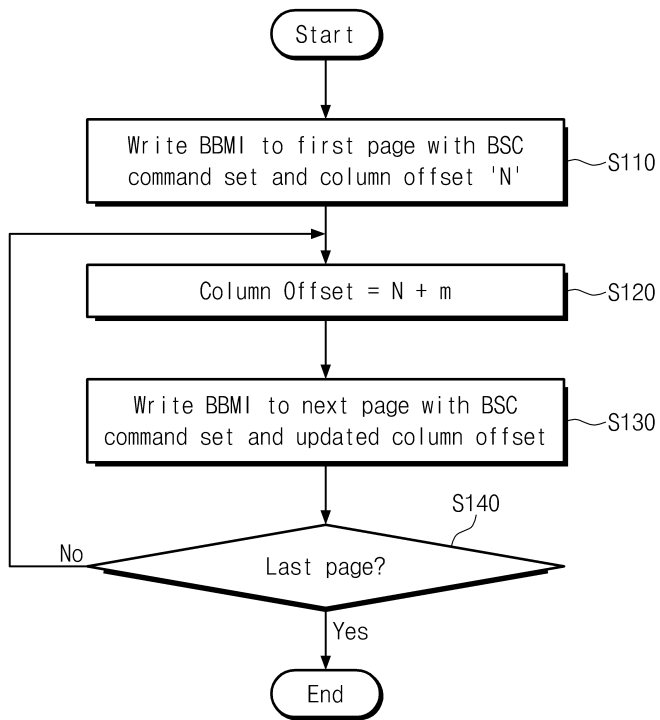
도면10a



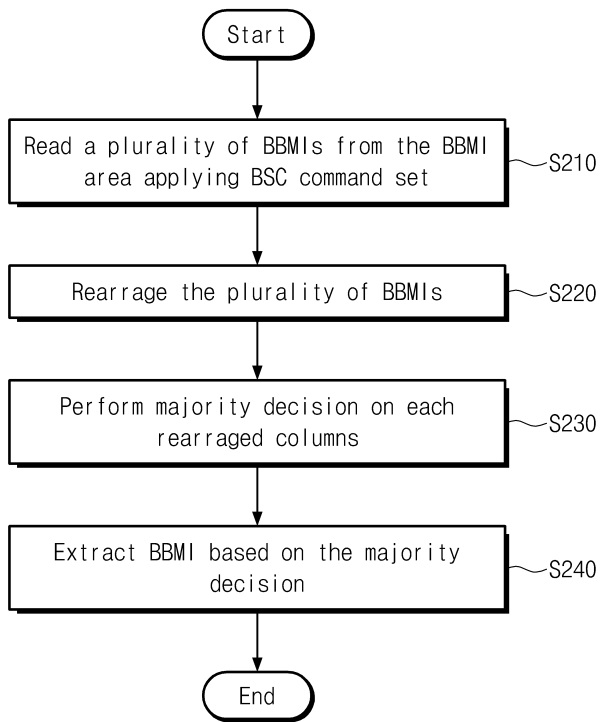
도면10b



도면11

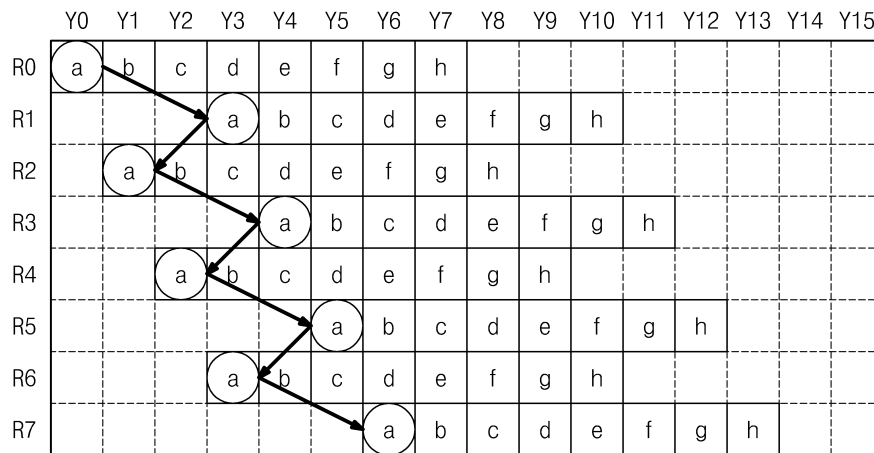


도면12



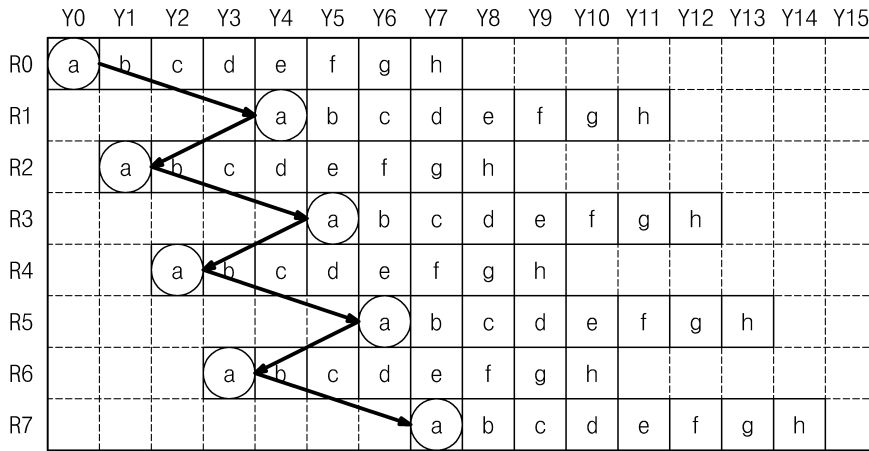
도면13a

122a



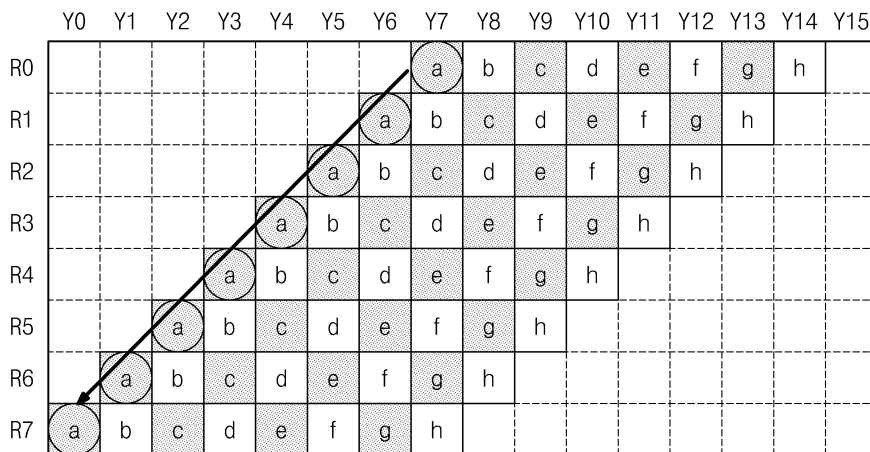
도면13b

122b



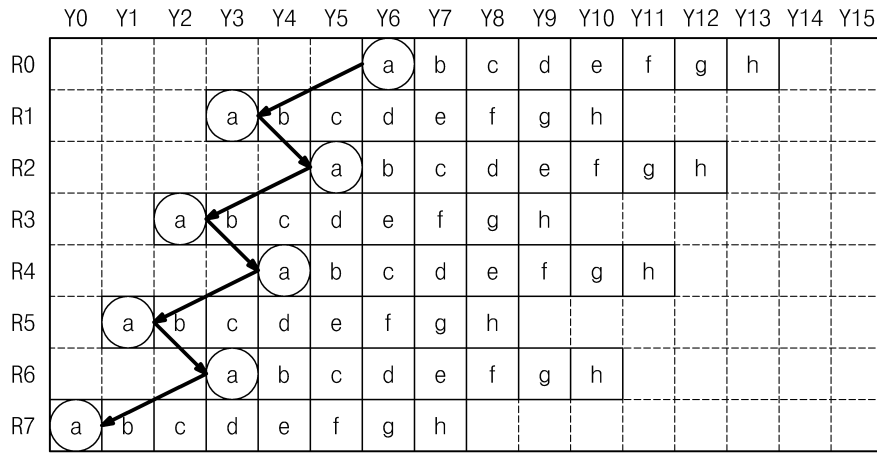
도면13c

122c

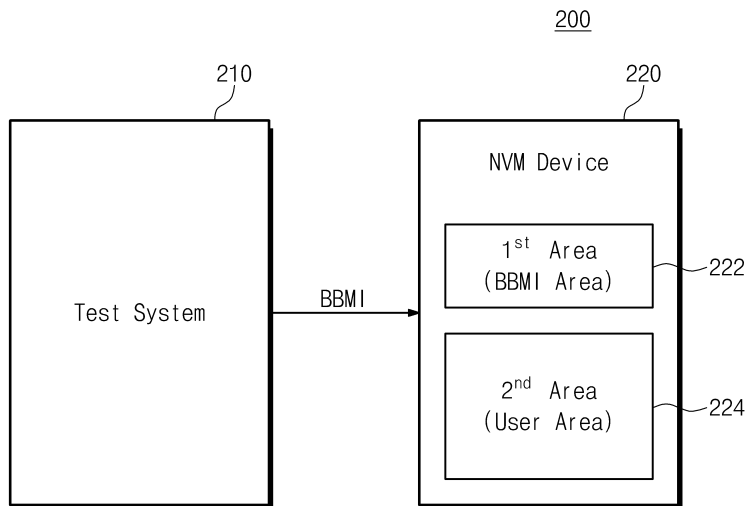


도면13d

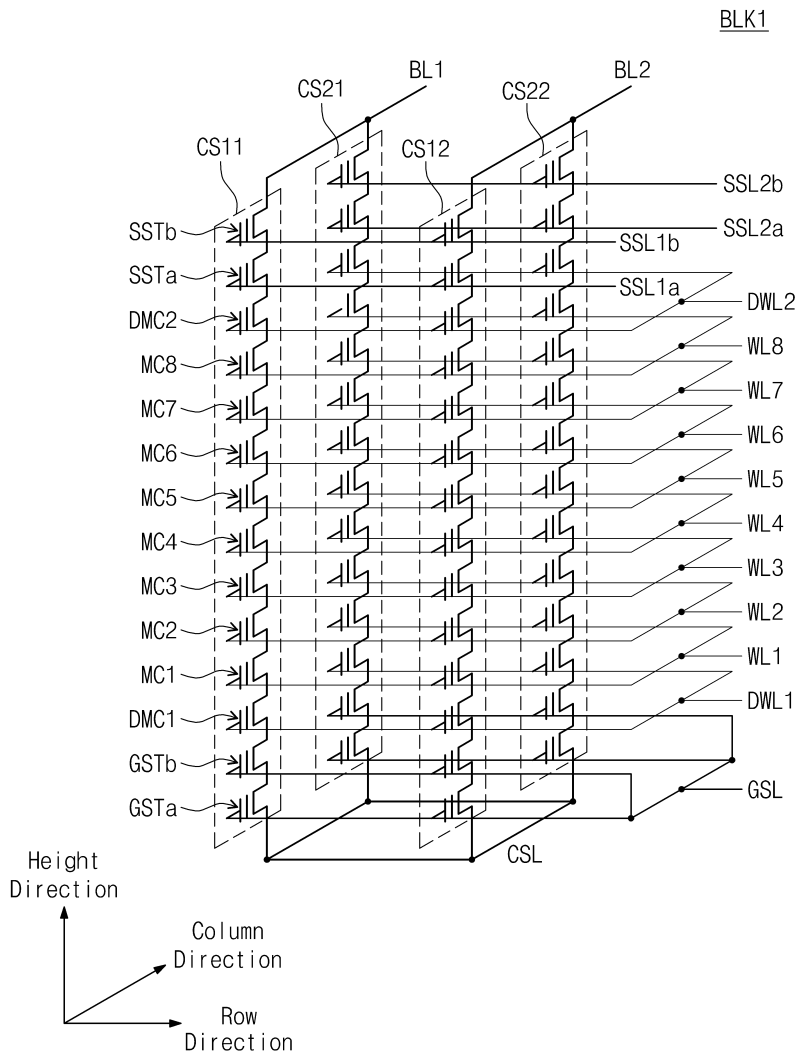
122d



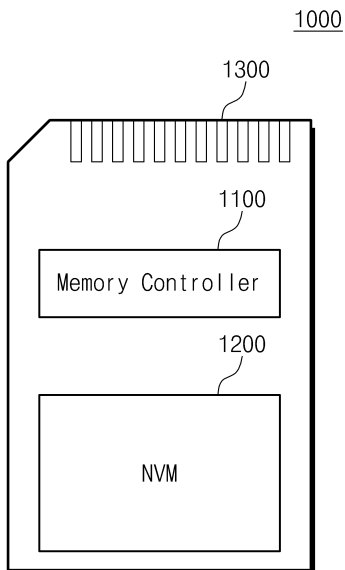
도면14



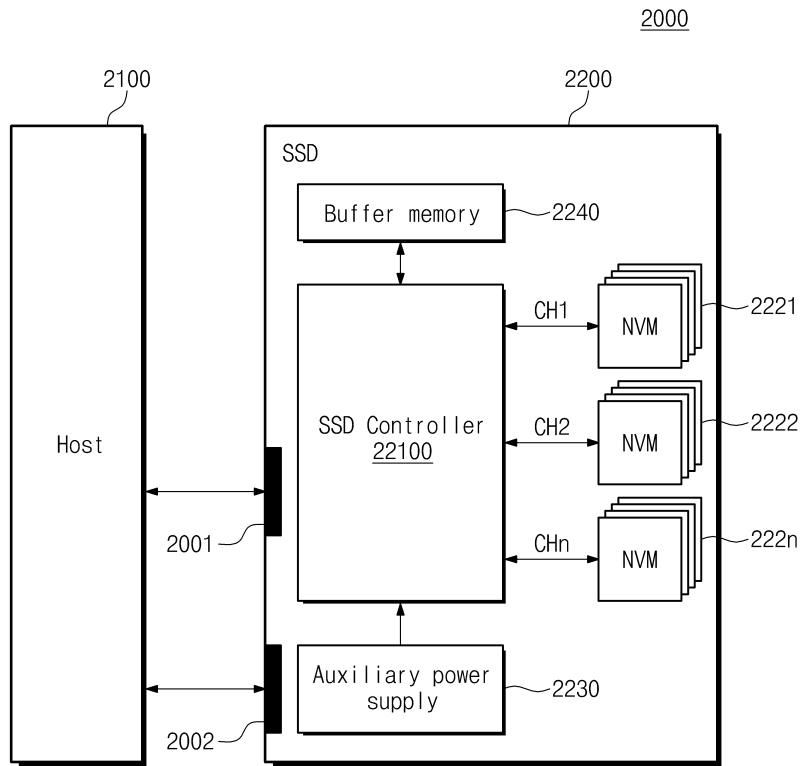
도면15



도면16



도면17



도면18

