

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年1月29日 (29.01.2004)

PCT

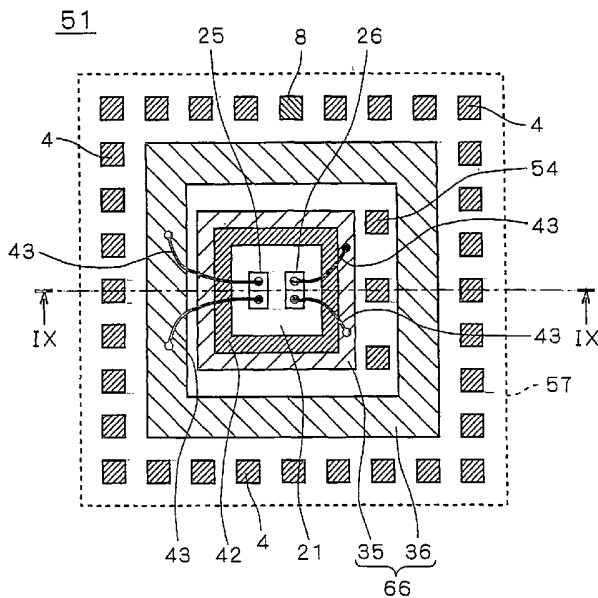
(10) 国際公開番号
WO 2004/010497 A1

- (51) 国際特許分類: H01L 23/12
- (21) 国際出願番号: PCT/JP2002/007513
- (22) 国際出願日: 2002年7月24日 (24.07.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 二宮 圭治 (NINOMIYA, Keiji) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 吉田 茂明, 外 (YOSHIDA, Shigeaki et al.); 〒540-0001 大阪府大阪市中央区城見1丁目4番70号 住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国 (国内): CN, JP, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) **Abstract:** A semiconductor device especially comprising ground terminals and a plurality of signal terminals arranged on the periphery thereof in which the performance is enhanced. Ground terminals (5, 35) connected with a function block (11) are isolated from ground terminals (6, 36) connected with a function block (12). Since a ground potential being applied to one function block through the ground terminal is insusceptible to the magnitude of a current flowing through the other function block, performance of each function block is enhanced and thereby performance of the semiconductor device is enhanced.

(57) **要約:** 本発明は半導体装置に関し、特に、グランド端子と、その周辺に配置された複数の信号端子とを備える半導体装置において、その性能を向上させる技術を提供することを目的とする。そして、上記目的を達成するために、機

[続葉有]

WO 2004/010497 A1



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

能ブロック(11)に接続されているグランド端子(5,35)を、機能ブロック(12)に接続されているグランド端子(6,36)から分離させている。そのため、一方の機能ブロックにグランド端子を介して与えられる接地電位が、他方の機能ブロックに流れる電流の大きさによって変動することが無い。その結果、機能ブロックのそれぞれの性能が向上し、半導体装置の性能が向上する。

明 細 書

半導体装置

技術分野

本発明は半導体装置に関し、特に、グランド端子と、その周辺に配置された複数の信号端子とを備える半導体装置に関する。

背景技術

図11は従来の半導体装置101の構造を示す平面図であって、その底面から見た際の外観を示している。また、図12は従来の半導体装置101の構成を示すブロック図であって、簡単のために図11に示す電源端子107及び信号端子104の記載は省略している。

図11、12に示すように、従来の半導体装置101は、複数の機能ブロックから構成される半導体集積回路110と、その半導体集積回路110を収納するパッケージ102と、パッケージ102から露呈している、一つのグランド端子105、複数の信号端子104及び電源端子107とを備えている。

半導体集積回路110は、例えばデジタル回路である機能ブロック111と、例えばアナログ回路である機能ブロック112とを備えている。機能ブロック111には、その動作基準となる接地電位が与えられる電極（以後、「電極111a」と呼ぶ）が設けられており、機能ブロック112には、その動作基準となる接地電位が与えられる電極（以後、「電極112a」と呼ぶ）が設けられている。

パッケージ102は、半導体装置101の外形106を形成するモールド樹脂103から成る。そのモールド樹脂103は、グランド端子105、電源端子107及び信号端子104を露出させつつ、グランド端子105と、電源端子107と、信号端子104とを封止している。

グランド端子105、電源端子107及び信号端子104は、パッケージ102の底面に設けられており、電源端子107と各信号端子104とはグランド端子105の周辺に配置されている。グランド端子105は、図12に示すように、パッケージ102の内部で、上述の電極111a及び電極112aに電氣的に接

続されており、半導体装置 101 の外部からグランド端子 105 に接地電位 120 が与えられる。これにより、グランド端子 105 と各機能ブロック 111, 112 とが電氣的に接続され、各機能ブロック 111, 112 には、グランド端子 105 を介して、それらの動作の基準となる接地電位が与えられる。

信号端子 104 は、図 12 には図示していないが、パッケージ 102 の内部で、機能ブロック 111 または機能ブロック 112 に電氣的に接続されている。機能ブロック 111 に接続されている、ある信号端子 104 には、半導体装置 101 の外部から、例えばデジタル回路の動作の基準となるクロック信号やその他の入力信号が与えられ、その結果、外部からの入力信号が機能ブロック 111 に供給される。また、機能ブロック 111 に接続されている他の信号端子 104 には、機能ブロック 111 からの出力信号が供給される。これにより、半導体装置 101 の外部の装置が、機能ブロック 111 からの出力信号を受け取ることができる。

機能ブロック 112 に接続されている、ある信号端子 104 には、半導体装置 101 の外部から、例えばアンテナ（図示せず）で受信された高周波信号が与えられ、その結果、その高周波信号が機能ブロック 112 に供給される。また、機能ブロック 112 に接続されている他の信号端子 104 には、機能ブロック 112 からの出力信号が与えられる。なお以後、半導体装置 101 の外部から信号が与えられる信号端子 104 を「入力信号端子 104」、機能ブロック 111, 112 からの出力信号が与えられる信号端子 104 を「出力信号端子 104」と呼ぶ場合がある。

電源端子 107 は、図 12 には図示していないが、パッケージ 102 の内部で、機能ブロック 111 及び機能ブロック 112 に電氣的に接続されており、半導体装置 101 の外部から、半導体集積回路 110 が動作するために必要な電源、例えばプラス電位が与えられる。これにより、各機能ブロック 111, 112 には、電源端子 107 を介して電源が与えられ、グランド端子 105 を介して与えられた接地電位を基準に、各機能ブロック 111, 112 は動作する。

半導体集積回路 110 が動作すると、機能ブロック 111, 112 には、それぞれ電流 I_{111} , I_{112} が流れる。これらの電流 I_{111} , I_{112} は、電源端子 107、入力信号端子 104 あるいは出力信号端子 104 から、グランド

端子 105 に流れる。

グランド端子 105 に電流 I_{111} 、 I_{112} が流れると、グランド端子 105 の、抵抗やインダクタンスなどのインピーダンス 115 によって、半導体装置 101 の外部からグランド端子 105 に与えられた接地電位 120 と、電極 111a、112a に実際に与えられている接地電位との間に電位差を生じる。グランド端子 105 には、電流 I_{111} 、 I_{112} の両方が流れるため、この電位差は、各電流 I_{111} 、 I_{112} の大きさによって変化する。つまり、機能ブロック 111、112 の一方の機能ブロックに与えられる接地電位は、自分自身に流れる電流の大きさのみならず、他方の機能ブロックに流れる電流の大きさによっても変動する。従って、一方の機能ブロックの性能が、他方の機能ブロックに流れる電流の大きさによって劣化し、これにより半導体装置 101 全体としての性能が劣化することがあった。

発明の開示

本発明は、上記のような問題を解決するために成されたものであり、半導体装置の性能を向上させる技術を提供することを目的とする。

本発明に係る半導体装置の第 1 の態様は、第 1 の機能ブロックと、第 2 の機能ブロックとを有する半導体集積回路と、前記半導体集積回路を収納するパッケージと、前記パッケージから露呈したグランド端子及び信号端子とを備え、前記グランド端子は、互いに分離されている第 1、2 のグランド端子を含み、前記信号端子は、前記グランド端子の周囲に配置されている複数の第 1 の信号端子を含み、前記第 1 のグランド端子は、前記第 1 の機能ブロックと電氣的に接続され、前記第 2 のグランド端子は、前記第 2 の機能ブロックと電氣的に接続されているものである。

本発明に係る半導体装置の第 2 の態様は、前記第 2 のグランド端子は、前記第 1 のグランド端子を取り囲んでいるものである。

本発明に係る半導体装置の第 3 の態様は、前記信号端子は第 2 の信号端子を更に含み、前記第 2 のグランド端子は、前記第 2 の信号端子をも取り囲んでいるものである。

本発明に係る半導体装置の第 1 の態様によれば、第 1 の機能ブロックに接続さ

れている第1のグランド端子が、第2の機能ブロックに接続されている第2のグランド端子から分離しているため、一方の機能ブロックにグランド端子を介して与えられる接地電位が、他方の機能ブロックに流れる電流の大きさによって変動することが無い。その結果、第1, 2の機能ブロックのそれぞれの性能が向上し、半導体装置の性能が向上する。

本発明に係る半導体装置の第2の態様によれば、第2のグランド端子が第1のグランド端子を取り囲んでいるため、第1のグランド端子の電位が、第1の信号端子での電位の変化の影響を受けにくくなる。

本発明に係る半導体装置の第3の態様によれば、第2のグランド端子が第2の信号端子をも取り囲んでいるため、第1のグランド端子のみならず、第2の信号端子の電位も、第1の信号端子での電位の変化の影響を受けにくくなる。

この発明の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

図1は、本発明の実施の形態1に係る半導体装置の構造を示す平面図である。

図2は、本発明の実施の形態1に係る半導体装置の構成を示すブロック図である。

図3は、本発明の実施の形態1に係る半導体装置の構造を示す平面図である。

図4は、本発明の実施の形態1に係る半導体装置の構造を示す断面図である。

図5は、本発明の実施の形態2に係る半導体装置の構造を示す平面図である。

図6は、本発明の実施の形態2に係る半導体装置の構造を示す平面図である。

図7は、本発明の実施の形態2に係る半導体装置の構造を示す断面図である。

図8は、本発明の実施の形態3に係る半導体装置の構造を示す平面図である。

図9は、本発明の実施の形態3に係る半導体装置の構造を示す平面図である。

図10は、本発明の実施の形態3に係る半導体装置の構造を示す断面図である。

図11は、従来の半導体装置の構造を示す平面図である。

図12は、従来の半導体装置の構成を示すブロック図である。

発明を実施するための最良の形態

1. 実施の形態1

図1, 3は本発明の実施の形態1に係る半導体装置1の構造を示す平面図であって、図4は図3に示す矢視III-IIIにおける断面図である。図1は底面から見た際の外観を示しており、図3は上面から見た際の内部を示している。なお図3では、半導体装置1の内部の構造を示すために、図1に示すモールド樹脂3の記載を省略し、半導体装置1の外形7を破線で示している。

また、図2は本実施の形態1に係る半導体装置1の構成を示すブロック図であって、簡単のために図1に示す電源端子8及び信号端子4の記載を省略している。

図1～4に示すように、実施の形態1に係る半導体装置1は、複数の機能ブロックを有する半導体集積回路10と、その半導体集積回路10を収納するパッケージ2と、パッケージ2から露呈しているグランド端子66、複数の信号端子4及び一つの電源端子8を備えている。

半導体集積回路10は半導体チップ21上に形成されており、例えば二つの機能ブロック11, 12を備えている。機能ブロック11は例えばデジタル回路で構成されており、機能ブロック12は例えばアナログ回路で構成されている。具体的には、例えば、実施の形態1に係る半導体装置1をデジタル変調信号の受信機に採用する場合には、機能ブロック12は、受信信号から希望信号を取り出すフィルタ回路や、そのフィルタ回路の出力を増幅するアンプ回路などを含むアナログ回路で構成されており、機能ブロック11は、復調されたデジタル信号に対して誤り訂正などを行う複合器などを含むデジタル回路で構成されている。

図3に示すように、半導体チップ21の上面において、機能ブロック11が形成されている領域（図示せず）には、機能ブロック11の動作基準となる接地電位が与えられる電極25が設けられており、機能ブロック12が形成されている領域（図示せず）には、機能ブロック12の動作基準となる接地電位が与えられる電極26が設けられている。そして、図4に示すように、半導体チップ21は、その下面で絶縁基板22に接合されている。絶縁基板22は、例えば、ガラスエポキシ基板や、テフロン基板である。

半導体装置1のパッケージ2は、図1に示すように、半導体装置1の外形7を形成するモールド樹脂3から成る。グランド端子16は、互いに分離されているグランド端子5, 6で構成されており、そのグランド端子5, 6は互いに隣り合

って配置されている。そして、グランド端子 16、電源端子 8 及び信号端子 4 は、パッケージ 2 の底面に設けられており、電源端子 8 及び信号端子 4 は、グランド端子 16 の周辺に配置されている。

図 3、4 に示すように、各グランド端子 5、6 には、半導体チップ 21 が接合された絶縁基板 22 が、半導体チップ 21 とは反対側で接合されている。つまり、グランド端子 5、6 には、絶縁基板 22 及び半導体チップ 21 がこの順で搭載されている。

各グランド端子 5、6 は、例えば、金属から成る四角形の薄板である。図 2～4 に示すように、グランド端子 5、6 は、パッケージ 2 の内部で、それぞれ半導体チップ 21 の電極 25、26 に、アルミワイヤ 23 で接合されている。これにより、グランド端子 5 と機能ブロック 11 とが電氣的に接続され、グランド端子 6 と機能ブロック 12 とが電氣的に接続される。

図 2 に示すように、各グランド端子 5、6 には、半導体装置 1 の外部から接地電位が与えられ、その結果、各機能ブロック 11、12 に、それらの動作の基準となる接地電位が与えられる。

信号端子 4 は、例えば、金属から成る四角形の薄板である。図 2～4 には図示していないが、半導体チップ 21 の上面の周辺には、機能ブロック 11、12 からの出力信号が与えられる電極、あるいは半導体装置 1 の外部からの信号を機能ブロック 11、12 に与えるための電極が設けられている。そして、信号端子 4 は、その電極にアルミワイヤで電氣的に接続されている。これにより、信号端子 4 は、パッケージ 2 の内部で、機能ブロック 11 または機能ブロック 12 に電氣的に接続される。

機能ブロック 11 に接続されている、ある信号端子 4 には、半導体装置 1 の外部から、例えばデジタル回路の動作の基準となるクロック信号やその他の入力信号が与えられ、その結果、外部からの入力信号が機能ブロック 11 に供給される。また、機能ブロック 11 に接続されている他の信号端子 4 には、機能ブロック 11 からの出力信号が与えられる。これにより、半導体装置 1 の外部の装置が、機能ブロック 1 からの出力信号を受け取ることができる。

機能ブロック 12 に接続されている、ある信号端子 4 には、半導体装置 1 の外

部から、例えばアンテナ（図示せず）で受信された高周波信号が与えられ、その結果、その高周波信号が機能ブロック 1 2 に供給される。また、機能ブロック 1 2 に接続されている他の信号端子 4 には、機能ブロック 1 2 からの出力信号が与えられる。なお以後、半導体装置 1 の外部から信号が与えられる信号端子 4 を「入力信号端子 4」、機能ブロック 1 1 1, 1 1 2 からの出力信号が与えられる信号端子 4 を「出力信号端子 4」と呼ぶ場合がある。

電源端子 8 は、例えば、金属から成る四角形の薄板である。図 2～4 には図示していないが、半導体チップ 2 1 の上面には、半導体装置 1 の外部から機能ブロック 1 1, 1 2 に電源を供給するための電極が設けられている。そして、電源端子 8 は、その電極にアルミワイヤで電氣的に接続されている。これにより電源端子 8 は、パッケージ 2 の内部で、機能ブロック 1 1 及び機能ブロック 1 2 に電氣的に接続される。

電源端子 8 には、半導体装置 1 の外部から、半導体集積回路 1 0 が動作するために必要な電源、例えばプラス電位が与えられる。その結果、各機能ブロック 1 1, 1 2 には、電源端子 7 を介して電源が与えられる。これにより、機能ブロック 1 1 は、グランド端子 5 を介して与えられた接地電圧を基準に動作し、機能ブロック 1 2 は、グランド端子 6 を介して与えられた接地電圧を基準に動作する。

モールド樹脂 3 は、図 1, 4 に示すように、グランド端子 5, 6、電源端子 8 及び信号端子 4 を露出させつつ、半導体チップ 2 1、絶縁基板 2 2、グランド端子 5, 6、電源端子 8、信号端子 4 及びアルミワイヤ 2 3 を封止している。

上述のように、半導体装置 1 の外部から、半導体集積回路 1 0 に電源が与えられ動作を開始すると、機能ブロック 1 1, 1 2 には、それぞれ電流 I_{11} , I_{12} が流れる。機能ブロック 1 1 に流れる電流 I_{11} は、電源端子 8、入力信号端子 4 あるいは出力信号端子 4 から、グランド端子 5 に流れる。一方、機能ブロック 1 2 に流れる電流 I_{12} は、電源端子 8、入力信号端子 4 あるいは出力信号端子 4 から、グランド端子 6 に流れる。

グランド端子 5 はグランド端子 6 と分離しているため、電流 I_{11} はグランド端子 6 には流れないし、電流 I_{12} はグランド端子 5 には流れない。そのため、グランド端子 5 に電流が流れ、グランド端子 5 のインピーダンス $5a$ によって、

半導体装置 1 の外部からグランド端子 5 に与えられた接地電位 20 と、電極 25 に実際に与えられている接地電位との間に電位差を生じた際、この電位差が、電流 I 12 の大きさによって変動することはない。同様に、グランド端子 6 に電流が流れ、グランド端子 6 のインピーダンス 6a によって、半導体装置 1 の外部からグランド端子 6 に与えられた接地電位 20 と、電極 26 に実際に与えられている接地電位との間に電位差を生じた際、この電位差が、電流 I 11 の大きさによって変動することはない。

従って、機能ブロック 11, 12 の一方の機能ブロックに与えられる接地電位は、自分自身に流れる電流の大きさのみで変動し、他方の機能ブロックに流れる電流の大きさの影響を受けない。

このように、本実施の形態 1 に係る半導体装置 1 によれば、半導体集積回路 10 の機能ブロックごとにグランド端子が分離されているため、上述の従来の半導体装置 101 とは異なり、ある機能ブロックにグランド端子を介して与えられる接地電位が、それ以外の機能ブロックに流れる電流の大きさによって変動することが無い。その結果、各機能ブロックの性能が向上する。従って、本実施の形態 1 に係る半導体装置 1 の性能が、従来の半導体装置 101 よりも向上する。

2. 実施の形態 2

図 5, 6 は本発明の実施の形態 2 に係る半導体装置 31 の構造を示す平面図であって、図 7 は図 6 に示す矢視 VI-VI における断面図である。図 5 は底面から見た際の外観を示しており、図 6 は上面から見た際の内部を示している。なお図 6 では、半導体装置 31 の内部の構造を示すために、図 5 に示すモールド樹脂 33 の記載を省略し、半導体装置 31 の外形 37 を破線で示している。

本実施の形態 2 に係る半導体装置 31 は、上述の実施の形態 1 に係る半導体装置 1 において、基本的には、グランド端子 5, 6 の形状を変形したものである。

本実施の形態 2 に係る半導体装置 31 は、上述の半導体集積回路 10 と、その半導体集積回路 10 を収納するパッケージ 32 と、パッケージ 32 から露呈しているグランド端子 66、信号端子 4 及び電源端子 8 とを備えている。

半導体装置 31 のパッケージ 32 は、図 5 に示すように、半導体装置 31 の外形 37 を形成するモールド樹脂 33 から成り、グランド端子 66 は、互いに分離

されているグランド端子 3 5, 3 6 から構成されている。そして、グランド端子 6 6、電源端子 8 及び信号端子 4 は、パッケージ 3 2 の底面に設けられている。

グランド端子 3 5 は、実施の形態 1 に係るグランド端子 5 の形状を変形したものであって、例えば略正方形の薄板である。グランド端子 3 6 は、実施の形態 1 に係るグランド端子 6 の形状を変形したものであって、例えば方形枠状の薄板である。そして、グランド端子 3 6 はグランド端子 3 5 を取り囲んでおり、電源端子 8 及び信号端子 4 はグランド端子 6 6 の周辺に配置されている。

図 6, 7 に示すように、グランド端子 3 5 には、半導体チップ 2 1 が接合された絶縁基板 4 2 が、半導体チップ 2 1 とは反対側で接合されている。つまり、グランド端子 3 5 には、絶縁基板 4 2 及び半導体チップ 2 1 がこの順で搭載されている。なお絶縁基板 4 2 は、例えばガラスエポキシ基板や、テフロン基板である。

図 6, 7 に示すように、グランド端子 3 5, 3 6 は、パッケージ 2 の内部で、それぞれ半導体チップ 2 1 の電極 2 5, 2 6 に、アルミワイヤ 4 3 で接合されている。これにより、グランド端子 3 5 と機能ブロック 1 1 とが電氣的に接続され、グランド端子 3 6 と機能ブロック 1 2 とが電氣的に接続される。なお絶縁基板 4 2 の大きさは、グランド端子 3 5 の大きさよりも小さいため、半導体チップ 2 1 の上面に形成された電極 2 6 と、グランド端子 3 5 とをアルミワイヤ 4 3 で接続することが可能となる。

モールド樹脂 3 3 は、図 5, 7 に示すように、グランド端子 6 6、電源端子 8 及び信号端子 4 を露出させつつ、半導体チップ 2 1、絶縁基板 4 2、グランド端子 6 6、電源端子 8、信号端子 4 及びアルミワイヤ 4 3 を封止している。本実施の形態 2 に係る半導体装置 3 1 のその他の構造は、上述の実施の形態 1 に係る半導体装置 1 と同じであるため、その説明は省略する。

このように、本実施の形態 2 に係る半導体装置 3 1 では、グランド端子 3 6 がグランド端子 3 5 を取り囲んでいる。従ってグランド端子 3 5 の電位が、信号端子 4 での電位の変化の影響を受けにくくなる。

実施の形態 1 に係る半導体装置 1 では、グランド端子 5, 6 は共に四角形であり、単に互いに隣り合って配置されているだけであった。そのため、信号端子 4 に例えば数十 MHz のクロック信号が入力されると、その信号端子 4 での電位変

化によって、グランド端子 5, 6 の一方あるいは両方の電位が変動することがあった。そのため、電位が変動するグランド端子に接続されている機能ブロックの性能が劣化することがあった。

本実施の形態 2 では、一方のグランド端子が、他方のグランド端子を取り囲んでいるため、少なくとも、信号端子 4 における電位変化によって、その他方のグランド端子の電位が変動することを低減することができる。その結果、上述の実施の形態 1 に係る半導体装置 1 よりも、更に半導体装置 3 2 の性能が向上する。

3. 実施の形態 3

図 8, 9 は本発明の実施の形態 3 に係る半導体装置 5 1 の構造を示す平面図であって、図 10 は図 9 に示す矢視 IX-IX における断面図である。図 8 は底面から見た際の外観を示しており、図 9 は上面から見た際の内部を示している。なお図 9 では、半導体装置 5 1 の内部の構造を示すために、図 8 に示すモールド樹脂 5 3 の記載を省略し、半導体装置 5 1 の外形 5 7 を破線で示している。

本実施の形態 3 に係る半導体装置 5 1 は、上述の実施の形態 2 に係る半導体装置 3 1 において、信号端子を更に設け、グランド端子 3 6 がその信号端子をも取り囲んでいるものである。

本実施の形態 3 に係る半導体装置 5 1 は、上述の半導体集積回路 1 0 と、その半導体集積回路 1 0 を収納するパッケージ 5 2 と、パッケージ 5 2 から露呈したグランド端子 6 6、信号端子 4, 5 4 及び電源端子 8 とを備えている。パッケージ 5 2 は、図 8 に示すように、半導体装置 5 1 の外形 5 7 を形成するモールド樹脂 5 3 から成る。

信号端子 5 4 は複数設けられており、例えば、金属から成る四角形の薄板である。そして、信号端子 4 と同様に、パッケージ 2 の内部で、機能ブロック 1 1 または機能ブロック 1 2 に電氣的に接続される。具体的には、実施の形態 1 で述べたように、半導体チップ 2 1 の上面の周辺には、機能ブロック 1 1, 1 2 からの出力信号が与えられる電極（図示せず）、あるいは半導体装置 1 の外部から機能ブロック 1 1, 1 2 に信号を入力するための電極（図示せず）が設けられている。パッケージ 5 2 の信号端子 5 4 は、これらの電極の一部にアルミワイヤで電氣的に接続されている。

機能ブロック 1 1, 1 2 に接続されている信号端子 5 4 には、半導体装置 5 1 の外部から入力信号が与えられたり、機能ブロック 1 1, 1 2 からの出力信号が与えられる。これにより、外部の装置からの信号が機能ブロック 1 1, 1 2 に供給されたり、外部の装置が機能ブロック 1 1, 1 2 からの出力信号を受け取ることができる。

グランド端子 6 6、電源端子 8 及び信号端子 4, 5 4 は、パッケージ 5 2 の底面に設けられており、グランド端子 3 6 はグランド端子 3 5 及び信号端子 5 4 を取り囲んでいる。

モールド樹脂 5 3 は、図 8, 1 0 に示すように、グランド端子 6 6、電源端子 8 及び信号端子 4, 5 4 を露出させつつ、半導体チップ 2 1、絶縁基板 4 2、グランド端子 6 6、電源端子 8、信号端子 4, 5 4 及びアルミワイヤ 4 3 を封止している。本実施の形態 3 に係る半導体装置 5 1 のその他の構造は、上述の実施の形態 2 に係る半導体装置 3 1 と同じであるため、その説明は省略する。

このように、本実施の形態 3 に係る半導体装置 5 1 によれば、グランド端子 3 6 が信号端子 5 4 をも取り囲んでいるため、グランド端子 3 5 のみならず、信号端子 5 4 の電位も、信号端子 4 での電位の変化の影響を受けにくくなる。

上述の実施の形態 2 に係る半導体装置 3 1 において、例えば、互いに隣り合う信号端子 4 の一方に、数十 MHz のクロック信号が与えられ、他方に信号レベルの非常に小さいアナログ信号、例えばアンテナで受信された微弱の無線信号が入力された場合、クロック信号が入力される信号端子 4 での電位変化によって、無線信号が入力される信号端子 4 の電位が変動することがあった。そのため、無線信号が入力される機能ブロック 1 2 が、その無線信号を適切に処理できないことがあった。

本実施の形態 3 では、グランド端子 3 6 に取り囲まれた信号端子 5 4 が設けられているため、この信号端子 5 4 に上述のようなノイズに弱い信号を割り当てることによって、半導体装置 5 1 の内部あるいは外部で、その信号が、信号端子 4 での電位変化によって適切に処理されない不具合を改善することができる。その結果、上述の実施の形態 2 に係る半導体装置 3 1 よりも更に性能が向上する。

なお、上述の実施の形態 1 ~ 3 では、半導体集積回路 1 0 に電源を供給するた

めの電源端子8は一つであったが、グランド端子の周辺に複数設けても良い。

また、半導体集積回路10が備える機能ブロック11, 12に、デジタル回路及びアナログ回路を採用した場合について説明したが、他の機能を果たす機能ブロックを採用しても良い。例えば、上述の半導体装置1, 31, 51を、スーパーヘテロダイン方式の受信機に採用する場合、機能ブロック11として、RF (Radio Frequency) 信号を処理する回路を採用し、機能ブロック12として、IF (Intermediate Frequency) 信号を処理する回路を採用しても良い。

RF信号を処理する回路の具体例としては、信号端子4あるいは信号端子54に入力されたRF信号から希望信号を取り出すフィルタ回路や、そのフィルタ回路の出力を増幅するアンプ回路や、RF信号をIF信号へ変換する周波数変換回路などを含んでいる。また、IF信号を処理する回路の具体例としては、RF信号を処理する回路から出力されたIF信号をフィルタリングするフィルタ回路や、そのフィルタ回路の出力を増幅するアンプ回路や、IF信号を復調して音声信号などを取り出す復調器などを含んでいる。

また、数十mAから数百mAの比較的大電流が流れる回路を機能ブロック11に採用し、数 μ A~数十 μ Aの比較的小電流が流れる回路を機能ブロック12に採用しても良い。比較的大電流が流れる回路としては、例えばスピーカアンプ回路などがあり、比較的小電流が流れる回路としては、上述のRF信号を処理する回路などがある。

また上述の実施の形態1~3では、半導体集積回路10は2つの機能ブロック11, 12を備えていたが、3つ以上の機能ブロックを備えていても良い。例えば、アナログ回路で構成されている機能ブロックを2つと、デジタル回路で構成されている機能ブロックを1つ備えていても良い。この場合には、機能ブロックごとにパッケージのグランド端子を分離することによって、各機能ブロックの性能が向上し、その結果、半導体装置の性能が向上する。

この発明は詳細に説明されたが、上記した説明は、すべての局面において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

請求の範囲

1. 第1の機能ブロックと、第2の機能ブロックとを有する半導体集積回路と、

前記半導体集積回路を収納するパッケージと、

前記パッケージから露呈したグランド端子及び信号端子とを備え、

前記グランド端子は、互いに分離されている第1、2のグランド端子を含み、

前記信号端子は、前記グランド端子の周囲に配置されている複数の第1の信号端子を含み、

前記第1のグランド端子は、前記第1の機能ブロックと電氣的に接続され、

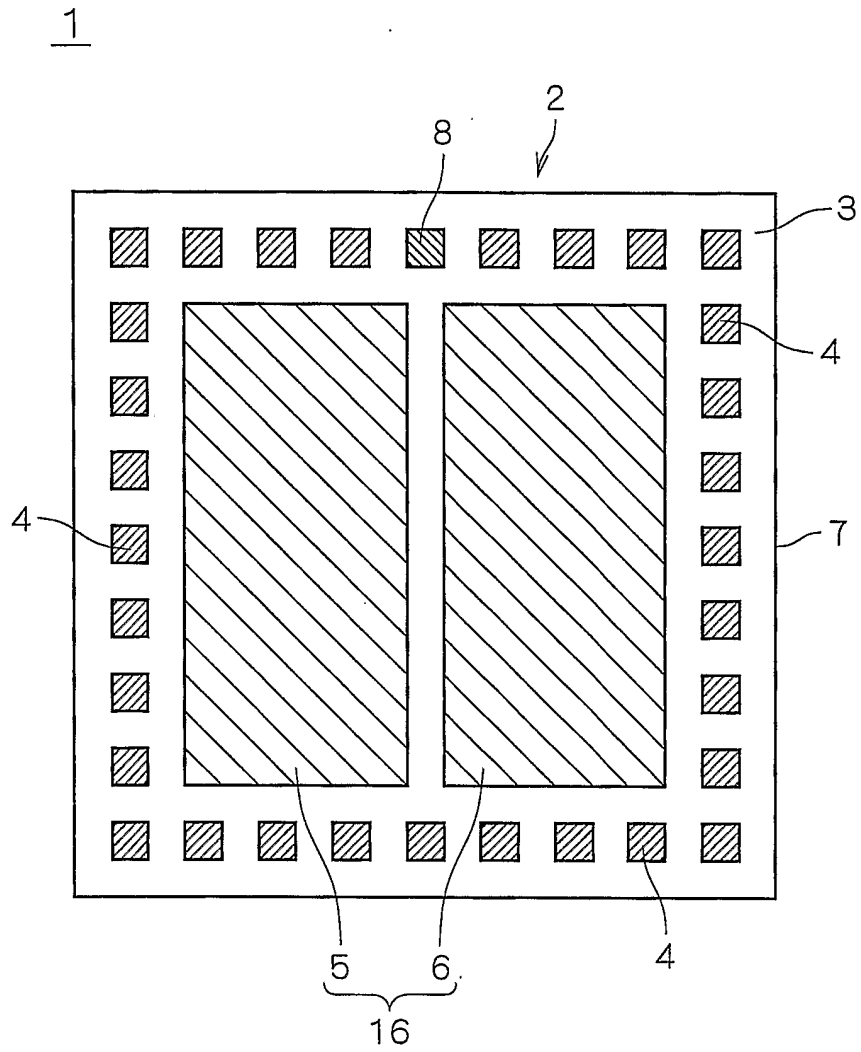
前記第2のグランド端子は、前記第2の機能ブロックと電氣的に接続されている、半導体装置。

2. 前記第2のグランド端子は、前記第1のグランド端子を取り囲んでいる、請求の範囲1記載の半導体装置。

3. 前記信号端子は第2の信号端子を更に含み、

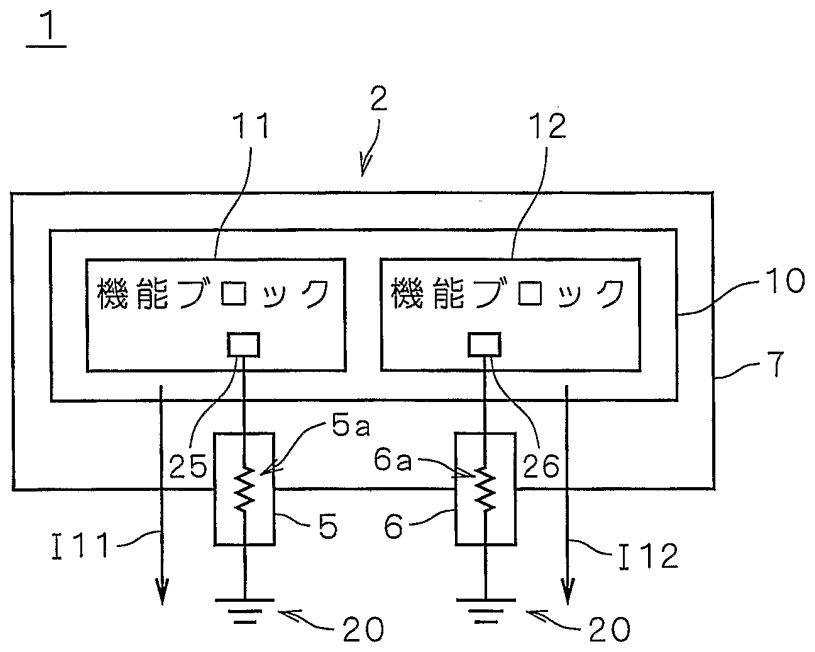
前記第2のグランド端子は、前記第2の信号端子をも取り囲んでいる、請求の範囲2記載の半導体装置。

図 1



- 1 : 半導体装置
- 2 : パッケージ
- 3 : モールド樹脂
- 4 : 信号端子
- 5, 6, 16 : グランド端子

図 2



10 : 半導体集積回路

図 3

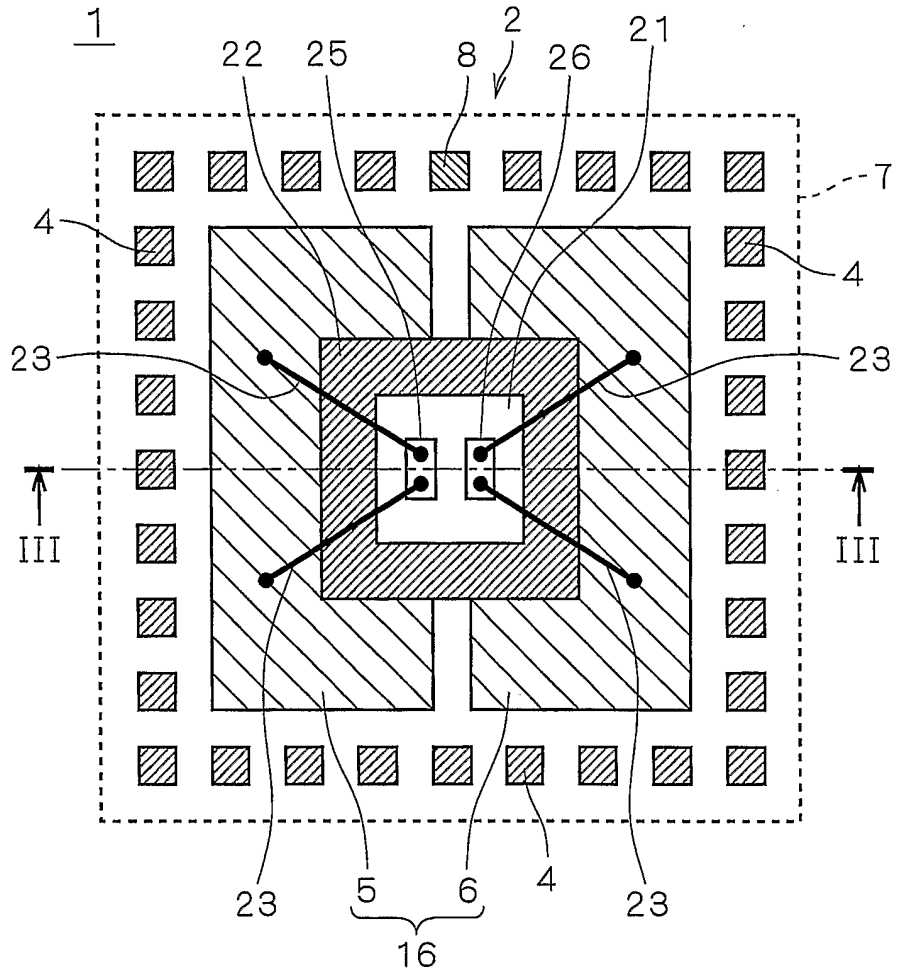


図 4

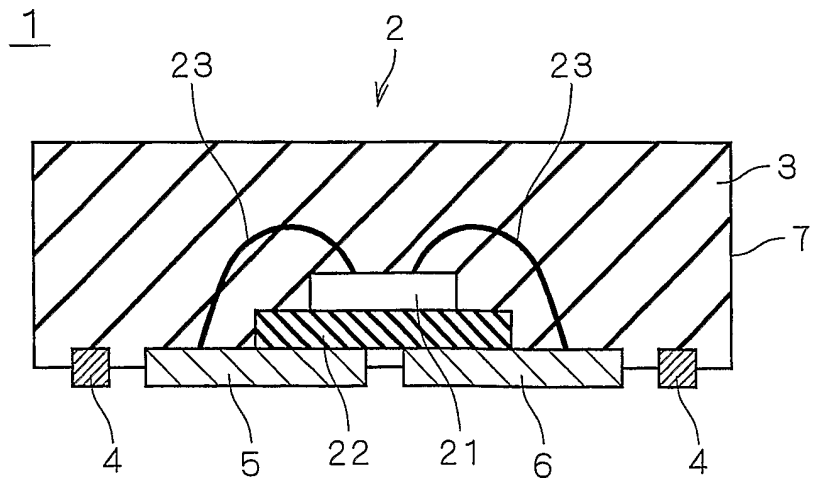
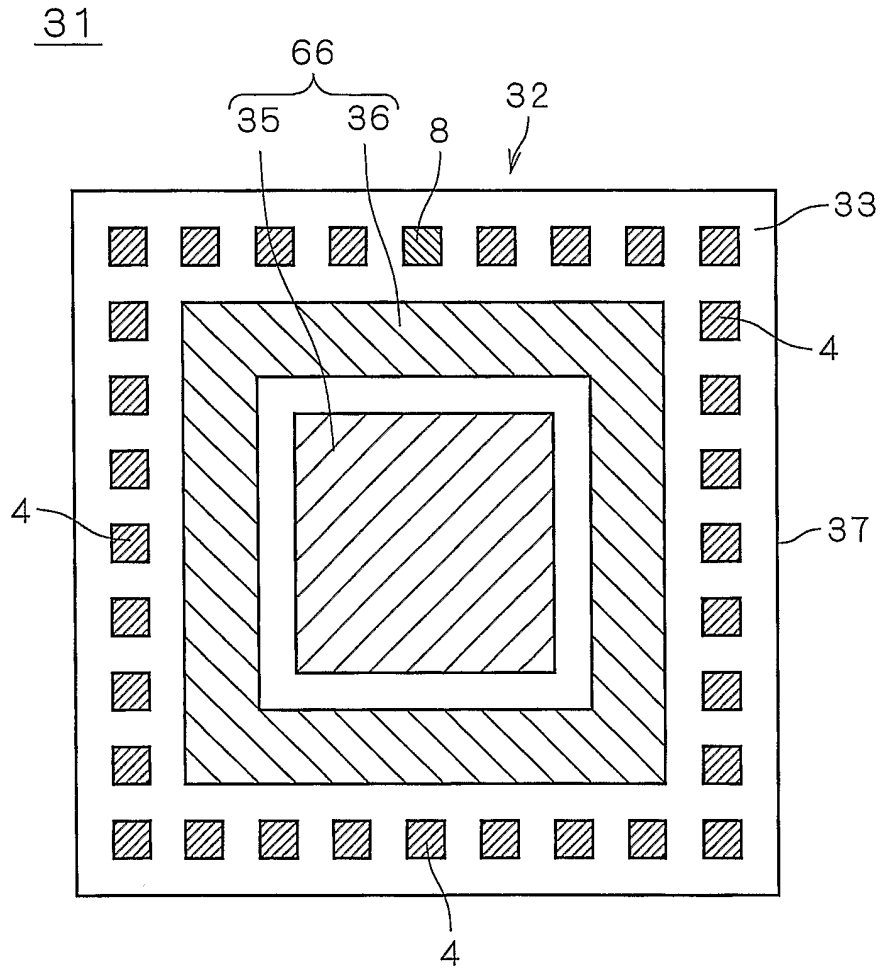


図 5



- 31 : 半導体装置
- 32 : パッケージ
- 33 : モールド樹脂
- 35, 36, 66 : グランド端子

図 6

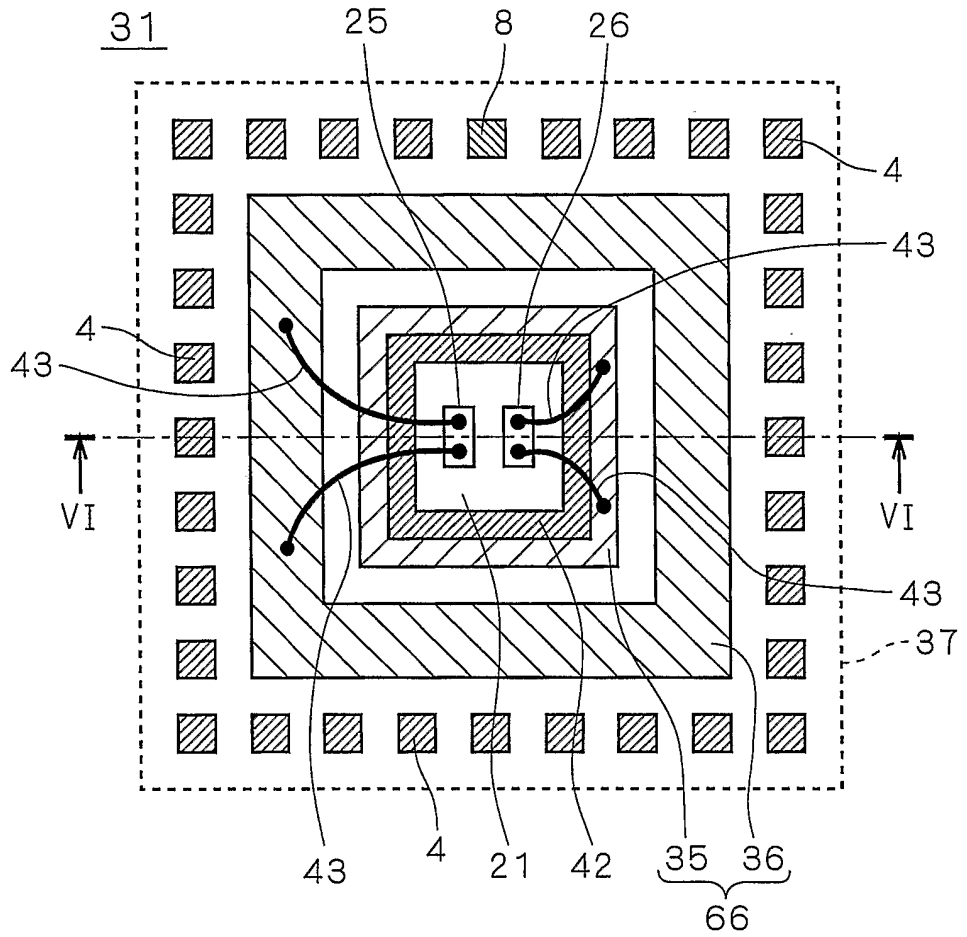


図 7

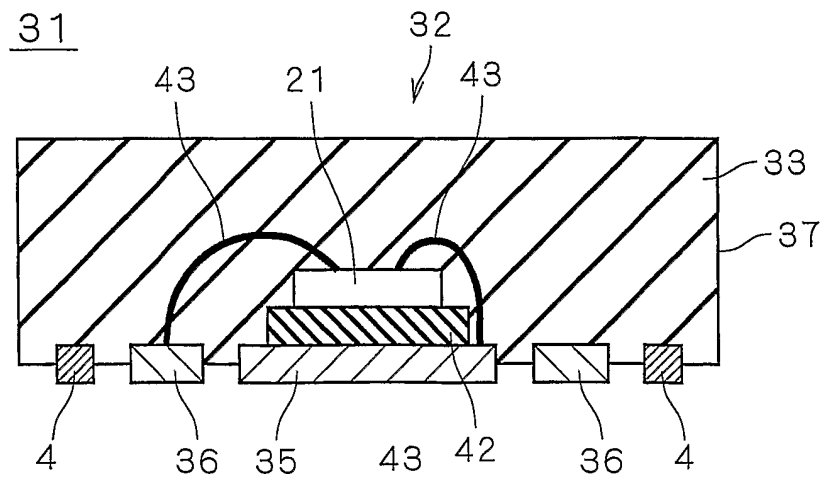
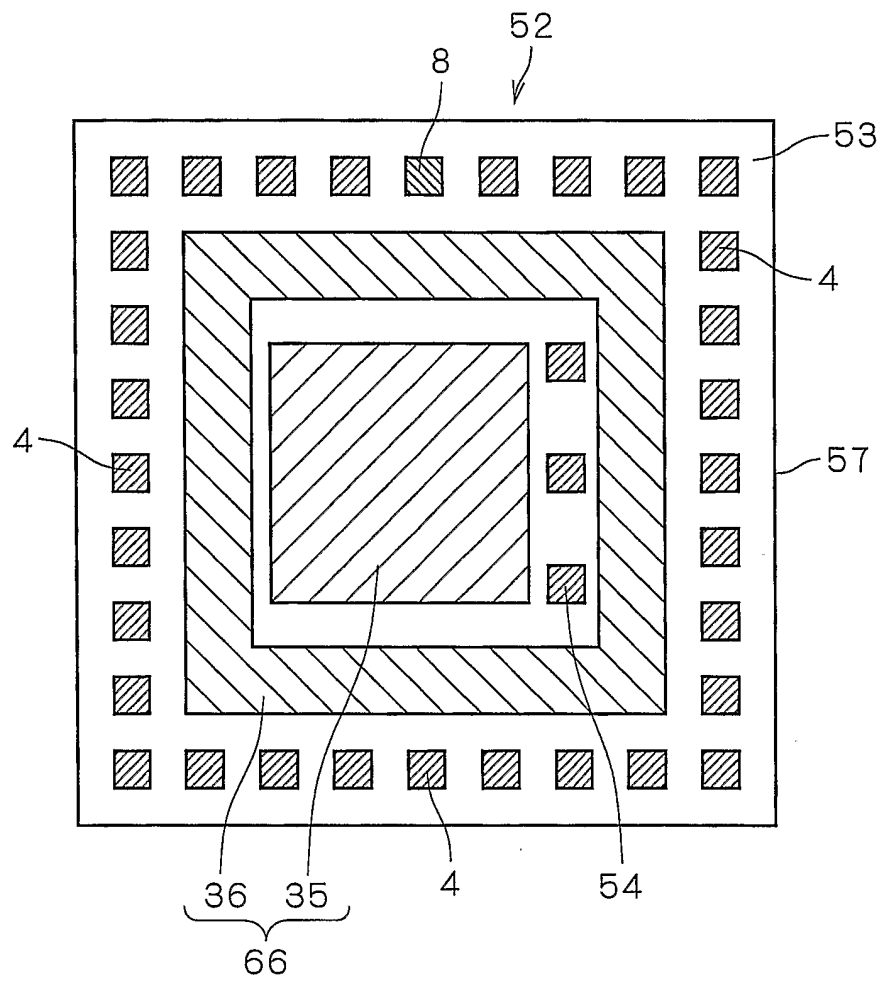


図 8

51



- 51 : 半導体装置
- 52 : パッケージ
- 53 : モールド樹脂
- 54 : 信号端子

7 / 8

図 9

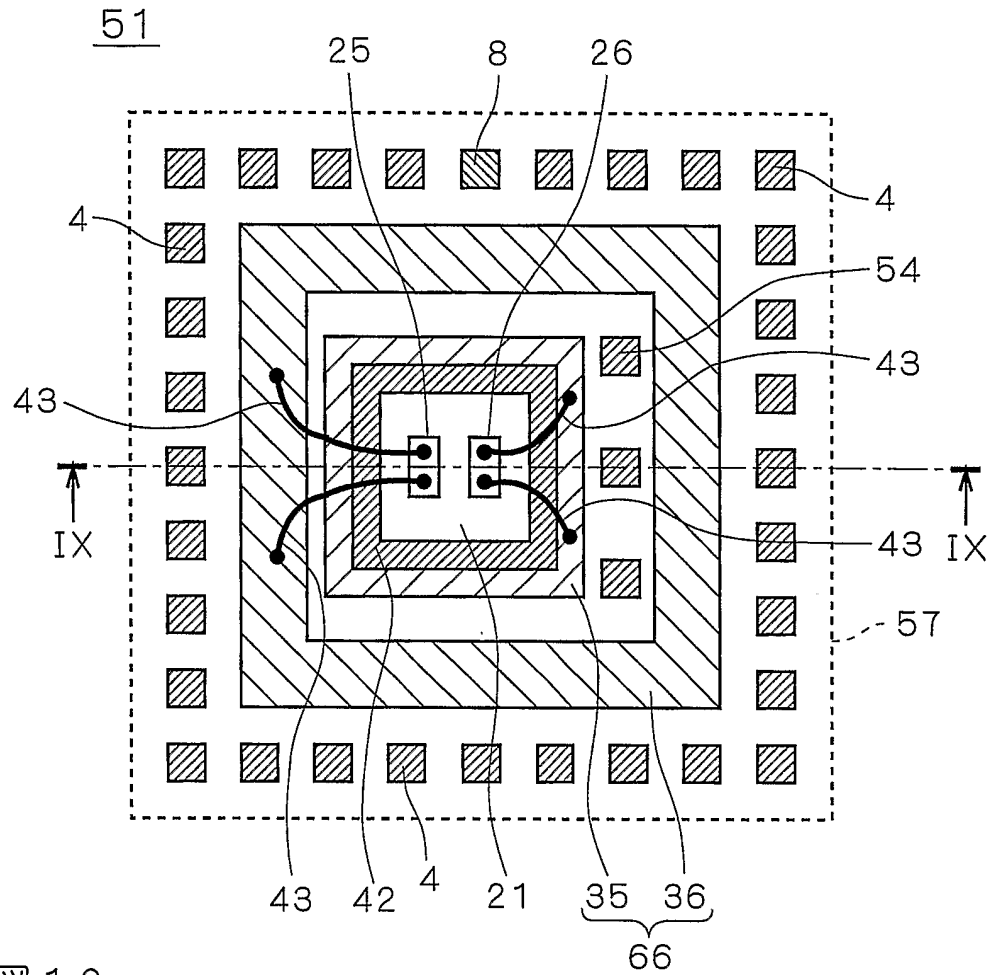


図 10

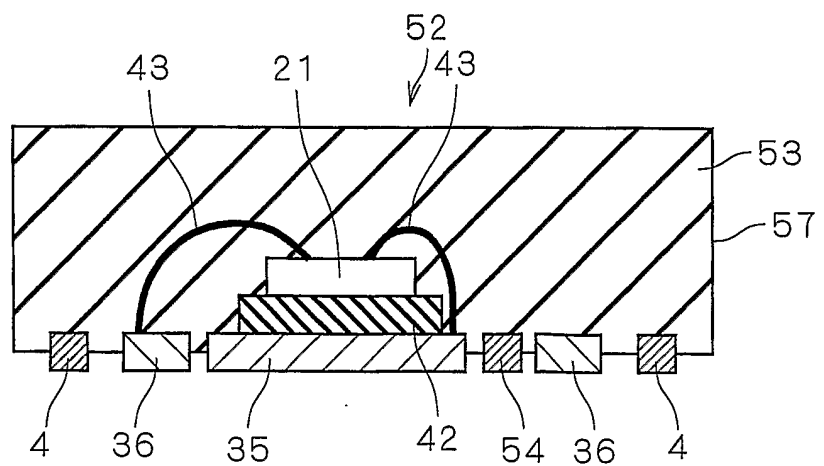


図 11

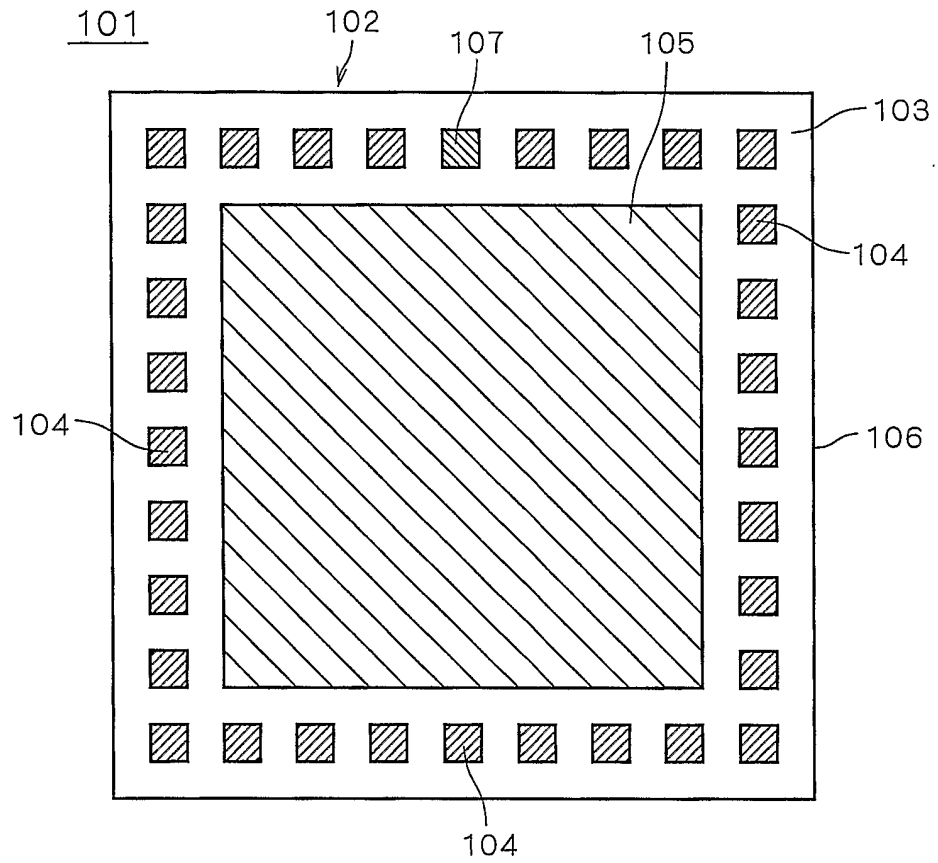
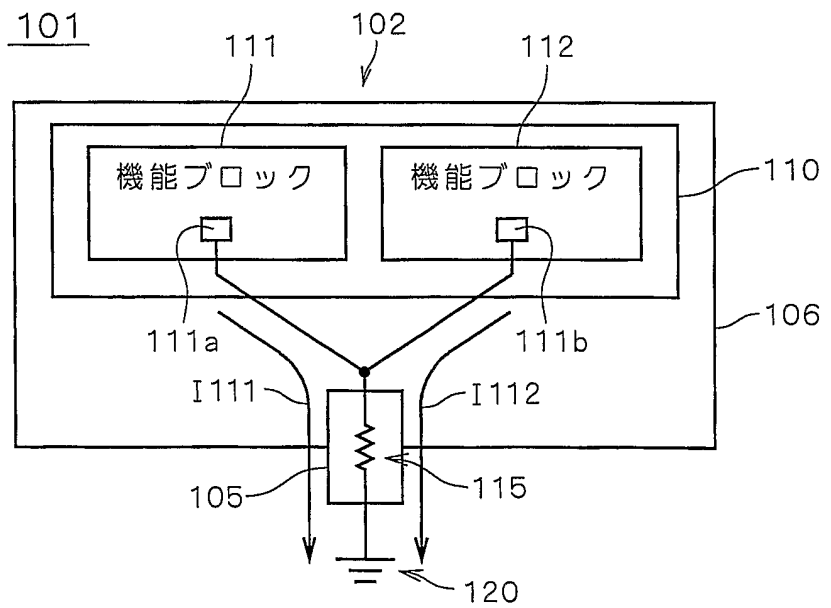


図 12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07513

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L23/12		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L23/12, H01L21/60, H01L23/50, H01L25/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-223705 A (Hitachi, Ltd.), 26 August, 1997 (26.08.97), Column 4, line 29 to column 10, line 31; Figs. 2 to 5	1
A	Column 4, line 29 to column 8, line 17; column 12, line 22 to column 14, line 36; Figs. 11 to 13 (Family: none)	2
Y	US 6025640 A (Dai Nippon Insatsu Kabushiki Kaisha), 15 February, 2000 (15.02.00), Column 6, line 33 to column 7, line 48; Figs. 4 to 6 & JP 11-233683 A Column 7, line 47 to column 9, line 13; Figs. 4 to 6	1
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 29 October, 2002 (29.10.02)		Date of mailing of the international search report 12 November, 2002 (12.11.02)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/07513

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-312404 A (Hitachi, Ltd.), 28 November, 1995 (28.11.95), Column 6, lines 33 to 37; column 8, lines 13 to 21; Figs. 1 to 5 (Family: none)	1-3
E,A	JP 2002-313980 A (Niigata Seimitsu Co., Ltd.), 25 October, 2002 (25.10.02), Column 4, line 5 to column 6, line 7; Figs. 1, 2 (Family: none)	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl⁷ H01L23/12

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl⁷ H01L23/12, H01L21/60, H01L23/50, H01L25/04

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献


引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 9-223705 A (株式会社日立製作所) 1997.08.26 第4欄第29行-第10欄第31行目, 図2-図5 第4欄第29行-第8欄第17行目, 第12欄第22行-第14欄 第36行目, 図11-図13 (ファミリーなし)	1 2

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 29.10.02
 国際調査報告の発送日 12.11.02

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 田中 永一 

4R 3032
 電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6025640 A (DAI NIPPON INSATSU KABUSHIKI KAISHA) 2000.02.15 第6欄第33行-第7欄第48行目, FIG. 4-FIG. 6 & JP 11-233683 A 第7欄第47行-第9欄第13行目, 図4-図6	1
A	JP 7-312404 A (株式会社日立製作所) 1995.11.28 第6欄第33行-第37行目, 第8欄第13行-第21行目, 図1-図5 (ファミリーなし)	1-3
EA	JP 2002-313980 A (新潟精密株式会社) 2002.10.25 第4欄第5行-第6欄第7行, 図1, 図2 (ファミリーなし)	1-3