

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3805867号
(P3805867)

(45) 発行日 平成18年8月9日(2006.8.9)

(24) 登録日 平成18年5月19日(2006.5.19)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 1 F
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 2 2 E
H O 1 L 21/8247 (2006.01)	H O 1 L 27/10 4 3 4
H O 1 L 27/115 (2006.01)	H O 1 L 29/78 3 7 1
H O 1 L 29/792 (2006.01)	

請求項の数 11 (全 23 頁) 最終頁に続く

(21) 出願番号 特願平9-253817	(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日 平成9年9月18日(1997.9.18)	
(65) 公開番号 特開平11-96777	(74) 代理人 100058479 弁理士 鈴江 武彦
(43) 公開日 平成11年4月9日(1999.4.9)	(74) 代理人 100091351 弁理士 河野 哲
審査請求日 平成14年7月31日(2002.7.31)	(74) 代理人 100088683 弁理士 中村 誠
前置審査	(74) 代理人 100084618 弁理士 村松 貞男
	(74) 代理人 100092196 弁理士 橋本 良郎

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

電氣的にデータの書き換え可能なメモリセルトランジスタと、
前記電氣的にデータの書き換え可能なメモリセルトランジスタのゲートに接続されたワード線と、

前記電氣的にデータの書き換え可能なメモリセルトランジスタとデータをやり取りするビット線とを具備し、

前記メモリセルトランジスタは多値メモリセルであり、

前記多値メモリセルの消去状態のしきい値電圧が負の電圧であり、前記多値メモリセルの書き込み状態のしきい値電圧の分布の少なくとも1つが、前記消去状態のしきい値電圧よりも高い負であり、かつ、UV消去後のしきい値電圧よりも低いことを特徴とする不揮発性半導体記憶装置。

10

【請求項2】

直列に接続された電氣的にデータの書き換え可能な複数のメモリセルトランジスタと、
前記電氣的にデータの書き換え可能な複数のメモリセルトランジスタに接続された複数のワード線と、

前記電氣的に書き換え可能なメモリセルトランジスタとデータをやり取りするビット線とを具備し、

前記メモリセルトランジスタは多値メモリセルであり、

前記多値メモリセルの消去状態のしきい値電圧が負の電圧であり、前記多値メモリセル

20

の書き込み状態のしきい値電圧の分布の少なくとも1つが、前記消去状態のしきい値電圧よりも高い負であり、かつ、UV消去後のしきい値電圧よりも低いことを特徴とする不揮発性半導体記憶装置。

【請求項3】

前記メモリセルトランジスタの消去状態及び書き込み状態のしきい値電圧が全て負の電圧であることを特徴とする請求項1及び請求項2いずれかに記載の不揮発性半導体記憶装置。

【請求項4】

n値(nは3以上)のデータを記憶するメモリセルトランジスタと、
前記メモリセルトランジスタのゲートに接続されたワード線と、
前記電氣的にデータの書き換え可能なメモリセルトランジスタとデータをやり取りするビット線とを具備し、

前記メモリセルトランジスタは多値メモリセルであり、

前記多値メモリセルの消去状態のしきい値電圧が負の電圧であり、

前記多値メモリセルは、前記n値のデータを、しきい値電圧の低い順に定められた離散的な第1、第2、...、第nのしきい値電圧領域に対応させて記憶し、

前記第1のしきい値電圧領域が消去状態であり、

前記第2、...、第nのしきい値電圧領域が書き込み状態であり、

前記第2、...、第nのしきい値電圧領域の少なくとも1つの分布が、前記消去状態のしきい値電圧よりも高い負であり、かつ、UV消去後のしきい値電圧よりも低いことを特徴とする不揮発性半導体記憶装置。

【請求項5】

前記メモリセルトランジスタは電荷蓄積部を有し、前記UV消去後のしきい値電圧は、前記電荷蓄積部に電荷を保持しない場合の前記メモリセルトランジスタのしきい値電圧であることを特徴とする請求項1乃至請求項4いずれか一項に記載の不揮発性半導体記憶装置。

【請求項6】

前記電荷蓄積部に電荷を保持しない場合の前記メモリセルトランジスタのしきい値電圧は、前記メモリセルトランジスタの消去状態のしきい値電圧から前記メモリセルトランジスタの書き込み状態のしきい値電圧の最大値の間にあることを特徴とする請求項5に記載の不揮発性半導体記憶装置。

【請求項7】

前記メモリセルトランジスタを含むメモリセルユニットは一端が第1の信号線に電氣的に結合され、他端が第2の信号線に電氣的に結合されるとともに、前記メモリセルトランジスタから読み出したデータを保持するデータ回路を、さらに具備し、

前記メモリセルトランジスタからデータを読み出す際には、前記第2の信号線が読み出し基準電圧に設定され、前記メモリセルユニットを介して充電された前記第1の信号線の電位が、前記データ回路でセンスされることを特徴とする請求項1乃至請求項6いずれか一項に記載の不揮発性半導体記憶装置。

【請求項8】

前記メモリセルトランジスタを含むメモリセルユニットは一端が第1の信号線に電氣的に結合され、他端が第2の信号線に電氣的に結合されるとともに、前記メモリセルトランジスタへの書き込みデータを保持するデータラッチ回路を、さらに具備し、

書き込み動作後の前記メモリセルトランジスタの状態が、所望のデータに対応した状態になっているか否かを確認し、前記所望のデータに対応した状態になっていないメモリセルトランジスタに対してのみ再書き込みを行うように、前記データラッチ回路の書き込み内容を更新する書き込みベリファイ時に、前記第2の信号線を読み出し基準電圧に設定し、前記メモリセルユニットを介して出力された前記第1の信号線の電位と、前記データラッチ回路に保持された書き込みデータの論理をとることにより、前記データラッチ回路の内容を更新することを特徴とする請求項1乃至請求項6いずれか一項に記載の不揮発性半

10

20

30

40

50

導体記憶装置。

【請求項 9】

前記第 1 の信号線はビット線であり、第 2 の信号線はソース線であることを特徴とする請求項 7 及び請求項 8 いずれかに記載の不揮発性半導体記憶装置。

【請求項 10】

前記メモリセルトランジスタは N チャネル型であることを特徴とする請求項 1 乃至請求項 9 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 11】

前記不揮発性半導体記憶装置は、NAND 型 EEPROM であることを特徴とする請求項 1 乃至請求項 10 いずれか一項に記載の不揮発性半導体記憶装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

近年、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置 (EEPROM) の 1 つとして、NAND 型 EEPROM が提案されている。

【0003】

NAND 型 EEPROM は、電荷蓄積層としての例えば浮遊ゲートと、制御ゲートとが積層された N チャネル型 FET MOS 構造の複数のメモリセルを、それらのソース、ドレインを隣接するもの同士で共有する形で直列に接続し、これを 1 単位 (NAND セル) として、ソース線とビット線との間に接続するものである。

20

【0004】

図 20 (A) は、NAND セルの回路図である。

【0005】

図 20 (A) において、M1 ~ M8 はそれぞれメモリセルを示しており、メモリセル M1 ~ M8 が互いに直列に接続されて、NAND セルを構成している。CG1 ~ CG8 はそれぞれ制御ゲートである。NAND セルの一端は、選択トランジスタ S1 を介してビット線 BL に接続され、その他端は、選択トランジスタ S2 を介してソース線 SL に接続されている。SG1、SG2 はそれぞれ選択ゲートである。

30

【0006】

図 20 (B) は、NAND 型 EEPROM における、従来のメモリセルのしきい値電圧の分布を示す図である。

【0007】

図 20 (B) において、“0” は消去状態、“1” は書き込み状態をそれぞれ示している。“0” 状態のメモリセルのしきい値電圧は 0 V 以下の負の電圧、“1” 状態のメモリセルのしきい値電圧は 0 V 以上の正の電圧である。“V_{th0}” は紫外線を照射してデータを消去した後 (以下、UV 消去という) のしきい値電圧であり、“0” 状態と、“1” 状態とのほぼ中間に設定される。

40

【0008】

以下、NAND 型 EEPROM の動作を説明する。

【0009】

<データ書き込み>

書き込みデータに応じて 0 V (“1” 書き込み)、または電源電圧 V_{cc}、例えば 3 V (“0” 書き込み) を、ビット線 BL に印加する。選択ゲート SG1 は電源電圧 V_{cc}、選択ゲート SG2 は 0 V である。

【0010】

この時、“1” 書き込みでは、ビット線 BL に接続される選択トランジスタ S1 が “オン” するので、“1” 書き込みされるメモリセルのチャンネルには 0 V が伝達される。また、

50

“ 0 ”書き込みでは、選択トランジスタ S_1 が “オフ” するので、“ 0 ”書き込みされるメモリセルのチャンネルの電圧は、“ $V_{cc} - V_{thsg}$ (V_{thsg} は選択ゲートのしきい値電圧) ”になり、フローティングになる。あるいは“ 0 ”書き込みされるメモリセルよりも、ビット線側に正のしきい値電圧 V_{thcell} を持つメモリセルが存在する場合には、“ 0 ”書き込みされるメモリセルのチャンネルの電圧は、“ $V_{cc} - V_{thcell}$ ”になる。この後、書き込み選択されたメモリセルの制御ゲートには、昇圧された書き込み電圧 V_{pp} (= 20 V 程度) を印加し、他の非選択のメモリセルの制御ゲートには、中間の電位 V_{pass} (= 10 V 程度) を印加する。その結果、書き込みデータが “ 1 ” の時はチャンネルの電位が 0 V であるので、書き込み選択されたメモリセルの浮遊ゲートと p 型ウェル、あるいは p 型基板との間には高い電圧がかかり、電子が p 型ウェル、あるいは p 型基板から浮遊ゲートにトンネル注入されて、書き込み選択されたメモリセルのしきい値電圧が正の方向に移動する。書き込みデータが “ 0 ” の時は、フローティングのチャンネルの電圧は、制御ゲートとの容量結合によって、中間の電位になり、電子の注入が行われない。

10

【 0 0 1 1 】

< データ消去 >

データの消去は、ブロック単位でほぼ同時に行われる。即ち、データを消去するブロックの全ての制御ゲートの電圧、選択ゲートの電圧をそれぞれ 0 V とし、p 型ウェル、および n 型基板それぞれに昇圧された昇圧電位 V_{ppE} (= 20 V 程度) を印加する。この時、データを消去しないブロックの制御ゲート、選択ゲートにはそれぞれ、昇圧電位 V_{ppE} を印加する。これにより、データを消去するブロックのメモリセルにおいては、浮遊ゲート中の電子が p 型ウェルに放出されて、それぞれのしきい値電圧が負の方向に移動する。

20

【 0 0 1 2 】

< データ読み出し >

データ読み出しは、ビット線 B_L をプリチャージした後にフローティングにし、読み出し選択されたメモリセルの制御ゲートの電圧を読み出し電圧 0 V、それ以外のメモリセルの制御ゲートの電圧、および選択ゲートの電圧をそれぞれ非選択読み出し電圧 V_{read} (電源電圧 V_{cc})、ソース線を 0 V とし、読み出し選択されたメモリセルに電流が流れるかどうかを、ビット線 B_L で検出することにより行われる。即ち、メモリセルに書き込まれたデータが “ 1 ” (メモリセルのしきい値電圧 $V_{th} >$ 読み出し電圧 0 V) ならばメモリセルは “オフ” になるので、ビット線の電位はプリチャージ電位を保つ。これに対して、メモリセルに書き込まれたデータが “ 0 ” (メモリセルのしきい値電圧 $V_{th} <$ 読み出し電圧) ならばメモリセルは “オン” になるので、ビット線 B_L の電位はプリチャージ電位から V だけ下がる。このようなビット線 B_L の電位の変化を、センスアンプで検出することによってメモリセルのデータが読み出される。

30

【 0 0 1 3 】

【 発明が解決しようとする課題 】

従来の NAND 型におけるデータ書き込みでは、“ 0 ”書き込み時、“ 0 ”書き込みされるメモリセルよりも、ビット線側に正のしきい値電圧 V_{thcell} を持つメモリセルが存在する場合、このメモリセルのドレイン～ソース間に “しきい値電圧落ち” が生じる。この結果、“ 0 ”書き込みされるメモリセルのチャンネルの電圧は “ $V_{cc} - V_{thcell}$ ” になる。この後、フローティングのチャンネルを、制御ゲートにより容量結合させ、そのチャンネルの電位を中間の電位にする。しかし、この時、例えばメモリセルの拡散層の容量が、制御ゲートとチャンネルとの間の容量と同程度だと、例えば制御ゲートが 1 V 上昇する毎に、チャンネルは 0.5 V しか上がらない。つまり、メモリセルのチャンネルの電位が十分に高められない。このため、制御ゲート～チャンネル間の電位差が十分に小さくならず、“ 0 ”書き込みされるメモリセル、あるいは書き込み非選択のメモリセルに無用な電子が注入され、誤書き込みを生じるといふ事情がある。

40

【 0 0 1 4 】

また、NAND 型では、NAND セル中の、読み出し選択されたメモリセルからデータを読み出す時、他のメモリセル、即ち、読み出し非選択のメモリセルは全て導通される。読

50

み出し非選択のメモリセルの中には、データ“1”を記憶しているメモリセルもある。現在のデータの読み出しでは、読み出し非選択のメモリセルを導通させるために、非選択の制御ゲートに読み出し電圧 V_{read} (例えば V_{cc}) を与える。この時、読み出し非選択のメモリセルのデータが“0”であると、チャンネルとゲートとの間の大きい電界によって電子がチャンネルから浮遊ゲートに注入され、いわゆるリードディスタ urb (read disturb) が生ずる可能性がある。リードディスタ urb を生じると、メモリセル内のデータが破壊される。特に多値化によって書き込み状態のメモリセルのしきい値電圧 V_{th} が高くなると、読み出し電圧 V_{read} も高くなり、よりリードディスタ urb を生じやすくなる、という問題がある。

【0015】

10

さらに、このように書き込み状態におけるしきい値電圧が高い値を有する多値セルにおいては、読み出し時に大きな読み出し電流が得られ難く、読み出し動作の高速化が阻害される、という問題もある。

【0016】

これは、データ読み出し時に、メモリセルを流れる読み出し電流がメモリセルのゲート～ソース間電圧を V_{gs} 、メモリセルのしきい値電圧 V_{th} としたとき、 $V_{g} - V_{th}$ に依存し、 $V_{g} - V_{th}$ が大きいほど読み出し電流が増加することに起因する。

【0017】

なお、こうしてデータを多値化したときに、メモリセルのしきい値電圧 V_{th} が高くなり、ひいては大きな読み出し電流が得られ難く、読み出し動作の高速化が妨げられる傾向は、NAND型ばかりでなく、ソース線とビット線との間にメモリセルを並列に接続したNOR型、あるいはソース線とビット線との間に並列に接続された複数のメモリセルをユニットセルとして有するAND型やDINOR型においても、同様である。

20

【0018】

この発明は、上記の事情に鑑みて為されたものであり、その目的とするところは、しきい値電圧を変化させ、メモリセルのチャンネルに電流が流れるか流れないかでデータを識別するメモリセルを有した、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置において、書き込み時の誤書き込みの回避や、リードディスタ urb の低減を図ることができ、さらにはデータの読み出しをより高速に行え、かつ記憶データの多値化に有利な不揮発性半導体記憶装置を提供することである。

30

【0019】

また、他の目的は、特に第1の信号線と第2の信号線との間に直列に接続された複数のメモリセルをユニットセルとして有する不揮発性半導体記憶装置において、データの書き込み時、しきい値電圧を変化させない“0”書き込み、あるいは書き込み非選択のメモリセルに生ずる“誤書き込み”の可能性、およびデータの読み出し時における読み出し非選択のメモリセルに生ずるリードディスタ urb の可能性を、より低減し得る不揮発性半導体記憶装置を提供することである。

【0020】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1態様に係る不揮発性半導体記憶装置は、電氣的にデータの書き換え可能なメモリセルトランジスタと、前記電氣的にデータの書き換え可能なメモリセルトランジスタのゲートに接続されたワード線と、前記電氣的にデータの書き換え可能なメモリセルトランジスタとデータをやり取りするビット線とを具備し、前記メモリセルトランジスタは多値メモリセルであり、前記多値メモリセルの消去状態のしきい値電圧が負の電圧であり、前記多値メモリセルの書き込み状態のしきい値電圧の分布の少なくとも1つが、前記消去状態のしきい値電圧よりも高い負であり、かつ、UV消去後のしきい値電圧よりも低いことを特徴とする。

40

また、この発明の第2態様に係る不揮発性半導体記憶装置は、 n 値 (n は3以上) のデータを記憶するメモリセルトランジスタと、前記メモリセルトランジスタのゲートに接続されたワード線と、前記電氣的にデータの書き換え可能なメモリセルトランジスタとデー

50

タをやり取りするビット線とを具備し、前記メモリセルトランジスタは多値メモリセルであり、前記多値メモリセルの消去状態のしきい値電圧が負の電圧であり、前記多値メモリセルは、前記n値のデータを、しきい値電圧の低い順に定められた離散的な第1、第2、...、第nのしきい値電圧領域に対応させて記憶し、前記第1のしきい値電圧領域が消去状態であり、前記第2、...、第nのしきい値電圧領域が書き込み状態であり、前記第2、...、第nのしきい値電圧領域の少なくとも1つの分布が、前記消去状態のしきい値電圧よりも高い負であり、かつ、UV消去後のしきい値電圧よりも低いことを特徴とする。

【0021】

上記発明によれば、書き込み状態におけるメモリセルのしきい値電圧が、負の電圧を有するので、メモリセルのソース/ドレイン間での“しきい値電圧落ち”を解消することができる。

10

【0022】

さらに、データ読み出し時の読み出し電流も増加するので、読み出し動作が高速化され、記憶データの多値化に有利である。

【0023】

また、この発明の第3態様に係る不揮発性半導体記憶装置は、直列に接続された電氣的にデータの書き換え可能な複数のメモリセルトランジスタと、前記電氣的にデータの書き換え可能な複数のメモリセルトランジスタに接続された複数のワード線と、前記電氣的に書き換え可能なメモリセルトランジスタとデータをやり取りするビット線とを具備し、前記メモリセルトランジスタは多値メモリセルであり、前記多値メモリセルの消去状態のしきい値電圧が負の電圧であり、前記多値メモリセルの書き込み状態のしきい値電圧の分布の少なくとも1つが、前記消去状態のしきい値電圧よりも高い負であり、かつ、UV消去後のしきい値電圧よりも低いことを特徴とする。

20

【0024】

上記発明によれば、書き込み状態におけるメモリセルのしきい値電圧が、負の電圧を有するので、第1の信号線、あるいは第2の信号線から、しきい値電圧を変化させないデータに応じた電圧をユニットセル中のチャンネルに転送した後、このユニットセル中の書き込み選択されたメモリセルのチャンネルの電位を、制御ゲート~チャンネル間の電位差が十分に小さい値にすることができる。また、この時、このユニットセル中の書き込み非選択のメモリセルのチャンネルの電位も、制御ゲート~チャンネル間の電位差が十分に小さい値になる。これにより、データの書き込み時、しきい値電圧を変化させない書き込み、あるいは書き込み非選択のメモリセルに生ずる“誤書き込み”の可能性を、より低減することができる。

30

【0025】

さらに、データ読み出し時、読み出し非選択のメモリセルのゲートに印加される電圧 V_{read} を低くすることで、読み出し非選択のメモリセルに生ずるリードディスタープの可能性も低減され得る。

【0026】

また、上記発明において、前記メモリセルトランジスタの消去状態及び書き込み状態のしきい値電圧が全て負電圧であることを特徴とする。

40

【0027】

また、上記目的を達成するために、この発明の他の態様では、n値(nは2以上)のデータを記憶可能な電荷蓄積部を有するメモリセルトランジスタを備え、前記n値のデータを、しきい値電圧の低い順に定められた離散的な第1、第2、...、第nのしきい値電圧領域に対応させて記憶させる不揮発性半導体記憶装置であって、前記第1のしきい値電圧領域が消去状態であり、前記第2、...、第nのしきい値電圧領域が書き込み状態であり、第i(iは2以上)のしきい値電圧領域が負の電圧であることを特徴としている。

【0028】

また、上記発明において、前記nは3以上であり、第1のしきい値電圧領域が消去状態であり、第2~第mのしきい値電圧領域が書き込み状態であり、前記第2~第mのしきい値

50

電圧領域に、正の電圧と、負の電圧とがあることを特徴とする。

【0029】

また、上記発明において、前記メモリセルトランジスタは、その電荷蓄積部に蓄えられる電荷量によってしきい値電圧が変化するものであり、前記電荷蓄積部に電荷を保持しない場合の前記メモリセルトランジスタのしきい値電圧は、前記書き込み状態のしきい値電圧と、前記消去状態のしきい値電圧との間にあることを特徴とする。

【0030】

また、上記発明において、前記電荷蓄積部に電荷を保持しない場合の前記メモリセルトランジスタのしきい値電圧は、前記書き込み状態のしきい値電圧の最小値と、前記消去状態のしきい値電圧の最大値の間にあることを特徴とする。

10

【0031】

また、上記発明において、前記メモリセルトランジスタを含むメモリセルユニットは一端が前記第1の信号線に電氣的に結合され、他端が第2の信号線に電氣的に結合されるとともに、前記メモリセルトランジスタから読み出したデータを保持するデータ回路をさらに具備し、前記メモリセルトランジスタからデータを読み出す際には、前記第2の信号線を読み出し基準電圧に設定し、前記メモリセルユニットを介して充電された前記第1の信号線の電位を、前記データ回路でセンスすることを特徴とする。

【0032】

また、上記発明において、前記メモリセルトランジスタを含むメモリセルユニットは一端が前記第1の信号線に電氣的に結合され、他端が第2の信号線に電氣的に結合されるとともに、前記メモリセルトランジスタへの書き込みデータを保持するデータラッチ回路をさらに具備し、書き込み動作後の前記メモリセルトランジスタの状態が、所望のデータに対応した状態になっているか否かを確認し、前記所望のデータに対応した状態になっていないメモリセルトランジスタに対してのみ再書き込みを行うように、前記データラッチ回路の書き込み内容を更新する書き込みベリファイ時、前記第2の信号線を読み出し基準電圧に設定し、前記メモリセルユニットを介して出力された前記第1の信号線の電位と、前記データラッチ回路に保持された書き込みデータの論理をとることにより、前記データラッチ回路の内容を更新することを特徴とする。

20

【0033】

また、上記発明において、前記第1の信号線はビット線であり、第2の信号線はソース線

30

【0034】

また、上記発明において、前記メモリセルトランジスタはNチャンネル型であることを特徴とする。

【0035】

【発明の実施の形態】

以下、この発明の実施形態をNAND型EEPROMを例にとって説明する。NAND型EEPROMは、電荷蓄積層としての例えば浮遊ゲートと制御ゲートが積層されたnチャンネル型FETMOS構造の複数のメモリセルを、それらのソース、ドレインを隣接するものどうしで共有する形で直列接続し、これを1単位としてビット線に接続するものである。

40

【0036】

図1(A)はNANDセル1単位分を示す平面図、図1(B)はその等価回路図である。また、図2(A)は図1(A)中の2A-2A線に沿った断面図であり、図2(B)は図1(A)中の2B-2B線に沿った断面図である。

【0037】

p-型シリコン基板(またはメモリセルp-型ウェル)11には、素子分離用酸化膜12によって囲まれたメモリセルアレイが形成されている。メモリセルアレイには、NANDセルが複数、集積される。1単位分のNANDセルに着目して説明すると、この実施形態では、8個のメモリセルM1~M8が直列されて1単位のNANDセルを構成している。

50

メモリセルはそれぞれ、基板 1 1 上にゲート絶縁膜 1 3 を介して形成された浮遊ゲート 1 4 (1 4 -1 ~ 1 4 -8)、および浮遊ゲート 1 4 上に第 2 のゲート絶縁膜 1 5 を介して形成された制御ゲート 1 6 (1 6 -1 ~ 1 6 -8) からなる積層ゲート構造を有している。また、これらメモリセルのソース/ドレインである n + 型拡散層 1 9 は隣接するものどうし共有され、これにより、メモリセルは互いに直列に接続される。

【 0 0 3 8 】

NANDセルのドレイン側には第 1 の選択トランジスタ S 1、ソース側には第 2 の選択トランジスタ S 2 が接続されている。選択トランジスタ S 1 は、メモリセルの浮遊ゲート 1 4 -1 ~ 1 4 -8、制御ゲート 1 6 -1 ~ 1 6 -8 と同時に形成された積層ゲート構造体 1 4 -9、1 6 -9 を有し、選択トランジスタ S 2 もまた同様な積層ゲート構造体 1 4 -10、1 6 -10 を有している。選択トランジスタ S 1 のゲート構造体 1 4 -9、1 6 -9 どうし、および選択トランジスタ S 1 のゲート構造体 1 4 -10、1 6 -10 どうしはそれぞれ、図示せぬ箇所では短絡されている。素子形成された基板 1 1 は CVD 酸化膜 1 7 により覆われ、ビット線 (BL) 1 8 は、CVD 酸化膜 1 7 の上に形成されている。メモリセル M 1 ~ M 8 の制御ゲート 1 6 -1 ~ 1 6 -8 はそれぞれ、ロウ方向に連続的に形成されて、例えば同じロウで共通とされる制御ゲート CG 1 ~ CG 8 となり、ワード線として機能される。また、選択トランジスタ S 1 の積層ゲート構造体 1 4 -9、1 6 -9 および選択トランジスタ S 2 の積層ゲート構造体 1 4 -10、1 6 -10 もまた、ロウ方向に連続的に形成されて、例えば同じロウで共通とされる選択ゲート SG 1、SG 2 として機能される。

【 0 0 3 9 】

図 3 は、図 1、図 2 に示した NANDセルがマトリクス状に配置されたメモリセルアレイの等価回路図である。

【 0 0 4 0 】

図 3 に示すように、ソース線 S L は、例えばビット線 B L 6 4 本毎に 1 箇所、コンタクトを介して、アルミニウム、導電性ポリシリコンなどから構成される基準電位配線 S B L に接続される。この基準電位配線 S B L は、図示せぬメモリ周辺回路に接続される。この周辺回路は、例えばデータの書き込み、データの消去、データの読み出しの各モードに応じてソース線 S L の状態を制御する、ソース線制御回路である。メモリセルの制御ゲート CG 1 ~ CG 8、選択ゲート SG 1、SG 2 は、ロウ方向に連続的に配設される。通常、制御ゲート CG につながるメモリセルの集合は“ページ”と呼ばれ、1 組の選択ゲート SG 1、SG 2 によって挟まれた“ページ”の集合は“NANDブロック”あるいは単に“ブロック”と呼ばれている。1 ページは、例えば 2 5 6 バイト (2 5 6 × 8) 個のメモリセルから構成され、1 ページ分のメモリセルは、ほぼ同時にデータの書き込みが行われる。1 ブロックは、例えば 2 0 4 8 バイト (2 0 4 8 × 8) 個のメモリセルから構成され、1 ブロック分のメモリセルは、ほぼ同時にデータの消去が行われる。

【 0 0 4 1 】

図 4 は、この発明の第 1 の実施形態に係る、NAND型 EEPROM の構成を示すブロック図である。

【 0 0 4 2 】

同図中、参照符号 1 はメモリ手段としてのメモリセルアレイである。この実施形態は、オープンビット線方式であるので、メモリセルアレイは 1 A、1 B に 2 分割されている。参照符号 2 はデータ書き込み、読み出しを行うためのラッチ手段としてのセンスアンプ兼データラッチ回路である。参照符号 3 はワード線選択を行うロウデコーダ、参照符号 4 はビット線選択を行うカラムデコーダ、参照符号 5 はアドレスバッファ、参照符号 6 は I / O センスアンプ、参照符号 7 はデータ入出力バッファ、参照符号 8 は基板電位制御回路である。

【 0 0 4 3 】

図 5 は、図 4 中のメモリセルアレイ 1 A の一構成例を示す回路図である。

【 0 0 4 4 】

図 6 は、図 4 中のセンスアンプ兼データラッチ回路 2 の一構成例を示す回路図である。

【 0 0 4 5 】

図 7 は、この発明の第 1 の実施形態に係るメモリセルのしきい値電圧の分布を示す図である。

【 0 0 4 6 】

図 7 に示すように、第 1 の実施形態では、書き込み状態（“ 1 ”）のしきい値電圧、および消去状態（“ 0 ”）のしきい値電圧のいずれもが、負の電圧である。UV 消去後のしきい値電圧 V_{th0} （つまり、浮遊ゲートに電荷がない時のしきい値電圧）は、図 7 に示すように、“ 0 ”状態と“ 1 ”状態との間に設定すればよい。 V_{th0} の設定値は、メモリセルトランジスタのチャンネルに注入される不純物の量を調整することで、変えることができる。

10

【 0 0 4 7 】

このように、書き込み状態（“ 1 ”）が負のしきい値電圧を有していると、書き込み時、特に“ 0 ”書き込みする際、書き込み非選択電位“ $V_{cc} - V_{thsg}$ （ V_{thsg} は選択ゲートのしきい値電圧）”を、メモリセルで“しきい値電圧落ち”することなく、ビット線からメモリセルのチャンネルに転送できる。

【 0 0 4 8 】

また、ビット線に接続される選択ゲート S_1 のゲート電位（ S_{G1} ）を、“ $V_{cc} + V_{thsg}$ ”、あるいは“ $V_{cc} + 2V_{thsg}$ ”にすれば、書き込み非選択電位 V_{cc} を、ビット線からメモリセルのチャンネルに転送できる。この場合、ビット線の電位 V_{cc} をメモリセルのチャンネルに転送した後、ビット線に接続される選択ゲート S_1 のゲート電位（ S_{G1} ）を“ V_{cc} ”にすれば、メモリセルのチャンネルを電位“ V_{cc} ”でフローティング状態にできる。その後、制御ゲート（ワード線）を書き込み電圧 V_{pp} 、あるいは中間の電圧 V_{pass} にすることにより、“ 0 ”書き込みするメモリセルのチャンネルは、例えば 8 V にブートされる。

20

【 0 0 4 9 】

このように、書き込み状態（“ 1 ”）のしきい値電圧を、消去状態（“ 0 ”）と同様に、負の電圧にすることにより、書き込み時に“ 0 ”書き込みするメモリセルのチャンネルに、書き込み非選択電位を、ビット線からメモリセルで“しきい値電圧落ち”することなく転送でき、チャンネルの電位が、従来に比べて大きくなる。その結果、制御ゲートとチャンネルとの電位差がより小さくなり、誤書き込みを防止できる。

30

【 0 0 5 0 】

さらに、書き込み非選択電位をチャンネルに転送した後、選択ゲート S_{G1} の電位を、“ $V_{cc} + V_{thsg}$ ”もしくは“ $V_{cc} + 2V_{thsg}$ ”から、“ V_{cc} ”に下げ、選択ゲート S_1 をカットオフさせてチャンネルをフローティングとする方式のものにあっては、最終的に制御ゲート（ワード線）とのカップリングによって上昇するチャンネル電位が、さらに大きくなり、誤書き込みを防止できる効果を、さらに向上させることができる。

【 0 0 5 1 】

以下、この発明の第 1 の実施形態に係る EEPROM の動作を、より詳細に説明する。

【 0 0 5 2 】

<データの読み出し>

40

図 8 は、図 5 に示すメモリセル M_2 を読み出す場合のタイミング図、図 9（A）は、図 6 に示すセンスアンプ S_{A1} に読み出されたデータを示す図である。

【 0 0 5 3 】

図 8 に示すように、まず、時刻 t_{1r} に、選択した制御ゲート C_{G2} を“読み出し電圧（0 V）”、非選択の制御ゲート C_{G1} 、 $C_{G3} \sim C_{G8}$ をそれぞれ“非選択読み出し電圧 V_{read} ”とする。あるいは本発明では、“ 1 ”セルのしきい値電圧 V_{th} が負であるので、非選択読み出し電圧 V_{read} は、例えば 1 V でも良い。このように非選択読み出し電圧 V_{read} を低い値にすることができるので、“ 0 ”セルの酸化膜にかかる電界は緩和され、リードディスタープを低減することができる。

【 0 0 5 4 】

50

選択ゲートSG1、SG2は、“ $V_{cc} + V_{thsg}$ (V_{thsg} は選択ゲートのしきい値電圧)”、あるいは“ $V_{cc} + 2V_{thsg}$ ”とする。また、図5の基準電位配線SBLを“ V_{s1} ”とすることによって、ソース線SLを“ V_{s1} ”とする。この電位“ V_{s1} ”は、例えば電源電圧 V_{cc} であるが、電源電圧 V_{cc} よりも高い電圧であってもよい。つまり、メモリセルからデータを読み出す際には、ソース線SLの電位を読み出し基準電圧に設定する。非選択の制御ゲートCG1、CG3～CG8、および選択ゲートSG1、SG2の電位はソース線の電位“ V_{s1} ”を十分に転送できる電位であればよい。その結果、ビット線BL1Aには、メモリセルM2のしきい値電圧が出力される。データ“1”を読み出した場合には、ビット線BL1Aの電位は1.5V以下になり、データ“0”を読み出した場合には、ビット線BL1Aの電位は2.5V以上になる。この間に、ビット線BL1Bは、図6に示すノードVB1から2Vに充電される。ノードVB1の電位は、データ“0”、“1”を識別するためにビット線BL1Aの電位が、2V以上か以下かを判別する、読み出し基準電位である。

10

【0055】

次いで、時刻 t_{2r} に、図6に示す信号SA、SBによりトランジスタQ36、Q38を導通状態とし、ビット線BL1A、BL1Bの電位をそれぞれセンスアンプSA1に入力する。この時、ビット線電位BL1Aの電位は、この実施形態ではNANDセルを介して充電される。このようにして充電されたビット線電位BL1Aの電位が、センスアンプSA1でセンスされる。この時、ビット線BL1A、もしくはビット線BL1Bの電位を“しきい値電圧落ち”なくセンスアンプSA1に転送するために、信号SS1、SS2、SA、SBの電位は、電源電圧“ V_{cc} ”よりも高い電圧、例えばトランジスタQ35、Q37、Q36、Q38のしきい値電圧以上高い電圧とすればよい。

20

【0056】

また、図6に示すトランジスタQ35、Q37、Q36、Q38など、ビット線の電位を転送するようなトランジスタを、しきい値電圧がほぼ“0V”のもので構成した場合には、信号SS1、SS2、SA、SBの電位は、電源電圧“ V_{cc} ”のままでも良い。

【0057】

次いで、時刻 t_{3r} に、ノードN1、N2に読み出された電位をセンスする。この結果、ノードN1、N2の電位レベルは、読み出したデータに応じて、図9(A)のようになる。

30

【0058】

<データの書き込み>

図5のメモリセルM2に書き込まれるデータは、図6に示すセンスアンプSA1にラッチされている。図9(B)は、図6に示すセンスアンプSA1にラッチされたデータを示す図である。図10は、図5に示すメモリセルM2にデータを書き込む場合のタイミング図である。

【0059】

図10に示すように、まず、時刻 t_{1w} に、制御ゲートCG1～CG8がそれぞれ“ V_{cgp} ”、選択ゲートSG1が“ V_{sgp} ”になる。データ“1”を書き込む場合のビット線の電位は“0V”、データ“0”を書き込む場合のビット線の電位、すなわち、書き込み非選択のビット線の電位は“ V_{cc} ”である。その結果、データ“1”が書き込まれるメモリセルのチャンネルの電位は“0V”、書き込み非選択のメモリセルのチャンネルの電位は“ V_{cc} ”になる。電位“ V_{sgp} ”、電位“ V_{cgp} ”はそれぞれ、ビット線の書き込み非選択電位(V_{cc})を、“しきい値電圧落ち”することなく、チャンネルに転送できる電圧であり、例えば $V_{cgp} = V_{cc}$ 、 $V_{sgp} = V_{cc} + 2V_{thsg}$ であればよい。

40

【0060】

次いで、時刻 t_{2w} に、選択ゲートSG1が“ V_{sgp} ”から“ V_{cc} ”になることにより、書き込み非選択のメモリセルのチャンネルがフローティングになる。次いで、時刻 t_{3w} に、非選択の制御ゲートCG1、CG3～CG8の電位がそれぞれ“ V_{pass} (例えば10V)”となり、さらに時刻 t_{4w} に、選択された制御ゲートCG2の電位が“ V_{pp} (例

50

えば20V)となる。あるいは時刻 t_{3w} に V_{pass} と V_{pp} とを同時に昇圧しても良い。ここで、データ“0”が書き込まれるメモリセルのチャンネルは、例えば8Vにブートされる。このように、書き込み状態のしきい値電圧も負の電圧にすることにより、書き込み時に“0”書き込みするメモリセルのチャンネルには、非選択のメモリセルで“しきい値電圧落ち”をすることなく、ビット線の電位 V_{cc} が転送される。その結果、最終的に制御ゲート(ワード線)とのカップリングにより上昇するチャンネル電位も大きくなり、従来の技術の欄に記したような“誤書き込み”を防止することができる。

【0061】

一方、データ“1”を書き込みする場合には、チャンネル電位が0V、制御ゲートCG2が V_{pp} なので、浮遊ゲートへの電子の注入が行われる。

10

【0062】

<データの書き込み(別の書き込み動作)>

この発明では、Local self boost法(IEEE Journal of Solid-State Circuits, Vol.31, No.11, November 1996 pp.1575-1582)による書き込み方法を用いて、任意の順番で各ページを書き込むことができる。

【0063】

従来のしきい値電圧分布を有したメモリセルを用いる場合には、Local self boost法では、ビット線から遠い方のメモリセルから順に書き込む。図5のメモリセルM7にデータを書き込む場合を例にとると、ビット線BL1Aには、データに応じて0V(データ“1”書き込み)、または電源電圧 V_{cc} (データ“0”書き込み)が印加される。ビット線BL1Aに接続される選択トランジスタS1のゲートの電位(SG1)は V_{cc} 、ソース線に接続される選択トランジスタS2のゲートの電位(SG2)は0Vである。選択されたメモリセルM7の制御ゲートCG7には昇圧された書き込み電圧 V_{pgm} (=20V程度)を印加し、選択された制御ゲートCG7の両となりの制御ゲートCG6、CG8はそれぞれ0Vにする。そして、他の非選択のメモリセルの制御ゲートCG1、CG2~CG5にはそれぞれ、中間の電圧 V_{pass} (=7V程度)を印加する。その結果、データ“1”を書き込む時には、選択されたメモリセルM7のチャンネル電位が0Vなので、このメモリセルM7の浮遊ゲートとチャンネルとの間に高い電圧がかかり、チャンネル(基板)から浮遊ゲートに電子がトンネル注入されて、しきい値電圧が正の方向に移動する。

20

【0064】

一方、データ“0”を書き込む(書き込み非選択)時には、メモリセルM1~M5のチャンネル、ソース、ドレインはそれぞれ、中間の電圧 V_{pass} の印加による制御ゲートとの間の容量結合で、5Vに昇圧される。その結果、メモリセルM6のしきい値電圧が、例えば-1Vならば、メモリセルM6は“オフ”し、メモリセルM7のチャンネルは、フローティングになる。フローティングのチャンネルは制御ゲートとの間の容量結合で8V程度になり、電子の注入が起こらずデータ“0”の状態を保つ。

30

【0065】

ここで、従来のしきい値電圧分布を有したメモリセルにLocal self boost法を適用する際には、ソース線SL側のメモリセルから書き込まなければならない。これは、例えばメモリセルM6にデータを書き込んだ後に、メモリセルM7にデータを書き込もうとしても、メモリセルM6は、そのゲートが0V、そのしきい値が正の電圧なので、メモリセルM6がオフする。その結果、選択されたメモリセルM7に、ビット線から書き込み電圧0Vを転送できず、フローティングになってしまい、書き込みを行うことができない。

40

【0066】

一方、この発明では、書き込み状態のしきい値電圧も負の電圧なので、任意の順番でページを選択できる。例えば図5のメモリセルM2を書き込んだ後に、メモリセルM6を書き込むことができる。

【0067】

図11は、図5に示すメモリセルM7に、Local self boost法を用いてデータを読み込む場合のタイミング図である。

50

【 0 0 6 8 】

図 5 のメモリセル M 7 に書き込まれるデータは、図 1 0 を参照して説明したデータの書き込みと同様に、図 9 (B) に示すデータが図 6 に示すセンスアンプ S A 1 にラッチされている。

【 0 0 6 9 】

図 1 1 に示すように、まず、時刻 t_{1p} に、制御ゲート C G 1 ~ C G 5、C G 7 がそれぞれ “ V_{cgp} ”、選択ゲート S G 1 が “ V_{sgp} ” になる。また、選択された制御ゲート C G 7 の両となりの制御ゲート C G 6、C G 8 はそれぞれ “ 0 V ” である。データ “ 1 ” を書き込む場合のビット線の電位は “ 0 V ”、データ “ 0 ” を書き込む場合のビット線の電位、即ち、書き込み非選択のビット線の電位は “ V_{cc} ” である。その結果、データ “ 1 ” が書き込まれるメモリセルのチャネルは “ 0 V ”、書き込み非選択のメモリセルのチャネルは “ V_{cc} ” になる。電位 “ V_{sgp} ”、電位 “ V_{cgp} ” はそれぞれ、ビット線の書き込み非選択電位 (V_{cc}) を、“しきい値電圧落ち”することなく、チャネルに転送できる電圧であり、例えば $V_{cgp} = V_{cc}$ 、 $V_{sgp} = V_{cc} + 2 V_{thsg}$ であればよい。

10

【 0 0 7 0 】

次いで、時刻 t_{2p} に、選択ゲート S G 1 が “ V_{sgp} ” から “ V_{cc} ” になる。

【 0 0 7 1 】

次いで、時刻 t_{3p} に、非選択の制御ゲート C G 1 ~ C G 5 が “ V_{pass} (例えば 6 V) ”、さらに時刻 t_{4p} に、選択された制御ゲート C G 7 が “ V_{pp} (例えば 2 0 V) ” になる。この間、選択された制御ゲート C G 7 の両となりの制御ゲート C G 6、C G 8 はともに “ 0 V ” である。データ “ 0 ” が書き込まれるメモリセルのチャネルは、例えば 8 V にブートされ、浮遊ゲートに電子が注入されず、一方、データ “ 1 ” を書き込むメモリセルのチャネルは、0 V であり、制御ゲート C G 7 が V_{pp} なので、浮遊ゲートに電子が注入される。

20

【 0 0 7 2 】

< 書き込みベリファイ読み出し >

図 1 0、あるいは図 1 1 に示した書き込み動作に引き続いて、書き込みが十分に行われたか否かを調べる書き込みベリファイ読み出しが行われる。以下、説明する書き込みベリファイ読み出しは、図 1 0、あるいは図 1 1 に示した書き込み動作のどちらにも適用できる。

30

【 0 0 7 3 】

図 1 2 は、図 5 のメモリセル M C 2 をベリファイ読み出しするタイミング図である。

【 0 0 7 4 】

図 1 2 に示すように、まず、時刻 t_{1v} に、選択された制御ゲート C G 2 を “ 0 V ”、非選択の制御ゲート C G 1、C G 3 ~ C G 8 をそれぞれ “ V_{read} (例えば 1 V) ” にする。選択ゲート S G 1、S G 2 はそれぞれ、“ $V_{cc} + V_{thsg}$ (V_{thsg} は選択ゲートのしきい値電圧) ”、あるいは “ $V_{cc} + 2 V_{thsg}$ ” とする。

【 0 0 7 5 】

また、図 5 に示す基準電位配線 S B L を “ V_{s1} ” とすることにより、ソース線 S L の電位を “ V_{s1} ” とする。電位 “ V_{s1} ” は、図 8 を参照して説明した通常の読み出し動作と同様に、例えば電源電圧 V_{cc} であればよいし、あるいは V_{cc} よりも高い電圧であってもよい。非選択の制御ゲート C G 1、C G 3 ~ C G 8、および選択ゲート S G 1、S G 2 の電位はそれぞれ、ソース線の電位 V_{s1} を、十分転送できる電位であればよい。

40

【 0 0 7 6 】

その結果、ビット線 B L 1 A には、メモリセル M 2 のしきい値電圧が出力される。データ “ 1 ” の書き込みが十分な場合には、ビット線 B L 1 A は 1 V 以下になり、データ “ 1 ” の書き込みが不十分な場合には、ビット線 B L 1 A は 2 V 以上になる。また、データ “ 0 ” 書き込みの場合には、ビット線 B L 1 A は 2 V 以上になる。この間、ビット線 B L 1 B は、ノード V B 1 から 1 . 5 V に充電される。図 8 を参照して説明した通常の読み出し時に比べて、ビット線 B L 1 B の充電電位が 0 . 5 V 低いのは、しきい値電圧のマージンを

50

設けるためである。その結果、 1.5 V 以上のしきい値電圧に書き込まれたメモリセルのみ、書き込み十分と判定することができる。

【0077】

次いで、時刻 $t_2\text{ v}$ に、信号 $VRFYA$ が “ V_{cc} ” になる。図9(B)のように、ノード $N1$ のレベルが “ H ” なのは、“ 0 ” 書き込みの場合のみである。このため、“ 0 ” 書き込みのビット線 $BL1A$ は、トランジスタ $Q41$ 、 $Q42$ を介して 1 V 以下に放電される。一方、“ 1 ” 書き込みの場合には、ノード $N1$ のレベルが “ L ” であるので、トランジスタ $Q41$ はオフしており、ビット線 $BL1A$ の電位は変動しない。

【0078】

次いで、時刻 $t_3\text{ v}$ に、信号 $SVRA$ 、 $SVRB$ が “ H ” レベルになることにより、トランジスタ $Q50$ 、 $Q51$ がオンし、ビット線 $BL1A$ 、 $BL1B$ の電位がそれぞれセンスアンプ $SA1$ に転送され、時刻 $t_4\text{ v}$ に、センスアンプ $SA1$ 、即ち、クロスカップルラッチ型のフリップフロップが活性化され、ノード $N1$ 、 $N2$ の電位がセンスされる。

【0079】

以上の書き込みベリファイ動作では、ソース線 SL は読み出し基準電圧に設定され、この実施形態では $NAND$ セルを介して出力された、ビット線 $BL1A$ の電位と、フリップフロップであるセンスアンプ $SA1$ にラッチされた書き込みデータとの論理がとられる。その結果、ラッチされたデータの内容が、書き込み不十分のメモリセルにのみ、追加書き込みが行われるように、更新されて設定される。

【0080】

さらに書き込みベリファイのタイミングは、図13のようにしても良い。即ち、ここでは、しきい値電圧マージンを 0.5 V 確保するために、制御ゲート $CG2$ を 0.5 V にし、ビット線 $BL1B$ を 2 V にしている。

【0081】

< 消去、消去ベリファイ読み出し >

消去時は、セルが形成される P ウェル、あるいは P 型基板を V_{era} (例えば 20 V) にし、選択されたメモリセルの制御ゲートを 0 V にする。これにより、浮遊ゲート中の電子は、セルが形成される P ウェル、あるいは P 型基板に放出される。

【0082】

消去ベリファイ読み出し動作は、読み出し動作とほぼ同様である。異なるのは、ビット線 $BL1B$ の電位が、読み出し時の 2 V ではなく、 2.5 V となることである。これは、しきい値マージンを設けるためで、 -2.5 V 以下に消去されたメモリセルのみ、“ 0 ” 状態であると読み出される。“ 1 ” 状態のメモリセルが存在する場合には、更に消去が行われる。

【0083】

この発明が使用される $EEPROM$ のセンスアンプは、図14に示すようなものでも良い。以下、図14に示すセンスアンプを使用した、この発明の第2の実施形態に係る $NAND$ 型 $EEPROM$ の動作を説明する。

【0084】

< データの読み出し >

図15は、図14に示すメモリセル $M1$ からデータを読み出す場合のタイミング図である。

【0085】

図15に示すように、時刻 $t_1\text{ rd}$ に、非選択ビット線 BLb はノード VB から電位 V_{cc} に充電され、この間、選択ビット線 BLa はノード VA から接地される。信号 $PREB$ は、例えば $V_{cc} + 2V_{th}$ (V_{th} は N チャネルトランジスタのしきい値電圧) とすれば良い。さらにこの間、信号 $RESET$ が “ $High$ ” になることにより、ラッチ内のノード N_{sense} は 0 V にリセットされる。

【0086】

次いで、時刻 $t_2\text{ rd}$ に、選択した制御ゲート $CG1$ を 0 V 、非選択制御ゲート $CG2 \sim$

10

20

30

40

50

CG16を例えば2Vにする。即ち、メモリセルのしきい値電圧が負であるため、読み出し時の非選択ゲート電圧を例えば2Vと低くできるので、リードディスタープ特性を改善できる。

【0087】

選択ゲートSG1、SG2は、“Vcc”、あるいは“Vcc + Vthsg (Vthsgは選択ゲートのしきい値電圧)”、あるいは“Vcc + 2Vthsg”にする。また、図14に示すソース線SLは“Vsl”とする。“Vsl”は、例えば電源電圧Vccであれば良いし、あるいはVccよりも高い電圧であっても良い。非選択ゲートCG2～CG16、および選択ゲートSG1、SG2の電位は、ソース線電位Vslを十分転送できる電位であれば良い。

10

【0088】

その結果、ビット線BLaには、メモリセルM1のしきい値電圧が出力される。“1”読み出しの場合には、ビット線BLaは1.5V以下になり、“0”読み出しの場合には、ビット線BLaは2.5V以上になる。この間、ビット線BLbはノードVBからVccに保持される。ビット線BLbがVccに保持されることにより、隣接ビット線間の容量結合に起因するノイズを除去できる。

【0089】

時刻t3rdに、信号SENSEが“Low”になることにより、ビット線BLaの電位がセンスされラッチにデータが保持される。ビット線の電位をしきい値電圧落ちなく、センスアンプに転送できるように、信号SAはVccよりも高い電圧に設定すれば良い。読み出した結果、“0”状態ならばノードNsenseは“Low”、“1”状態ならばノードNsenseは“High”になる。

20

【0090】

<データの書き込み>

図14に示すメモリセルM1に書き込むデータは、センスアンプ回路にラッチされている。図16は、ラッチ内のノードNsenseのデータを示す図である。

【0091】

書き込みデータの入力により、“0”書き込みの場合にはノードNsenseが“High”になり、“1”書き込みの場合にはノードNsenseが“Low”になる。

【0092】

図17は、図14に示すメモリセルM1にデータを書き込む場合のタイミング図である。

30

【0093】

書き込み動作に入ると、まず、時刻t1wtに、選択したビット線BLaを“0”書き込みの場合にはVcc、“1”書き込みの場合には0Vにする。非選択ビット線BLbに接続するメモリセルには書き込みを行わないので、ビット線BLbはVccに充電する。選択ゲートSG1はVccである。VddHは、Vccをしきい値電圧落ちなく転送できる電圧であり、例えばVcc + 2Vthである。

【0094】

次いで、時刻t2wtに、制御ゲートCG1が20V、制御ゲートCG2～CG16が10Vになる。その結果、“1”書き込みのメモリセルのチャネルは0V、“0”書き込み(書き込み非選択)のメモリセルのチャネルは、例えば8Vにブートされる。このように、書き込み状態のしきい値電圧も負の電圧とすることにより、書き込み時に“0”書き込みするメモリセルのチャネルには、メモリセルのしきい値電圧落ちなく、ビット線の電位が転送される。その結果、最終的にワード線とのカップリングにより上昇するチャネル電位も大きくなり、従来技術に記したような誤書き込みが防止される。一方、“1”書き込みするメモリセルではチャネル電位が0V、制御ゲートCG2が20Vなので、浮遊ゲートへの電子の注入が行われる。

40

【0095】

<書き込みベリファイ読み出し>

書き込みに引き続き、書き込みが十分に行われたか否かを調べる書き込みベリファイ読み

50

出しが行われる。ペリファイ読み出しは、通常の読み出しとほぼ同様である。書き込みペリファイ読み出し動作を、図18を用いて説明する。

【0096】

まず、時刻 $t1_{rt}$ に、通常の読み出しでは信号 $RESET$ を “High” にして、センスアンプのラッチをリセットしているが、書き込みペリファイ読み出しでは、センスアンプに保持された書き込みデータをリセットしないように、“Low” を保つ。つまり、“0” 書き込みの場合、 $Nsense$ は “High”、“1” 書き込みの場合 “Low” である。

【0097】

また、選択した制御ゲート $CG1$ は、通常の読み出し時は $0V$ であるが、書き込みペリファイ読み出しでは $0.5V$ である。

10

【0098】

時刻 $t3_{rt}$ に、信号 $SENSE$ が “High” になることにより、ビット線の電位がセンスアンプに検知およびラッチされる。その結果、図16に示すように、ラッチのデータは、書き込み不十分のメモリセルにのみ、追加書き込みが行われるように、設定される。図16で “1” 書き込みが十分に行われた場合（同図中で <Pass> と記す）には、ノード $Nsense$ は “High” になり、追加書き込みが行われない。一方、図16で “1” 書き込みが不十分の場合（同図中で <Fail> と記す）には、ノード $Nsense$ が “Low” になり、追加書き込みが行われる。全てのカラムのメモリセルに対して書き込みが十分に行われると、すべてのカラムでノード $Nsense$ が “High” になる。書き込みは、ノード $Nsense$ が “High” になることを検知して終了すれば良い。

20

【0099】

上記第1、第2の実施形態ではそれぞれ、2値メモリセルを例にとって説明したが、この発明は、多値メモリセルにも使用することができる。

【0100】

図19(A)は多値メモリセルにおける従来のしきい値電圧の分布を示す図である。図19(B)、(C)は、この発明の第3の実施形態に係る多値メモリセルのしきい値電圧の分布を示す図である。

【0101】

図19(A)に示すように、従来では、書き込み状態 (“1”, “2”, “3”) のしきい値電圧はそれぞれ、正の電圧を保持する。

30

【0102】

これに対して、この発明では、図19(B)、(C)に示すように、書き込み状態 (“1”, “2”, “3”) の少なくとも一つに、負の電圧がある。これにより、最も高いしきい値電圧を、従来に比べて低くでき、書き込みの際に書き込みを行わないメモリセルに転送できる電位が高くなり、“誤書き込み” を防止することができる。

【0103】

また、図19(B)、(C)では、非選択読み出し電圧 V_{read} を低くすることができるので、リードディスタープを低減できる。

【0104】

図19(B)、(C)のような多値メモリセルの場合、 UV 消去後のしきい値電圧は、“0” と “1” の間（例えば図19(B)、(C)の V_{th01} ）に設定される。あるいは UV 消去後のしきい値電圧は “1” と “2” の間（例えば図19(B)、(C)の V_{th02} ）に設定されても良い。特に UV 消去後のしきい値電圧を、“ V_{th02} ” に設定した場合には、高速に書き込みを行うことができる。

40

【0105】

また、上述した通り、本発明によれば、多値メモリセルのデータ読み出し時に、十分な読み出し電流を得ることができ、ひいては読み出し速度の向上にも寄与する。

【0106】

さらに、この発明は、図5に示したようなメモリセルアレイに $NAND$ セル 21 を集積した $NAND$ 型の他、例えば NOR 型、 AND 型 (A.Nozone : ISSCC, Digest of Technich

50

al Papers,1995、H.Kume et al.;IEDM Tech.Dig.,Dec.1992,pp.991-993)、D I N O R 型(S.Kobayashi : ISSCC, Digest of Technichal Papers,1995)、N O R 型の一様である Virtual Ground Array型(Lee, et al. : Symposium on VLSI Circuits, Digest of Technichal Papers,1994)等、いかなるメモリセル/ユニットセルを持つ E E P R O M でも適用可能で有り、さらにはフラッシュメモリに限らず、マスク R O M、E P R O M 等などにも使用することができる。

【 0 1 0 7 】

以上説明したように、この発明によれば、書き込み状態におけるメモリセルトランジスタのしきい値電圧を負の電圧とすることにより、Nチャネル型メモリセルトランジスタのソースの電位がそのしきい値電圧分低下する、いわゆる“しきい値電圧落ち”が解消される。

10

【 0 1 0 8 】

さらに、データ読み出し時の読み出し電流が増大するので、読み出し速度を高速化でき、特に記憶データの多値化に有利である。

【 0 1 0 9 】

また、“しきい値電圧落ち”を解消できるので、Nチャネル型メモリセルトランジスタが直列に接続されてユニットセルを構成した場合には、メモリセルのチャンネルの電位を、十分に高い電位にできる。これにより、データの書き込み時、浮遊ゲートに電子を注入しないメモリセル、即ち“0”書き込みするメモリセル、あるいは書き込み非選択のメモリセルに生ずる“誤書き込み”の可能性を低減でき、データ書き込みの信頼性を向上できる。

20

【 0 1 1 0 】

さらに、データの読み出し時、読み出し非選択メモリセルのゲートに印加される電圧 V_{read} を低くすることで、読み出し非選択のメモリセルに生ずるリードディスタープの可能性も低減することができる。

【 0 1 1 1 】

【発明の効果】

以上説明したように、この発明によれば、しきい値電圧を変化させ、メモリセルのチャンネルに電流が流れるか流れないかでデータを識別するメモリセルを有した、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置において、書き込み時の誤書き込みの回避や、リードディスタープの低減を図ることができ、さらにはデータの読み出しをより高速に行え、かつ記憶データの多値化に有利な不揮発性半導体記憶装置を提供できる。

30

【 0 1 1 2 】

また、特に第1の信号線と第2の信号線との間に直列に接続された複数のメモリセルをユニットセルとして有する不揮発性半導体記憶装置において、データの書き込み時、しきい値電圧を変化させない“0”書き込み、あるいは書き込み非選択のメモリセルに生ずる“誤書き込み”の可能性、およびデータの読み出し時における読み出し非選択のメモリセルに生ずるリードディスタープの可能性を、より低減し得る不揮発性半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】図1(A)はNANDセルの平面図、図1(B)はNANDセルの等価回路図。

40

【図2】図2(A)は図1(A)中の2A-2A線に沿う断面図、図2(B)は図1(A)中の2B-2B線に沿う断面図。

【図3】図3はメモリセルアレイの等価回路図。

【図4】図4はこの発明の第1の実施形態に係るEEPROMのブロック図。

【図5】図5は図4に示すメモリセルアレイの回路図。

【図6】図6は図4に示すセンスアンプ回路の回路図。

【図7】図7はこの発明の第1の実施形態に係るEEPROMのしきい値電圧の分布を示す分布図。

【図8】図8はこの発明の第1の実施形態に係るEEPROMの読み出し動作を示すタイミング図。

50

【図 9】図 9 (A) はこの発明の第 1 の実施形態に係る E E P R O M の読み出しデータを
示す図、図 9 (B) はこの発明の第 1 の実施形態に係る E E P R O M の書き込みデータを
示す図。

【図 1 0】図 1 0 はこの発明の第 1 の実施形態に係る E E P R O M の書き込み動作を示す
タイミング図。

【図 1 1】図 1 1 はこの発明の第 1 の実施形態に係る E E P R O M の別の書き込み動作を
示すタイミング図。

【図 1 2】図 1 2 はこの発明の第 1 の実施形態に係る E E P R O M の書き込みベリファイ
読み出し動作を示すタイミング図。

【図 1 3】図 1 3 はこの発明の第 1 の実施形態に係る E E P R O M の別の書き込みベリフ
ァイ読み出し動作を示すタイミング図。 10

【図 1 4】図 1 4 はこの発明の第 2 の実施形態に係る E E P R O M のセンスアンプ回路を
示す回路図。

【図 1 5】図 1 5 はこの発明の第 2 の実施形態に係る E E P R O M の読み出し動作を示す
タイミング図。

【図 1 6】図 1 6 はこの発明の第 2 の実施形態に係る E E P R O M のラッチデータ (N s e
n s e) を示す図。

【図 1 7】図 1 7 はこの発明の第 2 の実施形態に係る E E P R O M の書き込み動作を示す
タイミング図。

【図 1 8】図 1 8 はこの発明の第 2 の実施形態に係る E E P R O M の書き込みベリファイ 20
読み出し動作を示すタイミング図。

【図 1 9】図 1 9 (A) は従来の多値 E E P R O M のしきい値電圧の分布を示す分布図、
図 1 9 (B) はこの発明の第 3 の実施形態に係る多値 E E P R O M のしきい値電圧の分布
を示す分布図、図 1 9 (C) はこの発明の第 3 の実施形態に係る多値 E E P R O M の他の
しきい値電圧の分布を示す分布図。

【図 2 0】図 2 0 (A) は N A N D セルの等価回路図、図 2 0 (B) は、 N A N D 型 E E
P R O M の従来のしきい値電圧の分布を示す分布図。

【符号の説明】

1 A、1 B ... メモリセルアレイ、

2 ... センスアンプ回路、 30

3 A、3 B ... ロウデコーダ、

4 ... カラムデコーダ、

5 ... アドレスバッファ、

6 ... I / O センスアンプ、

7 ... データ入出力バッファ、

8 ... 基板電圧制御回路、

1 1 ... p - 型シリコン基板、

1 2 ... 素子分離用酸化膜、

1 3 ... ゲート絶縁膜、

1 4 -1 ~ 1 4 -8 ... 浮遊ゲート、 40

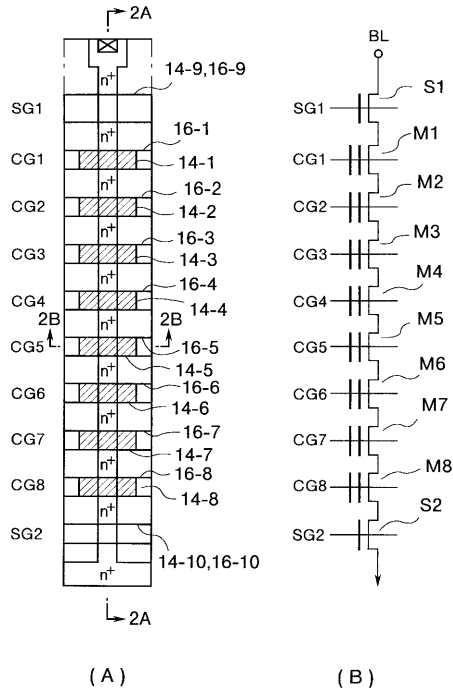
1 5 ... 第 2 のゲート絶縁膜、

1 6 -1 ~ 1 6 -8 ... 制御ゲート、

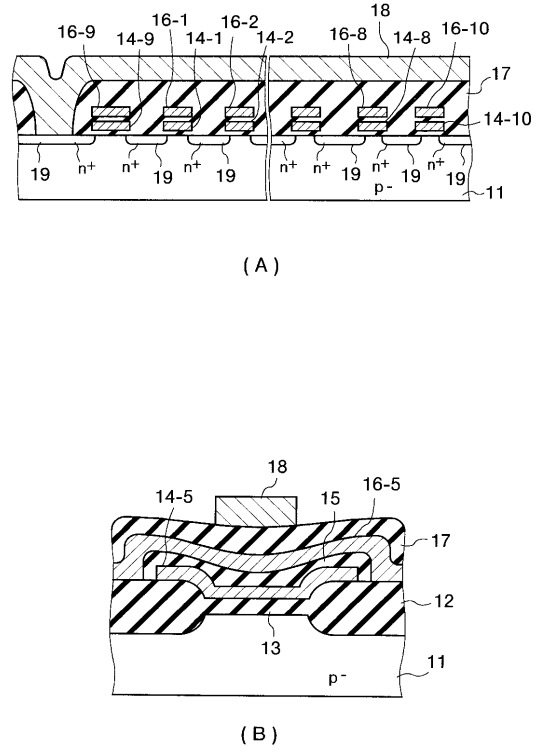
1 7 ... C V D 酸化膜、

1 8 ... ビット線。

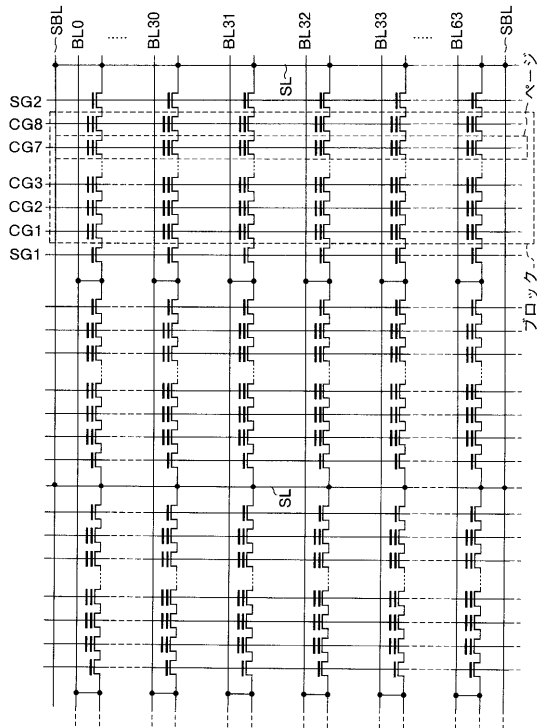
【図1】



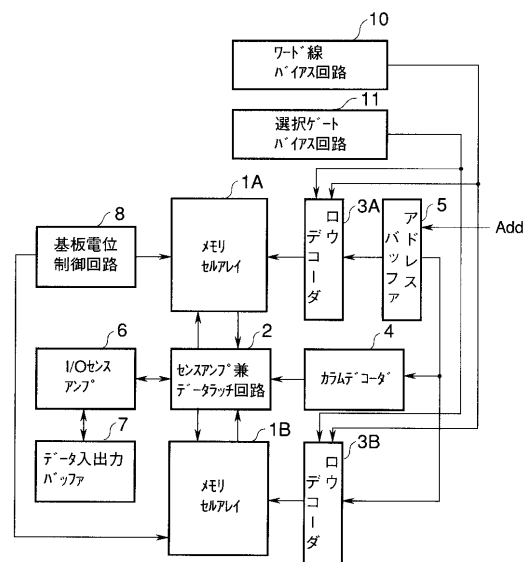
【図2】



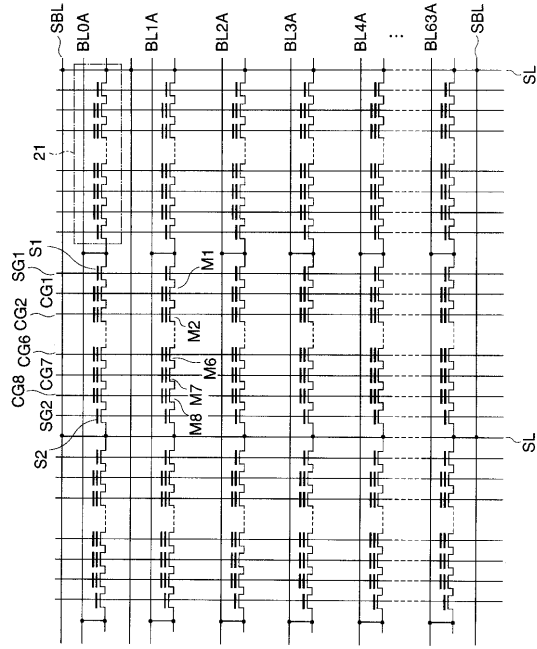
【図3】



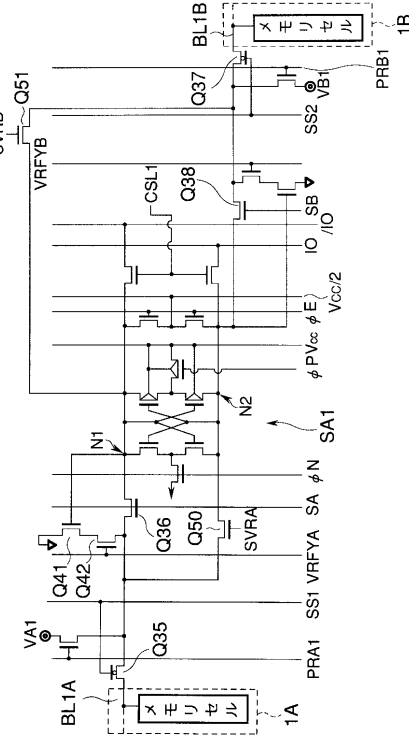
【図4】



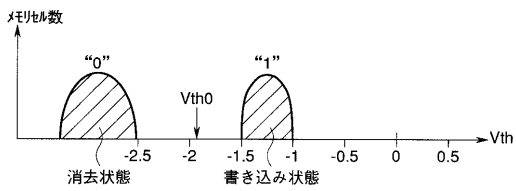
【 図 5 】



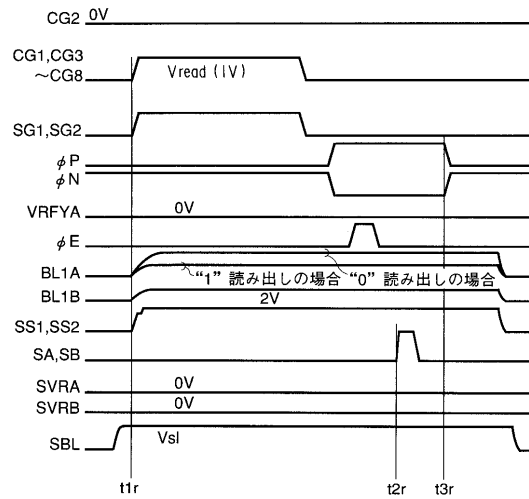
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

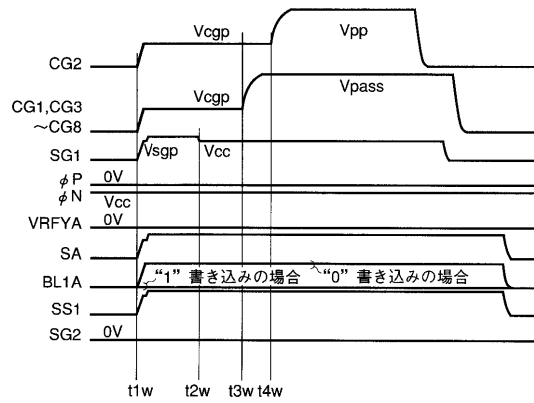
	“0” 読み出し	“1” 読み出し
N1	H	L
N2	L	H

(A)

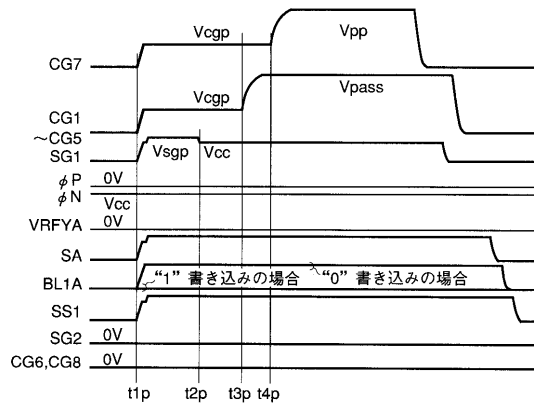
	“0” 書き込み (消去状態を保つ)	“1” 書き込み
N1	H	L
N2	L	H

(B)

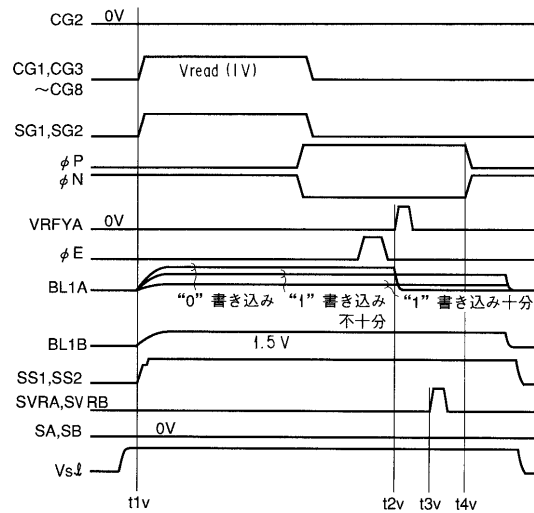
【 図 1 0 】



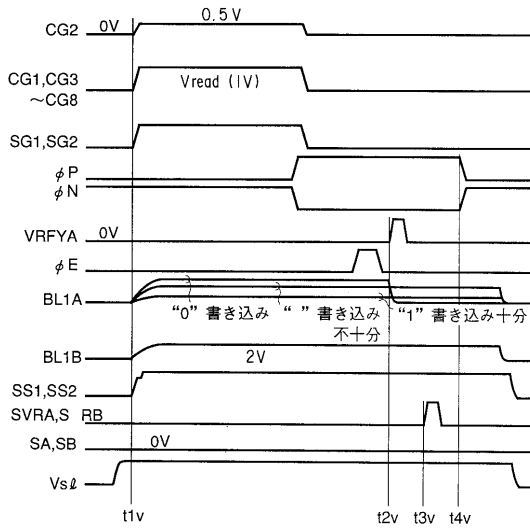
【 図 1 1 】



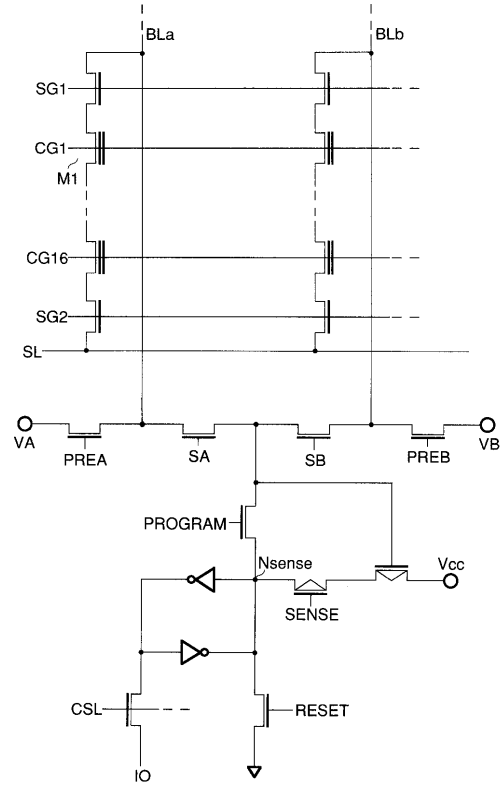
【 図 1 2 】



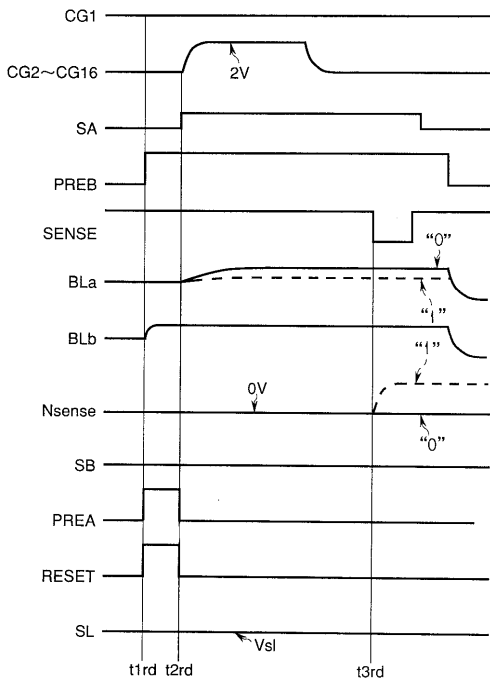
【図13】



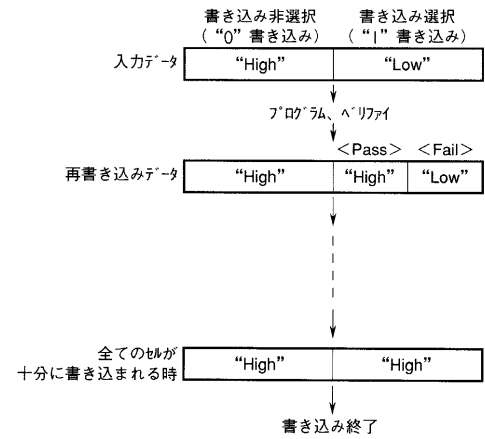
【図14】



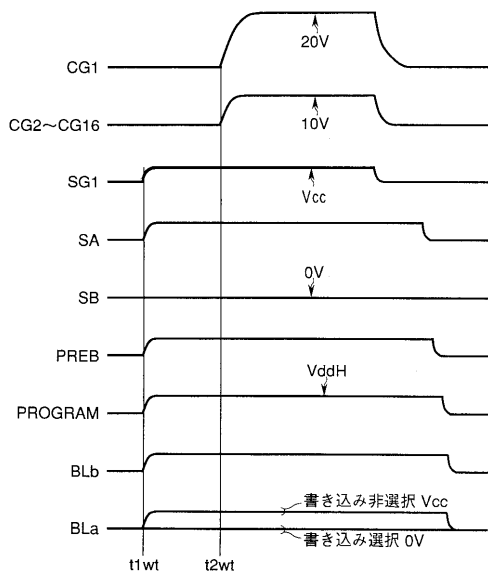
【図15】



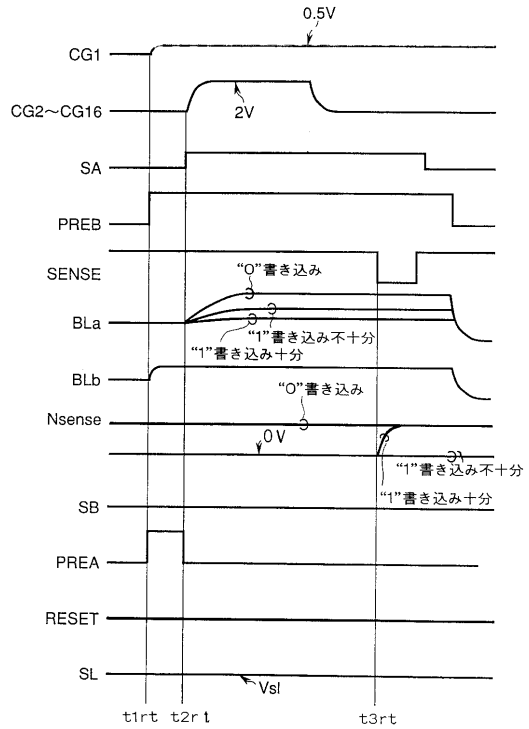
【図16】



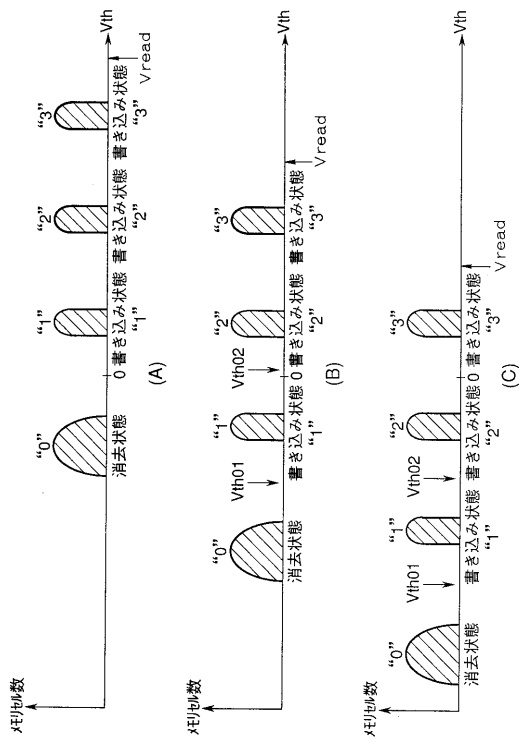
【図17】



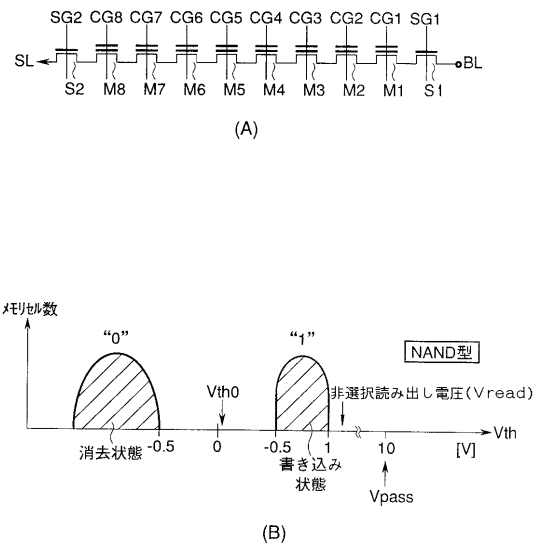
【図18】



【図19】



【図20】



フロントページの続き

(51) Int.Cl. F I

H 0 1 L 29/788 (2006.01)

(72)発明者 竹内 健

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 田中 智晴

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 石川 正二

(56)参考文献 特開平09-082922(JP,A)

特開平07-115177(JP,A)

特開平11-045986(JP,A)

特開平07-307094(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792