

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4712204号
(P4712204)

(45) 発行日 平成23年6月29日(2011.6.29)

(24) 登録日 平成23年4月1日(2011.4.1)

(51) Int. Cl.	F I
G 1 1 C 11/15 (2006.01)	G 1 1 C 11/15 1 5 0
H O 1 L 21/8246 (2006.01)	H O 1 L 27/10 4 4 7
H O 1 L 27/105 (2006.01)	H O 1 L 43/08 Z
H O 1 L 43/08 (2006.01)	

請求項の数 14 (全 39 頁)

(21) 出願番号	特願2001-60299 (P2001-60299)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成13年3月5日(2001.3.5)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2002-260378 (P2002-260378A)	(74) 代理人	100064746 弁理士 深見 久郎
(43) 公開日	平成14年9月13日(2002.9.13)	(74) 代理人	100085132 弁理士 森田 俊雄
審査請求日	平成20年2月13日(2008.2.13)	(74) 代理人	100083703 弁理士 仲村 義平
		(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100109162 弁理士 酒井 将行
		(74) 代理人	100111246 弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 記憶装置

(57) 【特許請求の範囲】

【請求項1】

行列状に配置された複数のメモリセルを有するメモリアレイと、
前記メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果
に応じて選択的に活性化される複数の読出ワード線と、

前記メモリセルの列にそれぞれ対応して設けられる複数のビット線と、
前記複数のビット線と同一方向に沿って前記列に対応して配置され、読出基準電圧を供
給するための複数の基準電圧配線と、

前記データ読出時において、前記読出基準電圧との間に形成される電流経路に流される
データ読出電流を、前記複数のビット線のうちの列選択結果に応じて選択される少なくと
も1本に対して供給するためのデータ読出回路と、

前記複数のビット線にそれぞれ対応して設けられ、各々の単位長あたりの電気抵抗値が
各前記ビット線と同様である複数の相補ビット線とを備え、

前記複数のメモリセルの各々は、

記憶データのレベルに応じて電気抵抗値が変化する記憶部と、

前記複数のビット線および前記複数の基準電圧配線のうちの対応する1本ずつの間に前
記記憶部と直列に接続されて、前記複数の読出ワード線のうちの対応する1本の活性化に
応答して導通するメモリセル選択ゲートとを含み、

前記データ読出時において、選択された前記列に対応する、前記基準電圧配線および前
記ビット線のうちの、前記電流経路に含まれる部分の電気抵抗値の総和は、前記行選択結

10

20

果に依存せずほぼ一定であり、

前記メモリアレイは、

前記列のそれぞれに対応して配置される複数のダミーメモリセルをさらに含み、

各前記ダミーメモリセルは、

前記行選択結果に応じて導通するダミーメモリセル選択ゲートと、

前記ダミーメモリセル選択ゲートの導通時に、対応する前記ビット線および前記相補ビット線の一方と前記基準電圧配線との間に電氣的に結合されて、前記データ読出の対象となった選択メモリセルから読出される前記記憶データのレベル判定のための比較対象として用いられるダミー記憶部とを含み、

前記データ読出時において、前記複数のビット線および前記複数の相補ビット線の一方ずつと前記複数の基準電圧配線とのそれぞれの間に選択された前記行に対応する前記メモリセルを電氣的に結合させるとともに、前記複数のビット線および前記複数の相補ビット線の他方ずつと前記複数の基準電圧配線とのそれぞれの間に前記ダミーメモリセルを電氣的に結合させるために、前記メモリセル選択ゲートおよび前記ダミーメモリセル選択ゲートを前記行選択結果に応じて選択的に導通させるワード線駆動回路をさらに備え、

前記データ読出回路は、前記データ読出時において、前記複数のビット線および複数の相補ビット線のうちの、前記列選択結果に対応する1本ずつの各々に対して前記データ読出電流を供給する、記憶装置。

【請求項2】

行列状に配置された複数のメモリセルを有するメモリアレイと、

前記メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果に応じて選択的に活性化される複数の読出ワード線と、

前記メモリセルの列にそれぞれ対応して設けられる複数のビット線と、

前記複数のビット線と同一方向に沿って前記列に対応して配置され、読出基準電圧を供給するための複数の基準電圧配線と、

前記データ読出時において、前記読出基準電圧との間に形成される電流経路に流されるデータ読出電流を、前記複数のビット線のうちの列選択結果に応じて選択される少なくとも1本に対して供給するためのデータ読出回路と、

前記メモリアレイと隣接した領域に、前記複数の読出ワード線と同一方向に沿って配置されるデータバスと、

前記複数のビット線のうちの列選択結果に応じて選択される少なくとも1本と前記データバスとを電氣的に結合するための列選択部と、

前記メモリアレイを挟んで前記データバスと反対側の領域において、前記複数の読出ワード線と同一方向に沿って配置される擬似データバスとを備え、

前記複数のメモリセルの各々は、

記憶データのレベルに応じて電気抵抗値が変化する記憶部と、

前記複数のビット線および前記複数の基準電圧配線のうちの対応する1本ずつの間に前記記憶部と直列に接続されて、前記複数の読出ワード線のうちの対応する1本の活性化にตอบสนองして導通するメモリセル選択ゲートとを含み、

前記データ読出時において、選択された前記列に対応する、前記基準電圧配線および前記ビット線のうちの、前記電流経路に含まれる部分の電気抵抗値の総和は、前記行選択結果に依存せずほぼ一定であり、

前記擬似データバスは、前記読出基準電圧および各前記基準電圧配線と電氣的に結合され、

前記データ読出回路は、前記データ読出時において、前記データバスに対して前記データ読出電流を供給する、記憶装置。

【請求項3】

行列状に配置された複数のメモリセルを有するメモリアレイと、

前記メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果に応じて選択的に活性化される複数の読出ワード線と、

10

20

30

40

50

- 前記メモリセルの列にそれぞれ対応して設けられる複数のビット線と、
 前記複数のビット線と同一方向に沿って、前記列に対応して配置され、読出基準電圧を供給するための複数の基準電圧配線と、
 前記メモリアレイと隣接した領域に、前記複数の読出ワード線と同一方向に沿って配置されるデータバスと、
 前記データ読出時において、前記読出基準電圧との間に形成される電流経路に流されるデータ読出電流を、前記データバスに対して供給するためのデータ読出回路と、
 前記複数のビット線のうちの列選択結果に応じて選択される1本と前記データバスとを電氣的に結合するための列選択部と、
 前記メモリアレイを挟んで前記データバスと反対側の領域において、前記複数の読出ワード線と同一方向に沿って配置される擬似データバスとを備え、
 前記擬似データバスは、前記読出基準電圧および各前記基準電圧配線と電氣的に結合され、
 前記複数のメモリセルの各々は、
 記憶データのレベルに応じて電気抵抗値が変化する記憶部と、
 前記複数のビット線および前記複数の基準電圧配線のうちの対応する1本ずつの間に、電氣的に前記記憶部と直列に結合されて、前記複数の読出ワード線のうちの対応する1本の活性化にตอบสนองして導通するメモリセル選択ゲートとを含み、
 前記データ読出時において、前記データバスおよび前記擬似データバスのうちの、前記電流経路に含まれる部分の電気抵抗値の総和は、前記列選択結果に依存せずほぼ一定である、記憶装置。 10
- 【請求項4】
 前記データバスの一端側は、前記データ読出回路と結合されて前記データ読出電流の供給を受け、
 前記擬似データバスは、前記一端側と前記メモリアレイを挟んだ反対側において、前記読出基準電圧と結合され、
 前記データバスおよび前記擬似データバスは、単位長あたりの電気抵抗値が同様の値である、請求項3記載の記憶装置。 20
- 【請求項5】
 前記データ読出時において、選択された前記列に対応する、前記基準電圧配線および前記ビット線のうちの、前記電流経路に含まれる部分の電気抵抗値の総和は、前記行選択結果に依存せずほぼ一定である、請求項3記載の記憶装置。 30
- 【請求項6】
 前記複数のビット線は、前記データ読出の前に前記読出基準電圧にプリチャージされ、隣接する前記メモリセルは、前記複数の基準電圧配線のうちの1本を共有する、請求項1～3のいずれか1項に記載の記憶装置。
- 【請求項7】
 前記複数のビット線にそれぞれ対応して設けられ、各々の単位長あたりの電気抵抗値が各前記ビット線と同様である複数の相補ビット線と、
 前記データバスに対応して設けられ、単位長あたりの電気抵抗値が前記データバスと同様である相補データバスとをさらに備え、
 前記データ読出回路は、前記データ読出時において、前記データバスおよび前記相補データバスの各々に対して前記データ読出電流を供給し、
 前記メモリアレイは、
 前記列のそれぞれに対応して配置される複数のダミーメモリセルをさらに含み、
 前記記憶装置は、
 前記複数の基準電圧配線と同一方向に沿って、前記列にそれぞれ対応して配置され、前記複数のダミーメモリセルに対して前記読出基準電圧を供給するための複数のダミー基準電圧配線をさらに備え、
 前記列選択部は、前記データ読出時において、前記データバスおよび相補データバスと 40
- 50

、選択された前記列に対応する、前記ビット線および前記相補ビット線との間をそれぞれ電氣的に結合し、

各前記ダミーメモリセルは、

前記行選択結果に応じて導通するダミーメモリセル選択ゲートと、

前記ダミーメモリセル選択ゲートの導通時に、対応する前記ビット線および前記相補ビット線の一方と前記基準電圧配線との間に電氣的に結合されて、前記データ読出の対象となった選択メモリセルから読出される前記記憶データのレベル判定のための比較対象として用いられるダミー記憶部とを含み、

前記記憶装置は、

前記データ読出時において、前記複数のビット線および前記複数の相補ビット線の一方ずつと前記複数の基準電圧配線とのそれぞれの間に選択された前記行に対応する前記メモリセルを電氣的に結合させるとともに、前記複数のビット線および前記複数の相補ビット線の他方ずつと前記複数の基準電圧配線とのそれぞれの間に前記ダミーメモリセルを電氣的に結合させるために、前記メモリセル選択ゲートおよび前記ダミーメモリセル選択ゲートを前記行選択結果に応じて選択的に導通させるワード線駆動回路をさらに備え、

前記データ読出時において、選択された前記列に対応する、前記ビット線および相補ビット線の一方と前記基準電圧配線とのうちの、前記電流経路に含まれる部分の電気抵抗値の総和である第1の配線抵抗、ならびに、前記ビット線および相補ビット線の他方と前記ダミー基準電圧配線とのうちの、前記電流経路に含まれる部分の電気抵抗値の総和である第2の配線抵抗のそれぞれは、前記行選択結果に依存せずほぼ一定である、請求項3記載の記憶装置。

【請求項8】

前記メモリアレイは、

ダミー列を構成するように配置される複数のダミーメモリセルをさらに含み、

前記記憶装置は、

前記データバスに対応して設けられ、単位長あたりの電気抵抗値が前記データバスと同様である相補データバスと、

前記ダミー列に対応して前記複数のビット線と同一方向に沿って配置され、単位長あたりの電気抵抗値が各前記ビット線と同様であるダミービット線と、

前記ダミー列に対応して前記複数の基準電圧配線と同一方向に沿って配置され、前記複数のダミーメモリセルに対して前記読出基準電圧を供給するためのダミー基準電圧配線とをさらに備え、

前記列選択部は、前記データ読出時において、前記相補データバスと前記ダミービット線とをさらに電氣的に結合し、

各前記ダミーメモリセルは、

前記行選択結果に応じて導通するダミーメモリセル選択ゲートと、

前記ダミーメモリセル選択ゲートの導通時に、対応する前記ダミービット線および前記基準電圧配線との間に電氣的に結合されて、前記データ読出の対象となった選択メモリセルから読出される前記記憶データのレベル判定のための比較対象として用いられるダミー記憶部とを含み、

前記データ読出時において、選択された前記列に対応する、前記基準電圧配線および前記ビット線のうちの、前記電流経路に含まれる部分の電気抵抗値の総和である第1の配線抵抗と、前記ダミー基準電圧配線および前記ダミービット線のうちの、前記電流経路に含まれる部分の電気抵抗値の総和である第2の配線抵抗とのそれぞれは、前記行選択結果に依存せずほぼ一定である、請求項3記載の記憶装置。

【請求項9】

前記擬似データバスと同一方向に沿って配置される擬似ダミーデータバスをさらに備え、

前記データバスの一端側は、前記データ読出回路と結合されて前記データ読出電流の供給を受け、

10

20

30

40

50

前記擬似データバスおよび前記擬似ダミーデータバスは、前記一端側と前記メモリアレイを挟んだ反対側において、前記読出基準電圧と結合され、

前記データバス、前記擬似データバスおよび前記擬似ダミーデータバスの各々は、単位長あたりの電気抵抗値が同様の値である、請求項 7 または 8 に記載の記憶装置。

【請求項 10】

前記第 1 の配線抵抗と前記第 2 の配線抵抗とは、同様の値である、請求項 7 ~ 9 のいずれか 1 項に記載の記憶装置。

【請求項 11】

前記メモリアレイは、行列状に複数個配置され、

前記複数個のメモリアレイは、前記複数のビット線と同一方向に沿って、複数のブロックに分割され、

前記複数の読出ワード線、前記複数のビット線、前記複数の基準電圧配線、前記データバス、擬似データバスおよび前記列選択部は、前記複数個のメモリアレイの各々ごとに対応して配置され、

前記記憶装置は、

前記複数のビット線と同一方向に沿って、前記複数のブロックにそれぞれ対応して配置される、複数の上位データバスおよび上位擬似データバスをさらに備え、

前記データ読出回路は、前記複数のブロックの各々に対応して配置され、複数の上位データバスのうちの対応する 1 本に対して前記データ読出電流を供給し、

前記複数の上位データバスの各々は、同一の前記ブロックに属する前記メモリアレイに対応する前記データバスの各々と電気的に結合され、

前記複数の上位擬似データバスの各々は、前記読出基準電圧と結合されるとともに、同一の前記ブロックに属する少なくとも 1 つの前記メモリアレイにそれぞれ対応する前記擬似データバスの各々と電気的に結合され、

前記データ読出時において、前記上位データバスおよび前記上位擬似データバスのうちの、前記電流経路に含まれる部分の電気抵抗値の総和は、前記ブロック内において選択される前記メモリアレイに依存せずほぼ一定である、請求項 2 ~ 10 のいずれか 1 項に記載の記憶装置。

【請求項 12】

行列状に配置された複数のメモリセルを有するメモリアレイと、

前記メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果に応じて選択的に活性化される複数の読出ワード線と、

前記メモリセルの列にそれぞれ対応して設けられる複数のビット線と、

前記列に対応して前記複数のビット線の各々に沿って配置され、読出基準電圧を供給するための複数の基準電圧配線と、

前記データ読出時において、前記読出基準電圧との間に形成される電流経路に流されるデータ読出電流を、前記複数のビット線のうちの列選択結果に応じて選択される少なくとも 1 本に対して供給するためのデータ読出回路とを備え、

前記複数のメモリセルの各々は、

記憶データのレベルに応じて電気抵抗値が変化する記憶部と、

前記複数のビット線および前記複数の基準電圧配線のうちの対応する 1 本ずつの間に前記記憶部と直列に接続されて、前記複数の読出ワード線のうちの対応する 1 本の活性化にตอบสนองして導通するメモリセル選択ゲートとを含み、

前記データ読出時において、選択された前記列に対応する、前記基準電圧配線および前記ビット線のうちの、前記電流経路に含まれる部分の電気抵抗値の総和は、前記行選択結果に依存せずほぼ一定であり、

各前記基準電圧配線の一端側は、前記読出基準電圧と電気的に結合され、

各前記ビット線は、前記一端側と前記メモリアレイを挟んだ反対側において、前記データ読出回路から前記データ読出電流の供給を受け、

前記複数のビット線の各々と、前記複数の基準電圧配線の各々とは、単位長あたりの電

10

20

30

40

50

気抵抗値が同様の値である、記憶装置。

【請求項 1 3】

各前記基準電圧配線は、1つの前記列ごとに、各前記ビット線に対応して配置される、請求項 1 2 記載の記憶装置。

【請求項 1 4】

各前記基準電圧配線は、2つの前記列ごとに、2本ずつの前記ビット線に対応して配置される、請求項 1 2 記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は記憶装置に関し、より特定的には、薄膜磁性体記憶装置に代表される、記憶データのデータレベルに応じて異なる電気抵抗値を有するメモリセルを備えた記憶装置に関する。

【0002】

【従来の技術】

低消費電力で不揮発的なデータの記憶が可能な記憶装置として、M R A M (Magnetic Random Access Memory) デバイスが注目されている。M R A M デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

【0003】

特に、近年では磁気トンネル接合 (M T J : Magnetic Tunnel Junction) を利用した薄膜磁性体をメモリセルとして用いることによって、M R A M 装置の性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えた M R A M デバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. および “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 等の技術文献に開示されている。

【0004】

図 20 は、磁気トンネル接合部を有するメモリセル (以下単に M T J メモリセルとも称する) の構成を示す概略図である。

【0005】

図 20 を参照して、M T J メモリセルは、記憶データのデータレベルに応じて抵抗値が変化する磁気トンネル接合部 M T J と、アクセストランジスタ A T R とを備える。アクセストランジスタ A T R は、電界効果トランジスタで形成され、磁気トンネル接合部 M T J と接地電圧 V_{SS} との間に結合される。

【0006】

M T J メモリセルに対しては、データ書込を指示するためのライトワード線 W W L と、データ読出を指示するためのリードワード線 R W L と、データ読出時およびデータ書込時において記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線 B L とが配置される。

【0007】

図 21 は、M T J メモリセルからのデータ読出動作を説明する概念図である。

図 21 を参照して、磁気トンネル接合部 M T J は、一定方向の固定磁界を有する磁性体層 (以下、単に固定磁気層とも称する) F L と、自由磁界を有する磁性体層 (以下、単に自由磁気層とも称する) V L とを有する。固定磁気層 F L および自由磁気層 V L との間には、絶縁体膜で形成されるトンネルバリア T B が配置される。自由磁気層 V L においては、記憶データのレベルに応じて、固定磁気層 F L と同一方向の磁界および固定磁気層 F L と異なる方向の磁界のいずれか一方が不揮発的に書込まれている。

【0008】

10

20

30

40

50

データ読出時においては、アクセストランジスタ A T R がリードワード線 R W L の活性化に応じてターンオンされる。これにより、ビット線 B L ~ 磁気トンネル接合部 M T J ~ アクセストランジスタ A T R ~ 接地電圧 V_{SS} の電流経路に、図示しないデータ読出回路から一定レベルのデータ読出電流として供給されるセンス電流 I_s が流れる。

【 0 0 0 9 】

磁気トンネル接合部 M T J の電気抵抗値は、固定磁気層 F L と自由磁気層 V L との間の磁界方向の相対関係に応じて変化する。具体的には、固定磁気層 F L の磁界方向と自由磁気層 V L に書込まれた磁界方向とが同一である場合には、両者の磁界方向が異なる場合に比べて磁気トンネル接合部 M T J の電気抵抗値は小さくなる。

【 0 0 1 0 】

したがって、データ読出時においては、センス電流 I_s によって磁気トンネル接合部 M T J で生じる電圧降下は、自由磁気層 V L に記憶された磁界方向に応じて異なる。これにより、ビット線 B L を一旦高電圧にプリチャージした状態とした後にセンス電流 I_s の供給を開始すれば、ビット線 B L の電圧レベル変化を検知することによって、M T J メモリセルの記憶データを読出すことができる。

【 0 0 1 1 】

図 2 2 は、M T J メモリセルに対するデータ書込動作を説明する概念図である。

【 0 0 1 2 】

図 2 2 を参照して、データ書込時においては、リードワード線 R W L は非活性化され、アクセストランジスタ A T R はターンオフされる。この状態で、自由磁気層 V L に磁界を書込むためのデータ書込電流がライトワード線 W W L およびビット線 B L にそれぞれ流される。自由磁気層 V L の磁界方向は、ライトワード線 W W L およびビット線 B L をそれぞれ流れるデータ書込電流の向きによって決定される。

【 0 0 1 3 】

図 2 3 は、データ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【 0 0 1 4 】

図 2 3 を参照して、横軸で示される磁界 H_x は、ライトワード線 W W L を流れるデータ書込電流によって生じる磁界 $H(W W L)$ の方向を示す。一方、縦軸に示される磁界 H_y は、ビット線 B L を流れるデータ書込電流によって生じる磁界 $H(B L)$ の方向を示す。

【 0 0 1 5 】

自由磁気層 V L に記憶される磁界方向は、磁界 $H(W W L)$ と $H(B L)$ との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書込まれる。すなわち、アステロイド特性線の内側の領域に相当する磁界が印加された場合においては、自由磁気層 V L に記憶される磁界方向は更新されない。

【 0 0 1 6 】

したがって、磁気トンネル接合部 M T J の記憶データを書込動作によって更新するためには、ライトワード線 W W L とビット線 B L との両方に電流を流す必要がある。磁気トンネル接合部 M T J に一旦記憶された磁界方向すなわち記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【 0 0 1 7 】

データ読出動作時においても、ビット線 B L にはセンス電流 I_s が流れる。しかし、センス電流 I_s は一般的に、上述したデータ書込電流よりは 1 ~ 2 桁程度小さくなるように設定されるので、センス電流 I_s の影響によりデータ読出時において M T J メモリセルの記憶データが誤って書換えられる可能性は小さい。

【 0 0 1 8 】

上述した技術文献においては、このような M T J メモリセルを半導体基板上に集積して、ランダム・アクセス・メモリ (R A M) である M R A M デバイスを構成する技術が開示されている。

【 0 0 1 9 】

10

20

30

40

50

図 2 4 は、半導体基板上に配置された M T J メモリセルの構造図である。

図 2 4 を参照して、半導体主基板 S U B 上の p 型領域 P A R にアクセストランジスタ A T R が形成される。アクセストランジスタ A T R は、n 型領域であるソース/ドレイン領域 1 1 0 , 1 2 0 とゲート 1 3 0 とを有する。ソース/ドレイン領域 1 1 0 は、第 1 の金属配線層 M 1 に形成された金属配線を介して接地電圧 V_{ss} と結合される。ライトワード線 W W L には、第 2 の金属配線層 M 2 に形成された金属配線が用いられる。また、ビット線 B L は第 3 の金属配線層 M 3 に設けられる。

【 0 0 2 0 】

磁気トンネル接合部 M T J は、ライトワード線 W W L が設けられる第 2 の金属配線層 M 2 とビット線 B L が設けられる第 3 の金属配線層 M 3 との間に配置される。アクセストランジスタ A T R のソース/ドレイン領域 1 2 0 は、コンタクトホールに形成された金属膜 1 5 0 と、第 1 および第 2 の金属配線層 M 1 および M 2 と、バリアメタル 1 4 0 とを介して、磁気トンネル接合部 M T J と電氣的に結合される。バリアメタル 1 4 0 は、磁気トンネル接合部 M T J と金属配線との間を電氣的に結合するために設けられる緩衝材である。

10

【 0 0 2 1 】

既に説明したように、M T J メモリセルにおいては、リードワード線 R W L はライトワード線 W W L とは独立の配線として設けられる。また、ライトワード線 W W L およびビット線 B L は、データ書込時において所定値以上の大きさの磁界を発生させるためのデータ書込電流を流す必要がある。したがって、ビット線 B L およびライトワード線 W W L は金属配線を用いて形成される。

20

【 0 0 2 2 】

一方、リードワード線 R W L は、アクセストランジスタ A T R のゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線 R W L は、独立した金属配線層を新たに設けることなく、ゲート 1 3 0 と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成されていた。

【 0 0 2 3 】

また、上述した M T J メモリセルのみならず、記憶データのレベルに応じて電気抵抗値が変化するメモリセルが、R O M (Read Only Memory) や R A M に一般的に適用されている。

30

【 0 0 2 4 】

【 発明が解決しようとする課題 】

図 2 5 は、行列状に集積配置された M T J メモリセルに対するデータ読出電流の供給を説明するブロック図である。

【 0 0 2 5 】

図 2 5 を参照して、高集積化された記憶装置を実現するために、一般的に、M T J メモリセルは行列状に配置される。図 2 5 においては、M T J メモリセルを n 行 \times m 列 (n, m : 自然数) に配置する場合が示される。

【 0 0 2 6 】

既に説明したように、各 M T J メモリセルに対して、ビット線 B L 、ライトワード線 W W L およびリードワード線 R W L が配置される。したがって、行列状に配置された $n \times m$ 個の M T J メモリセルに対して、 n 本のライトワード線 W W L 1 ~ W W L n およびリードワード線 R W L 1 ~ R W L n と、 m 本のビット線 B L 1 ~ B L m とが配置される。

40

【 0 0 2 7 】

データ読出時におけるデータ読出電流、すなわちセンス電流 I_s の供給は、メモリアレイに隣接して配置されるセンス電流供給回路 5 0 0 によって実行される。データ読出時には、選択されたメモリセル行に対応するリードワード線 R W L が選択的に H レベルに活性化され、かつ選択メモリセル列に対応するビット線 B L に対してセンス電流供給回路 5 0 0 からセンス電流 I_s が供給される。これにより、図 2 1 で説明したように、選択されたメモリセル M C において、記憶されたデータレベルに応じた電圧変化が対応するビッ

50

ト線に生じる。

【 0 0 2 8 】

しかしながら、図 2 5 の構成においては、選択されたメモリセル行の位置に依存して、ビット線上におけるセンス電流 I_s の通過経路長が変化してしまう。このような経路長の変化に応じて、ビット線上のセンス電流経路の電気抵抗値が変化し、センス電流 I_s の値が変動するおそれがある。

【 0 0 2 9 】

たとえば、図 2 5 の構成において、センス電流供給回路 5 0 0 に近い第 n 番目のメモリセル行が選択された場合においては、ビット線 B_L 上のセンス電流（図中に I_{s_n} で表記）経路に含まれる部分は短いため、センス電流経路の電気抵抗値は小さくなる。

10

【 0 0 3 0 】

反対にセンス電流供給回路 5 0 0 から遠い側の第 1 番目のメモリセル行が選択された場合においては、ビット線 B_L 上のセンス電流（図中に I_{s_1} で表記）経路に含まれる部分は長いため、センス電流経路の電気抵抗値は大きくなる。このようなセンス電流経路の電気抵抗値の変動は、選択されたメモリセル行の位置に依存した、センス電流の変動を招いてしまう。

【 0 0 3 1 】

図 2 6 は、センス電流供給回路 5 0 0 の一般的な構成を示すブロック図である。

【 0 0 3 2 】

図 2 6 を参照して、一般的に、センス電流の供給は、ビット線 $B_{L1} \sim B_{Lm}$ で共有される電流供給ユニット 5 1 0 によって実行される。電流供給ユニット 5 1 0 は、データバス DB に対してセンス電流 I_s を供給する。データバス DB は、メモリセル列にそれぞれ対応して設けられるコラム選択ゲート $CSG_1 \sim CSG_m$ を介して、ビット線 $B_{L1} \sim B_{Lm}$ と結合される。

20

【 0 0 3 3 】

コラム選択線 $CSL_1 \sim CSL_m$ は、メモリセル列にそれぞれ対応して設けられ、列選択結果に応じて選択的に活性化される。コラム選択ゲート $CSG_1 \sim CSG_m$ の各々は、コラム選択線 $CSL_1 \sim CSL_m$ のうちの対応する 1 本の活性化に応じてオンする。たとえば、第 1 番目のメモリセル列に対応するコラム選択ゲート CSG_1 は、対応するコラム選択線 CSL_1 の活性化（ H レベル）にตอบสนองしてオンし、データバス DB とビット線 B_{L1} とを電氣的に結合する。以降のメモリセル列に対しても、コラム選択ゲートは同時に配置される。

30

【 0 0 3 4 】

このような構成とすることにより、電流供給ユニット 5 1 0 をメモリアレイ内の複数のビット線で共有し、選択されたメモリセル列に対応するビット線に対して、センス電流 I_s を選択的に供給することができる。

【 0 0 3 5 】

しかしながら、図 2 6 に示すような構成とすることにより、センス電流 I_s を通過させるデータバス DB の経路長が変化してしまう。このような経路長の変化に応じて、データバス DB 上のセンス電流経路の電気抵抗値が変化し、センス電流 I_s の値が変動するおそれがある。

40

【 0 0 3 6 】

たとえば、図 2 6 の構成において、電流供給ユニット 5 1 0 に近い第 m 番目のメモリセル列が選択された場合においては、データバス DB 上のセンス電流経路に含まれる部分は短いため、その電気抵抗値は小さくなる。

【 0 0 3 7 】

反対にセンス電流供給回路 5 0 0 から遠い側の第 1 番目のメモリセル列が選択された場合においては、データバス DB 上のセンス電流経路に含まれる部分は長いため、その電気抵抗値は大きくなる。このようなセンス電流経路の電気抵抗値の変動は、選択されたメモリセル列の位置に依存した、センス電流の変動を招いてしまう。

50

【 0 0 3 8 】

このように、一般的な構成の M R A M デバイスにおいては、選択されたメモリセルの位置に依存してセンス電流の変動が生じるおそれがある。

【 0 0 3 9 】

すでに説明したように、M T J メモリセルを有する M R A M デバイスにおいては、センス電流 I_s および M T J メモリセルの電気抵抗値に応じて生じる電圧変化を検知してデータ読出を実行している。したがって、M T J メモリセルに代表される、記憶データのレベルに応じて電気抵抗値が変化するメモリセルを備えた記憶装置において、センス電流 I_s の変動は、安定したデータ読出動作を阻害する。

【 0 0 4 0 】

すなわち、選択メモリセルの位置に依存してセンス電流が変動すると、メモリアレイ内においてデータ読出時における動作マージンを一様に保つことはできず、記憶装置全体の動作マージンを十分に確保することが困難となる。この結果、甚だしい場合には誤動作に至り、歩留まりが低下してしまうという問題点が生じるおそれもある。

【 0 0 4 1 】

このような問題点に対処するために、選択されたメモリセルの位置に応じて、データ読出電流のレベルを微調整する構成とすることも可能ではあるが、この場合には、データ読出回路の構成の複雑化および、微調整のための設計負荷の増大を招いてしまう。

【 0 0 4 2 】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、M R A M デバイスに代表される、記憶データのレベルに応じて電気抵抗値が変化するメモリセルを備えた記憶装置において、選択されるメモリセル位置に依存せずデータ読出マージンを一様に維持し、データ読出の安定化を図ることである。

【 0 0 4 3 】

【課題を解決するための手段】

この発明のある局面では、記憶装置は、行列状に配置された複数のメモリセルを有するメモリアレイと、メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果に応じて選択的に活性化される複数の読出ワード線と、メモリセルの列にそれぞれ対応して設けられる複数のビット線と、複数のビット線と同一方向に沿って列に対応して配置され、読出基準電圧を供給するための複数の基準電圧配線と、データ読出時において、読出基準電圧との間に形成される電流経路に流されるデータ読出電流を、複数のビット線のうちの列選択結果に応じて選択される少なくとも1本に対して供給するためのデータ読出回路と、複数のビット線にそれぞれ対応して設けられ、各々の単位長あたりの電気抵抗値が各ビット線と同様である複数の相補ビット線とを備える。複数のメモリセルの各々は、記憶データのレベルに応じて電気抵抗値が変化する記憶部と、複数のビット線および複数の基準電圧配線のうちの対応する1本ずつの間に記憶部と直列に接続されて、複数の読出ワード線のうちの対応する1本の活性化に 응답して導通するメモリセル選択ゲートとを含む。データ読出時において、選択された列に対応する、基準電圧配線およびビット線のうちの、電流経路に含まれる部分の電気抵抗値の総和は、行選択結果に依存せずほぼ一定である。メモリアレイは、列のそれぞれに対応して配置される複数のダミーメモリセルをさらに含む。各ダミーメモリセルは、行選択結果に応じて導通するダミーメモリセル選択ゲートと、ダミーメモリセル選択ゲートの導通時に、対応するビット線および相補ビット線の一方と基準電圧配線との間に電氣的に結合されて、データ読出の対象となった選択メモリセルから読出される記憶データのレベル判定のための比較対象として用いられるダミー記憶部とを含む。そして、記憶装置は、データ読出時において、複数のビット線および複数の相補ビット線の一方ずつと複数の基準電圧配線とのそれぞれの間に選択された行に対応するメモリセルを電氣的に結合させるとともに、複数のビット線および複数の相補ビット線の他方ずつと複数の基準電圧配線とのそれぞれの間にダミーメモリセルを電氣的に結合させるために、メモリセル選択ゲートおよびダミーメモリセル選択ゲートを行選択結果に応じて選択的に導通させるワード線駆動回路をさらに備える。データ読出回路

10

20

30

40

50

は、データ読出時において、複数のビット線および複数の相補ビット線のうちの、列選択結果に対応する1本ずつの各々に対してデータ読出電流を供給する。

【0044】

この発明の他の局面では、記憶装置は、行列状に配置された複数のメモリセルを有するメモリアレイと、メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果に応じて選択的に活性化される複数の読出ワード線と、メモリセルの列にそれぞれ対応して設けられる複数のビット線と、複数のビット線と同一方向に沿って列に対応して配置され、読出基準電圧を供給するための複数の基準電圧配線と、データ読出時において、読出基準電圧との間に形成される電流経路に流されるデータ読出電流を、複数のビット線のうちの列選択結果に応じて選択される少なくとも1本に対して供給するためのデータ読出回路と、メモリアレイと隣接した領域に、複数の読出ワード線と同一方向に沿って配置されるデータバスと、複数のビット線のうちの列選択結果に応じて選択される少なくとも1本とデータバスとを電気的に結合するための列選択部と、メモリアレイを挟んでデータバスと反対側の領域において、複数の読出ワード線と同一方向に沿って配置される擬似データバスとを備える。複数のメモリセルの各々は、記憶データのレベルに応じて電気抵抗値が変化する記憶部と、複数のビット線および複数の基準電圧配線のうちの対応する1本ずつの間に記憶部と直列に接続されて、複数の読出ワード線のうちの対応する1本の活性化に应答して導通するメモリセル選択ゲートとを含む。そして、データ読出時において、選択された列に対応する、基準電圧配線およびビット線のうちの、電流経路に含まれる部分の電気抵抗値の総和は、行選択結果に依存せずほぼ一定である。さらに、擬似データバスは、読出基準電圧および各基準電圧配線と電気的に結合され、データ読出回路は、データ読出時において、データバスに対してデータ読出電流を供給する。

10

20

【0045】

この発明のさらに他の局面では、記憶装置は、行列状に配置された複数のメモリセルを有するメモリアレイと、メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果に応じて選択的に活性化される複数の読出ワード線と、メモリセルの列にそれぞれ対応して設けられる複数のビット線と、複数のビット線と同一方向に沿って、列に対応して配置され、読出基準電圧を供給するための複数の基準電圧配線と、メモリアレイと隣接した領域に、複数の読出ワード線と同一方向に沿って配置されるデータバスと、データ読出時において、読出基準電圧との間に形成される電流経路に流されるデータ読出電流を、データバスに対して供給するためのデータ読出回路と、複数のビット線のうちの列選択結果に応じて選択される1本とデータバスとを電気的に結合するための列選択部と、メモリアレイを挟んでデータバスと反対側の領域において、複数の読出ワード線と同一方向に沿って配置される擬似データバスとを備える。擬似データバスは、読出基準電圧および各基準電圧配線と電気的に結合される。複数のメモリセルの各々は、記憶データのレベルに応じて電気抵抗値が変化する記憶部と、複数のビット線および複数の基準電圧配線のうちの対応する1本ずつの間に、電気的に記憶部と直列に結合されて、複数の読出ワード線のうちの対応する1本の活性化に应答して導通するメモリセル選択ゲートとを含む。そして、データ読出時において、データバスおよび擬似データバスのうちの、電流経路に含まれる部分の電気抵抗値の総和は、列選択結果に依存せずほぼ一定である。

30

40

【0046】

好ましくは、データバスの一端側は、データ読出回路と結合されてデータ読出電流の供給を受け、擬似データバスは、一端側とメモリアレイを挟んだ反対側において、読出基準電圧と結合され、データバスおよび擬似データバスは、単位長あたりの電気抵抗値が同様の値である。

【0047】

また好ましくは、データ読出時において、選択された列に対応する、基準電圧配線およびビット線のうちの、電流経路に含まれる部分の電気抵抗値の総和は、行選択結果に依存せずほぼ一定である。

【0048】

50

さらに好ましくは、複数のビット線は、データ読出の前に読出基準電圧にプリチャージされ、隣接するメモリセルは、複数の基準電圧配線のうちの1本を共有する。

【0049】

あるいは好ましくは、記憶装置は、複数のビット線にそれぞれ対応して設けられ、各々の単位長あたりの電気抵抗値が各ビット線と同様である複数の相補ビット線と、データバスに対応して設けられ、単位長あたりの電気抵抗値がデータバスと同様である相補データバスとを備え、データ読出回路は、データ読出時において、データバスおよび相補データバスの各々に対してデータ読出電流を供給し、メモリアレイは、列のそれぞれに対応して配置される複数のダミーメモリセルをさらに含み、記憶装置は、複数の基準電圧配線と同一方向に沿って、列にそれぞれ対応して配置され、複数のダミーメモリセルに対して読出基準電圧を供給するための複数のダミー基準電圧配線をさらに備え、列選択部は、データ読出時において、データバスおよび相補データバスと、選択された列に対応する、ビット線および相補ビット線との間をそれぞれ電氣的に結合し、各ダミーメモリセルは、行選択結果に応じて導通するダミーメモリセル選択ゲートと、ダミーメモリセル選択ゲートの導通時に、対応するビット線および相補ビット線の一方と基準電圧配線との間に電氣的に結合されて、データ読出の対象となった選択メモリセルから読出される記憶データのレベル判定のための比較対象として用いられるダミー記憶部とを含む。記憶装置は、データ読出時において、複数のビット線および複数の相補ビット線の一方ずつと複数の基準電圧配線とのそれぞれの間を選択された行に対応するメモリセルを電氣的に結合させるとともに、複数のビット線および複数の相補ビット線の他方ずつと複数の基準電圧配線とのそれぞれの間でダミーメモリセルを電氣的に結合させるために、メモリセル選択ゲートおよびダミーメモリセル選択ゲートを行選択結果に応じて選択的に導通させるワード線駆動回路をさらに備え、データ読出時において、選択された列に対応する、ビット線および相補ビット線の一方と基準電圧配線とのうちの、電流経路に含まれる部分の電気抵抗値の総和である第1の配線抵抗、ならびに、ビット線および相補ビット線の他方とダミー基準電圧配線とのうちの、電流経路に含まれる部分の電気抵抗値の総和である第2の配線抵抗のそれぞれは、行選択結果に依存せずほぼ一定である。

【0050】

また好ましくは、メモリアレイは、ダミー列を構成するように配置される複数のダミーメモリセルをさらに含む。記憶装置は、データバスに対応して設けられ、単位長あたりの電気抵抗値がデータバスと同様である相補データバスと、ダミー列に対応して複数のビット線と同一方向に沿って配置され、単位長あたりの電気抵抗値が各ビット線と同様であるダミービット線と、ダミー列に対応して複数の基準電圧配線と同一方向に沿って配置され、複数のダミーメモリセルに対して読出基準電圧を供給するためのダミー基準電圧配線とをさらに備える。列選択部は、データ読出時において、相補データバスとダミービット線とをさらに電氣的に結合し、各ダミーメモリセルは、行選択結果に応じて導通するダミーメモリセル選択ゲートと、ダミーメモリセル選択ゲートの導通時に、対応するダミービット線および基準電圧配線との間に電氣的に結合されて、データ読出の対象となった選択メモリセルから読出される記憶データのレベル判定のための比較対象として用いられるダミー記憶部とを含む。データ読出時において、選択された列に対応する、基準電圧配線およびビット線のうちの、電流経路に含まれる部分の電気抵抗値の総和である第1の配線抵抗と、ダミー基準電圧配線およびダミービット線のうちの、電流経路に含まれる部分の電気抵抗値の総和である第2の配線抵抗とのそれぞれは、行選択結果に依存せずほぼ一定である。

【0051】

さらに好ましくは、記憶装置は、擬似データバスと同一方向に沿って配置される擬似ダミーデータバスをさらに備える。データバスの一端側は、データ読出回路と結合されてデータ読出電流の供給を受け、擬似データバスおよび擬似ダミーデータバスは、一端側とメモリアレイを挟んだ反対側において、読出基準電圧と結合され、データバス、擬似データバスおよび擬似ダミーデータバスの各々は、単位長あたりの電気抵抗値が同様の値である

。

【0052】

さらに好ましくは、第1の配線抵抗と第2の配線抵抗とは、同様の値である。

【0053】

好ましくは、メモリアレイは、行列状に複数個配置され、複数個のメモリアレイは、複数のビット線と同一方向に沿って、複数のブロックに分割され、複数の読出ワード線、複数のビット線、複数の基準電圧配線、データバス、擬似データバスおよび列選択部は、複数個のメモリアレイの各々ごとに対応して配置される。記憶装置は、複数のビット線と同一方向に沿って、複数のブロックにそれぞれ対応して配置される、複数の上位データバスおよび上位擬似データバスをさらに備え、データ読出回路は、複数のブロックの各々に対応して配置され、複数の上位データバスのうちの対応する1本に対してデータ読出電流を供給し、複数の上位データバスの各々は、同一のブロックに属するメモリアレイに対応するデータバスの各々と電気的に結合され、複数の上位擬似データバスの各々は、読出基準電圧と結合されるとともに、同一のブロックに属する少なくとも1つのメモリアレイにそれぞれ対応する擬似データバスの各々と電気的に結合され、データ読出時において、上位データバスおよび上位擬似データバスのうちの、電流経路に含まれる部分の電気抵抗値の総和は、ブロック内において選択されるメモリアレイに依存せずほぼ一定である。

10

【0054】

この発明のさらに他の局面では、記憶装置は、行列状に配置された複数のメモリセルを有するメモリアレイと、メモリセルの行にそれぞれ対応して設けられ、データ読出時において、行選択結果に応じて選択的に活性化される複数の読出ワード線と、メモリセルの列にそれぞれ対応して設けられる複数のビット線と、列に対応して複数のビット線の各々に沿って配置され、読出基準電圧を供給するための複数の基準電圧配線と、データ読出時において、読出基準電圧との間に形成される電流経路に流されるデータ読出電流を、複数のビット線のうちの列選択結果に応じて選択される少なくとも1本に対して供給するためのデータ読出回路とを備える。複数のメモリセルの各々は、記憶データのレベルに応じて電気抵抗値が変化する記憶部と、複数のビット線および複数の基準電圧配線のうちの対応する1本ずつの間に記憶部と直列に接続されて、複数の読出ワード線のうちの対応する1本の活性化にตอบสนองして導通するメモリセル選択ゲートとを含む。そして、データ読出時において、選択された列に対応する、基準電圧配線およびビット線のうちの、電流経路に含まれる部分の電気抵抗値の総和は、行選択結果に依存せずほぼ一定であり、各基準電圧配線の一端側は、読出基準電圧と電気的に結合され、各ビット線は、一端側とメモリアレイを挟んだ反対側において、データ読出回路からデータ読出電流の供給を受ける。複数のビット線の各々と、複数の基準電圧配線の各々とは、単位長あたりの電気抵抗値は同様の値である。

20

30

【0055】

好ましくは、各基準電圧配線は、1つの列ごとに、各ビット線に対応して配置される。

【0056】

また好ましくは、各基準電圧配線は、2つの列ごとに、2本ずつのビット線に対応して配置される。

40

【0061】

【発明の実施の形態】

以下において、本発明の実施の形態について、図面を参照して詳細に説明する。なお、図中における同一符号は、同一または相当部分を示すものとする。

【0062】

[実施の形態1]

図1は、本発明の実施の形態1に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0063】

MRAMデバイス1は、本願発明に従う記憶装置の代表例として示される。なお、以下の

50

説明で明らかになるように、本願発明の適用は、M R A Mデバイスに限定されるものではなく、記憶データのレベルに応じて電気抵抗値が変化するメモリセルを備えた記憶装置に広く適用することができる。

【 0 0 6 4 】

図 1 を参照して、M R A Mデバイス 1 は、外部からの制御信号 C M D およびアドレス信号 A D D に応答してランダムアクセスを行ない、書込データ D I N の入力および読出データ D O U T の出力を実行する。

【 0 0 6 5 】

M R A Mデバイス 1 は、制御信号 C M D に応答して M R A Mデバイス 1 の全体動作を制御するコントロール回路 5 と、行列状に配された複数の M T Jメモリセルを有するメモリアレイ 1 0 とを備える。メモリアレイ 1 0 の構成は後に詳細に説明するが、M T Jメモリセルの行にそれぞれ対応して複数のライトワード線 W W L およびリードワード線 R W L が配置され、M T Jメモリセルの列にそれぞれ対応して複数のビット線 B L が配置される。

10

【 0 0 6 6 】

M R A Mデバイス 1 は、さらに、アドレス信号 A D D によって示されるロウアドレス R A に応じてメモリアレイ 1 0 における行選択を実行する行デコーダ 2 0 と、アドレス信号 A D D によって示されるコラムアドレス C A に応じて、メモリアレイ 1 0 における列選択を実行する列デコーダ 2 5 と、行デコーダ 2 0 の行選択結果に基づいてリードワード線 R W L およびライトワード線 W W L を選択的に活性化するためのワード線ドライバ 3 0 と、データ書込時においてライトワード線 W W L にデータ書込電流を流すためのワード線電流制御回路 4 0 と、データ読出およびデータ書込時において、データ書込電流およびセンス電流を流すための読出 / 書込制御回路 5 0 , 6 0 とを備える。

20

【 0 0 6 7 】

読出 / 書込制御回路 5 0 および 6 0 は、メモリアレイ 1 0 の両端部におけるビット線 B L の電圧レベルを制御して、データ書込およびデータ読出をそれぞれ実行するためのデータ書込電流およびセンス電流をビット線 B L に流す。

【 0 0 6 8 】

図 2 は、実施の形態 1 に従うメモリアレイ 1 0 およびその周辺回路のうち、データ読出に関連する部分の構成を詳細に説明するための図である。

【 0 0 6 9 】

図 2 を参照して、メモリアレイ 1 0 は、 n 行 \times m 列 (n, m : 自然数) に配列されるメモリセル M C を有する。

30

【 0 0 7 0 】

なお、本実施の形態においては、各メモリセル M C の構成は、図 2 0 に示した M T Jメモリセルと同様とするが、各メモリセルにおける磁気トンネル接合部 M T J に相当する部分については、記憶データのレベルに応じて電気抵抗値が変化する素子によって置換することも可能である。

【 0 0 7 1 】

メモリセルの行 (以下、単にメモリセル行とも称する) にそれぞれ対応して、リードワード線 R W L 1 ~ R W L n が配置される。図示しないが、データ書込において、選択されたメモリセル行に対応してデータ書込電流を流すためのライトワード線 W W L 1 ~ W W L n も、メモリセル行にそれぞれ対応して配置される。

40

【 0 0 7 2 】

メモリセルの列 (以下、単にメモリセル列とも称する) にそれぞれ対応して、ビット線 B L 1 ~ B L m および基準電圧配線 S L 1 ~ S L m が配置される。基準電圧配線 S L 1 ~ S L m の各々は、データ読出時の基準電圧 (以下、単に読出基準電圧とも称する) に相当する接地電圧 V s s と、読出 / 書込制御回路 6 0 側において結合され、対応するメモリセル列に属するメモリセル中のアクセストランジスタ A T R のソース側領域の各々とさらに結合される。

【 0 0 7 3 】

50

なお、以下においては、リードワード線およびビット線を総括に表現する場合には、符号 R W L および B L をそれぞれ用いて表記することとし、特定のリードワード線およびビット線を示す場合には、これらの符号に数字を付して R W L 1 , B L 1 のように表記するものとする。

【 0 0 7 4 】

メモリアレイ 1 0 の周辺において、メモリセル列のそれぞれに対応して、コラム選択線 C S L 1 ~ C S L m、コラム選択ゲート C S G 1 ~ C S G m およびプリチャージトランジスタ 6 4 - 1 ~ 6 4 - m が設けられる。さらに、データバス D B が、リードワード線 R W L と同一方向に沿って配置される。

【 0 0 7 5 】

列デコーダ 2 5 は、コラムアドレス C A のデコード結果、すなわち列選択結果に応じて、コラム選択線 C S L 1 ~ C S L m のうちの、列選択結果に対応する 1 本を選択状態 (H レベル) に活性化する。

【 0 0 7 6 】

コラム選択ゲート C S G 1 ~ C S G m は、読出 / 書込制御回路 5 0 内に設けられ、ビット線 B L 1 ~ B L m とデータバス D B との間にそれぞれ配置される。コラム選択ゲート C S G 1 ~ C S G m の各々は、コラム選択線 C S L 1 ~ C S L m のうちの対応する 1 本の活性化にตอบสนองしてオンし、データバス D B と対応するビット線 B L とを結合する。すなわち、ビット線 B L とデータバス D B とは、読出 / 書込制御回路 5 0 側において電氣的に結合される。

【 0 0 7 7 】

なお、以下においては、コラム選択線、コラム選択ゲートおよびプリチャージトランジスタを総括的に表現する場合には、符号 C S L、C S G および 6 4 をそれぞれ用いて表記することとし、特定のコラム選択線、コラム選択ゲートおよびプリチャージトランジスタを示す場合には、これらの符号に添字を付して、C S L 1、C S G 1、もしくは 6 4 - 1 のように表記するものとする。

【 0 0 7 8 】

プリチャージトランジスタ 6 4 - 1 ~ 6 4 - m は、読出 / 書込制御回路 6 0 に設けられ、プリチャージ電圧として用いられる電源電圧 V c c と、ビット線 B L 1 ~ B L m のそれぞれとの間に電氣的に結合される。プリチャージトランジスタ 6 4 - 1 ~ 6 4 - m の各々は、ビット線プリチャージ信号 B L P R にตอบสนองしてオンする。

【 0 0 7 9 】

ビット線プリチャージ信号 B L P R の活性化にตอบสนองして、各ビット線 B L は電源電圧 V c c にプリチャージされる。

【 0 0 8 0 】

ビット線プリチャージ信号 B L P R は、M R A M デバイス 1 のスタンバイ期間と、M R A M デバイス 1 のアクティブ期間内における、データ書込動作およびデータ読出動作の前後とにおいて、各ビット線 B L をプリチャージするために活性化される。

【 0 0 8 1 】

一方、M R A M デバイスのアクティブ期間におけるデータ書込およびデータ読出動作時には、ビット線プリチャージ信号 B L P R は L レベルに非活性化される。これにตอบสนองして、各ビット線 B L は、プリチャージ電圧と切離される。

【 0 0 8 2 】

次に、読出 / 書込制御回路 5 0 に含まれるデータ読出回路 5 2 a の構成について説明する。

【 0 0 8 3 】

データ読出回路 5 2 a は、データ読出時において活性化される制御信号 R E にตอบสนองして動作し、データ読出電流であるセンス電流 I s を供給するとともに、センス電流 I s によって選択メモリセルに生じる電圧変化を検知して読出データ D O U T を出力する。

【 0 0 8 4 】

10

20

30

40

50

データ読出回路52aは、電源電圧 V_{cc} を受けてノード N_{s1} および N_{s2} に一定電流をそれぞれ供給するための電流源161および162と、ノード N_{s1} とノード N_{r1} との間に電氣的に結合されるN型MOSトランジスタ163と、ノード N_{s2} と接地電圧 V_{ss} との間に直列に結合される、N型MOSトランジスタ164および抵抗168と、ノード N_{s1} および N_{s2} の間の電圧レベル差を増幅して読出データDOU Tを出力する増幅器165とを有する。ノード N_{r1} は、データバスDBと電氣的に結合される。

【0085】

トランジスタ163および164のゲートには、所定電圧 V_{ref} が与えられる。電流源161および162の供給電流量および所定電圧 V_{ref} は、センス電流 I_s の設計値に応じて設定される。抵抗166および167は、ノード N_{s1} および N_{s2} を接地電圧 V_{ss} にプルダウンするために設けられる。

10

【0086】

このような構成とすることにより、データ読出回路52aは、データ読出時において、データバスDBに一定のセンス電流 I_s を供給する。データ読出においては、選択メモリセルに対応して、データ読出回路52aと読出基準電圧である接地電圧 V_{ss} との間に形成される、データ読出回路52a～データバスDB～コラム選択ゲートCSG～ビット線BL～磁気トンネル接合部MTJ～アクセストランジスタATR～基準電圧配線SL～接地電圧 V_{ss} （読出基準電圧）の電流経路にセンス電流 I_s が流される。

【0087】

これに応じて、メモリセルMC中の磁気トンネル接合部MTJに生じた電圧変化を、ビット線BLおよびデータバスDBを介してノード N_{r1} に伝達できる。

20

【0088】

選択メモリセルがHレベル（“1”）データおよびLレベル（“0”）データを記憶していた場合にそれぞれ対応する、ノード N_{r1} の電圧を V_h および V_l とすると、ノード N_{s2} の電圧は、電圧 V_h および V_l の中間の電圧 V_m に設定される。すなわち、抵抗168の抵抗値によって、電圧 V_m は調整される。

【0089】

データ読出回路52aは、ノード N_{s1} および N_{s2} の電圧差を増幅することによって、記憶データのレベルに対応する選択メモリセルにおける電圧変化を検知増幅して、読出データDOU Tを出力する。

30

【0090】

また、基準電圧配線SLが接地電圧 V_{ss} と結合される領域と、ビット線BLに対してセンス電流 I_s が供給される領域とは、メモリアレイ10を挟んで列方向に互いに反対側に位置する。

【0091】

図3は、ビット線BLおよび基準電圧配線SLの配置例を示す構造図である。

図3を参照して、基準電圧配線SLは、ビット線BLと同一配線層（たとえばM2）において、同一形状かつ同一材質で形成される。これにより、基準電圧配線SLおよびビット線BLの単位長あたりの電気抵抗値は同様の値に設定される。

【0092】

40

基準電圧配線SLおよびビット線BLをこのように形成するとともに、図2に示されるように、メモリアレイの一端側とその反対側（他端側）とのそれぞれにおいて、各基準電圧配線SLと接地電圧 V_{ss} との結合個所および、センス電流 I_s が供給されるデータバスDBと各ビット線BLとの結合個所（すなわちコラム選択ゲートCSG）を設けることによって、選択されたメモリセル行の位置にかかわらず、センス電流 I_s の電流経路に含まれるビット線BLおよび基準電圧配線SLの抵抗値の和をほぼ一定に維持することができる。

【0093】

これにより、選択されたメモリセル行に依存して、センス電流 I_s が変動することを防止できる。この結果、メモリアレイ内においてデータ読出時の動作マージンを一様に保ち、

50

MRAMデバイス全体の動作マージンを十分に確保することができる。

【0094】

なお、基準電圧配線SLは、ビット線BLと単位長当たりの抵抗値が同様となるように設計されることが必要であり、この条件が満たされる限り、それぞれの配線を異なる金属配線層に設けることも可能である。

【0095】

図4は、メモリセルに対するデータ読出およびデータ書込動作を説明するタイミングチャートである。

【0096】

まず、データ書込時の動作について説明する。

10

図2においては、データ書込に関連する周辺回路の配置および構成の図示を省略したが、メモリセル行にそれぞれ対応して配置されるライトワード線WWLと、ビット線BLとの電圧および電流を以下に述べるように制御することによりデータ書込を実行することができる。

【0097】

ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するライトワード線WWLの電圧を選択状態(Hレベル)に駆動する。非選択行においては、ライトワード線WWLの電圧レベルは非選択状態(Lレベル：接地電圧V_{SS})のままである。

【0098】

20

データ書込時においては、選択行に対応するライトワード線WWLにおいて、データ書込電流I_pが流れる。一方、非選択行においては、データ書込電流は流れない。

【0099】

読出/書込制御回路50および60は、メモリアレイ10の両端におけるビット線BLの電圧を制御することによって、書込データのデータレベルに応じた方向のデータ書込電流を生じさせる。たとえば、“1”の記憶データを書込む場合には、読出/書込制御回路60側のビット線電圧を高電圧状態(電源電圧V_{CC})に設定し、反対側の読出/書込制御回路50側のビット線電圧を低電圧状態(接地電圧V_{SS})に設定する。これによって、読出/書込制御回路60から50へ向かう方向にデータ書込電流+I_wがビット線BLを流れる。一方、“0”の記憶データを書込む場合には、読出/書込制御回路50側および60側のビット線電圧を高電圧状態(電源電圧V_{CC})および低電圧状態(接地電圧V_{SS})にそれぞれ設定し、読出/書込制御回路50から60へ向かう方向にデータ書込電流-I_wがビット線BLを流れる。

30

【0100】

この際に、データ書込電流±I_wを各ビット線に流す必要はなく、読出/書込制御回路50および60は、データバスDBおよびコラム選択ゲートCSG1~CSG_mを介して、選択列に対応する一部のビット線に対してデータ書込電流±I_wを選択的に流すように、上述したビット線BLの電圧を制御すればよい。

【0101】

次にデータ読出時の動作について説明する。

40

図2で説明したように、各ビット線BLは、データ読出動作に先立って、電源電圧V_{CC}にプリチャージされる。データバスDBについても、同様に、電源電圧V_{CC}にプリチャージされる。

【0102】

データ読出時において、ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態(Hレベル)に駆動する。選択行においては、リードワード線RWLの電圧は、非選択状態(Lレベル：接地電圧V_{SS})のままである。

【0103】

選択されたメモリセル行において、リードワード線RWLがHレベルに活性化されると、

50

対応するアクセストランジスタ ATR がターンオンして、磁気トンネル接合部 MTJ は接地電圧 V_{SS} にプルダウンされる。一方、選択されたメモリセル列において、対応するビット線 BL は、コラム選択ゲート CSG およびデータバス DB を介して、データ読出回路 52a によって、一定のセンス電流 I_s を流すべくプルアップされる。

【0104】

したがって、選択メモリセルに対応するビット線 BL およびデータバス DB は、記憶データレベルに応じた磁気トンネル接合部 MTJ の電気抵抗値に対応する電圧 (V_h もしくは V_l) に収束していく。一方、選択されたメモリセル行に属するメモリセルのうち、非選択のメモリセル列に属するものについては、データバス DB と結合されないため、ビット線 BL の電圧は接地電圧 V_{SS} まで低下する。

10

【0105】

このようなデータ読出動作によって、記憶データレベルに応じたメモリセル MC の電気抵抗値の違いを電圧差に変換して検知増幅し、データ読出を実行することができる。

【0106】

また、ビット線 BL のプリチャージ電圧を、接地電圧 V_{SS} としてもデータ読出を実行することができる。

【0107】

図5は、プリチャージ電圧を接地電圧 V_{SS} とした場合におけるメモリセルに対するデータ読出およびデータ書込を説明するタイミングチャートである。

【0108】

20

図5を参照して、データ書込時においては、データバス DB のデータ書込終了後における設定電圧が、データ読出におけるプリチャージに備えて、接地電圧 V_{SS} に設定される点が図4と比較して異なる。他の信号配線の電圧および電流波形は、図4に示したのと同様であるので詳細な説明は繰返さない。

【0109】

データ読出前において、ビット線 BL およびデータバス DB は接地電圧 V_{SS} にプリチャージされる。

【0110】

データ読出時において、選択されたメモリセル列に対応するビット線 BL は、コラム選択ゲート CSG およびデータバス DB を介して、データ読出回路 52a によってプルアップされセンス電流 I_s の供給を受ける。一方非選択メモリセル列に対応するビット線は、接地電圧 V_{SS} に維持される。

30

【0111】

選択メモリセルに対応するビット線 BL およびデータバス DB において、記憶データレベルに応じた電圧変化 (上昇) が生じる。この結果、図4の場合と同様に、ビット線 BL およびデータバス DB は、記憶データレベルに応じた磁気トンネル接合部 MTJ の電気抵抗値に対応する電圧に収束していく。これにより、記憶データレベルを反映したメモリセルの電気抵抗値の違いを電圧差に変換してデータ読出を実行することができる。

【0112】

図4および図5で説明したように、データ読出前における、ビット線 BL およびデータバス DB のプリチャージ電圧は、電源電圧 V_{CC} および接地電圧 V_{SS} のいずれとしてもデータ読出を実行することができる。

40

【0113】

ただし、プリチャージ電圧を接地電圧 V_{SS} とした場合には、選択されたビット線 BL のみにセンス電流 I_s が流れ、非選択のビット線 BL に対して、プリチャージのための充電電流およびその放電電流を流す必要がないので、消費電力を低減できる。

【0114】

一方、電源電圧 V_{CC} をプリチャージ電圧とした場合には、消費電力は相対的に増加するものの、ビット線 BL およびデータバス DB の電圧変化を速やかに生じさせることが可能であるため、データ読出を高速化することができる。したがって、プリチャージ電圧は、

50

このような特性を考慮して設定すればよい。

【 0 1 1 5 】

[実施の形態 1 の変形例 1]

図 6 は、実施の形態 1 の変形例 1 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【 0 1 1 6 】

図 6 を参照して、実施の形態 1 の変形例 1 に従う構成においては、図 2 に示される実施の形態 1 に従う構成と比較して、基準電圧配線 $S L$ が行方向に隣接するメモリセル間で共有される点異なる。たとえば、ビット線 $B L 1$ および $B L 2$ にそれぞれ対応する第 1 番目および第 2 番目のメモリセル列に属するメモリセルは、同一の基準電圧配線 $S L 1$ を共有する。以降のメモリセル列に対しても、基準電圧配線 $S L$ は同様に配置される。したがって、メモリアレイ 10 全体においては、 k 本 ($k : m / 2$ で示される自然数) の基準電圧配線 $S L 1 \sim S L k$ が配置される。

10

【 0 1 1 7 】

なお、図 6 においては、メモリアレイ 10 に行列状に配置されるメモリセル $M C$ のうち、第 j 番目 ($j : 1 \sim n$ の自然数) のメモリセル行に対応するリードワード線 $R W L j$ および対応するメモリセルの一部を代表的に図示しているが、その他のメモリセル行およびメモリセル列においても、同様にリードワード線およびメモリセル $M C$ が配置されている。以降の図面においても、メモリアレイ 10 の図示は同様とする。

【 0 1 1 8 】

また、プリチャージトランジスタ $6 4 - 1 \sim 6 4 - m$ は、ビット線プリチャージ信号 $B L P R$ に応答して、対応するビット線 $B L 1 \sim B L m$ のそれぞれを、接地電圧 $V s s$ にプリチャージする。

20

【 0 1 1 9 】

このように、ビット線 $B L$ のプリチャージ電圧を、読出基準電圧として供給される接地電圧 $V s s$ と同一に設定することによって、対応するリードワード線 $R W L$ が活性化された場合においても、非選択のメモリセル列に対応するビット線 $B L$ には電流が流れることはなく、基準電圧配線 $S L$ を共有することが可能となる。この結果、信号配線数を削減して、メモリアレイ 10 をさらに高集積化することが可能となる。

【 0 1 2 0 】

その他の部分の構成および動作は、実施の形態 1 と同様であるので詳細な説明は繰返さない。

30

【 0 1 2 1 】

すなわち、隣接するメモリセル列によって共有される基準電圧配線 $S L$ の各々と、ビット線 $B L$ の各々とは、実施の形態 1 と同様に、単位長当りの電気抵抗値が同様となるように形成されるため、メモリアレイ内においてデータ読出時の動作マージンを一様に保ち、 $M R A M$ デバイス全体の動作マージンを十分に確保することができる。

【 0 1 2 2 】

[実施の形態 1 の変形例 2]

図 7 は、実施の形態 1 の変形例 2 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

40

【 0 1 2 3 】

図 7 を参照して、実施の形態 1 の変形例 2 に従う構成においては、各ビット線 $B L$ は、折り返し型構成に従って配置される。

【 0 1 2 4 】

メモリアレイ 10 において、メモリセル列にそれぞれ対応して、ビット線 $B L 1 \sim B L m$ のそれぞれと相補のビット線 $/ B L 1 \sim / B L m$ がさらに配置される。ビット線 $B L 1$ および $/ B L 1$ は、ビット線対を構成する。以降のメモリセル列においても、同様にビット線対が構成される。

【 0 1 2 5 】

50

ビット線 / B L 1 ~ / B L m の各々は、ビット線 B L 1 ~ B L m の各々と、単位長当たりの電気抵抗値が同様となるように、実施の形態 1 におけるビット線 B L および基準電圧配線 S L と同様に配置される。

【 0 1 2 6 】

なお、ビット線対の一方ずつおよび他方ずつをそれぞれ構成する、ビット線 B L 1 ~ B L m および / B L 1 ~ / B L m をそれぞれ総称する場合には、ビット線 B L および / B L とも表記することとする。

【 0 1 2 7 】

基準電圧配線 S L 1 ~ S L m は、隣接するメモリセル列のそれぞれに対応して配置され、隣接して配置される同一メモリセル列に属するメモリセル間で共有される。

10

【 0 1 2 8 】

基準電圧配線 S L 1 ~ S L m の各々は、ビット線 B L 1 , / B L 1 ~ B L m , / B L m の各々と、単位長当たりの電気抵抗値が同様となるように、実施の形態 1 と同様に配置される。

【 0 1 2 9 】

メモリセル M C は、1 行ごとに、ビット線 B L 1 ~ B L m および / B L 1 ~ / B L m のいずれか一方ずつと結合される。たとえば、第 j 番目のメモリセル行に属するメモリセル M C は、ビット線 B L 1 ~ B L m と結合され、第 (j + 1) 番目のメモリセル行に属するメモリセル M C は、ビット線 / B L 1 ~ / B L m と接続される。

【 0 1 3 0 】

20

この結果、リードワード線 R W L が行選択結果に応じて選択的に活性化されると、ビット線対の一方ずつ B L 1 ~ B L m およびビット線対の他方ずつ / B L 1 ~ / B L m のいずれか一方が、M T J メモリセル M C と結合される。

【 0 1 3 1 】

メモリアレイ 1 0 は、さらに、ビット線 B L 1 , / B L 1 ~ B L m , / B L m のそれぞれに対応して設けられる複数のダミーメモリセル D M C を有する。

【 0 1 3 2 】

ダミーメモリセル D M C の各々は、ダミー記憶部 D M T J とアクセストランジスタ D A T R とを有する。

【 0 1 3 3 】

30

ダミーメモリセル D M C は、ダミーリードワード線 D R W L 0 および D R W L 1 のいずれか一方によって選択される。ダミーリードワード線 D R W L 0 によって選択されるダミーメモリセル群は、ダミーリードワード線 D R W L 0 の活性化にตอบสนองして導通するアクセストランジスタ D A T R を有する。したがって、ダミーリードワード線 D R W L 0 の活性化にตอบสนองして、ビット線 B L 1 ~ B L m と基準電圧配線 S L 1 ~ S L m とのそれぞれの間に、ダミー記憶部 D M T J が電氣的に結合される。

【 0 1 3 4 】

一方、ダミーリードワード線 D R W L 1 によって選択される残りのダミーメモリセル群は、ダミーリードワード線 D R W L 1 の活性化にตอบสนองして導通するアクセストランジスタ D A T R を有する。したがって、ダミーリードワード線 D R W L 1 の活性化にตอบสนองして、ビット線 / B L 1 ~ / B L m と基準電圧配線 S L 1 ~ S L m とのそれぞれの間に、ダミー記憶部 D M T J が電氣的に結合される。

40

【 0 1 3 5 】

ダミーリードワード線 D R W L 0 および D R W L 1 は、ビット線対の一方ずつ B L 1 ~ B L m および他方ずつ / B L 1 ~ / B L m のうち、選択されたメモリセル行に属するメモリセル M C と非接続となった一方を、ダミーメモリセル D M C とそれぞれ結合するように選択的に活性化される。この結果、ビット線対の一方ずつ B L 1 ~ B L m および他方ずつ / B L 1 ~ / B L m は、選択されたメモリセル行に対応する m 個の M T J メモリセルおよび m 個のダミーメモリセルの一方ずつとそれぞれ結合される。

【 0 1 3 6 】

50

すでに説明したようにメモリセルMCの電気抵抗値は、記憶データのレベルによって変化する。ここで、Hレベル(“1”)データを記憶した場合におけるMTJメモリセルの電気抵抗値を R_h とし、Lレベル(“0”)データを記憶した場合におけるメモリセルMCの電気抵抗値を R_l とすると、ダミー記憶部DMTJの電気抵抗値 R_d は、 R_l と R_h との中間値に設定される。これにより、ダミーメモリセルDMCと結合されたビット線に生じる電圧変化と、メモリセルMCと結合されたビット線に生じる電圧変化とを比較することによって、データ読出の対象となった、選択メモリセルにおける記憶データのレベルを讀出すことができる。

【0137】

さらに、データバスDBと相補のデータバス/DBが配置される。データバスDBおよびデータバス/DBは、データバス対DBPを構成する。

10

【0138】

データバス/DBは、データバスDBと、単位長当たりの電気抵抗値が同様となるように、実施の形態1におけるビット線BLに対する基準電圧配線SLと同様に配置される。

【0139】

コラム選択ゲートCSG1~CSGmの各々は、データバスDBおよび/DBと対応するビット線BLおよび/B Lとの間にそれぞれ電氣的に結合される2個のトランジスタスイッチを有する。これらのトランジスタスイッチは、対応するコラム選択線CSLの活性化に応答してオンする。これにより、選択されたメモリセル列に対応するビット線対を構成するビット線BLおよび/B Lの各々に対して、データバスDB、/DBとコラム選択ゲートCSGとを介して、センス電流 I_s がデータ読出回路52bより供給される。

20

【0140】

データ読出回路52bは、図2に示したデータ読出回路52aと比較して、抵抗168を具備しない点および、トランジスタ64が、データバス/DBと結合されるノードNr2とノードNs2との間に電氣的に結合される点異なる。データ読出回路52bのその他の部分の構成は、データ読出回路52aと同様であるので、詳細な説明は繰り返さない。

【0141】

データ読出回路52bは、データバスDBおよび/DBの各々に対して、同一のセンス電流 I_s を供給するとともに、データバスDBおよび/DBの間の電圧差を検知増幅して、データ読出を実行する。

30

【0142】

このような構成とすることにより、実施の形態1に従う構成によって享受される効果に加えて、折り返し型ビット線構成に基づいてデータ読出を実行できるので、データ読出マージンを十分に確保することが可能となり、さらにデータ読出動作を安定化することが可能となる。

【0143】

また、メモリセルMCに対して供給されるセンス電流(図中の I_{sc})とダミーメモリセルDMCに対して供給されるセンス電流(図中の I_{sd})とのそれぞれに含まれる、ビット線BLおよび基準電圧配線SLの電気抵抗値の和は同様であるので、これらのセンス電流を同一レベルに設定して、相補的に動作させるデータ読出のマージンを向上させることが可能となる。

40

【0144】

なお、図7においては、ダミーメモリセルDMCを、メモリアレイ10の端部に配置する構成を示したので、メモリセルMCとダミーメモリセルDMCとで基準電圧配線SLを共有しても大きな支障はない。しかし、ダミーメモリセルの配置によって、基準電圧配線の共有に支障が出る場合には、ダミーメモリセルDMC用とノーマルのメモリセルMC用とで基準電圧配線SLを独立に配置することも可能である。

【0145】

[実施の形態2]

実施の形態2においては、選択されたメモリセル列の位置に依存して、データバスDB上

50

のセンス電流経路における抵抗値の変動を防止する構成について説明する。

【0146】

図8は、実施の形態2に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【0147】

図8を参照して、実施の形態2に従う構成においては、図2に示した実施の形態1に従う構成に加えて、擬似データバスSDBが配置される点が異なる。擬似データバスSDBは、実施の形態1における基準電圧配線SLとビット線BLとの間の関係と同様に、データバスDBとの間で単位長当りの電気抵抗値が同様となるように配置される。

【0148】

擬似データバスSDBは、読出基準電圧である接地電圧Vssと結合される。データ読出回路52aとデータバスDBとが接続される領域と、擬似データバスSDBと接地電圧Vssとが結合される領域とは、行方向に沿って、メモリアレイ10を挟んで互いに反対側に位置する。

【0149】

さらに、擬似データバスSDBは、基準電圧配線SL1~SLmの各々と電氣的に結合される。したがって、各基準電圧配線SLは、擬似データバスSDBを介して接地電圧Vssと結合される。

【0150】

擬似データバスSDBは、各メモリセル列に共通に配置される。したがって、データ読出の高精度化を図るには、データ読出電流Is以外の電流が擬似データバスSDBを流れないように、各ビット線BLのプリチャージ電圧を、読出基準電圧と同電圧、すなわち接地電圧Vssに設定することが必要である。

【0151】

このような構成とすることによって、選択メモリセル列の位置が変化しても、センス電流Isの電流経路に含まれる、データバスDBおよび擬似データバスSDBの電気抵抗値の和をほぼ一定に維持することができる。これにより、選択されたメモリセル列に依存して、センス電流Isの電流値が変動することをさらに防止できる。この結果、メモリアレイ内においてデータ読出時の動作マージンを、さらに一様に維持することができ、MRAMデバイス全体の動作マージンを十分に確保することができる。

【0152】

[実施の形態2の変形例1]

図9は、実施の形態2の変形例1に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【0153】

図9を参照して、実施の形態2の変形例1に従う構成においては、図6に示した実施の形態1の変形例1に従う構成に加えて、図8と同様の擬似データバスSDBがさらに配置される。隣接するメモリセルによって共有される基準電圧配線SL1~SLkの各々は、擬似データバスSDBを介して接地電圧Vssと結合される。その他の部分の構成は図6と同様であるので、詳細な説明は繰り返さない。

【0154】

このような構成とすることにより、選択されたメモリセル列に依存して、センス電流Isの電流値が変動することをさらに防止できる。この結果、実施の形態1の変形例1による効果に加えて、メモリアレイ内においてデータ読出時の動作マージンを、さらに一様に維持することができる。

【0155】

[実施の形態2の変形例2]

図10は、実施の形態2の変形例2に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【0156】

10

20

30

40

50

図10を参照して、実施の形態2の変形例2に従う構成においては、図7に示した実施の形態1の変形例2に従う構成に加えて、擬似データバスSDBおよび擬似ダミーデータバスSDBdがさらに配置される。

【0157】

擬似データバスSDBおよび擬似ダミーデータバスSDBdの各々と、データバスDBおよび/DBの各々とは、単位長当りの電気抵抗値が同様となるように、実施の形態1における基準電圧配線SLとビット線BLとの間の関係と同様に配置される。

【0158】

擬似データバスSDBおよび擬似ダミーデータバスSDBdの各々は、読出基準電圧である接地電圧Vssと結合される。データ読出回路52bとデータバスDBおよび/DBとが接続される領域と、擬似データバスSDBおよび擬似ダミーデータバスSDBdと接地電圧Vssとが結合される領域とは、行方向に沿って、メモリアレイ10を挟んで互いに反対側に位置する。

10

【0159】

メモリセルMCに対して接地電圧Vssを供給するための基準電圧配線SL1~SLmと、ダミーメモリセルDMCに対して接地電圧Vssを供給するためのダミー基準電圧配線SLd1~SLdmとは独立に配置される。なお、ダミー基準電圧配線SLd1~SLdmを総称する場合には、単に符号SLdを用いるものとする。

【0160】

擬似データバスSDBは、基準電圧配線SL1~SLmの各々と結合され、擬似ダミーデータバスSDBdは、ダミー基準電圧配線SLd1~SLdmの各々と結合される。

20

【0161】

各基準電圧配線SLおよび各ダミー基準電圧配線SLdは、各ビット線BLと単位長当りの電気抵抗値が同様となるように、実施の形態1における基準電圧配線SLとビット線BLとの間の関係と同様に形成される。その他の部分の構成は、図7と同様であるので、詳細な説明は繰り返さない。

【0162】

このような構成とすることにより、メモリアレイ10内において、選択されるメモリセルMCの属する行および列の両方に依存することなく、センス電流Isの電流経路に含まれる信号配線の電気抵抗値の和をほぼ一定値に維持して、センス電流Isの変動を防止できる。

30

【0163】

また、メモリセルMCに対して供給されるセンス電流(図中のIs c)と、ダミーメモリセルDMCに対して供給されるセンス電流(図中のIs d)についても、選択されるメモリセルMCの属する行および列の両方に依存することなく同一レベルに設定できるので、相補的に動作させるデータ読出のマージンを向上させることが可能となる。

【0164】

この結果、実施の形態1の変形例2による効果に加えて、メモリアレイ内においてデータ読出時の動作マージンを、さらに一様に維持することができる。

【0165】

[実施の形態3]

図11は、実施の形態3に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

40

【0166】

図11を参照して、実施の形態3に従う構成においては、ダミーメモリセルDMCは、ダミー列を構成するように配置される。これに対応して、メモリアレイ10においては、ダミー列に対応して、ダミービット線DBLおよびダミー基準電圧配線SLdが設けられる。

【0167】

各基準電圧配線SL、ダミー基準電圧配線SLd、各ビット線BLおよびダミービット線

50

D B L は、単位長当りの電気抵抗値が同様となるように、実施の形態 1 における基準電圧配線 S L とビット線 B L との関係と同様に形成される。その他の部分の構成は、図 7 と同様であるので、詳細な説明は繰り返さない。

【 0 1 6 8 】

データバス対 D B P を構成するデータ線の一方 / D B と、ダミービット線 D B L との間にはコラム選択ゲート C S G d が配置される。コラム選択ゲート C S G d は、コラム選択線 C S L d の活性化に応答してオンする。データ読出時においては、選択されるメモリセル列にかかわらず、コラム選択線 C S L d は活性化される。

【 0 1 6 9 】

このような構成とすることにより、ダミーメモリセル D M C を、ダミー列を構成するように配置する場合においても、実施の形態 2 の変形例 2 と同様に、データ読出動作の安定化を図ることが可能である。

10

【 0 1 7 0 】

なお、メモリアレイ 1 0 における、メモリセル M C に対応する基準電圧配線 S L の配置は、実施の形態 2 の変形例 1 と同様に、隣接するメモリセル行間で共有して、メモリアレイ 1 0 の高集積化を図ることも可能である。

【 0 1 7 1 】

[実施の形態 4]

実施の形態 4 においては、階層データ線構成を適用したデータ読出について説明する。

【 0 1 7 2 】

図 1 2 は、本発明の実施の形態 4 に従う M R A M デバイスのデータ読出に関連する構成を示すための図である。

20

【 0 1 7 3 】

図 1 2 を参照して、実施の形態 4 に従う M R A M デバイスにおいては、複数のメモリアレイが行列状に配置される。これらのメモリアレイは、列方向に沿って、複数のブロック B L K a , B L K b , ... に分割される。

【 0 1 7 4 】

図 1 2 には、メモリアレイ 1 0 - a 1 , 1 0 - a 2 , 1 0 - b 1 , 1 0 - b 2 が代表的に例示される。列方向に隣接する 1 0 - a 1 および 1 0 - a 2 は、同一のブロック B L K a に属する。同様に、1 0 - b 1 および 1 0 - b 2 は、同一のブロック B L K b に属する。

30

【 0 1 7 5 】

各ブロックに対応して、データ読出回路、グローバルデータバス対および擬似グローバルデータバスが配置される。図 1 2 においては、ブロック B L K a に対応するデータ読出回路 5 3 - a、グローバルデータバス対 G D B P a および擬似グローバルデータバス S G D B a と、ブロック B L K b に対応する、データ読出回路 5 3 - b、グローバルデータバス対 G D B P b および擬似グローバルデータバス S G D B b とが代表的に示される。

【 0 1 7 6 】

グローバルデータバス対 G D B P a は、グローバルデータバス G D B a および / G D B a から構成される。同様に、グローバルデータ対 G D B P b は、グローバルデータバス G D B b および / G D B b から構成される。

40

【 0 1 7 7 】

データ読出時においては、各ブロックにおいて独立にメモリセルが選択される。データ読出回路 5 3 - a および 5 3 - b の各々は、対応するグローバルデータバス対を構成するグローバルデータバスの各々に対してセンス電流 I_s を供給してデータ読出を実行する。データ読出回路 5 3 - a および 5 3 - b の構成および動作は、図 7 に示したデータ読出回路 5 2 b と同様であるので詳細な説明は繰り返さない。

【 0 1 7 8 】

以下においては、グローバルデータバス対、グローバルデータバスおよび擬似グローバルデータバスを総括的に表記する場合には、符号 G D B P、G D B (/ G D B) および S G D B をそれぞれ用いるものとし、特定のグローバルデータバス対、グローバルデータバ

50

スおよび擬似グローバルデータバスを扱う場合には、これらの符号に添字を付して、 $GDBPa$ 、 $GDBa$ ($/GDBa$) および $SGDBa$ のように表記するものとする。

【0179】

グローバルデータバス GDB 、 $/GDB$ および、擬似グローバルデータバス $SGDB$ は、列方向に沿って配置される。グローバルデータバス GDB 、 $/GDB$ および、擬似グローバルデータバス $SGDB$ の各々は、単位長当りの電気抵抗値が同様となるように配置される。

【0180】

各データ読出回路 53 と各グローバルデータバス対 $GDBP$ とが結合される領域と、各擬似グローバルデータバス $SGDB$ と読出基準電圧である接地電圧 V_{SS} とが結合される領域は、行列状に配置されるメモリアレイ群を挟んで、互いに反対側に位置する。

10

【0181】

このような構成とすることにより、各ブロックにおいて、選択メモリセルが属するメモリアレイの位置に依存することなく、データ読出電流の経路に含まれる、グローバルデータバス GDB ($/GDB$) および擬似グローバルデータバス $SGDB$ の電気抵抗値の和をほぼ一定として、センス電流 I_s を一定に維持できる。

【0182】

メモリアレイ $10 - a1$ 、 $10 - a2$ 、... の各々は、図 10 に示したメモリアレイ 10 と同様の構成を有する。したがって、それぞれのメモリアレイ内およびその周辺に配置される、複数のメモリセル MC 、ビット線 BL 、基準電圧配線 SL およびコラム選択ゲート CSG については、それぞれを特に区別することなく総括的な符号を用いて表記する。

20

【0183】

これらのメモリアレイの各々に対応して、対応するグローバルデータバス対 $GDBP$ と結合されるローカルデータバス対 $LDBP$ が設けられる。各ローカルデータバス対 $LDBP$ は、図 10 に示されたデータバス対 DBP に相当し、ローカルデータバス LDB および $/LDB$ を有する。

【0184】

図 12 には、メモリアレイ $10 - a1$ 、 $10 - a2$ 、 $10 - b1$ および $10 - b2$ のそれぞれに対応して配置される、ローカルデータバス対 $LDBPa1$ 、 $LDBPa2$ 、 $LDBPb1$ および $LDBPb2$ が代表的に示される。

30

【0185】

ローカルデータバス対 $LDBPa1$ は、ローカルデータバス $LDBa1$ および $/LDBa1$ によって構成される。ローカルデータバス対 $LDBPa2$ は、ローカルデータバス $LDBa2$ および $/LDBa2$ によって構成される。ローカルデータバス対 $LDBPb1$ は、ローカルデータバス $LDBb1$ および $/LDBb1$ によって構成される。ローカルデータバス対 $LDBPb2$ は、ローカルデータバス $LDBb2$ および $/LDBb2$ によって構成される。

【0186】

以下においては、これらのローカルデータバス対およびローカルデータバスを総称する場合には、単に符号 $LDBP$ および LDB ($/LDB$) を用いることとする。

40

【0187】

各メモリアレイに対応して、図 7 と同様のコラム選択ゲート CSG がメモリセル列に対応してそれぞれ配置される。コラム選択ゲート CSG は、対応するコラム選択線 CSL の活性化に応じて、選択的にオンする。コラム選択線 CSL は、行方向に隣接するメモリアレイ間で共有することができる。

【0188】

メモリアレイ中のビット線 BL および $/BL$ は、対応するコラム選択ゲートを介して、ローカルデータバス対 $LDBP$ を構成するローカルデータバス DBP および $/DBP$ のそれぞれと電氣的に結合される。

【0189】

50

このようにデータベースを階層化することによって、グローバルデータベース対GDBPおよびローカルデータベース対LDBPの負荷容量を低減して、データ読出を高速化することができる。

【0190】

さらに、各メモリアレイに対応して、図7に示される擬似データベースSDBに相当する、擬似ローカルデータベースSLDBが配置される。図12には、メモリアレイ10-a1、10-a2、10-b1および10-b2のそれぞれ対応して配置される、擬似ローカルデータベースSLDBa1、SLDBa2、SLDBb1およびSLDBb2が代表的に示される。

【0191】

各擬似ローカルデータベースSLDBは、ローカルデータベース対LDBPを構成するローカルデータベースLDBおよび/LDBの各々と、単位長当りの電気抵抗値が同様となるように設計される。

【0192】

表記の都合上、表記を省略しているが、各メモリアレイにおいて、図10に示した、ダミーメモリセルDMC、ダミー基準電圧配線SLd、および擬似ダミーデータベースSDBdに相当する配線が配置される。

【0193】

したがって、実施の形態2の変形例2と同様に、各メモリアレイ内において、選択されるメモリセルの位置に依存せず、センス電流Isを一定に維持できる。この結果、実施の形態4に従うMRAMデバイスにおいては、データベースを階層化することによって、データ読出の高速化を図るとともに、選択されるメモリアレイおよびメモリセルの位置に依存せず、データ読出マージンを一様に確保して、安定的なデータ読出を実行することが可能となる。

【0194】

なお、行列状に配置されるメモリアレイの各々については、実施の形態1から3およびそれらの変形例に示したいずれのメモリアレイ10の構成を適用することも可能である。その場合には、必要に応じて、グローバルデータベース対およびローカルデータベース対を、データベース対ではなく単線のデータ線として配置するとともに、データ読出回路53の構成を、図2に示したデータ読出回路52aと同様とすればよい。

【0195】

なお、実施の形態1から4およびそれらの変形例においては、基準電圧配線SLによって供給される読出基準電圧が接地電圧Vssである場合のみを示しているが、この読出基準電圧は他の電圧、たとえば電源電圧Vccとしてもよい。この場合には、データ読出回路52a、52bおよび53において、データベースDBを接地電圧Vssにプルダウンするなど、それぞれの図において示された電圧の極性を反転させればよい。

【0196】

[実施の形態5]

実施の形態5においては、高集積化に適した、ダイオードをアクセス素子として用いた構成のメモリセルを適用した場合における、データ読出の安定化について説明する。

【0197】

図13は、ダイオードを用いたMTJメモリセルの第1の構成例を示す概略図である。

【0198】

図13を参照して、ダイオードを用いたMTJメモリセルMCDDは、磁気トンネル接合部MTJと、アクセスダイオードDMとを備える。アクセスダイオードDMは、磁気トンネル接合部MTJからワード線WLに向かう方向を順方向として、両者の間に結合される。ビット線BLは、ワード線WLと交差する方向に設けられ、磁気トンネル接合部MTJと結合される。

【0199】

MTJメモリセルMCDDに対するデータ書込は、ワード線WLおよびビット線BLにデ

10

20

30

40

50

ータ書込電流を流すことによって行なわれる。データ書込電流の方向は、アクセストランジスタを用いたメモリセルの場合と同様に、書込データのデータレベルに応じて設定される。

【0200】

一方、データ読出時においては、選択されたメモリセルに対応するワード線WLは、低電圧（たとえば接地電圧 V_{ss} ）状態に設定される。このとき、ビット線BLを高電圧（たとえば電源電圧 V_{cc} ）状態にプリチャージしておくことによって、アクセスダイオードDMが順バイアスされて導通し、センス電流 I_s を磁気トンネル接合部MTJに流すことができる。

【0201】

一方、非選択のメモリセルに対応するワード線WLは、高電圧状態に設定されるので、対応するアクセスダイオードDMは、逆バイアスされて非導通状態を維持し、センス電流 I_s は流れない。

【0202】

このようにして、アクセスダイオードを用いたMTJメモリセルにおいても、データ読出およびデータ書込を実行することができる。

【0203】

図14は、MTJメモリセルMCDDを半導体基板上に配置した場合の構造図である。

【0204】

図14を参照して、半導体主基板SUB上のn型領域NARと、n型領域NAR上に設けられたp型領域PARとによってアクセスダイオードDMが形成される。

【0205】

アクセスダイオードDMのカソードに相当するn型領域NARは、金属配線層M1に形成されたワード線WLと結合される。アクセスダイオードDMのアノードに相当するp型領域PARは、バリアメタル140および金属膜150を介して、磁気トンネル接合部MTJと電氣的に結合される。ビット線BLは、金属配線層M2に配置され、磁気トンネル接合部MTJと結合される。このように、アクセストランジスタに代えてアクセスダイオードを用いることによって、高集積化に有利なMTJメモリセルを構成することができる。

【0206】

しかしながら、データ書込時において、ワード線WLおよびビット線BLにはデータ書込電流が流れるため、これらの配線においてデータ書込電流による電圧降下がそれぞれ発生する。このような電圧降下が生じた結果、ワード線WLおよびビット線BL上における電圧分布によっては、データ書込の対象となっていないMTJメモリセルの一部において、アクセスダイオードDMのPN接合がオンしてしまうおそれがある。この結果、予期しない電流がMTJメモリセルを流れることによって、誤ったデータ書込が実行されてしまうおそれがある。

【0207】

図15は、ダイオードを用いたMTJメモリセルの第2の構成例を示す概略図である。

【0208】

図15を参照して、ダイオードを用いたMTJメモリセルMCDは、図13に示した構成と同様に、磁気トンネル接合部MTJおよびアクセスダイオードDMを備える。MTJメモリセルMCDにおいては、リードワード線RWLとライトワード線WWLとが分割して配置される点が、図13に示したMTJメモリセルMCDDの構成と異なる。ビット線BLは、ライトワード線WWLおよびリードワード線RWLと交差する方向に配置され、磁気トンネル接合部MTJと電氣的に結合される。

【0209】

アクセスダイオードDMは、磁気トンネル接合部MTJからリードワード線RWLに向かう方向を順方向として、両者の間に結合される。ライトワード線WWLは、他の配線と接続されることなく、磁気トンネル接合部MTJと近接して設けられる。

【0210】

10

20

30

40

50

MTJメモリセルMCDにおいては、データ書込時において、リードワード線RWLに電流を流す必要がないため、リードワード線RWLの電圧を安定的に高電圧状態（電源電圧Vcc）に維持して、アクセスダイオードDMを確実に逆バイアスして非導通状態を維持できる。したがって、図13に示されたMTJメモリセルMCDと比較して、データ書込動作の安定化を図ることができる。

【0211】

図16は、MTJメモリセルMCDを半導体基板上に配置した場合の構造図である。

【0212】

図16を参照して、MTJメモリセルMCDは、独立した配線として配置されるライトワード線WWLをさらに備える点で、図14に示したMTJメモリセルMCDの構造と異なる。その他の部分の構造は、図14と同様であるので、詳細な説明は繰り返さない。ライトワード線WWLは、たとえばリードワード線RWLと同一の金属配線層M1に形成することができる。

10

【0213】

なお、同一行に属するMTJメモリセルMCD間で、アクセスダイオードDMのカソードに相当するn型領域NAR同士を電氣的に結合することによって、リードワード線RWLを特に設けることなく、図15に示されたアクセスダイオードDMとリードワード線RWLとの結合関係が実現することもできる。このような構成とすれば、高集積化および動作の安定化とを両立できる。

【0214】

なお、図13および図15にそれぞれ示したメモリセルMCDおよびMCDは、データ読出に関する構成は同一であるので、以下においては、代表的にメモリセルMCDを配置したメモリアレイ10におけるデータ読出の安定化について説明する。すなわち、以下の説明において、メモリセルMCDは、メモリセルMCDと置換することが可能である。

20

【0215】

また、以下の説明において、ダイオードを用いたメモリセルMCD、MCDにおいても、アクセストランジスタを用いたメモリセルMCと同様に、各メモリセルにおける磁気トンネル接合部MTJに相当する部分については、記憶データのレベルに応じて電気抵抗値が変化する素子によって置換することが可能である。

【0216】

図17は、本発明の実施の形態5に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

30

【0217】

図17を参照して、メモリアレイ10において、図15に示した構成を有するメモリセルMCDが、n行×m列に、行列状に配置される。図17においては、データ読出動作には無関係であるライトワード線WWLの表記は省略される。

【0218】

ワード線ドライバ30は、リードワード線RWL1～RWLnにそれぞれ対応して設けられる、ワードドライバRWD1～RWDnを有する。以下においては、ワードドライバRWD1～RWDnを総称する場合には、単にワードドライバRWDとも表記する。

40

【0219】

ワードドライバRWD1～RWDnは、行デコーダ20からの行デコード信号RD1～RDnにそれぞれ応答して、リードワード線RWL1～RWLnの電圧レベルを設定する。

【0220】

行デコーダ20は、行デコード信号RD1～RDnのうちの選択されたメモリセル行に対応する1つをHレベルに活性化する。

【0221】

各ワードドライバRWDは、たとえばインバータで構成されて、対応する行デコード信号の活性化に反応して、対応するリードワード線RWLを読出基準電圧である接地電圧Vssと電氣的に結合する。これに反応して、メモリセルMCD内においてアクセスダイオ-

50

ドDMが順バイアスされて導通し、ビット線BLと接地電圧V_{ss}に設定されるリードワード線RWLとの間に電氣的に結合される、磁気トンネル接合部MTJにセンス電流I_sを流して、データ読出を実行することができる。

【0222】

ビット線BLに対するセンス電流I_sの供給は、図2と同様に配置される、データ読出回路52a、データバスDB、コラム選択ゲートCSGおよびコラム選択線CSLによって、列選択結果に応じて実行される。

【0223】

実施の形態5に従う構成においては、リードワード線RWLと、データバスDBとは、実施の形態1における基準電圧配線SLとビット線BLとの間の関係と同様に、単位長当りの電気抵抗値が同様の値となるように配置される。さらに、ワードドライバRWD1~RWDnが配置される領域と、メモリアレイ10を挟んで反対側(行方向)において、データバスDBとデータ読出回路52aとは結合される。

10

【0224】

このような構成とすること、選択されたメモリセル列の位置によらず、センス電流I_sの電流経路に含まれる、データバスDBおよびリードワード線RWLの電気抵抗値の和をほぼ一定に維持して、センス電流I_sの変動を防止できる。

【0225】

これにより、高集積化に適した、ダイオードを用いたメモリセルを行列状に配置するメモリアレイ内においても、選択されたメモリセル列に依存することなくデータ読出マージンを一様に維持して、データ読出を安定化することができる。

20

【0226】

[実施の形態5の変形例1]

図18は、本発明の実施の形態5の変形例1に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【0227】

図18を参照して、実施の形態5の変形例1に従う構成においては、図17に示す実施の形態5に従う構成に加えて、読出基準電圧である接地電圧V_{ss}を供給するための基準電圧配線SLがさらに設けられる。基準電圧配線SLは、ビット線BLと単位長当たりの電気抵抗値が同様の値となるように、実施の形態1における基準電圧配線SLとビット線BLとの間の関係と同様に配置される。

30

【0228】

基準電圧配線SLは、列方向に沿って配置され、ビット線BLがデータバスDBと結合される領域、すなわちコラム選択ゲートCSGが配置される領域と、メモリアレイ10を挟んで反対側(列方向)において、接地電圧V_{ss}と結合される。

【0229】

各ワードドライバRWDは、対応するリードワード線RWLを活性化する場合には、当該リードワード線RWLを基準電圧配線SLと電氣的に結合する。その他の部分の構成は、図17と同様なので詳細な説明は繰り返さない。

【0230】

このような構成とすることにより、ダイオードを用いたメモリセルを行列状に配置したメモリアレイ10においても、選択されたメモリ行の位置にかかわらず、センス電流I_sの電流経路に含まれる、ビット線BLおよび基準電圧配線SLの電気抵抗値の和をほぼ一定に維持して、センス電流I_sの変動を防止できる。

40

【0231】

さらに、実施の形態5と同様に、データバスDBおよびリードワード線RWLの電気抵抗値を設計することによって、選択メモリセルの位置に関らず、メモリアレイ内においてデータ読出時の動作マージンを一様に保つことができ、MRAMデバイス全体の動作マージンを十分に確保することができる。

【0232】

50

【実施の形態 5 の変形例 2】

実施の形態 5 の変形例 2 においては、実施の形態 5 の変形例 1 の構成に加えて、折り返し型のビット線構成が適用される。

【0233】

図 19 は、実施の形態 5 の変形例 2 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【0234】

図 19 を参照して、メモリアレイ 10 において、メモリセル MCD およびダミーメモリセル DMCD が、図 7 に示したメモリセル MC およびダミーメモリセル DMC と同様に、ダミーリードワード線 DRWL0 および DRWL1 を伴って配置される。

10

【0235】

ダミーメモリセル DMCD の各々は、ダミーメモリセル DMC と同様のダミー記憶部 DMTJ および、ビット線 BL および /BL の一方と ダミーリードワード線 DRWL0 もしくは DRWL1 との間にダミー記憶部 DMTJ と直列に結合されるアクセスダイオード DM とを有する。

【0236】

図 19 においては、第 j 番目および (j + 1) 番目のメモリセル行に対応するリードワード線 RWLj および RWLj + 1 と、これらに対応するワードドライバ RWDj および RWDj + 1 が代表的に示される。また、ダミーリードワード線 DRWL0 および DRWL1 にそれぞれ対応して、ダミーワードドライバ RWDd0 および RWDd1 とが配置される。

20

【0237】

図 18 に示した構成と同様に、これらのワードドライバは、共通の基準電圧配線 SL と電氣的に結合されることによって活性化されて、接地電圧 Vss を供給される。

【0238】

ビット線 BL とビット線対を構成する、相補のビット線 /BL は、ビット線 BL および基準電圧配線 SL の各々と、単位長当りの抵抗値が同様の値となるように配置される。このような構成とすることにより、高集積化に適した、メモリセル MCD を配置する場合においても、折り返し型のビット線構成に基づいて、データ読出動作マージンを確保して、さらにデータ読出動作の安定化を図ることができる。

30

【0239】

また、メモリセル MC に対して供給されるセンス電流 (図中の Isc) と、ダミーメモリセル DMCD に対して供給されるセンス電流 (図中の Isd) とについても、選択されるメモリセル MC の属する行および列の両方に依存することなく同一レベルに設定できるので、相補的に動作させるデータ読出のマージンを向上させることが可能となる。

【0240】

なお、すべての組合せについての図示は省略するが、実施の形態 1 から 4 およびそれらの変形例において、メモリセル MC に代えて、アクセスダイオードを用いたメモリセル MCD もしくは MCD を配置することができる。

【0241】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【0242】

【発明の効果】

請求項 1、2 および 12 ~ 14 記載の記憶装置は、選択メモリセルが属する行に依存することなくデータ読出電流を一定レベルに維持できるので、メモリアレイ内におけるデータ読出時の動作マージンを一様に保ち、記憶装置全体のデータ読出動作を安定化できる。特に、請求項 1 記載の記憶装置によれば、ダミーメモリセルを用いた折り返し型ビット線

50

構成に基づいてデータ読出を実行できるので、データ読出マージンを十分に確保することが可能となり、さらにデータ読出動作を安定化することが可能となる。

【0244】

請求項3および4記載の記憶装置は、選択メモリセルが属する列に依存することなくデータ読出電流を一定レベルに維持できるので、メモリアレイ内におけるデータ読出時の動作マージンを一様に保ち、記憶装置全体のデータ読出動作を安定化できる。

【0245】

請求項5記載の記憶装置は、選択メモリセルが属する行および列の両方に依存することなくデータ読出電流を一定レベルに維持できる。この結果、請求項3記載の記憶装置が奏する効果に加えて、メモリアレイ内におけるデータ読出時の動作マージンをさらに一様に保ち、記憶装置全体の動作マージンをさらに十分に確保することができる。

10

【0246】

請求項6記載の記憶装置は、基準電圧配線の配置本数を削減することができるので、請求項1～3記載の記憶装置が奏する効果に加えて、メモリアレイの高集積化を図ることができる。

【0247】

請求項7および8記載の記憶装置は、ダミーメモリセルを用いた折り返し型ビット線構成に基づいてデータ読出を実行するとともに、選択されたメモリセルおよびダミーメモリセルに伝達されるデータ読出電流のそれぞれを、選択メモリセルが属する行に依存することなく一定レベルに維持できる。この結果、請求項3記載の記憶装置が奏する効果に加えて、データ読出動作をさらに安定化できる。

20

【0248】

請求項9記載の記憶装置は、選択メモリセルが属する行および列の両方に依存することなく、選択されたメモリセルおよびダミーメモリセルに伝達されるデータ読出電流のそれぞれを一定レベルに維持できる。この結果、請求項7および8記載の記憶装置が奏する効果に加えて、データ読出動作をさらに安定化できる。

【0249】

請求項10記載の記憶装置は、選択されたメモリセルおよびダミーメモリセルに伝達されるデータ読出電流のそれぞれを同一レベルに設定できるので、請求項7～9に記載の記憶装置が奏する効果に加えて、相補的に動作させるデータ読出のマージンを向上させることが可能となる。

30

【0250】

請求項11記載の記憶装置は、請求項2～10に記載の記憶装置が奏する効果に加えて、行列状に配置された複数のメモリアレイを備える構成において、データバスを階層化することによってデータ読出の高速化を図るとともに、選択メモリセルが属するメモリアレイの位置に依存することなく、データ読出マージンを一様に確保して、安定的なデータ読出を実行することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従うMRAMデバイスの全体構成を示す概略ブロック図である。

40

【図2】 実施の形態1に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【図3】 実施の形態1に従うビット線および基準電圧配線の配置例を示す構造図である。

【図4】 メモリセルに対するデータ読出およびデータ書込動作を説明するタイミングチャートである。

【図5】 プリチャージ電圧を接地電圧とした場合におけるデータ読出およびデータ書込を説明するタイミングチャートである。

【図6】 実施の形態1の変形例1に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

50

【図 7】 実施の形態 1 の変形例 2 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【図 8】 実施の形態 2 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【図 9】 実施の形態 2 の変形例 1 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【図 10】 実施の形態 2 の変形例 2 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【図 11】 実施の形態 3 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

10

【図 12】 本発明の実施の形態 4 に従う M R A M デバイスのデータ読出に関連する構成を示すための図である。

【図 13】 ダイオードを用いた M T J メモリセルの第 1 の構成例を示す概略図である。

【図 14】 図 13 に示された M T J メモリセルを半導体基板上に配置した場合の構造図である。

【図 15】 ダイオードを用いた M T J メモリセルの第 2 の構成例を示す概略図である。

【図 16】 図 15 に示された M T J メモリセルを半導体基板上に配置した場合の構造図である。

【図 17】 本発明の実施の形態 5 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

20

【図 18】 本発明の実施の形態 5 の変形例 1 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【図 19】 本発明の実施の形態 5 の変形例 2 に従うメモリアレイおよびその周辺回路のデータ読出に関連する構成を詳細に説明するための図である。

【図 20】 磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

【図 21】 M T J メモリセルからのデータ読出動作を説明する概念図である。

【図 22】 M T J メモリセルに対するデータ書込動作を説明する概念図である。

【図 23】 M T J メモリセルに対するデータ書込時におけるデータ書込電流の方向と磁界方向との関係を説明する概念図である。

【図 24】 半導体基板上に配置された M T J メモリセルの構造図である。

30

【図 25】 行列状に集積配置された M T J メモリセルに対するデータ読出電流の供給を説明するブロック図である。

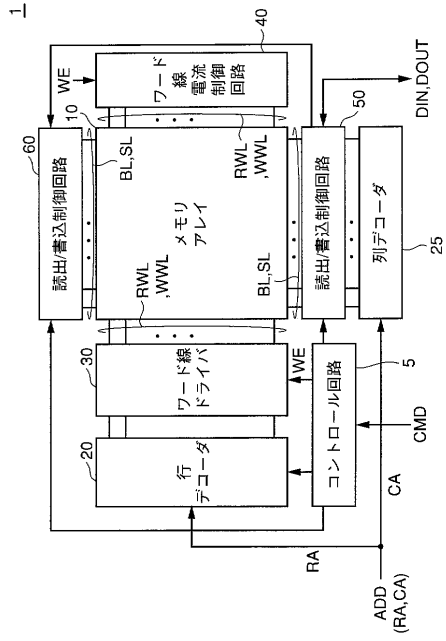
【図 26】 センス電流供給回路の一般的な構成を示すブロック図である。

【符号の説明】

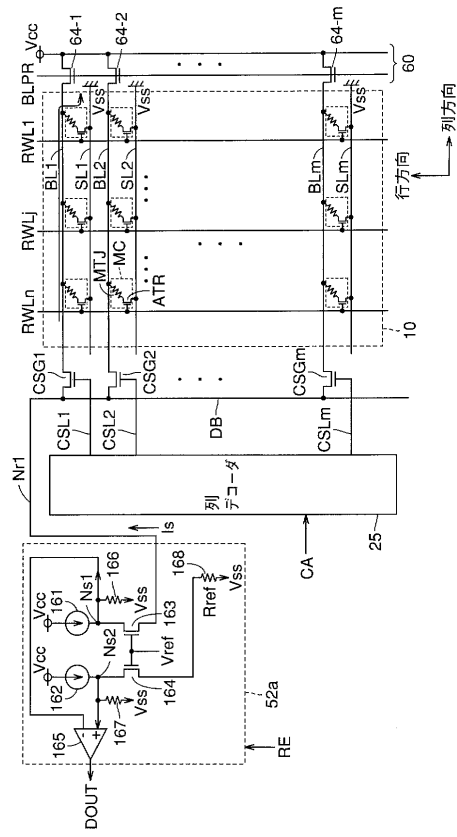
10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、50, 60 読出/書込制御回路、64 アクセストランジスタ、52a, 52b, 53 データ読出回路、A T R, D A T R アクセストランジスタ、D M, D D M アクセダイオード、B L ビット線、C S G コラム選択ゲート、C S L コラム選択線、S L 基準電圧配線、S L d ダミー基準電圧配線、F L 自由磁気層、V L 固定磁気層、R W D ワードドライバ、R W L リードワード線、W W L ライトワード線、D B P データバス対、D B, / D B データバス、G D B P グローバルデータバス対、G D B, / G D B グローバルデータバス、L D B P ローカルデータバス対、L D B, / L D B ローカルデータバス、M T J 磁気トンネル結合部、D M T J ダミー記憶部、S D B 擬似データバス、S D B d 擬似ダミーデータバス、S G D B 擬似グローバルデータバス。

40

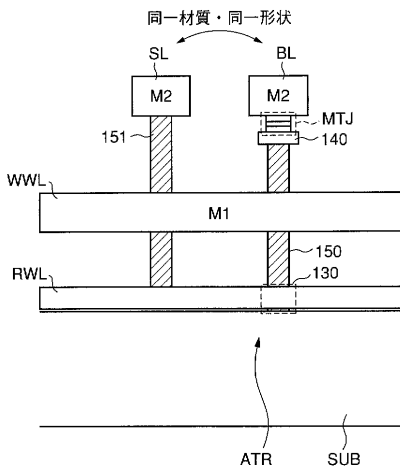
【図1】



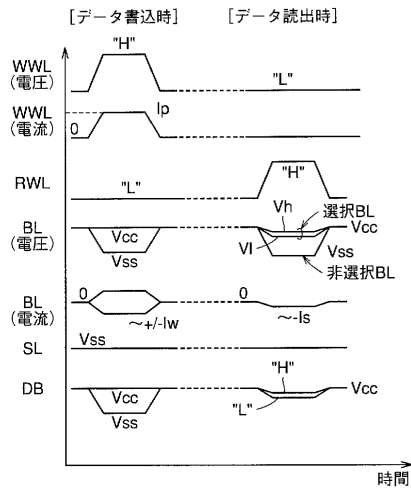
【図2】



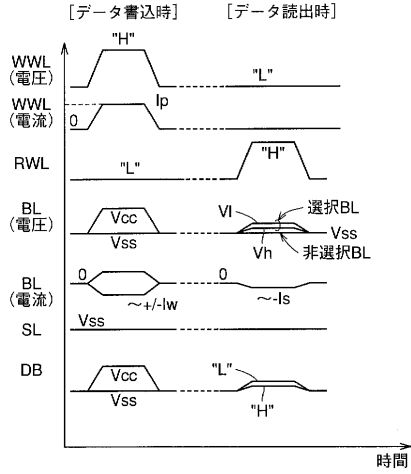
【図3】



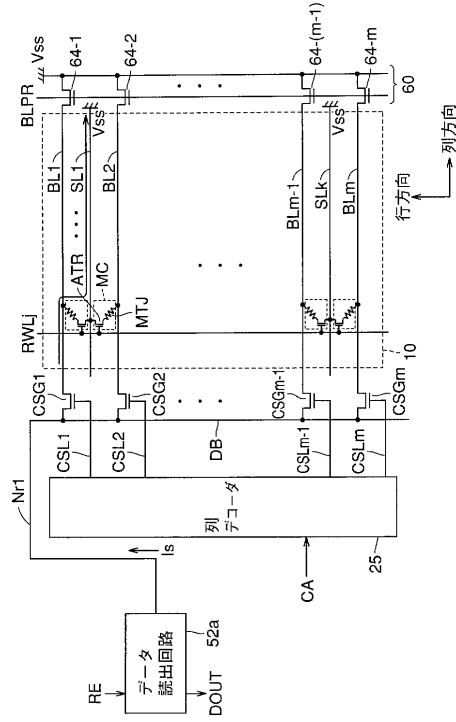
【図4】



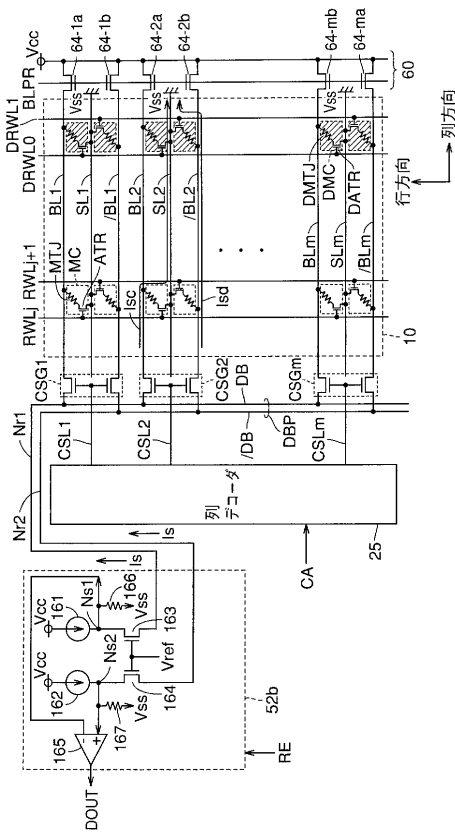
【図5】



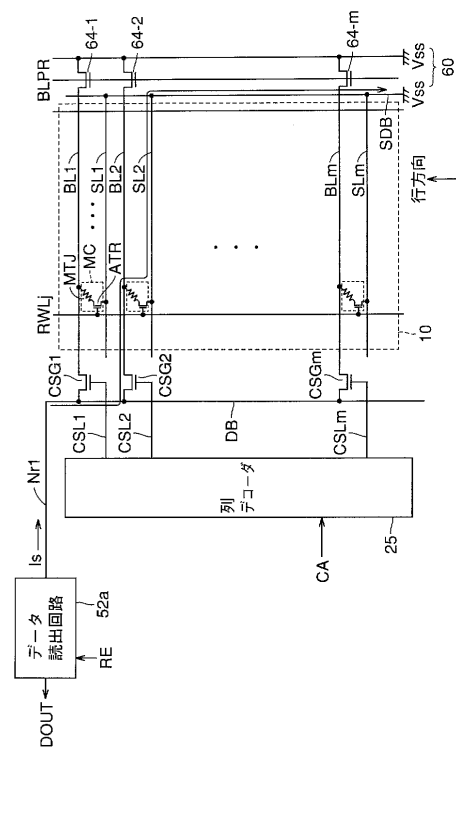
【図6】



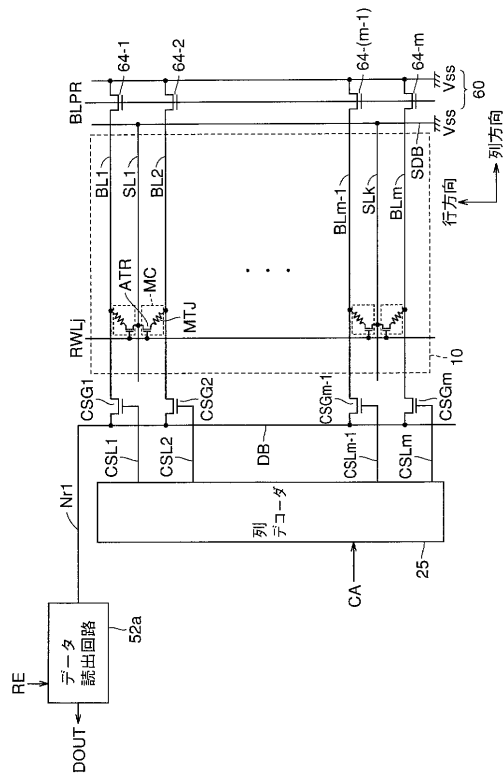
【図7】



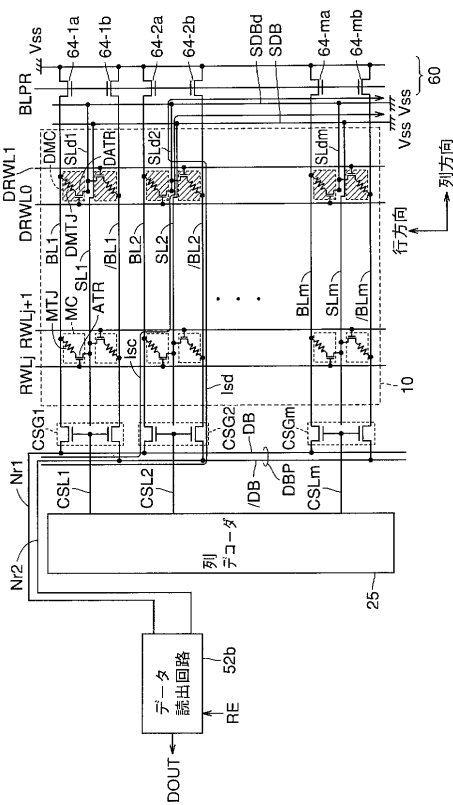
【図8】



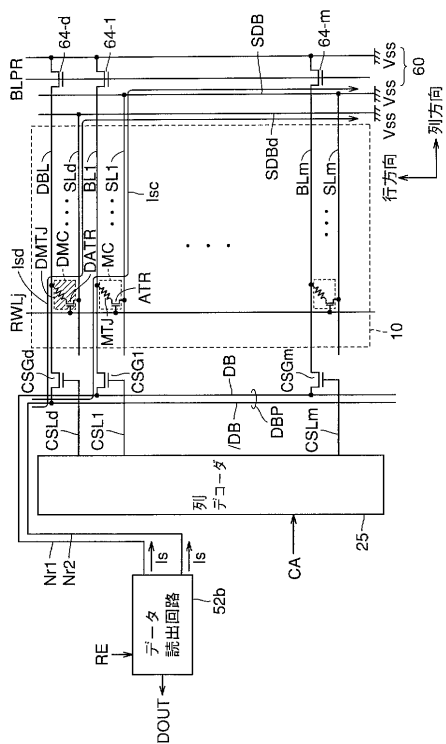
【図9】



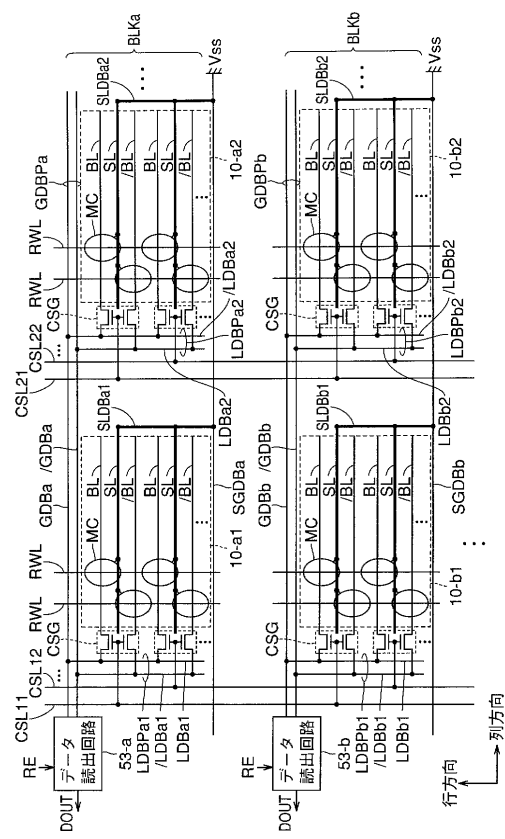
【図10】



【図11】

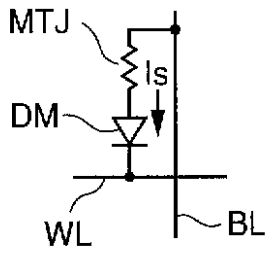


【図12】



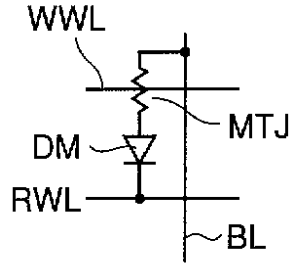
【図13】

MCDD

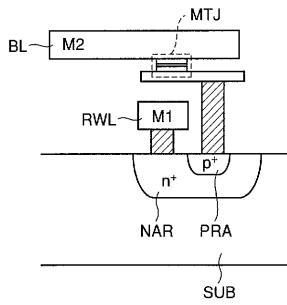


【図15】

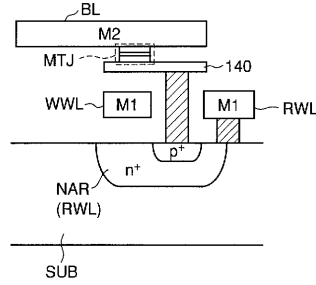
MCD



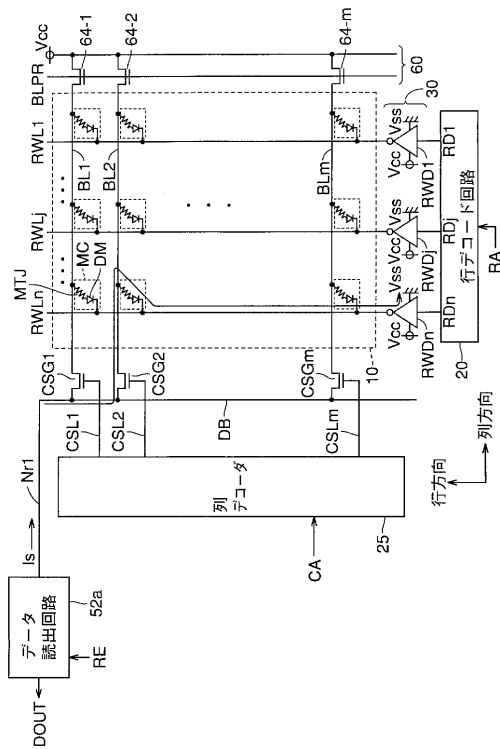
【図14】



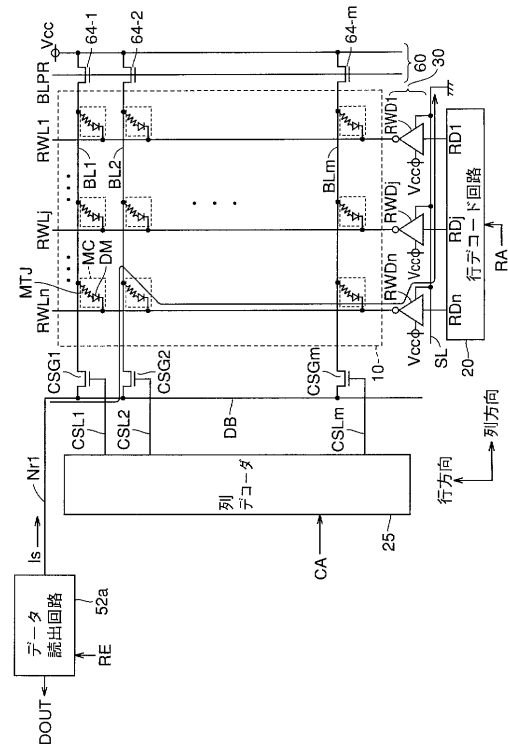
【図16】



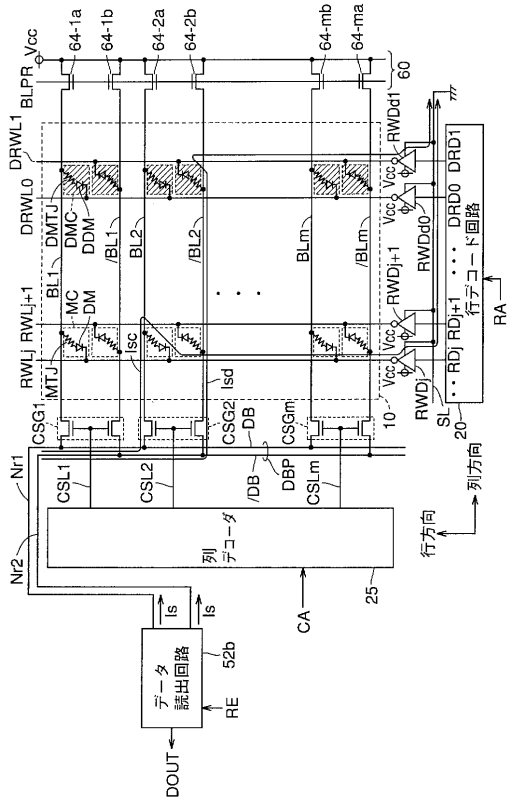
【図17】



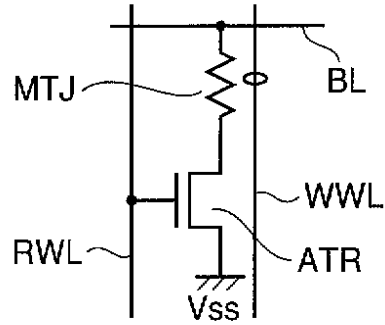
【図18】



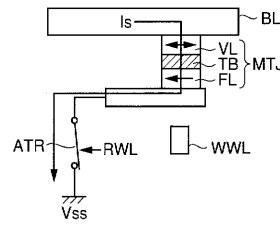
【図19】



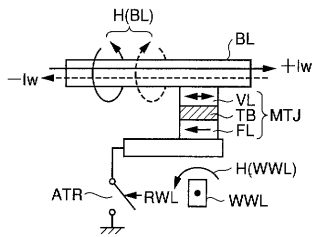
【図20】



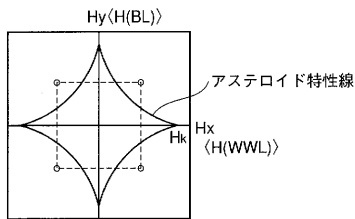
【図21】



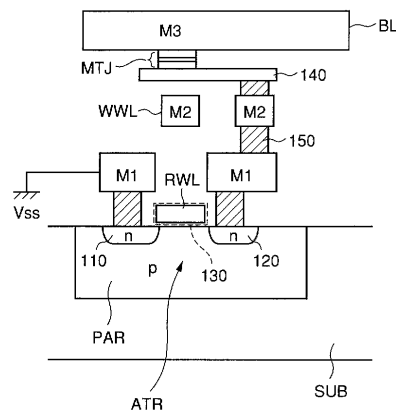
【図22】



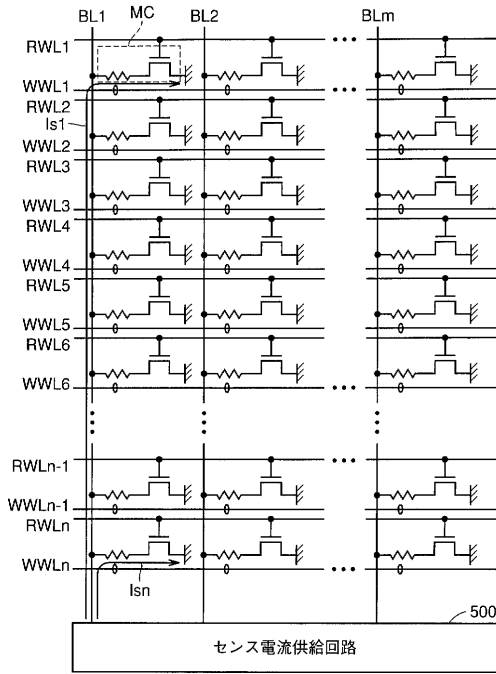
【図23】



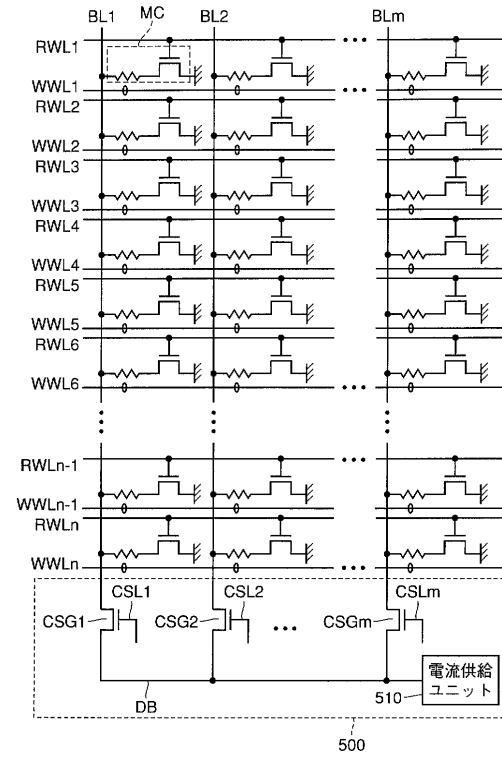
【図24】



【図 25】



【図 26】



フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 高瀬 勤

(56)参考文献 国際公開第00/060601(WO, A1)

特開平02-143980(JP, A)

特開2002-170377(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/15

H01L 21/8246

H01L 27/105

H01L 43/08