

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4553991号
(P4553991)

(45) 発行日 平成22年9月29日(2010.9.29)

(24) 登録日 平成22年7月23日(2010.7.23)

(51) Int. Cl.	F I
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B
HO 1 L 27/12 (2006.01)	GO 2 F 1/1368
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 1 2 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 7 D
HO 1 L 21/336 (2006.01)	

請求項の数 1 (全 18 頁)

(21) 出願番号 特願平11-528188
 (86) (22) 出願日 平成10年12月4日(1998.12.4)
 (86) 国際出願番号 PCT/JP1998/005525
 (87) 国際公開番号 W01999/030370
 (87) 国際公開日 平成11年6月17日(1999.6.17)
 審査請求日 平成15年7月3日(2003.7.3)
 審判番号 不服2007-16446(P2007-16446/J1)
 審判請求日 平成19年6月13日(2007.6.13)
 (31) 優先権主張番号 特願平9-339199
 (32) 優先日 平成9年12月9日(1997.12.9)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 安川 昌宏
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 電気光学装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

支持基板と対向基板との間に電気光学物質を挟持してなり、該支持基板上における画像表示領域に画素配列に対応してマトリクス状に配置された複数の第1スイッチング素子と該画像表示領域の周辺に位置する周辺領域に配置されており周辺回路を少なくとも部分的に構成する複数の第2スイッチング素子とを備えた電気光学装置を製造する電気光学装置の製造方法であって、

前記支持基板の、前記第1スイッチング素子及び前記第2スイッチング素子に対向する一方の表面に、前記支持基板よりも熱伝導率の高い遮光性材料からなる熱伝導性膜を、全面にわたり形成する工程と、

前記熱伝導性膜上に第1の絶縁体膜を形成する工程と、

前記第1の絶縁体膜上に、前記第1スイッチング素子及び前記第2スイッチング素子の電流経路とされる単結晶半導体膜を加熱処理により貼り合わせる工程とを含み、

前記貼り合わせる工程の後に、

前記熱伝導性膜をパターニングすることにより、前記第1スイッチング素子及び前記第2スイッチング素子に対向する領域に夫々前記熱伝導性膜のパターンを形成する工程を有し、

前記支持基板の一方の表面の前記第1スイッチング素子に対向する熱伝導性膜は、所定の電位が印加されるように形成され、前記第2スイッチング素子に対向する熱伝導性膜は、前記第2スイッチング素子の電流経路とされる単結晶半導体膜を覆うように島状に形成さ

れることを特徴とする電気光学装置の製造方法。

【発明の詳細な説明】

技術分野

本発明は、半導体装置の製造方法及び半導体装置の技術分野に関し、特に、絶縁性基板上に薄膜トランジスタ（以下適宜、TFTと称す）等のスイッチング素子を構成する単結晶半導体薄膜を形成してなる半導体装置の製造方法及びこの製造方法により製造された半導体装置、更に、この半導体装置を用いた電気光学装置の製造方法及びこの製造方法により製造された電気光学装置並びにこの電気光学装置を用いた電子機器の技術分野に関する。

背景技術

絶縁性基体上にシリコン単結晶薄膜を形成し、そのシリコン単結晶薄膜に半導体デバイスを形成する半導体技術はSOI（Silicon On Insulator）技術と呼ばれ、素子の高速化や低消費電力化、高集積化等の利点を有することから広く研究されている。

このSOI技術の1つとして、単結晶シリコン基板の貼り合わせによるSOI基板の作製技術がある。一般に貼り合わせ法と呼ばれるこの手法は、単結晶シリコン基板と支持基板（絶縁性基板）とを水素結合力を利用して貼り合わせた後、熱処理によって貼り合わせ強度を強化し、次いで単結晶シリコン基板を研削や研磨、またはエッチングによって薄膜化することにより、単結晶シリコン層を支持基板上に形成するものである。この手法では、直接、単結晶のシリコン基板を薄膜化するために、シリコン薄膜の結晶性に優れ、高性能のデバイスを作成できる。

また、この貼り合わせ法を応用したのものとして、単結晶シリコン基板に水素イオンを注入し、これを支持基板と貼り合わせた後、熱処理によって薄膜シリコン層を単結晶シリコン基板の水素注入領域から分離する手法（US Patent No. 5,374,564）や、表面を多孔質化したシリコン基板上に単結晶シリコン層をエピタキシャル成長させ、これを支持基板と貼り合わせた後にシリコン基板を除去し、多孔質シリコン層をエッチングすることにより支持基板上にエピタキシャル単結晶シリコン薄膜を形成する手法（特開平4-346418号）などが知られている。

このような貼り合わせ法によるSOI基板は通常のパルク半導体基板（半導体集積回路）と同様に、さまざまなデバイスの作製に用いられているが、従来のパルク基板と異なる特徴として、支持基板に様々な材料を使用することが可能な点を挙げることができる。即ち支持基板として通常のシリコン基板はもちろんのこと、透明な石英、あるいはガラス基板などを用いることができる。その結果、例えば透明な基板上に単結晶シリコン薄膜を形成することによって、光透過性を必要とするデバイス、例えば透過型の液晶表示デバイスなどの電気光学装置においても、結晶性に優れた単結晶シリコンを用いて高性能なトランジスタ素子を形成することが可能となる。

発明の開示

しかしながら、上述の貼り合わせ法によるSOI技術を用いた製造方法によれば、光透過性の透明な支持基板と単結晶シリコン薄膜を貼り合わせたSOI基板、特に、支持基板材料に石英を含むガラスを用いたSOI基板では、貼り合わせ時に石英ガラス基板の熱伝導性が問題になる。例えば石英ガラスの熱伝導率は1から2W/m・Kであり、単結晶シリコン基板のそれに比べ2桁も小さいため、貼り合わせ面において周辺と中央部に熱分布の違いが現れる。その結果、この貼り合わせ面内における熱分布の不均一によって接合面における結合力の分布も不均一となり、貼り合わせ面にボイドや欠陥が生じる。

またUS Patent No. 5,374,564のように単結晶シリコン基板に水素イオンを注入し、これを支持基板と貼り合わせた後、熱処理によって薄膜シリコン層を単結晶シリコン基板の水素注入領域から分離する手法を石英ガラス基板に応用したとき、特に基板の分離工程において水素注入領域における熱分布が不均一となり、領域の一部で単結晶シリコン基板が単結晶シリコン膜からはがれない問題点が現れている。

他方、上述の製造方法により製造された半導体装置によれば、その動作中において発生する熱が、熱伝導性の低い支持基板の存在により半導体装置外に放熱され難いという問題点

10

20

30

40

50

がある。特に、このように製造された半導体装置を液晶装置等の電気光学装置の画素部におけるスイッチング素子として或いは周辺回路部におけるスイッチング素子として用いると、上述した放熱不良により動作中にスイッチング素子の温度が上昇して当該スイッチング素子の特性が劣化する等の問題が生じる。

更に、このような電気光学装置においては、半導体装置の発熱に加えて当該電気光学装置に入射する投射光（光源等から射出された光のうちの電気光学装置への入射光）や戻り光（電気光学装置から出射された光のうちその先の光学部材で反射されて戻ってくる光）等の光によっても温度上昇が起こるため、特に強力な投射光を用いるプロジェクタ用途の場合には、上述した動作中の放熱不良の問題はより深刻化してしまう。

本発明は上述の問題点に鑑みなされたものであり、単結晶半導体膜の貼り合わせ法によるSOI技術を用いて、製造プロセス中における基板面内の熱分布の均一性を高めることが可能である半導体装置の製造方法、及びこの製造方法により製造され、動作中における放熱機能が高められた半導体装置、並びにこの半導体装置を用いた液晶装置等の電気光学装置及び電子機器を提供することを課題とする。

本発明の上記課題は、支持基板と対向基板との間に電気光学物質を挟持してなり、該支持基板上における画像表示領域に画素配列に対応してマトリクス状に配置された複数の第1スイッチング素子と該画像表示領域の周辺に位置する周辺領域に配置されており周辺回路を少なくとも部分的に構成する複数の第2スイッチング素子とを備えた電気光学装置を製造する電気光学装置の製造方法であって、前記支持基板の一方の表面に前記支持基板よりも熱伝導率の高い熱伝導性膜を、少なくとも前記第1スイッチング素子及び前記第2スイッチング素子に対向する領域に形成する工程と、前記熱伝導性膜上に第1の絶縁体膜を形成する工程と、前記第1の絶縁体膜上に前記第2スイッチング素子の電流経路とされる単結晶半導体膜を加熱処理により貼り合わせる工程とを含み、前記貼り合わせる工程の後に、前記熱伝導性膜を、前記第1スイッチング素子及び前記第2スイッチング素子に対向する領域に夫々パターンを形成する工程を有し、前記支持基板の一方の表面の前記第1スイッチング素子に対向する熱伝導性膜は、所定の電位が印加されており、前記第2スイッチング素子に対向する熱伝導性膜は、前記第2スイッチング素子の電流経路とされる単結晶半導体膜を覆うように島状に形成されることを特徴とする電気光学装置の製造方法により達成される。

本発明の電気光学装置の製造方法によれば、例えば単結晶半導体膜、第1の絶縁体膜及び熱伝導性膜の一部を個別又は一部同時にエッチングすることにより、熱伝導性膜は、少なくとも第2スイッチング素子に対向する領域に形成される。従って、周辺回路を構成する第2スイッチング素子の電流経路とされる単結晶半導体膜の下側（即ち支持基板側）では、第1の絶縁体膜と支持基板との間に熱導電性膜が介在しているため、貼り合わせ工程における加熱処理が行われる際に、基板面内における熱分布は均一化される。従って、基板面内における貼り合わせの均一化を図り、貼り合わせの強度を高めることができ、最終的に製造される第2スイッチング素子については電気光学装置における装置欠陥や装置劣化を低減できる。

また、本発明の製造方法により製造された電気光学装置における第2スイッチング素子は、単結晶半導体膜に対して第1の絶縁体膜を介して熱伝導性膜が対向配置されているので、動作時に第2スイッチング素子の電流経路である単結晶半導体膜に電流が流れて発熱する熱を、熱伝導性膜を介して放出する構成が可能となる。このように第2スイッチング素子の動作中における放熱機能を高めれば、動作中の発熱量の大きい大電力駆動用や高周波駆動用に当該第2スイッチング素子を用いても動作温度を所定の温度範囲内に収めつつ正常に動作させることも可能となる。

また本発明の電気光学装置の製造方法は、前記第2スイッチング素子の電流経路とされる単結晶半導体膜は、異なる導電型のチャネル領域を有する2つのトランジスタからなり、前記熱伝導性膜は、前記各チャネル毎に分断されて形成される。

また本発明の電気光学装置の製造方法は、前記熱伝導性膜は、前記第2スイッチング素子に対向する領域に形成する工程と同時に前記第1スイッチング素子に対向する領域に形成

10

20

30

40

50

され、前記熱伝導性膜は、蓄積容量の一方の電極として形成される。

また本発明の電気光学装置の製造方法は、前記熱伝導性膜は、遮光性材料からなる。本発明の電気光学装置の製造方法によれば、単結晶半導体膜に対して第1の絶縁体膜を介して対向配置される熱伝導性膜が遮光性材料からなるので、支持基板側からの投射光、戻り光等の入射光に対して単結晶半導体膜を熱伝導性膜により遮光する構成も可能となる。このように動作中における遮光機能を高めれば、特に装置自体からの発熱に加えて投射光等の強力な光の入射に対しても、温度上昇を抑制することが可能となり、同時に単結晶半導体膜における光電効果により入射光が光リークを起こす事態も効果的に阻止し得る。

【図面の簡単な説明】

図1は、本発明を適用した半導体装置の第1実施例を示す断面図である。 10
 図2は、本発明の第1実施例における半導体装置の製造方法を示す工程図である。
 図3は、本発明の第2実施例における半導体装置の製造方法を示す工程図である。
 図4は、本発明の第3実施例における半導体装置の製造方法を示す工程図である。
 図5は、本発明の第4実施例における半導体装置の製造方法を示す工程図である。
 図6は、透過型液晶パネルの平面レイアウトを示した図式的平面図である。
 図7は、図6のA-A'断面図である。
 図8は、透過型液晶パネルの画素部分の拡大平面図である。
 図9は、図8のB-B'断面図である。
 図10は、図8の蓄積容量に係るC-C'断面図である。
 図11は、図8の蓄積容量の変形例に係るC-C'断面に対応する断面図である。 20
 図12は、周辺駆動回路を構成する薄膜トランジスタの構成例の平面図である。
 図13は、周辺駆動回路を構成する薄膜トランジスタの他の構成例の平面図である。
 図14は、周辺駆動回路を構成する薄膜トランジスタの他の構成例の平面図である。
 図15は、周辺駆動回路を構成する薄膜トランジスタの他の構成例の平面図である。
 図16は、本発明の液晶パネルをライトバルブに用いた投射型表示装置の構成例を示すブロック図である。
 図17は、本発明の液晶パネルを表示装置に用いたコンピュータの外観図である。
 発明を実施するための最良の形態

以下、本発明を実施するための最良の形態について実施例毎に図面に基づいて説明する。

(第1実施例)

図1は本発明を適用した半導体装置の第1実施例を示す断面図である。また図2は本発明の第1実施例における半導体装置の製造方法を示す工程図である。図1に示すように本発明による半導体装置では、絶縁性支持基板1上に熱伝導性膜4が設けられ、これらの上に形成した第1の絶縁性膜の一例としての層間絶縁体膜3を介して、単結晶半導体膜の一例としての単結晶シリコン膜2が形成されている。

この半導体装置の製造方法を図2を用いて説明する。

先ず図2(a)に示すように、絶縁性支持基板1の一方の面に、熱伝導性膜4を全面にわたって形成する。本実施例においては支持基板として例えば厚さ0.4~1.1mmの石英ガラス基板を用いる。ただし、この基板は石英ガラス基板に限らず、絶縁性の高い他のガラス基板でもよい。場合によっては可とう性を有する基板でも構わない。熱伝導性膜4は、例えばモリブデン(Mo)をスパッタ法により100~1000nm程度の厚さに堆積することにより得る。なお、この熱伝導性膜4はMoに限定されるものではなく、作製するデバイスの熱プロセス最高温度に対して安定な材料であればどのような材料を用いても問題はない。例えば他にもW、Ta、Co、Ti等の高融点金属又はそれを材料とする合金若しくは多結晶シリコン、Wシリサイド、Moシリサイド等に代表されるシリサイドが好ましい材料として用いられ、形成法もスパッタ法その他、CVD法、電子ビーム加熱蒸着法などを用いることができる。なお望ましくは熱伝導能力が高いと同時に、後述のように配線や電極として利用可能にする等の理由から、高い電気伝導性をもった高融点金属又はその合金を使うことが望ましい。

次に熱伝導性膜4とその上に形成される単結晶シリコン膜2との間の電氣的絶縁を確保す

10

20

30

40

50

るために層間絶縁体膜3を形成する。この層間絶縁体膜3には例えばスパッタ法もしくはCVD法等により形成された50~1000nm程度の膜厚のシリコン酸化膜が用いられる。こうして得られた層間絶縁体膜3を表面に形成した支持基板1は、凹凸を改善することを目的として層間絶縁体膜3をグローバルに研磨して平坦化してもよい。研磨による平坦化の手法としては、例えばCMP(化学的機械研磨)法を用いることも可能である。

次に図2(b)に示すように層間絶縁体膜3を表面に形成した支持基板1と単結晶シリコン基板20の貼り合わせを行う。貼り合わせに用いる単結晶シリコン基板20は、例えば厚さ300~900 μm であり、例えばその表面を予め50~800nm程度酸化又は窒化して、酸化膜層又は窒化膜層を形成しておいてもよい。このことによって貼り合わせ後に形成される単結晶シリコン膜2と層間絶縁体膜3の界面を熱酸化又は熱窒化で形成し、電気特性の良い界面を確保することも可能である。貼り合わせ工程は、例えば300で2時間の熱処理によって2枚の基板を直接貼り合わせる方法を採用してもよい。貼り合わせ強度を更に高めるために、更に熱処理温度を上げて450程度にしても良いが、石英基板等からなる絶縁性支持基板1と単結晶シリコン基板20と熱伝導性膜3に用いられる材料の熱膨張係数には夫々大きな相違があるため、このまま加熱すると単結晶シリコン基板20にクラックなどの欠陥が発生し、基板品質が劣化してしまうことが十分考えられる。このようなクラックなどの欠陥の発生を抑制するために、例えば一度300にて貼り合わせのための熱処理を行った単結晶シリコン基板20をウエットエッチングまたはCMPによって100~150 μm 程度まで薄くした後に、更に高温の熱処理を行ってもよい。具体的には例えば80のKOH水溶液を用い、単結晶シリコン基板20の厚さが150 μm となるようエッチングを行う。この後、貼り合わせた両基板を450にて再び熱処理し、貼り合わせ強度を高めている。さらに図2(c)に示すように、この貼り合わせ後の単結晶シリコン基板表面を研磨して、厚さ3~5 μm の単結晶シリコン膜2が形成される。

このようにして薄膜化した貼り合わせ後の単結晶シリコン基板は、最後にPACE(Plasma Assisted Chemical Etching)法によって層間絶縁体膜3上に残された単結晶シリコン膜2の膜厚が0.05~0.8 μm 程度になるまでエッチングして仕上げる。このPACE処理によって単結晶シリコン膜2は、例えば膜厚100nmに対し、その均一性は10%以内のものが得られる。

以上の工程により、熱伝導性膜4を有する半導体装置が得られる。

以上説明したように本実施形態の製造方法によれば、層間絶縁体膜3と支持基板1との間には、熱導電性膜4が介在しているため、支持基板1上に直接単結晶シリコン膜を貼り合わせる場合と比べて、貼り合わせ工程における加熱処理が行われる際に、熱伝導性膜4が熱を伝導するので基板面内における熱分布はより均一化される。従って、基板面内における貼り合わせの均一化を図り、貼り合わせの強度を高めることができ、最終的に製造される半導体装置における装置欠陥や装置劣化を低減できる。また、本実施形態の製造方法により製造された半導体装置は、単結晶シリコン膜2に対して層間絶縁体膜3を介して熱伝導性膜4が対向配置されているので、単結晶シリコン膜2から発熱された熱を熱伝導性膜4を介して放出する構成が可能となる。このように半導体装置の動作中における放熱機能を高めれば、動作中の発熱量の大きい大電力駆動用や高周波駆動用に当該半導体装置を用いても、動作温度を所定の温度範囲内に収めつつ正常に動作させることも可能となる。

本実施形態では特に、層間絶縁体膜3の形成後に、層間絶縁体膜3を前述したCMP処理により薄膜化することが好ましい。このように薄膜化すると、層間絶縁体膜3の薄さに応じて、貼り合わせられた後の単結晶シリコン膜2と熱伝導性膜4の間の熱移動が容易になるので、熱伝導性膜4を利用しての基板面内における熱分布の均一化をより促進できる。更に、本実施形態により製造される薄膜トランジスタ等の半導体装置の動作時においても、チャンネル、ソース及びドレイン領域を構成する単結晶シリコン膜2と熱伝導性膜4との間の熱移動が容易になるので、熱伝導性膜4による放熱機能を向上できる。これに加えて、層間絶縁体膜3を誘電体膜として利用して蓄積容量等の容量を構成すれば、層間絶縁体膜3の薄さに応じて大容量化できる。

10

20

30

40

50

特に、このような層間絶縁体膜3の薄膜化を前述のようにCMP処理により行えば、薄膜化のみならず、nmオーダーでの平坦化も可能となり、それに応じて層間絶縁体膜3に貼り付けられた単結晶シリコン膜2の形成面の凹凸(モロロジー)を改善できる。このような層間絶縁体膜3の薄膜化により、層間絶縁体膜3の厚みは、好ましくは300nm以下とされる。この程度にまで薄膜化を行えば、製造プロセス中における熱伝導性膜4を利用する基板面内における熱分布の均一化を顕著に促進でき、更に、製造後の薄膜トランジスタ等の動作時においても、薄い層間絶縁体膜3を介しての熱伝導性膜4による放熱機能を顕著に向上できる。これに加えて、層間絶縁体膜3を誘電体膜として利用して蓄積容量等を構成すれば、誘電体膜の薄さに応じて大容量にできる。

尚、層間絶縁体膜3の厚みが1000nm程度に厚くても、上述した熱導電性膜4による効果は十分認識可能な程度に現われ、また、層間絶縁体膜3の厚みは、既存の薄膜形成技術により、50nm程度にまでは比較的容易に薄膜化可能である。

(第2実施例)

図3(a)~(e)は本発明の第2実施例における半導体装置の製造方法を示す工程図である。図1及び図2と同一の符号が付いている個所は、同一の工程で形成される膜又は部材を示す。この実施例においては図2(a)で示す熱伝導性膜4を含む支持基板1の表面に層間絶縁体膜3を形成するまでの工程は前述の第1実施例とまったく同一である。

図3(a)は、貼り合わせに用いる単結晶半導体基板の一例である単結晶シリコン基板20を示している。この単結晶シリコン基板20は、例えば厚さ300~900 μm であり、その表面を予め0.05~0.8 μm 程度酸化し、第3の絶縁体膜の一例としての酸化膜層5を形成したものである。次に図3(b)に示すように、単結晶シリコン基板20に水素イオン14を注入する。例えば本実施例においては、水素イオン(H^+)を加速電圧100keV、ドーズ量 10^{16}cm^{-2} にて注入する。この処理によって単結晶シリコン基板20中に水素イオンの高濃度層15が形成される。

次に図3(c)に示すように、イオン注入した単結晶シリコン基板20を(図3(b)で示した状態から上下反転させて)、図2にて説明したように熱伝導性膜4と層間絶縁体膜3を形成した支持基板1に貼り合わせる。貼り合わせ工程は、例えば300 $^{\circ}\text{C}$ で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。

更に図3(d)に示すように、貼り合わせた単結晶シリコン基板20の貼り合わせ面側の酸化膜5(これら層間絶縁体膜3と酸化膜5は共に半導体装置完成時には埋め込み酸化膜となる)と単結晶シリコン膜2を支持基板1上に残したまま、単結晶シリコン基板20を支持基板1から剥離するための熱処理を行う。この単結晶シリコン基板20の剥離現象は、単結晶シリコン基板20中に導入された水素イオンによって、単結晶シリコン基板20の表面近傍のある層でシリコンの結合が分断されるために生じるものである。本実施例においては、貼り合わせた2枚の基板を毎分20以上の昇温速度にて600 $^{\circ}\text{C}$ まで加熱する。この熱処理によって、貼り合わせた単結晶シリコン基板20が支持基板1と分離し、支持基板1表面には、約400nmのシリコン酸化膜3とその上に約200nmの単結晶シリコン膜2が形成される。

本実施例では熱伝導性膜4が形成されているため、従来例(US Patent No. 5,374,564)のように水素イオンの高濃度層15で、局部的に基板が剥がれないような問題点がなく、従来例に比べて容易に単結晶シリコン基板20を単結晶シリコン膜2から剥がすことが可能になる。即ち、このように単結晶シリコン基板20を貼り合わせる前に、単結晶シリコン基板20の表面に第3の絶縁体膜の一例たる酸化膜5が形成されており、熱伝導性膜4により基板面内の熱分布が均一化されるので、基板面内の剥がれ易さも均一化されるため、水素イオンの高濃度層15で良好に剥がせるのである。

図3(e)は分離後の半導体装置を示す断面図である。この半導体装置表面は、単結晶シリコン膜2の表面に数nm程度の凹凸が残っているため、これを平坦化する必要がある。このために本実施例においてはCMP法を用いて基板表面を微量(研磨量10nm未満)に研磨するタッチポリッシュを用いる。この平坦化の手法としては他にも水素雰囲気中にて熱処理を行う水素アニール法を用いることもできる。

10

20

30

40

50

以上により作製された半導体装置は、さらに良好な単結晶シリコン膜厚の均一性を有している。例えば本実施例では第1実施例で得られた半導体装置に比べ、単結晶シリコン膜2の膜厚200nmに対して5%の均一性のものが得られる。以上の工程により、水素イオンの高濃度注入領域における単結晶シリコン基板20の分離を容易にして製造プロセスにおける歩留まりを向上させつつ、熱伝導性膜4を内蔵する半導体装置を作製できる。

(第3実施例)

図4(a)~(f)は本発明の第3実施例における半導体装置の製造方法を示す工程図である。図1及び図2と同一の符号がついている箇所は、同一の工程で形成される層、又は部材を示す。この実施例においては図2(a)で示す熱伝導性膜4を含む支持基板1の表面に層間絶縁体膜3を形成するまでの工程は、前述の第1実施例とまったく同一である。図4(a)は、貼り合わせ用の単結晶シリコン膜2を形成するための単結晶半導体基板である単結晶シリコン基板16を示している。シリコン基板16は、例えば厚さ600 μ mであり、HF/エタノール液中で陽極酸化することによりその表面を多孔質層17にする。この処理によって表面を12 μ m程度多孔質化した単結晶シリコン基板16に水素雰囲気中で1050の熱処理を行うことにより、多孔質層17の表面を平滑化する。これはこの後に単結晶シリコン基板16上に形成する単結晶シリコン膜の欠陥密度を低減し、その品質を向上させるものである。

次に図4(b)に示すように、多孔質シリコン層17の表面を平滑化したシリコン基板16にエピタキシャル成長により単結晶シリコン膜2を形成する。エピタキシャル成長による単結晶シリコン膜2の堆積膜厚は、本実施例においては500nmとしたが、これは本発明の適用範囲を限定するものではない。単結晶シリコン層の膜厚は作製しようとするデバイスに応じて任意に選択することができる。

さらに図4(c)のように単結晶シリコン膜2の表面を50~400nm程度酸化し、第3の酸化膜の一例としての酸化膜5を形成して、これを貼り合わせ後の半導体装置の埋め込み酸化膜とする。次に図4(d)に示すように、単結晶シリコン膜2及び酸化膜層5を形成した基板を(図4(c)で示した状態から上下反転させて)、熱伝導性膜4と層間絶縁体膜3が形成された絶縁性支持基板1に貼り合わせる。貼り合わせ工程は、例えば300で2時間の熱処理によって2枚の基板を直接貼り合わせる方法が採用できる。

次に図4(e)に示すように、貼り合わせ面側の酸化膜層5、単結晶シリコン膜2、及び多孔質化したシリコン層17を残して単結晶シリコン基板16を研削する。

次いで図4(f)に示すように、多孔質シリコン層17をエッチングにより除去し、支持基板上に単結晶シリコン膜2を得る。この多孔質シリコン層17のエッチングは、HF/H₂O₂という組成のエッチング液を用いると、単結晶シリコン膜2に対して多孔質シリコン層17が高いエッチング選択性を示すため、非常に良好な単結晶シリコン膜2の膜厚均一性を保ちつつ、多孔質シリコン17のみを完全に除去することができる。このように多孔質シリコン層17を除去した半導体装置は、単結晶シリコン膜2の表面に数nm程度の凹凸が残っているため、これを平坦化する必要がある。このために本実施例においては水素雰囲気中にて熱処理を行う水素アニール法を用いる。またこの平坦化の手法としてはCMP法を用いて前記までの方法で形成した半導体装置の単結晶シリコン膜2の表面を微量(研磨量10nm未満)に研磨するタッチポリッシュを用いることもできる。

以上により作製された半導体装置は、均一性が数%と第1実施例に比べて良好な単結晶シリコン膜厚を有する。

以上の工程により、単結晶シリコン基板16の貼り合せ及び除去を容易にして製造プロセスにおける歩留まりを向上させつつ、熱伝導性膜4を内蔵する半導体装置を作製できる。

(第4実施例)

図5(a)~(c)は本発明の第4実施例における半導体装置の製造方法を示す工程図である。図1及び図2と同一の符号が付いている箇所は、同一の工程で形成される膜又は部材を示す。

先ず図5(a)に示すように、絶縁性支持基板1の一方の面に、第2の絶縁体膜6を全面に形成する。第2の絶縁体膜6は後記する熱伝導性膜4の支持基板1との密着を高めるた

10

20

30

40

50

めの下地膜として用いられる。続いて、熱伝導性膜 4 を全面にわたり形成する。更に、熱伝導性膜 4 とその上に形成される単結晶シリコン膜 2 との間の電氣的絶縁を確保するために層間絶縁体膜 3 を形成する。

次に図 5 (b) に示すように、層間絶縁体膜 3 を表面に形成した支持基板 1 と単結晶シリコン基板 2 0 の貼り合わせを行う。貼り合わせに用いる単結晶シリコン基板 2 0 は、例えばその表面を予め 5 0 0 ~ 8 0 0 n m 程度酸化して酸化膜層を形成しておいてもよい。このことによって貼り合わせ後に形成される単結晶シリコン膜 2 と層間絶縁体膜 3 の界面を熱酸化で形成し、電気特性の良い界面を確保することも可能である。貼り合わせ工程は、例えば 3 0 0 °C で 2 時間の熱処理によって 2 枚の基板を直接貼り合わせる方法を採用してもよい。貼り合わせ強度を更に高めるために、更に熱処理温度を上げて 4 5 0 °C 程度にしても良いが、石英基板と単結晶シリコン基板と熱伝導性膜 3 とに用いられる材料の熱膨張係数には夫々大きな相違があるため、このまま加熱すると単結晶シリコン基板 2 0 にクラックなどの欠陥が発生し、基板品質が劣化してしまうことが十分考えられる。このようなクラックなどの欠陥の発生を抑制するために、例えば一度 3 0 0 °C にて貼り合わせのための熱処理を行った単結晶シリコン基板 2 0 をウェットエッチングまたは CMP によって 1 0 0 ~ 1 5 0 μ m 程度まで薄くした後に、更により高温の熱処理を行ってもよい。具体的には例えば 8 0 % の KOH 水溶液を用い、単結晶シリコン基板 2 0 の厚さが 1 5 0 μ m となるようエッチングを行う。この後、貼り合わせた両基板を 4 5 0 °C にて再び熱処理し、貼り合わせ強度を高めている。

次に図 5 (c) に示すように、この貼り合わせ基板を研磨して、単結晶シリコン膜 2 の厚さを 3 ~ 5 μ m とする。このようにして薄膜化した貼り合わせ基板は、最後に P A C E (Plasma Assisted Chemical Etching) 法によって単結晶シリコン膜 2 の膜厚を 0 . 0 5 ~ 0 . 8 μ m 程度までエッチングして仕上げる。この P A C E 処理によって単結晶シリコン膜 2 は、例えば膜厚 1 0 0 n m に対しその均一性は 1 0 % 以内のものが得られる。

以上の工程により単結晶シリコン基板 2 0 の貼り合せ及び除去を容易にして製造プロセスにおける歩留まりを向上させつつ、熱伝導性膜 4 を内蔵する半導体装置が得られる。

この実施例に用いられる第 2 の絶縁体膜 6 には、熱伝導性の絶縁材料を使うことが望ましい。これは熱伝導性膜 4 の下地として用い、支持基板 1 に対する熱伝導性膜 4 の密着性を上げるとともに、さらに熱均一性の良い状態を保つためである。この第 2 の絶縁体膜 6 としては、例えばスパッタ法等により形成された 1 0 0 ~ 1 0 0 0 n m 程度の膜厚のシリコン酸化膜、シリコン窒化膜又はタンタル酸化膜若しくはそれらを材料とした合金を用いることが可能である。尚、第 2 の絶縁体膜 6 として、支持基板 1 と熱伝導性膜 4 との両者に対する密着性が良い絶縁材料を使う程、異なる材質からなる支持基板 1 と熱伝導性膜 4 との密着性を全体として向上することが可能となり、最終的には製造時の歩留まり及び装置信頼性の向上も図れる。

なお本実施例は第 1 実施例を応用した場合の半導体装置の形成方法であるが、第 2 実施例及び第 3 実施例についても同様に第 2 の絶縁体膜 6 を形成できることは言うまでもない。従って本実施例を、第 2 実施例又は第 3 実施例に適用し、それぞれ、絶縁性支持基板 1 の一方の面に第 2 の絶縁体膜 6 を全面に形成することにより熱伝導性膜 4 の基板との密着性を高めるようにしても、均一性の良い半導体装置を形成できる。

(第 5 実施例)

次に、本発明の第 5 実施例として、上述のように本発明の製造方法により製造された半導体装置を用いた電気光学装置の好適な例である透過型液晶装置について図 6 及び図 7 を参照して説明する。図 6 は、透過型液晶装置の平面レイアウトを示した図式的な平面図であり、図 7 は、その A - A ' 断面図である。なお、図 6 は理解を容易にするために説明に不要な箇所は省略しており、モデル的に描いている。

図 6 に示すように、ガラスよりなる光透過性の絶縁性支持基板 3 1 上には画像表示領域 2 0 があり、画素電極 1 9 がマトリクス状に配置されている。この絶縁性支持基板 3 1 は、上記した第 1 から第 4 実施例にて製造された半導体装置の支持基板 1 に相当する。即ち、

10

20

30

40

50

本実施例においては、上記第1から第4実施例により製造された半導体装置において、絶縁性支持基板1上に形成した単結晶半導体膜（単結晶シリコン膜）2により各画素の第1スイッチング素子の一例としてのTFTを構成するものである。画像表示領域20には、複数の走査線と複数のデータ線が相交差して配置され、マトリクス状に配置された複数の画素には夫々、画素電極19と、ゲートが走査線に、ソースがデータ線に、ドレインが画素電極19に夫々接続されたTFTと、画素電極19に電氣的に接続されて画素電極19に印加される電圧を保持する蓄積容量（保持容量）とが設けられている。

画像表示領域20の周辺には、各画素を駆動するための周辺回路の一例としての走査線駆動回路21及びデータ線駆動回路22が形成されている。走査線駆動回路21は走査線を順次走査し、データ線駆動回路22はデータ線に画像データに応じた画像信号を供給する。またパッド領域26を介して外部から入力される画像データを取り込む入力回路23や、これらの回路を制御するタイミング制御回路24等の周辺回路が設けられている。これらの周辺回路はすべて各画素に設けられたスイッチング用のTFTと同一工程または異なる工程で形成されるTFTを能動素子あるいはスイッチング素子とし、これに抵抗や容量などの負荷素子組み合わせることで構成されている。なお、これらの周辺回路における各TFTも、各画素に設けられたTFTの場合と同様に、単結晶シリコン膜2にソース領域、ドレイン領域及びチャンネル領域が形成されるものであり、他の抵抗素子等も単結晶シリコン膜2により形成することができる。

図7に示すように、液晶装置は、表示画素と駆動回路を形成した光透過性の絶縁性基板31と、透明導電膜（ITO）からなる対向電極33が形成されたガラスよりなる光透過性基板32とが一定間隔をおいて対向配置され、周辺をシール材35で封止して構成される。一对の基板の間隙内には液晶34として周知のTN（Twisted Nematic）型液晶または電圧無印加状態で液晶分子がほぼ垂直に配向されたHomeotropic配向型や電圧無印加状態で液晶分子がねじれずにほぼ水平に配向されたHomoeous配向型液晶などが充填されて構成されている。なお、外部から信号を入力できるように、パッド領域26は上記シール材35の外側に来るようにシール材を設ける位置が設定されている。

なお、支持基板31の製造時には、大型の製造用支持基板の状態、図6、図7に図示した支持基板31をその大型基板に多数個同時に作成し、支持基板31の製造完了後にスクライブして、各支持基板31に分割して構成する。このようにした方が、製造上の効率も良く、製造ばらつきも少なくなる。

次に、以上のように構成された液晶装置の各画素における構成について図8及び図9を参照して更に説明する。図8は、本発明により作製された半導体装置を用いた透過型液晶装置の画素部分の拡大平面図であり、図9は、各画素におけるTFT部分を示す図8のB-B'断面図である。

図8及び図9において、各画素には、画素電極19への電荷書き込みを制御するスイッチング素子としてTFT50が形成されている。各画素には、チャンネル領域2a、ソース領域2c及びドレイン領域2bとなる単結晶シリコン膜2が設けられ、単結晶シリコン膜2上にゲート絶縁膜40を介してゲート電極7aを形成することによりTFT50が構成される。ゲート電極7aは走査線7に電氣的に接続され、また、ソース領域2cはデータ線9に、ドレイン領域2bは表示画素の画素電極19及び蓄積容量18へつながるドレイン電極8に接続されている。またTFT50のチャンネル領域2aの遮光、及び表示画素間の光漏れを防ぐ遮光のために、絶縁膜41を介した上層に上部遮光層11を形成し、TFT50上及び互いに隣接する画素電極19同士の間隙を遮光している。

本実施形態では特に、各画素の第1スイッチング素子の一例であるTFT50並びに、駆動回路、表示信号処理、入力回路及びタイミング制御回路等の周辺回路を構成する第2スイッチング素子の一例であるTFTの形成領域の下には、上記した第1から第4実施例により半導体装置を製造する際に形成された熱伝導性膜4が配置される構造となっている。即ち、熱伝導性膜4は、前述の如く半導体装置の製造時における熱分布の均一化のためだけでなく、製造後における半導体装置である単結晶シリコン膜2に作り込んだTFT50

10

20

30

40

50

の動作時の熱放出対策（外部からの光による熱吸収の対策も含む）として機能する。更には、本実施例のように、TFT50が形成された絶縁性支持基板31を、アクティブマトリックス型液晶装置の素子側基板として用いた場合は、高融点金属等の遮光性材料からなる熱伝導性膜4を、液晶装置の駆動時の投射光や戻り光等の外部光に対する遮光対策として用いることができる。

これについて図9を用いて詳しく説明する。TFT50のチャンネル領域2aと光透過性の絶縁性支持基板31との間には、少なくともチャンネル領域2aを支持基板31側から（図中、下側から）覆うように熱伝導性膜4が設けられている。この時、この熱伝導性膜4には例えばMo、W、Ta、Co、Ti等の高融点金属又はそれを材料にした合金、若しくは多結晶シリコン、Wシリサイド、Moシリサイド等に代表されるシリサイドが好ましい材料として用いられ、形成法もスパッタ法その他、CVD法、電子ビーム加熱蒸着法などを用いることができる。このように熱伝導性膜4が形成されるため基板裏面からのいかなる入射光も遮ることが出来る構造になっている。

従来、光透過性の絶縁性基板に貼り合わせて単結晶シリコン膜を形成する例、例えば特開平4-346418号を本実施例のように、スイッチング素子に応用すると、単結晶シリコン膜と絶縁性支持基板との間に遮光膜として機能すべき膜がないため、裏面から光が入ると直接シリコン単結晶膜に光が入射して、チャンネルにおいて光により電子・正孔対が発生する、この結果、トランジスタのOFF状態においてリーク電流が増加する傾向が見られる。しかしながら、本実施例では、基板裏面からの直接的な入射光12cや、基板裏面での反射光12bなどに対する遮光は、遮光性材料からなる熱伝導性膜4により行われるので、このようなリーク電流の増加傾向は見られない。また、この従来例では、遮光膜として機能すべき膜がないため、裏面から光が入るとチャンネルにおいてその光の吸収によってトランジスタ等の素子温度が上昇し、例えば素子に形成されるpnジャンクションにおいて温度の上昇によって、pnの逆方向電流が増加する。その結果、電圧の保持に必要な電荷がpn接合における電流の増加によって減少し、TFTの移動度が低下することによる液晶への印加電圧不足をもたらしてしまう。しかしながら、本実施例では、基板裏面からの直接的な入射光12cや、基板裏面での反射光12bなどに対する遮光は、遮光性材料からなる熱伝導性膜4により行われるので、更にはTFT50から発せられる熱についても熱伝導性膜4により放熱されるので総合して温度上昇は抑制されており、上述した従来例の如き液晶の書き込み不足も起こらないで済む。

また、本実施例においては例えば図8に示す画素電極19に接続される蓄積容量18の下部に熱伝導性膜4を残すように構成してもよい。

なお、熱伝導性膜4は所定の電源電位に接続されていることが、上層のTFTの動作の電氣的安定のためには好ましい。

図10に、その時の蓄積容量の断面構造（図8におけるC-C'の断面図）を示す。蓄積容量の一方の電極として用いられるドレイン電極8と蓄積容量の他方の電極を構成している前段のゲート電極7'との間には、絶縁膜42が介在され、絶縁膜42を挟んで両電極の重なる部分には蓄積容量18が構成されている。そして、ドレイン電極8の下部にはスイッチング用のTFTの下部に構成された遮光膜を構成する熱伝導性膜4を延伸して構成する遮光膜が形成されている。これにより、ドレイン電極8の下部は外部の光から遮光される。このため、例えばドレイン電極8を光吸収係数の大きいシリコン系材料で構成しても配線の発熱を抑えることが可能になる。これにより、例えばゲート配線7に良く使われる光吸収の大きいシリコン系材料をドレイン電極8に使用する事が可能になる。またチャンネル領域2aに用いられる単結晶シリコン膜2を延長してドレイン電極8を単結晶シリコン膜2で形成してもよい。更に、ドレイン電極8における光吸収による発熱を、熱伝導性膜4を通して外部に発散することによって、画素電極19からドレイン電極8に進入する熱を外部に発散する事が可能になる。

或いは、本実施例においては例えば図8に示す画素電極に接続される蓄積容量18を構成する一方の電極として熱伝導性膜4を用いる様にしてもよい。

図11は、このように構成した変形例における蓄積容量の断面図である。蓄積容量の一方

10

20

30

40

50

の電極はドレイン電極 8 で構成され、蓄積容量の他方の電極は蓄積容量 1 8 の遮光を兼ねる熱伝導性膜 4 で構成される。両電極間には上記第 1 から第 4 実施例にて説明された層間絶縁体膜 3 が配置され、この層間絶縁体膜 3 が誘電体膜として機能する。この熱伝導性膜 4 とドレイン電極 8 の間で蓄積容量 1 8 を構成する。この時の層間絶縁体膜 3 の膜厚は、大容量化を図るべく、望ましくは 50 ~ 200 nm である。この時の熱伝導性膜 4 は例えば液晶装置の対向電極 3 3 に印加される電位 V_{LC} と同じ電位などの電源電位に接続されると良い。また、熱伝導性膜 4 を図 10 と同様にドレイン電極 8 の下部を覆うように TFT の下部から延在させて配置してもよい。この事によって、たとえばゲート電極や走査線 7 と同じ材料をドレイン電極 8 に用いることが可能である。従って、図 10 ではゲート電極 7 a とドレイン電極 8 の上方には層間絶縁体膜 4 1 が形成されることになり、全体的に層が少なくなる。更に、チャンネル領域 2 a に用いられる単結晶シリコン膜 2 を延長してドレイン電極 8 を単結晶シリコン膜 2 で形成してもよい。以上のように、画素電極に接続される蓄積容量 1 8 を構成する一方の電極として熱伝導性膜 4 を用いることにより、ドレイン電極 8 を完全に遮光するとともに、同時に十分な蓄積容量 1 8 をドレイン電極 8 下部に形成することが可能になり、液晶装置の動作時の各画素における電荷保持特性を向上する事が可能になる。

なお以上説明した実施例において、遮光膜のパターンは、その上に形成される TFT の配置によって決定されるが、本発明において遮光膜として用いられる熱伝導性膜 4 は単結晶シリコン膜 2 のパターニング後にパターニングすることによって上記の遮光の目的を達する。なお遮光膜のパターニングは単結晶シリコン膜 2 と層間絶縁体膜 3 と連続工程で行ってもよいし、それぞれ別工程でパターニングしてもよい。

以上、画素に用いられる TFT 5 0 の遮光及び放熱について説明したが、本実施例では、図 6 に示した走査線駆動回路 2 1、データ線駆動回路 2 2 等の周辺回路を構成する TFT やパッド領域 2 6 に設けられる静電気保護用の TFT 等の遮光及び放熱用にも、熱伝導性膜 4 が用いられている。

次に、図 6 に示した走査線駆動回路 2 1、データ線駆動回路 2 2 等の周辺回路を構成する第 2 スwitching 素子の一例としての TFT の具体的な構成例について図 1 2 から図 1 5 を参照して説明する。

図 1 2 に示した構成例では、周辺回路を構成する TFT は、p チャンネル型の TFT 6 0 p と n チャンネル型の TFT 6 0 n とからなる相補型 TFT 6 0 a として構成されている。特に図中斜線を囲む点線で輪郭を示した領域には、チャンネル領域が形成された単結晶シリコン膜 2 が島状に形成されている。単結晶シリコン膜 2 と支持基板との間には、層間絶縁体膜を介して、各単結晶シリコン膜 2 よりも一回り大きい平面形状を有すると共に遮光性材料からなる熱伝導性膜 4 が島状に形成されている。更に、TFT 6 0 p 及び 6 0 n には、高電位線 6 1 と低電位線 6 2 がコンタクトホール 6 3 及び 6 4 を介してソース領域に夫々接続されており、入力配線 6 6 がゲート電極 6 5 に夫々接続されており、出力配線 6 7 がコンタクトホール 6 8 及び 6 9 を介してドレイン領域に夫々接続されている。従って、各 TFT 6 0 p 及び 6 0 n のチャンネル領域は、支持基板 1 の側から見て島状の熱伝導性膜 4 により覆われており、熱伝導性膜 4 により、各チャンネル領域に対する遮光機能と、各 TFT からの放熱機能とが果たされる。

このように図 1 2 に示した相補型 TFT 6 0 a によれば、単結晶シリコン膜 2 に対して層間絶縁体膜を介して熱伝導性膜 4 が対向配置されているので、周辺回路の動作時に、TFT 6 0 p 及び 6 0 n の電流経路である単結晶シリコン膜 2 に電流が流れて発熱する熱を、熱伝導性膜 4 を介して放出できる。このように動作中における放熱機能を高めれば、動作中の発熱量の大きい大電力駆動用や高周波駆動用に用いても正常に動作する。更に熱伝導性膜 4 は、遮光性材料からなるので、支持基板側からの投射光、戻り光等の入射光に対して単結晶シリコン膜 2 を熱伝導性膜 4 により遮光できる。このように動作中における遮光機能を高めれば、特に TFT 6 0 a 等の装置自体からの発熱に加えて、投射光等の強力な光の入射に対しても、温度上昇を抑制することが可能となる。従って、特に大電流駆動や高駆動周波数用で発熱量が基本的に多い走査線駆動回路 2 1、データ線駆動回路 2 2 等の

10

20

30

40

50

周辺回路を、放熱機能及び遮光機能の両者に優れた相補型 T F T 6 0 a から構成すると、温度上昇を抑える観点から非常に有利である。同時に単結晶シリコン膜 4 における光電効果により入射光が光リークを起こす事態も、相補型 T F T 6 0 a では、熱伝導性膜 4 により効果的に阻止できる。

次に、図 1 3 に示した構成例では、図 1 2 に示した相補型 T F T 6 0 a と比べて、熱伝導性膜の構成が若干異なる相補型 T F T 6 0 b として構成されている。尚、図 1 3 において、図 1 2 と同一の構成要素には同一の参照符号を付し、その説明は省略する。

図 1 3 において、単結晶シリコン膜 2 と支持基板との間には、層間絶縁体膜を介して、各単結晶シリコン膜 2 のチャンネル領域よりはるかに大きく、両チャンネル領域と共にゲート電極 6 5 まで一挙に覆う平面形状を有すると共に遮光性材料からなる熱伝導性膜 4 ' が島状に形成されている。その他の構成については図 1 2 の相補型 T F T 6 0 a の場合と同様である。

10

従って、図 1 3 に示した相補型 T F T 6 0 b によれば、図 1 2 に示した相補型 T F T 6 0 a よりも大面積の熱伝導性膜 4 ' により、遮光機能と放熱機能とが高められている。

次に、図 1 4 に示した構成例では、図 1 3 に示した相補型 T F T 6 0 b と比べて、熱伝導性膜等の構成が若干異なる相補型 T F T 6 0 c として構成されている。尚、図 1 4 において、図 1 2 又は図 1 3 と同一の構成要素には同一の参照符号を付し、その説明は省略する。

図 1 4 において、単結晶シリコン膜 2 と支持基板との間には、層間絶縁体膜を介して、各単結晶シリコン膜 2 のチャンネル領域よりはるかに大きく、ゲート電極 6 5 の殆どの部分を覆う平面形状を有すると共に遮光性材料からなる熱伝導性膜 4 " がチャンネル領域毎に分断されて島状に形成されている。また、各熱伝導性膜 4 " は、T F T 6 0 p 側ではコンタクトホール 7 1 を介して高電位線 6 1 の電位に接続されており、T F T 6 0 n 側ではコンタクトホール 7 2 を介して低電位線 6 2 の電位に接続されている。その他の構成については図 1 3 の相補型 T F T 6 0 b の場合と同様である。

20

従って、図 1 4 に示した相補型 T F T 6 0 c によれば、図 1 2 に示した相補型 T F T 6 0 a と比較して熱伝導性膜 4 " の電位変動が少ないので、熱伝導性膜 4 " 上に層間絶縁体膜を介して形成された T F T 6 0 p 及び 6 0 n の特性が、熱伝導性膜 4 " の電位変動により悪影響を受けることが殆ど又は全く無くて済む。

次に、図 1 5 に示した構成例では、図 1 3 に示した相補型 T F T 6 0 b と比べて、配線パターン等が若干異なる相補型 T F T 6 0 d として構成されている。尚、図 1 5 において、図 1 2、図 1 3 又は図 1 4 と同一の構成要素には同一の参照符号を付し、その説明は省略する。

30

図 1 5 において、単結晶シリコン膜 2 " の各 T F T 6 0 p 及び 6 0 n のチャンネル領域は、それぞれコンタクト 7 5 側に突出して延在して、コンタクト 7 5 において熱伝導性膜 4 " にそれぞれ接続されている。ゲート電極 6 5 ' の端部は夫々、コンタクト 7 5 側の単結晶シリコン膜とチャンネルとの間がゲート電極 6 5 ' の制御に係わらず導通しないように、T 字形に太められている。単結晶シリコン膜 2 を用いた T F T は電荷移動度が大きいので、T F T がオンからオフに切り替わってもチャンネル領域に電荷が残ってしまいがちである。この電荷はドレイン電極側に移動するとドレイン電圧を低下させることにもなるので、この残留した電荷をチャンネルを突出させた単結晶シリコン膜からコンタクト 7 5 を介して熱伝導性膜 4 " に引き抜くことにより、T F T の動作を安定化させる構成である。図 1 5 は、その他の構成については図 1 4 の相補型 T F T 6 0 c の場合と同様である。

40

従って、図 1 5 に示した相補型 T F T 6 0 d によれば、コンタクト 7 5 により高性能のトランジスタ特性を実現しつつ熱伝導性膜 4 " により遮光機能と放熱機能とが高められている。

以上説明したように、画素部を構成する第 1 スイッチング素子としての T F T 及び周辺回路を構成する第 2 スイッチング素子としての T F T は、各 T F T の下部全体に熱伝導性膜 4 を形成することによって高い放熱機能と高い遮光機能とを兼ね備えており、特に周辺回路は、高速なクロック信号により高速動作する回路であって且つトランジスタの形成密度

50

が高いために熱発生しやすいが、本実施形態によれば、この熱を良好に放熱することができる。

また上述の各実施例では、透過型液晶装置を例にして説明したが、これは本発明の用途を限定するものではなく、透過型の表示モードを用いる他のディスプレイデバイスや光学的な情報を読みとるイメージ入力デバイス（イメージセンサ）などさまざまな半導体装置にも適用できることは明らかである。その際においても前記半導体装置を駆動するトランジスタ素子等は前記実施例のごとく半導体装置に設けられた熱導電性膜上に形成すればよい。

更に、本発明の液晶装置は、様々な電子機器に用いることができる。

このような構成の電子機器として、図16に示す液晶プロジェクタ、図17に示すマルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

図16は、投写型表示装置の要部を示す概略構成図である。図中、110は光源、113、114はダイクロイックミラー、115、116、117は反射ミラー、118、119、120はリレーレンズ、122、123、124は本発明の液晶装置を用いた液晶ライトバルブ、125はクロスダイクロイックプリズム、126は投写レンズを示す。光源110はメタルハライド等のランプ111とランプの光を反射するリフレクタ112とからなる。青色光・緑色光反射のダイクロイックミラー113は、光源110からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー117で反射されて、赤色光用液晶ライトバルブ122に入射される。一方、ダイクロイックミラー113で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー114によって反射され、緑色光用液晶ライトバルブ123に入射される。一方、青色光は第2のダイクロイックミラー114も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ118、リレーレンズ119、出射レンズ120を含むリレーレンズ系からなる導光手段121が設けられ、これを介して青色光が青色光用液晶ライトバルブ124に入射される。各ライトバルブにより変調された3つの色光はクロスダイクロイックプリズム125に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投写光学系である投写レンズ126によってスクリーン127上に投写され、画像が拡大されて表示される。この各液晶ライトバルブには本発明の液晶装置が用いられる。

図17に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、本発明の液晶装置を用いた液晶表示画面1206とを有する。

以上のような本発明を用いた電子機器においては、従来のアクティブマトリクス型液晶装置のように、TFTがアモルファスシリコンや多結晶シリコンではなく、移動度がより大きい単結晶シリコンにより形成されているため、各画素へのTFTを介する電圧印加が短時間で済み、駆動回路も高周波での動作が可能となるため、表示駆動の周波数を上げることができる。同時に、従来のTFTに比べてOFFリークが極めて小さくできて画素での電荷保持特性が向上し、表示特性が優れた表示装置を提供することができる。更には、光源の光を強くしても、熱伝導性膜4により熱発散や遮光をすることができるので、回路の誤動作をより一層防止することができる。

産業上の利用可能性

本発明に係る半導体装置は、液晶装置等の電気光学装置における基板上に設けられた周辺回路を構成するスイッチング素子として利用可能であり、更に、電気光学装置以外の各種装置における電子回路を構成する半導体装置として利用可能である。また、本発明に係る電気光学装置や電子機器は、このような半導体装置を用いて構成され、製造時の高い歩留まりの結果、比較的低コストで高い装置信頼性を持つ電気光学装置や電子機器として利用

10

20

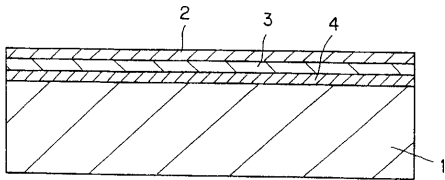
30

40

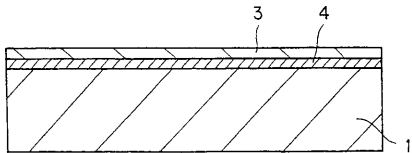
50

可能である。

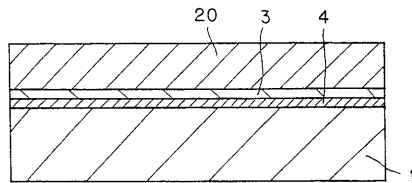
【図1】



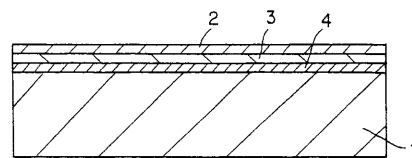
【図2】



(a)

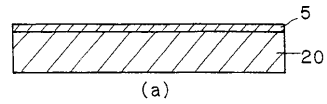


(b)

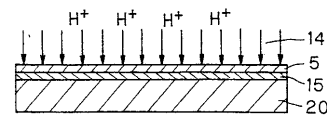


(c)

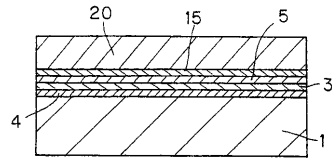
【図3】



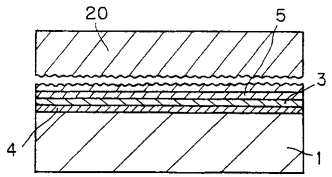
(a)



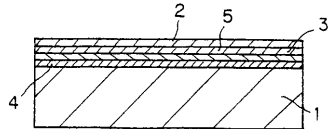
(b)



(c)

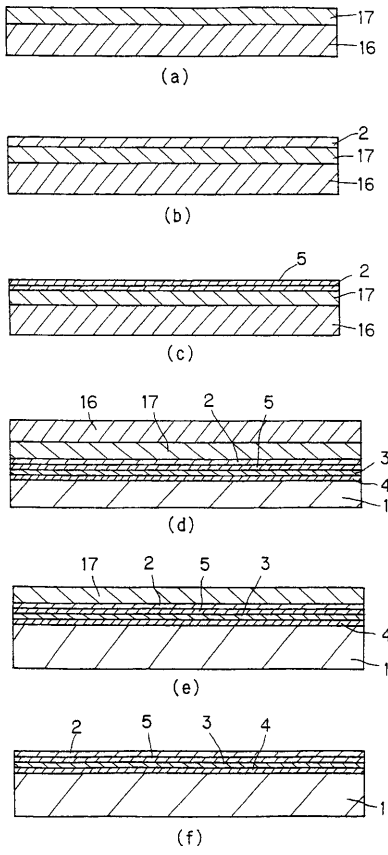


(d)

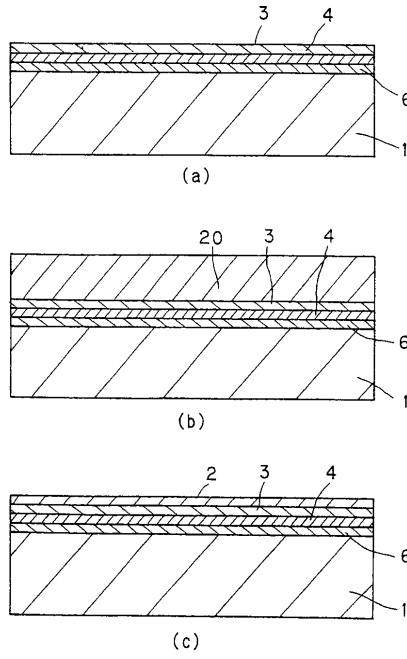


(e)

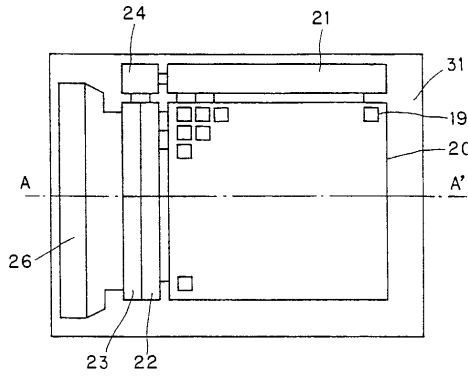
【図4】



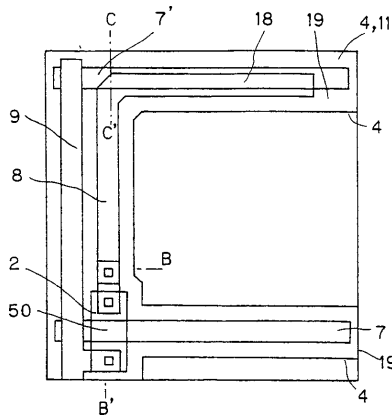
【図5】



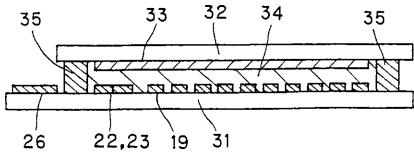
【図6】



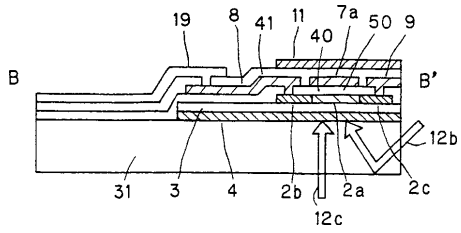
【図8】



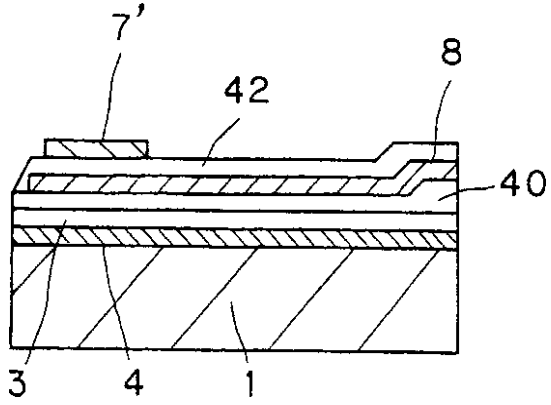
【図7】



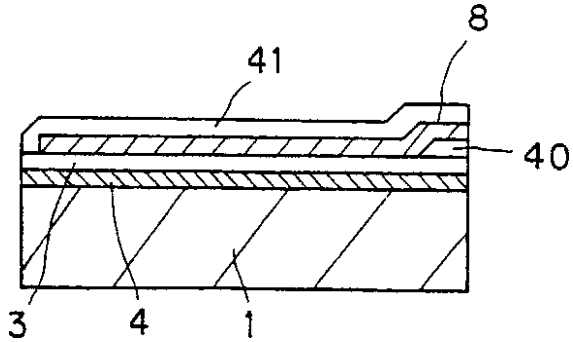
【図9】



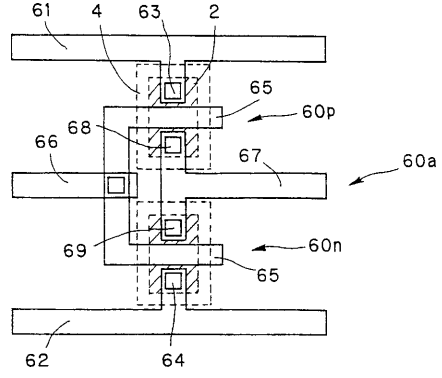
【図10】



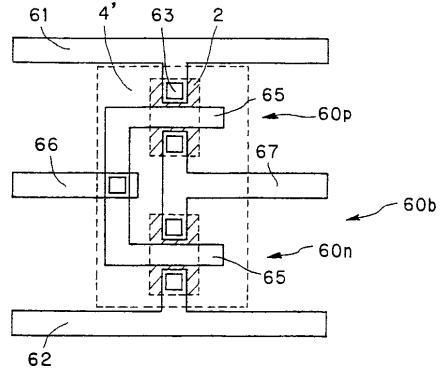
【図11】



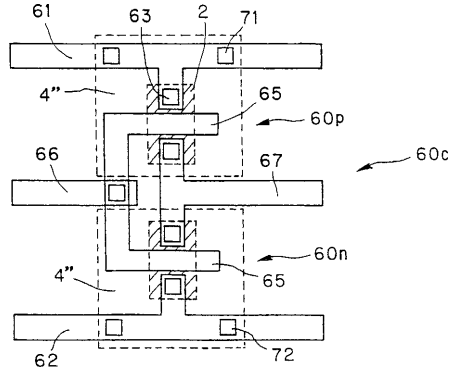
【図12】



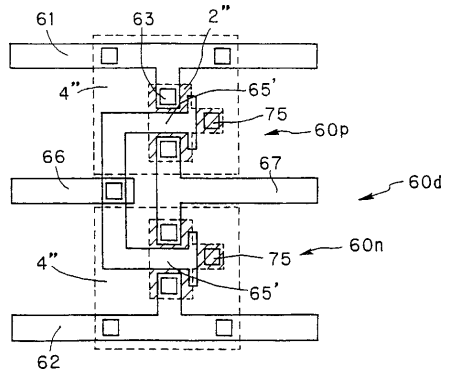
【図13】



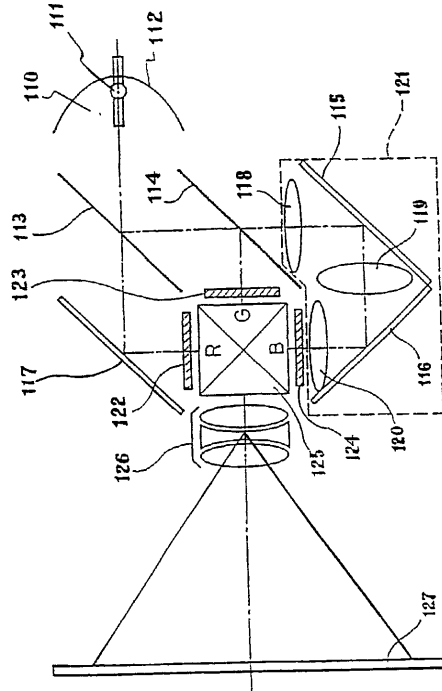
【図14】



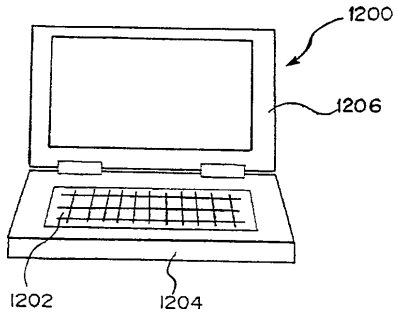
【図15】



【図16】



【 17 】



フロントページの続き

合議体

審判長 河口 雅英

審判官 近藤 幸浩

審判官 市川 篤

- (56)参考文献 特開平4 - 1 3 3 0 3 3 (J P , A)
特開平4 - 1 5 2 5 7 4 (J P , A)
特開平8 - 3 1 6 4 4 3 (J P , A)
特開平8 - 4 6 1 6 0 (J P , A)
特開平1 - 1 3 1 5 9 3 (J P , A)
特開平9 - 2 2 3 7 8 3 (J P , A)
特開平5 - 1 3 6 1 7 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L27/12

H01L29/786

H01L21/336

G02F1/136