

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4631723号  
(P4631723)

(45) 発行日 平成23年2月16日(2011.2.16)

(24) 登録日 平成22年11月26日(2010.11.26)

(51) Int.Cl. F I  
**HO 1 L 27/146 (2006.01)** HO 1 L 27/14 A  
**HO 4 N 5/374 (2011.01)** HO 4 N 5/335 7 4 O

請求項の数 2 (全 19 頁)

<p>(21) 出願番号 特願2006-19367(P2006-19367)                  (22) 出願日 平成18年1月27日(2006.1.27)                  (65) 公開番号 特開2007-201269(P2007-201269A)                  (43) 公開日 平成19年8月9日(2007.8.9)                  審査請求日 平成19年1月30日(2007.1.30)</p>	<p>(73) 特許権者 000002185                  ソニー株式会社                  東京都港区港南1丁目7番1号                  (74) 代理人 100122884                  弁理士 角田 芳末                  (74) 代理人 100133824                  弁理士 伊藤 仁恭                  (72) 発明者 丸山 俊介                  東京都品川区北品川6丁目7番35号 ソ                  ニー株式会社内                  (72) 発明者 藤曲 潤一郎                  東京都品川区北品川6丁目7番35号 ソ                  ニー株式会社内</p>
---	--

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板に形成された第2導電型の半導体ウェル領域と、  
 前記半導体ウェル領域に形成され、光電変換部と少なくとも転送トランジスタ、リセットトランジスタ、増幅トランジスタを含む複数の画素トランジスタからなる画素が斜めにずらして配列された撮像領域と、  
 前記半導体基板の上方に層間絶縁膜を介して形成された3層の配線と、  
 前記撮像領域に対して垂直方向に伸びる1層目の前記配線による垂直信号線及び前記半導体ウェル領域に所要電位を与えるウェルコンタクト用配線と、  
 前記撮像領域に対して水平方向に伸びる2層目の前記配線による所要の前記画素トランジスタのゲートに接続された複数のゲート配線と、  
 3層目の前記配線で形成された遮光層を兼ねる電源配線と  
 を有し、  
 前記垂直信号線、前記ウェルコンタクト用配線及び前記複数のゲート配線が、前記光電変換部付近では該光電変換部の辺に沿って斜めに形成され、  
 前記斜めに形成された配線部分は、ジグザグ状に形成されて成る  
 ことを特徴とする固体撮像装置。

【請求項2】

複数の光電変換部に対して所要の画素トランジスタが共有されて成ることを特徴とする請求項1記載の固体撮像装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、固体撮像装置、特に、光電変換部により生成された電荷を画素信号に変換する変換部を画素内に含む固体撮像装置、例えばCMOSイメージセンサ等に関する。ここで、CMOSイメージセンサとは、CMOSプロセスを応用して、又は部分的に使用して作製されたイメージセンサである。

また、固体撮像装置の形態としては、ワンチップとして形成された素子状のものでもよく、複数のチップから構成されているものであってもよい。

10

## 【背景技術】

## 【0002】

CMOSイメージセンサは、光電変換部と複数のMOSトランジスタを有した画素が複数、2次元的に配列され、光電変換部により生成された電荷を画素信号に変換して読み出す固体撮像装置である。近年、このCMOSイメージセンサは、携帯電話用のカメラ、デジタルスチルカメラあるいはデジタルビデオカメラ等の撮像素子として注目されている。

## 【0003】

図22に、CMOSイメージセンサの構成(等価回路)の一例を示す。このCMOSイメージセンサ1は、同一の半導体基板上に光電変換部、すなわち光電変換を行うフォトダイオード2と、このフォトダイオード2を選択読み出しするための複数のMOSトランジスタとからなる複数の画素3を2次元的に配列した撮像領域4を備えて成る。さらに同一の半導体基板上の撮像領域4の周辺に、画素の選択と信号出力のための周辺回路5,6を備えている。撮像領域4においては、各画素3が1つのフォトダイオード2と複数のMOSトランジスタ、この例では転送トランジスタ8、リセットトランジスタ9及び増幅トランジスタ10の3つのMOSトランジスタで構成されている。周辺回路では、画素選択のための回路(垂直走査回路)5と出力回路(水平走査・出力回路)6が、CMOSトランジスタを用いて構成されている。

20

## 【0004】

図22において、フォトダイオード2は転送トランジスタ8のソースに接続される。転送トランジスタ8のゲートには転送用配線11が接続される。転送トランジスタ8のドレインは、リセットトランジスタ9のソースに接続されると共に、転送トランジスタ8のドレインとリセットトランジスタ9のソース間のいわゆるフローティング・ディフュージョンFDが増幅トランジスタ10のゲートに接続される。リセットトランジスタ9のゲートはリセット配線12に接続される。また、リセットトランジスタ9のドレイン、増幅トランジスタ10のドレインには電源供給するための電源配線13に接続される。増幅トランジスタ10のソースは垂直信号線14に接続される。

30

## 【0005】

このCMOSイメージセンサ1では、フォトダイオード2において光電変換される。フォトダイオード2の光電子(信号電荷)は、転送トランジスタ8により選択されてフローティング・ディフュージョンFDに転送される。フローティング・ディフュージョンFDは増幅トランジスタ10に接続されているので、フローティング・ディフュージョンFDの電位に対応した信号が増幅トランジスタ10を通じて垂直信号線14に出力される。

40

## 【0006】

画素3のレイアウトとして、図23に示すように、画素3を水平方向及び垂直方向に1/2ピッチだけずらして配列したレイアウト、いわゆる斜めにずらした格子状に配列したレイアウトが知られている(特許文献1参照)。この斜め画素ずらし配列のCMOSイメージセンサと信号処理により、記録画素数が有効画素数よりも増え、解像度の向上が図れる。

## 【0007】

通常、このような斜め画素ずらし配列のCMOSイメージセンサにおいても、図23に

50

示すように、各配線はチップや撮像領域に対して、垂直方向及び水平方向に沿ってレイアウトされる。配線は多層配線が用いられ、例えば、1層目を垂直方向の配線とし、2層目を水平方向の配線としている。3層目は遮光を兼ねた電源配線として用いられる。図23は1層目の垂直方向の配線16, 17だけを示している。

【0008】

一方、フレーム転送方式のCCDイメージセンサにおいて、多結晶シリコンからなる転送電極に対して、金属または金属シリサイドの補助電極の組を等しい設置間隔で繰り返し斜めに配設したものが提案されている(特許文献2参照)。この構成は、受光部のうち光を透過しない補助電極が覆う面積を最小限に抑えて、効率的な受光・撮像と、転送電極への転送電圧の供給による高速度かつ高効率の電荷転送との両立を図っている。

10

【0009】

【特許文献1】特開2003-7995号公報

【特許文献2】特開2000-101061号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

CMOSイメージセンサにおける配線は、上述したようにチップや撮像領域に対して水平方向及び垂直方向にレイアウトされている。しかし、この水平・垂直の配線は、画素の微細化が進んだ場合、あるいは複数のフォトダイオードに対して画素トランジスタを共有した場合、特に斜め画素ずらし配列のCMOSイメージセンサにおいて、フォトダイオードへの集光を妨げる要因になる。また、この水平・垂直の配線16, 17は、集光の妨げを回避するために、レイアウトの制限によってフォトダイオードの面積を小さくする原因となる。

20

【0011】

本発明は、上述の点に鑑み、斜め画素ずらし配列において、配線による光電変換部への集光の妨げを回避し、光電変換部の受光開口率の拡大を図った固体撮像装置を提供するものである。

【課題を解決するための手段】

【0012】

本発明に係る固体撮像素子は、第1導電型の半導体基板に形成された第2導電型の半導体ウェル領域と、半導体ウェル領域に形成され、光電変換部と少なくとも転送トランジスタ、リセットトランジスタ、増幅トランジスタを含む複数の画素トランジスタからなる画素が斜めにずらして配列された撮像領域と、半導体基板の上方に層間絶縁膜を介して形成された3層の配線と、撮像領域に対して垂直方向に延びる1層目の配線による垂直信号線及び半導体ウェル領域に所要電位を与えるウェルコンタクト用配線と、撮像領域に対して水平方向に延びる2層目の配線による所要の画素トランジスタのゲートに接続された複数のゲート配線と、3層目の配線で形成された遮光層を兼ねる電源配線とを有し、垂直信号線、ウェルコンタクト用配線及び複数のゲート配線が、光電変換部付近では光電変換部の辺に沿って斜めに形成され、斜めに形成された配線部分は、ジグザグ状に形成されて成ることを特徴とする。

30

40

【0013】

本発明の固体撮像装置では、画素が斜めにずらして配列された状態で、水平、垂直方向に延びる配線が、光電変換部付近では光電変換部の辺に沿って斜めに形成されるので、光電変換部における集光の妨げが回避される。

【発明の効果】

【0014】

本発明に係る固体撮像装置によれば、光電変換部における集光の妨げを回避し、光電変換部の受光開口率の拡大を図ることができる。これにより、光電変換部での集光効率を改善することができ、感度を増加することができる。

【発明を実施するための最良の形態】

50

## 【 0 0 1 5 】

以下、図面を参照して本発明の実施の形態を説明する。

## 【 0 0 1 6 】

図 1 に、本発明に係る固体撮像装置、すなわち CMOS イメージセンサの第 1 実施の形態を示す。図 1 は、撮像領域における配線レイアウト（垂直方向に延びる配線に例を取る）を模式的に示している。本実施の形態に係る CMOS イメージセンサ 2 1 は、撮像領域 2 2 において、光電変換部となるフォトダイオード（PD）2 3 と複数の MOS トランジスタ（図示せず）からなる複数の画素 2 4 が 2 次元的にいわゆる斜めずらし配列をもって配置されている。すなわち 2 次元的に複数の画素 2 4 A を水平方向及び垂直方向にそれぞれ所定ピッチ W 1 で略格子状に配置した第 1 画素グループ 2 3 A と、第 1 画素グループに対して水平方向及び垂直方向共に前記ピッチ W 1 の略 1 / 2 のピッチだけずらした状態で 2 次元的に複数の画素 2 4 B を配置した第 2 画素グループとにより構成され、丁度画素 2 4 A , 2 4 B が斜めにずらした正方格子状に配列形成されている。本例では奇数行に画素 2 4 A が配列され、1 / 2 ピッチずれて偶数行に画素 2 4 B が配置される。

10

## 【 0 0 1 7 】

そして、本実施の形態においては、撮像領域 2 2 に対して垂直方向に延びる配線 2 5 をフォトダイオード 2 3 ではフォトダイオード 2 3 の辺に沿って斜めに形成するようになる。すなわち、この配線 2 5 は、可及的にフォトダイオード 2 3 に被らないように、隣合う画素 2 4 のフォトダイオード 2 3 間を通り、フォトダイオードの辺に沿う直線的な斜め配線部 2 5 a を有してレイアウトされる。図示しないが、撮像領域 2 2 に対して垂直方向に延びる配線についても、フォトダイオード 2 3 ではフォトダイオード 2 3 の辺に沿って斜めに形成するようになる。すなわち、この配線 2 5 は、可及的にフォトダイオード 2 3 に被らないように、隣合う画素 2 4 のフォトダイオード 2 3 の間を通り、フォトダイオード 2 3 の辺に沿う斜め配線部 2 5 a を有してレイアウトされる。

20

## 【 0 0 1 8 】

第 1 実施の形態について、図 3 ~ 図 7 を用いて更に具体的に説明する。図 3 は、撮像領域 2 2 の画素 2 4 のレイアウトを示す。本実施の形態は、第 1 導電型の半導体基板、例えば n 型のシリコン基板に第 2 導電型の例えば p 型の半導体ウェル領域が形成され、この p 型半導体ウェル領域に光電変換部となるフォトダイオード（PD）2 3 と 3 つの MOS トランジスタ、すなわち転送トランジスタ Tr 1 とリセットトランジスタ Tr 2 と増幅トランジスタ Tr 3 からなる単位画素 2 4 が、前述したように、斜めずらし配列をもって 2 次元的に規則的に形成されている。各々の隣合う画素 2 4 間、及び画素 2 4 内には、素子分離領域 2 6 が形成されている。3 0 は、画素 2 4 における半導体ウェル領域の電位を安定化させるために所要電位を印加するウェルコンタクト部である。

30

## 【 0 0 1 9 】

転送トランジスタ Tr 1 は、フォトダイオード 2 3 と、フローティング・ディフュージョン FD となるソース・ドレイン領域（ここではドレイン領域）2 7 と、ゲート絶縁膜を介して形成された転送ゲート電極 3 1 とで形成される。リセットトランジスタ Tr 2 は、一対のソース・ドレイン領域（ここではソース領域）2 7 及びソース・ドレイン領域（ここではドレイン領域）2 8 と、ゲート絶縁膜を介して形成されたリセットゲート電極 3 2 とで形成される。増幅トランジスタ Tr 3 は、一対のソース・ドレイン領域（ここではドレイン領域）2 8 及びソース・ドレイン領域（ここではソース領域）2 9 と、ゲート絶縁膜を介して形成された増幅ゲート電極 3 3 とで形成される。

40

## 【 0 0 2 0 】

本例では、このフォトダイオード 2 3 及び 3 つの MOS トランジスタ Tr 1 ~ Tr 3 による画素 2 4 が複数形成された半導体基板上に、層間絶縁膜を介して第 1、第 2 及び第 3 層メタルによる各配線が形成される。

## 【 0 0 2 1 】

図 4 及び図 5（図 4 の拡大図）は、半導体基板上に層間絶縁膜を介して形成された第 1 層メタルによる垂直方向に延びる配線のレイアウトを示す。ここでは、垂直方向に延びる

50

配線として、増幅トランジスタTr3のソース領域29に接続される垂直信号線14と、半導体ウェル領域の電位を安定化するために、画素内の半導体ウェル領域、すなわちそのウェルコンタクト部30に接続されるウェルコンタクト用配線35とが形成される。これら垂直信号線14及びウェルコンタクト用配線35は、撮像領域22に対して垂直方向に沿って且つ隣合う画素24のフォトダイオード(PD)23間を通して形成されるも、フォトダイオード23付近ではフォトダイオード23上に可及的に被らず、フォトダイオード23の辺に沿って直線的に斜めに形成される。すなわち、垂直信号線14及びウェルコンタクト用配線35は、フォトダイオード23の辺に沿った直線的な斜め配線部14a, 35aを有して垂直方向に沿って形成される。

#### 【0022】

図6及び図7(図6の拡大図)は、第1層メタル上に層間絶縁膜を介して形成された第2層メタルによる水平方向に延びる配線のレイアウトを示す。ここでは、水平方向に延びる配線として、転送トランジスタTr1のゲート電極31に接続される転送用配線(転送ゲート線)11と、リセットトランジスタTr2のゲート電極32に接続されるリセット用配線(リセット線)12とが形成される。これら転送用配線11及びリセット用配線12は、撮像領域22に対して水平方向に沿って且つ隣り合う画素24のフォトダイオード23間を通して形成されるも、フォトダイオード23付近ではフォトダイオード23上に可及的に被らず、フォトダイオード23の辺に沿って直線的に斜めに形成される。すなわち、転送用配線11及びリセット用配線12は、フォトダイオード23の辺に沿った直線的な斜め配線部11a, 12aを有して水平方向に沿って形成される。

#### 【0023】

なお、図示しないが、第2層メタル上に層間絶縁膜を介して形成された3層メタルにより、電源配線が形成される。この3層メタルは、遮光層も兼ねており、フォトダイオード23に対応する部分が開口された格子状に形成することができる。また、3層メタルによる電源配線は、線状に形成することもできる。

#### 【0024】

第1実施の形態に係るCMOSイメージセンサ21によれば、画素24が斜めずらし配列方式を採用し、多数の画素24が形成された半導体基板の上に、層間絶縁膜を介して第1、第2、第3層メタルによる多層配線が形成された構成において、その撮像領域22に対して垂直方向に沿って形成された第1層メタルによる垂直信号線14及びウェルコンタクト用配線35と、撮像領域に対して水平方向に沿って形成された第2層メタルによる転送用配線11及びリセット配線12を、それぞれフォトダイオード23付近ではフォトダイオード23の辺に沿って直線的に斜めに形成(すなわち、斜め配線部14a, 35a, 11a, 12aを有して形成)することにより、フォトダイオード23の光学的開口率(実質的な受光面積)を広げることができ、集光効率を向上し、CMOSイメージセンサとしての感度を増加することができる。

#### 【0025】

また、直線的な斜め配線部14a, 35a, 11a, 12aを有することで、配線のレイアウトの自由度が広がるため、イメージセンサの感度、ダイナミックレンジなどの特性を改善することができる。後述の第2実施の形態に比べて、斜め配線部14a, 35a, 11a, 12aが直線的斜めに形成されるので、配線の距離が短くなり、消費電力、発熱を低減することができる。

#### 【0026】

斜め配線部14a, 35a, 11a, 12aを有することで、フォトダイオード23の集光の妨げとならない配線形成ができ、あるいは画素レイアウトの幅が広がり、このことによりフォトダイオード23の面積拡大が望める。

本実施の形態は、特に斜め画素ずらし配列において、画素の微細化が進むCMOSイメージセンサに適用して好適である。

#### 【0027】

図2に、本発明に係る固体撮像装置、すなわちCMOSイメージセンサの第2実施の形

10

20

30

40

50

態を示す。図2は、撮像領域における配線レイアウト（垂直方向に延びる配線に例を取る）を模式的に示している。本実施の形態に係るCMOSイメージセンサ41は、図1で説明したと同様に、撮像領域22において、光電変換部となるフォトダイオード(PD)23と複数のMOSトランジスタ（図示せず）からなる複数の画素24が2次的にいわゆる斜めずらし配列をもって配置されている。すなわち2次的に複数の画素24Aを水平方向及び垂直方向にそれぞれ所定ピッチW1で略格子状に配置した第1画素グループ23Aと、第1画素グループに対して水平方向及び垂直方向共に前記ピッチW1の略1/2のピッチだけずらした状態で2次的に複数の画素24Bを配置した第2画素グループとにより構成され、丁度画素24A、24Bが斜めにずらした正方格子状に配列形成されている。本例では奇数行に画素24Aが配列され、1/2ピッチずれて偶数行に画素24B

10

#### 【0028】

そして、本実施の形態においては、撮像領域22に対して垂直方向に延びる配線25をフォトダイオード23ではフォトダイオード23の辺に沿ってジグザグ状に斜めに形成するようになる。すなわち、この配線25は、出来るだけフォトダイオード23に被らないように、隣合う画素24のフォトダイオード23間を通り、フォトダイオード23の辺に沿うジグザグ状斜め配線部25bを有してレイアウトされる。この斜め配線部25bのジグザグ状は、垂直線及び水平線の組み合わせによるジグザグ状とすることができる。ただし、微細化に伴って、この垂直線及び水平線の組み合わせによるジグザグ状は、製造過程で角部が鈍って波形状になることもある。

20

一方図示しないが、撮像領域22に対して垂直方向に延びる配線についても、フォトダイオード23ではフォトダイオード23の辺に沿ってジグザグ状に斜めに形成するようになる。すなわち、この配線は、出来るだけフォトダイオード23に被らないように、隣合う画素24のフォトダイオード23の間を通り、フォトダイオード23の辺に沿うジグザグ状斜め配線部を有してレイアウトされる。

#### 【0029】

第2実施の形態について、図8～図11を用いて更に具体的に説明する。画素24のレイアウトは前述の図3と同様であるので、詳細説明を省略する。また、図8～図11において、図4～図7と対応する部分には同一符号を付す。

#### 【0030】

図8及び図9（図8の拡大図）は、半導体基板上に層間絶縁膜を介して形成された第1層メタルによる垂直方向に延びる配線のレイアウトを示す。ここでは、垂直方向に延びる配線として、前述の第1実施の形態と同様に、増幅トランジスタTr3のソース領域29に接続される垂直信号線14と、半導体ウェル領域の電位を安定化するために、画素内の半導体ウェル領域に接続されるウェルコンタクト用配線35とが形成される。これら垂直信号線14及びウェルコンタクト用配線35は、撮像領域22に対して垂直方向に沿って且つ隣合う画素24のフォトダイオード(PD)23間を通して形成されるも、フォトダイオード23付近ではフォトダイオード23上に出来るだけ被らず、フォトダイオード23の辺に沿ってジグザグ状に斜めに形成される。すなわち、垂直信号線14及びウェルコンタクト用配線35は、フォトダイオード23の辺に沿ったジグザグ状の斜め配線部14b、35bを有して垂直方向に沿って形成される。

30

40

#### 【0031】

図10及び図11（図10の拡大図）は、第1層メタル上に層間絶縁膜を介して形成された第2層メタルによる水平方向に延びる配線のレイアウトを示す。ここでは、水平方向に延びる配線として、前述の第1実施の形態と同様に、転送トランジスタTr1のゲート電極31に接続される転送用配線（転送ゲート線）11と、リセットトランジスタTr2のゲート電極32に接続されるリセット用配線（リセット線）12とが形成される。これら転送用配線11及びリセット用配線12は、撮像領域22に対して水平方向に沿って且つ隣合う画素24のフォトダイオード23間を通して形成されるも、フォトダイオード23付近ではフォトダイオード23上に出来るだけ被らず、フォトダイオード23の辺に沿っ

50

てジグザグ状に斜めに形成される。すなわち、転送用配線 1 1 及びリセット用配線 1 2 は、フォトダイオード 2 3 の辺に沿ったジグザグ状の斜め配線部 1 1 b , 1 2 b を有して水平方向に沿って形成される。

【 0 0 3 2 】

なお、図示しないが、第 2 層メタル上に層間絶縁膜を介して形成された 3 層メタルにより、電源配線が形成される。この 3 層メタルは、遮光層も兼ねており、フォトダイオード 2 3 に対応する部分が開口された格子状に形成することができる。また、3 層メタルによる電源配線は、線状に形成することもできる。

【 0 0 3 3 】

第 2 実施の形態に係る CMOS イメージセンサ 4 1 によれば、撮像領域 2 2 に対して垂直方向に沿って形成された第 1 層メタルによる垂直信号線 1 4 及びウェルコンタクト用配線 3 5 と、撮像領域に対して水平方向に沿って形成された第 2 層メタルによる転送用配線 1 1 及びリセット配線 1 2 を、それぞれフォトダイオード 2 3 付近ではフォトダイオード 2 3 の辺に沿ってジグザグ状に斜めに形成（すなわち、斜め配線部 1 4 b , 3 5 b , 1 1 b , 1 2 b を有して形成）することにより、フォトダイオード 2 3 の光学的開口率（実質的な受光面積）を広げることができ、集光効率を向上し、CMOS イメージセンサとしての感度を増加することができる。

【 0 0 3 4 】

また、斜め配線部 1 4 b , 3 5 b , 1 1 b , 1 2 b を有することで、イメージセンサの感度、ダイナミックレンジなどの特性を改善することができる。

斜め配線部 1 4 b , 3 5 b , 1 1 b , 1 2 b を有することで、出来るだけフォトダイオード 2 3 の集光の妨げとならない配線形成ができ、あるいは画素レイアウトの幅が広がり、このことによってフォトダイオード 2 3 の面積拡大が望める。

本実施の形態は、特に斜め画素ずらし配列において、画素の微細化が進む CMOS イメージセンサに適用して好適である。

【 0 0 3 5 】

更に、本発明に係る CMOS イメージセンサの第 3 実施の形態としては、2 画素、3 画素、4 画素などの複数画素のフォトダイオードに対して所要の画素 MOS トランジスタを共有した CMOS イメージセンサに適用することができる。図 1 2 に、2 画素でリセットトランジスタ Tr 2 と増幅トランジスタ Tr 3 と選択トランジスタ Tr 4 を共有にした場合の CMOS イメージセンサの等価回路を示す。

【 0 0 3 6 】

この CMOS イメージセンサは、2 画素のフォトダイオード 2 a , 2 b に対してそれぞれ対応する転送トランジスタ Tr 1 a , Tr 1 b のソースが接続される。各転送トランジスタ Tr 1 a , Tr 1 b の各ゲートには転送配線 1 1 A , 1 1 B が接続される。各転送トランジスタ Tr 1 a , Tr 1 b のドレインは、共通接続されて 1 つのリセットトランジスタ Tr 2 に接続されると共に、転送トランジスタのドレインとリセットトランジスタのソース間のいわゆるフローティング・ディフュージョン（FD）が 1 つの増幅トランジスタ Tr 3 のゲートに接続される。リセットトランジスタ Tr 2 のドレイン、増幅トランジスタ Tr 3 のドレインは電源配線 1 3 に接続される。リセットトランジスタ Tr 2 のゲートはリセット線 1 2 に接続される。さらに、増幅トランジスタ Tr 3 のソースは選択トランジスタ Tr 4 のドレインに接続される。選択トランジスタ Tr 4 のゲートは選択配線 1 5 に接続され、選択トランジスタ Tr 4 のソースは垂直信号線 1 4 に接続される。

【 0 0 3 7 】

第 3 実施の形態に係る CMOS イメージセンサは、このような 2 画素で MOS トランジスタを共有した構成において、その各配線 1 1 A , 1 1 B , 1 2 , 1 4 , 1 5 , ウェルコンタクト用配線などを、前述したような水平、垂直方向に沿うと共に、フォトダイオード付近ではフォトダイオードの辺に沿って斜めに形成した配線レイアウトで形成して構成される。

【 0 0 3 8 】

10

20

30

40

50

第3実施の形態に係るCMOSイメージセンサの配線レイアウトについて、図13～図17図を用いて具体的に説明する。図13は、撮像領域22の画素のレイアウトを示す。

本実施の形態は、第1導電型の半導体基板、例えばn型のシリコン基板に第2導電型の例えばp型の半導体ウェル領域が形成され、このp型半導体ウェル領域に光電変換部となる2つのフォトダイオード(PD)23a, 23bと、各フォトダイオード23a, 23bに接続された転送トランジスタTr1a, Tr1bと共有するリセットトランジスタTr2と増幅トランジスタTr3と選択トランジスタTr4とからなる2画素を1組とした画素単位241が、前述したように、斜めずらし配列をもって2次的に規則的に形成されている。各々の隣合う画素単位241間、及び画素単位241内には、素子分離領域26が形成されている。30は、画素単位241における半導体ウェル領域の電位を安定化させるために所要電位を印加するウェルコンタクト部である。

10

#### 【0039】

転送トランジスタTr1a, Tr1bは、それぞれフォトダイオード23a, 23bと、フローティング・ディフュージョンFDとなるソース・ドレイン領域(ここではドレイン領域)27と、ゲート絶縁膜を介して形成された転送ゲート電極31a, 31bとで形成される。リセットトランジスタTr2は、一对のソース・ドレイン領域(ここではソース領域)27及びソース・ドレイン領域(ここではドレイン領域)28と、ゲート絶縁膜を介して形成されたリセットゲート電極32とで形成される。増幅トランジスタTr3は、一对のソース・ドレイン領域(ここではドレイン領域)28及びソース・ドレイン領域(ここではソース領域)29と、ゲート絶縁膜を介して形成された増幅ゲート電極33とで形成される。選択トランジスタTr4は、一对のソース・ドレイン領域(ここではドレイン領域)29及びソース・ドレイン領域(ここではドレイン領域)41と、ゲート絶縁膜を介して形成された選択ゲート電極42とで形成される。

20

#### 【0040】

本例では、このフォトダイオード23a, 23b及び5つのMOSトランジスタTr1a～Tr4による画素単位241が複数形成された半導体基板上に、層間絶縁膜を介して第1、第2及び第3層メタルによる各配線が形成される。

#### 【0041】

図14及び図15(図14の拡大図)は、半導体基板上に層間絶縁膜を介して形成された第1層メタルによる垂直方向に延びる配線のレイアウトを示す。ここでは、垂直方向に延びる配線として、選択トランジスタTr4のソース領域41に接続される垂直信号線14と、半導体ウェル領域の電位を安定化するために、画素単位内の半導体ウェル領域、すなわちそのウェルコンタクト部30に接続されるウェルコンタクト用配線35とが形成される。これら垂直信号線14及びウェルコンタクト用配線35は、撮像領域22に対して垂直方向に沿って且つ画素単位241内あるいは画素単位241間、の隣り合うフォトダイオード(PD1, PD2)23a及び23b間を通して形成されるも、フォトダイオード23a, 23b付近ではフォトダイオード23a, 23b上に可及的に被らず、フォトダイオード23a, 23bの辺に沿って直線的に斜めに形成される。すなわち、垂直信号線14及びウェルコンタクト用配線35は、フォトダイオード23a, 23bの辺に沿った直線的な斜め配線部14a, 35aを有して垂直方向に沿って形成される。

30

40

#### 【0042】

図16及び図17(図16の拡大図)は、第1層メタル上に層間絶縁膜を介して形成された第2層メタルによる水平方向に延びる配線のレイアウトを示す。ここでは、水平方向に延びる配線として、転送トランジスタTr1aのゲート電極31aに接続される転送用配線(転送ゲート線)11Aと、転送トランジスタTr1bのゲート電極31bに接続される転送用配線(転送ゲート線)11Bと、リセットトランジスタTr2のゲート電極32に接続されるリセット用配線(リセット線)12と、選択トランジスタTr4のゲート電極42に接続される選択用配線(選択配線)15が形成される。これら転送用配線11A, 11B、リセット用配線12及び選択用配線15は、撮像領域22に対して水平方向に沿って且つ画素単位241内あるいは画素単位241間、の隣り合うフォトダイオード(P

50

D 1 , P D 2 ) 2 3 a 及び 2 3 b 間を通して形成されるも、フォトダイオード 2 3 a , 2 3 b 付近ではフォトダイオード 2 3 a , 2 3 b 上に可及的に被らず、フォトダイオード 2 3 a , 2 3 b 辺に沿って直線的に斜めに形成される。すなわち、転送用配線 1 1 A , 1 1 B リセット用配線 1 2 及び選択用配線 1 5 は、フォトダイオード 2 3 a , 2 3 b の辺に沿った直線的な斜め配線部 1 1 a , 1 1 b , 1 2 a , 1 5 a を有して水平方向に沿って形成される。

【 0 0 4 3 】

なお、図示しないが、第 2 層メタル上に層間絶縁膜を介して形成された 3 層メタルにより、電源配線が形成される。この 3 層メタルは、遮光層も兼ねており、フォトダイオード 2 3 a , 2 3 b に対応する部分が開口された格子状に形成することができる。また、3 層メタルによる電源配線は、線状に形成することもできる。

10

【 0 0 4 4 】

第 3 実施の形態に係る C M O S イメージセンサによれば、上述の実施の形態と同様に、フォトダイオード 2 3 a , 2 3 b の光学開口率（実質的な受光面積）を広げ、集光効率の向上、感度の向上を図ることができる。また、イメージセンサの感度、ダイナミックレンジなどの特性の改善などを行うことができる。

【 0 0 4 5 】

上述の 2 画素共有などの複数画素共有の場合、フォトダイオードの面積が共有しない場合に比べてトランジスタの数が減る分、広く形成できる。トランジスタの数を減らした分、配線数が減るが、しかしピッチが狭くなるほど配線が密になる部分が存在する。このような構成でも、配線の斜め配線部を直線状に形成することにより、フォトダイオードの受光開口率を向上することができる。

20

【 0 0 4 6 】

図 1 8 ~ 図 2 1 に、上述の 2 画素で M O S トランジスタを共有した構成に対応した、本発明に係る C O S イメージセンサの第 4 の実施の形態を示す。画素単位 2 4 1 のレイアウトは前述の図 1 3 と同様であるので、詳細説明を省略する。また、図 1 8 ~ 図 2 1 において、図 1 4 ~ 図 1 7 と対応する部分には同一符号を付す。

【 0 0 4 7 】

図 1 8 及び図 1 9（図 1 8 の拡大図）は、半導体基板の上に層間絶縁膜を介して形成された第 1 層メタルによる垂直方向に伸びる配線のレイアウトを示す。ここでは、垂直方向に伸びる配線として、前述の第 3 実施の形態と同様に、選択トランジスタ T r 4 のソース領域 4 1 に接続される垂直信号線 1 4 と、半導体ウェル領域の電位を安定化するために、画素単位 2 4 1 内のウェルコンタクト部 3 0 に接続されるウェルコンタクト用配線 3 5 とが形成される。これら垂直信号線 1 4 及びウェルコンタクト用配線 3 5 は、撮像領域 2 2 に対して垂直方向に沿って且つ画素例えば 2 4 1 内あるいは画素単位 2 4 1 間、の隣合うフォトダイオード（P D 1、P D 2）2 3 a 及び 2 3 b 間を通して形成されるも、フォトダイオード 2 3 a , 2 3 b 付近ではフォトダイオード 2 3 a , 2 3 b 上に出来るだけ被らず、フォトダイオード 2 3 a , 2 3 b の辺に沿ってジグザグ状に斜めに形成される。すなわち、垂直信号線 1 4 及びウェルコンタクト用配線 3 5 は、フォトダイオード 2 3 a , 2 3 b の辺に沿ったジグザグ状の斜め配線部 1 4 b , 3 5 b を有して垂直方向に沿って形成される。

30

40

【 0 0 4 8 】

図 2 0 及び図 2 1（図 2 0 の拡大図）は、第 1 層メタル上に層間絶縁膜を介して形成された第 2 層メタルによる水平方向に伸びる配線のレイアウトを示す。ここでは、水平方向に伸びる配線として、前述の第 3 実施の形態と同様に、転送トランジスタ T r 1 a のゲート電極 3 1 a に接続される転送用配線（転送ゲート線）1 1 A と、転送トランジスタ T r 1 b のゲート電極 3 1 b に接続される転送用配線（転送ゲート線）1 1 B と、リセットトランジスタ T r 2 のゲート電極 3 2 に接続されるリセット用配線（リセット線）1 2 と、選択トランジスタ T r 4 のゲート電極 4 2 に接続される選択用配線（選択配線）1 5 が形成される。これら転送用配線 1 1 A , 1 1 B、リセット用配線 1 2 及び選択用配線 1 5 は、

50

撮像領域 2 2 に対して水平方向に沿って且つ画素単位 2 4 1 内あるいは画素単位 2 4 1 間、の隣合うフォトダイオード 2 3 a 及び 2 3 b 間を通して形成されるも、フォトダイオード 2 3 a , 2 3 b 付近ではフォトダイオード 2 3 a , 2 3 b 上に出来るだけ被らず、フォトダイオード 2 3 a , 2 3 b の辺に沿ってジグザグ状に斜めに形成される。すなわち、転送用配線 1 1 A , 1 1 B , リセット用配線 1 2 及び選択用配線 1 5 は、フォトダイオード 2 3 a , 2 3 b の辺に沿ったジグザグ状の斜め配線部 1 1 c , 1 1 d , 1 2 b , 1 5 b を有して水平方向に沿って形成される。

【 0 0 4 9 】

なお、図示しないが、第 2 層メタル上に層間絶縁膜を介して形成された 3 層メタルにより、電源配線が形成される。この 3 層メタルは、遮光層も兼ねており、フォトダイオード 2 3 に対応する部分が開口された格子状に形成することができる。また、3 層メタルによる電源配線は、線状に形成することもできる。

10

【 0 0 5 0 】

第 4 実施の形態に係る CMOS イメージセンサによれば、上述の実施の形態と同様に、フォトダイオード 2 3 a , 2 3 b の光学開口率（実質的な受光面積）を広げ、集光効率の向上、感度の向上を図ることができる。また、イメージセンサの感度、ダイナミックレンジなどの特性の改善などを行うことができる。2 画素共有などの複数画素共有の場合、フォトダイオードの面積が共有しない場合に比べてトランジスタの数が減る分、広く形成できる。

【 0 0 5 1 】

20

上例の第 1、第 2 の実施の形態に係る CMOS イメージセンサでは、画素トランジスタを、転送トランジスタ、リセットトランジスタ及び増幅トランジスタの 3 つのトランジスタで構成したが、その他、例えば転送トランジスタ、リセットトランジスタ、増幅トランジスタ及び選択トランジスタの 4 つのトランジスタで構成することもでき、あるいはそれ以上の複数トランジスタで構成することもできる。その場合にも、本発明は上述した効果を奏する。

【 0 0 5 2 】

上例の第 3、第 4 の実施の形態に係る CMOS イメージセンサでは、画素単位の画素トランジスタを、転送トランジスタ、リセットトランジスタ、増幅トランジスタ及び選択トランジスタの 4 つのトランジスタで構成したが、その他、例えば転送トランジスタ、リセットトランジスタ及び増幅トランジスタの 3 つのトランジスタで構成することもでき、あるいは 4 つ以上の複数トランジスタで構成することもできる。その場合にも、本発明は上述した効果を奏する。

30

【 0 0 5 3 】

因みに、前述した特許文献 2 の斜め配線を有する CCD イメージセンサと、本発明に係る斜め配線を有する CMOS イメージセンサとの相違について説明する。

CCD イメージセンサでの斜め配線は、ポリシリコン転送電極の裏打ち配線であり、この斜め配線が無くても動作可能である。したがって、受光開口率を上げるにはその裏打ち配線を省略すれば良い。これに対して、CMOS イメージセンサの場合は、複数の配線層（多層配線層）が必須であり、多層配線層を無くして受光開口率を上げることはできない。

40

また、CCD イメージセンサでは配線は全て駆動用である。これに対して、CMOS イメージセンサの場合は、駆動以外に電源線、垂直信号線が存在する。それらを斜め配線層を有するようにレイアウトすることにより、受光開口率が向上し、配線レイアウトの自由度が増すことになる。

【 0 0 5 4 】

CMOS イメージセンサでは、配線によって画素内（1 つの画素内、またはトランジスタを N 数の画素で共有しているときは N 数の画素内）のトランジスタ、フォトダイオードなどを接続する必要がある。斜め配線層を用いる配線は駆動用として用いるリセット線、選択線、転送線以外に、電源線、垂直信号線、ウェルコンタクト線、画素内のトランジスタ

50

タやフォトダイオード、キャパシタを接続する線があり多様である。ＣＣＤイメージセンサではこのような配線は必要ない。

通常ＣＭＯＳイメージセンサの場合、上述したように複数の配線層から構成される。画素構造によっては斜め配線部を用いることで、配線のレイアウトの自由度があがり、受光開口率を犠牲にせず配線層を少なくすることが可能になる。これにより工程数削減やシェーディングを緩和できる。ＣＣＤイメージセンサではこのような構成上の効果は得られない。

【図面の簡単な説明】

【 0 0 5 5 】

【図 1】本発明に係るＣＭＯＳ型の固体撮像装置の第 1 実施の形態の配線レイアウトを示す模式図である。 10

【図 2】本発明に係るＣＭＯＳ型の固体撮像装置の第 2 実施の形態の配線レイアウトを示す模式図である。

【図 3】本発明の第 1 実施の形態に係る具体的構成を示す配線形成前の平面図である。

【図 4】本発明の第 1 実施の形態に係る具体的構成を示す第 1 層メタルによる垂直方向の配線形成後の平面図である。

【図 5】図 4 の拡大図である。

【図 6】本発明の第 1 実施の形態に係る具体的構成を示す第 2 層メタルによる水平方向の配線形成後の平面図である。

【図 7】図 6 の拡大図である。 20

【図 8】本発明の第 2 実施の形態に係る具体的構成を示す第 1 層メタルによる垂直方向の配線形成後の平面図である。

【図 9】図 8 の拡大図である。

【図 10】本発明の第 2 実施の形態に係る具体的構成を示す第 2 層メタルによる水平方向の配線形成後の平面図である。

【図 11】図 10 の拡大図である。

【図 12】本発明に係る第 3 実施の形態の画素の等価回路図である。

【図 13】本発明の第 3 実施の形態に係る具体的構成を示す配線形成前の平面図である。

【図 14】本発明の第 3 実施の形態に係る具体的構成を示す第 1 層メタルによる垂直方向の配線形成後の平面図である。 30

【図 15】図 14 の拡大図である。

【図 16】本発明の第 3 実施の形態に係る具体的構成を示す第 2 層メタルによる水平方向の配線形成後の平面図である。

【図 17】図 16 の拡大図である。

【図 18】本発明の第 4 実施の形態に係る具体的構成を示す第 1 層メタルによる垂直方向の配線形成後の平面図である。

【図 19】図 18 の拡大図である。

【図 20】本発明の第 4 実施の形態に係る具体的構成を示す第 2 層メタルによる水平方向の配線形成後の平面図である。

【図 21】図 20 の拡大図である。 40

【図 22】ＣＭＯＳイメージセンサの等価回路図である。

【図 23】従来の斜め画素ずらし配列のＣＭＯＳ型の固体撮像装置の配線レイアウトを示す模式図である。

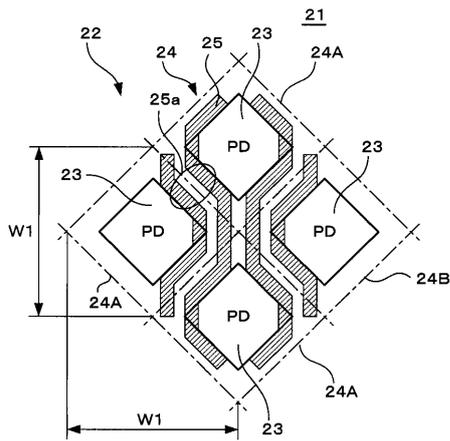
【符号の説明】

【 0 0 5 6 】

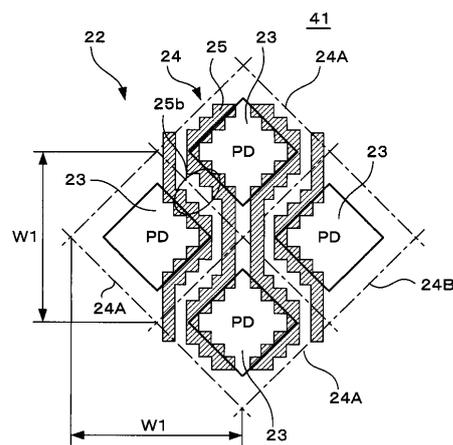
1 1 , 1 1 A , 1 1 B ・ ・ 転送用配線、 1 2 ・ ・ リセット配線、 1 3 ・ ・ 電源配線、 1 4 ・ ・ 垂直信号線、 2 1 , 4 1 ・ ・ ＣＭＯＳイメージセンサ、 2 2 ・ ・ 撮像領域、 2 3 , 2 3 a , 2 3 b ・ ・ フォトダイオード、 2 4 ・ ・ 画素、 2 4 1 ・ ・ 2 画素 1 組とした画素単位、 2 5 ・ ・ 配線、 1 1 a , 1 1 b , 1 1 c , 1 1 d , 1 2 a , 1 2 b , 1 4 a , 1 4 b , 2 5 a , 2 5 b , 3 5 a , 3 5 b ・ ・ 斜め配線部、 T r 1 ~ T r 4 ・ ・ ＭＯＳトラン 50

ジスタ、 3 0 . . . ウェルコンタクト部、 3 5 . . . ウェルコンタクト用配線

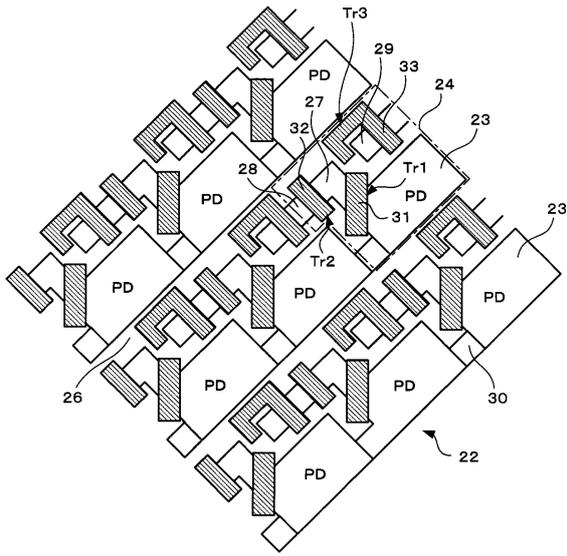
【図 1】



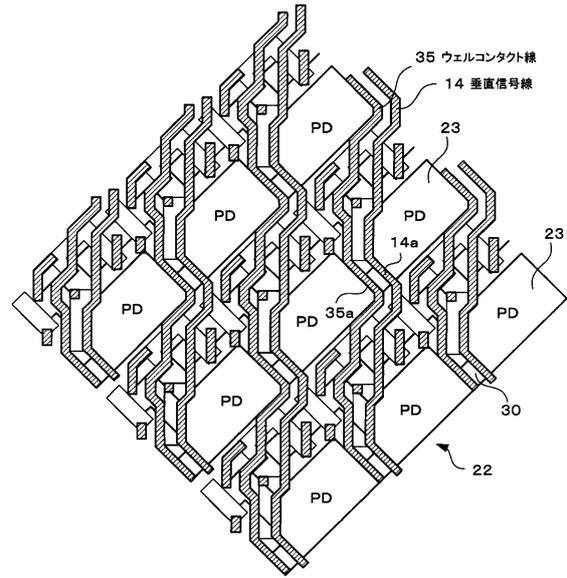
【図 2】



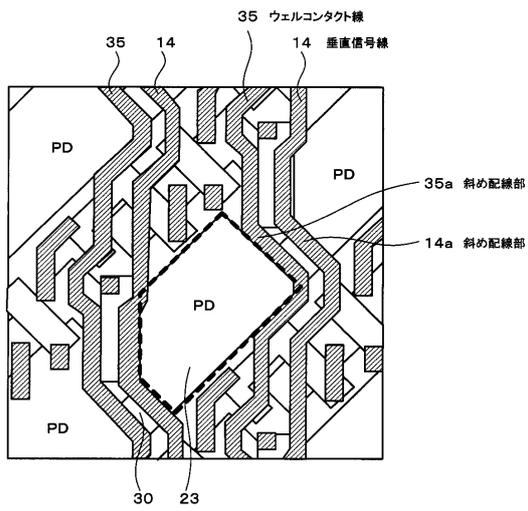
【図3】



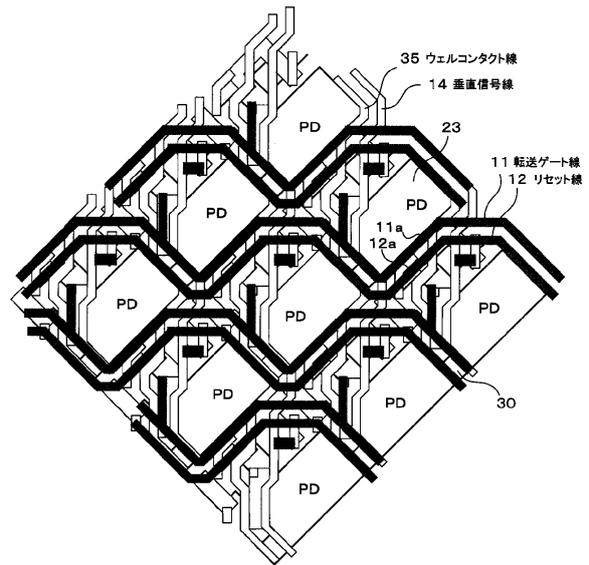
【図4】



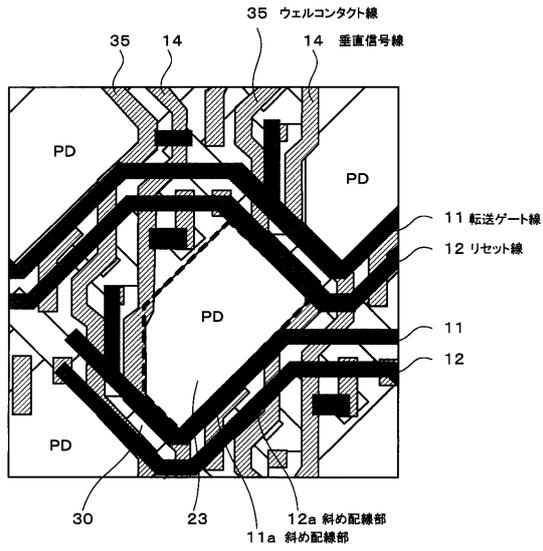
【図5】



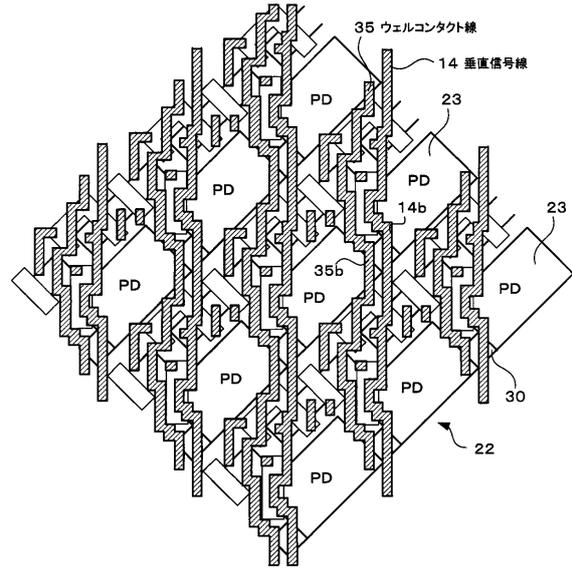
【図6】



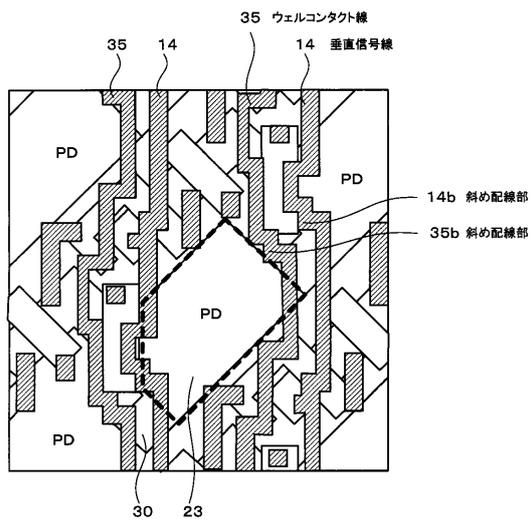
【図7】



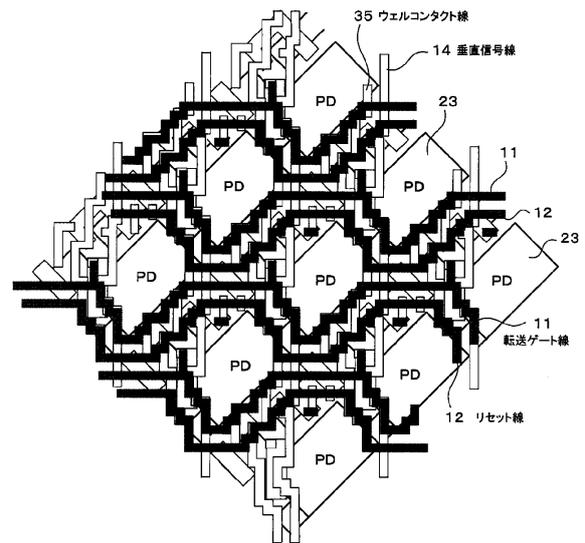
【図8】



【図9】

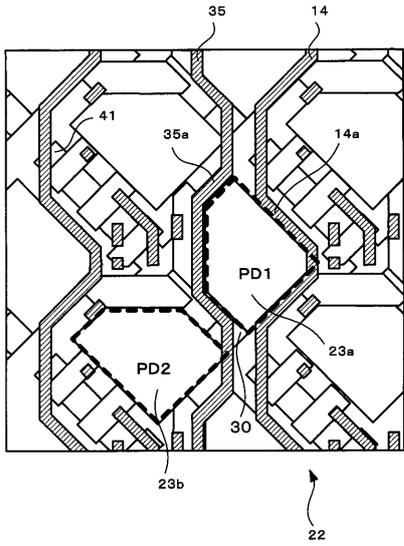


【図10】

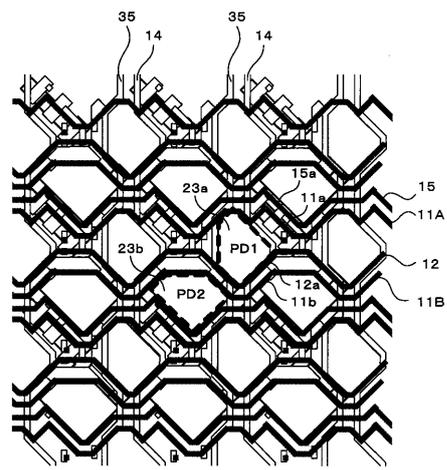




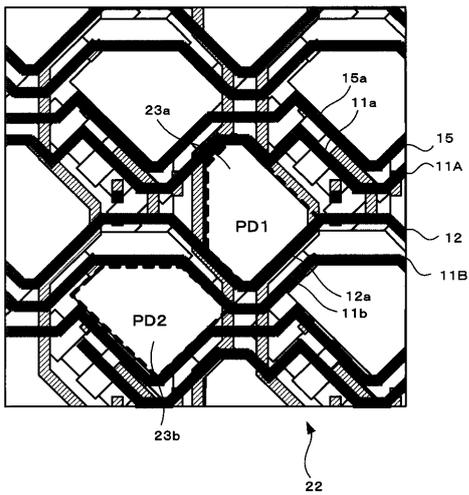
【図15】



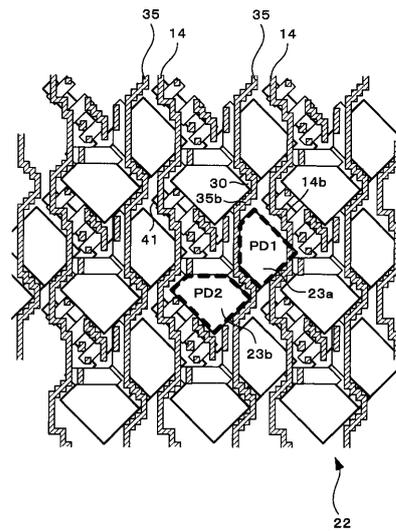
【図16】



【図17】

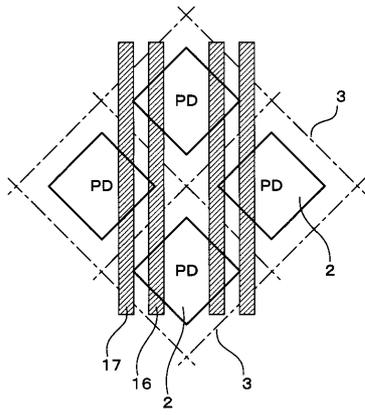


【図18】





【 図 2 3 】



斜め配線部

---

フロントページの続き

(72)発明者 若野 壽史

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 鳥居 元展

神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

(72)発明者 星 博則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 菊地 晃司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 空 哲次

(56)参考文献 特開2001-223350(JP,A)

特開2005-142251(JP,A)

特開2003-259232(JP,A)

特開2001-230400(JP,A)

特開2003-249632(JP,A)

特開2004-172950(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146

H04N 5/335