

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96127358

※ 申請日期：2007 年 7 月 26 日

※IPC 分類：

G06F 12/00 (2006.01)

一、發明名稱：(中文/英文)

用於設計記憶體裝置之容舊技術

DEGENERATION TECHNIQUE FOR DESIGNING MEMORY
DEVICES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英商·ARM 股份有限公司

ARM LIMITED

代表人：(中文/英文)

方奈爾沙曼莎

FUNNELL, SAMANTHA

住居所或營業所地址：(中文/英文)

英國劍橋郡 CB1 9NJ 綺麗亨頓市富爾本路 110 號

110 Fulbourn Road, Cherry Hinton, Cambridge, CB1 9NJ, United Kingdom

國籍：(中文/英文)

英國/United Kingdom

三、發明人：(共 5 人)

姓名：(中文/英文)

1. 賈傑沃爾漢門吉烏瑪肯特/GAJJEWAR, HEMANGI UMAKANT

2. 張英明/CHANG, INGMING

3. 權正泰/KWON, JUNGTAE

4. 派卓克西扎里/PIETRZYK, CEZARY

5.宋文海/SON, MOON-HAE

國 籍：(中文/英文)

1.美國/USA

2.台灣/Taiwan

3.韓國/Korea

4.波蘭/Polish

5.韓國/Korea

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國；2006年8月18日；11/506,192

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種用於從一區塊化記憶體架構產生一記憶體裝置之一實例之系統、方法和電腦程式產品。該區塊化記憶體架構指定記憶體區塊之最大數目和每記憶體區塊之最大列數。該方法包含下列步驟：接收輸入參數，其指示該記憶體裝置之屬性之一數目，該等屬性至少包含該記憶體裝置之列之一數目 R 。其後，在該區塊化記憶體架構上執行一容舊程序，以便產生一具有這些屬性之記憶體裝置之實例。該容舊程序包含以下步驟：(i) 為該實例選擇記憶體區塊之一數目 B ，其中該數目係一整數，其小於或等於藉由該區塊化記憶體架構指定之最大記憶體區塊數，且 B 不限於 R 之一因數；及(ii) 在該選定之記憶體區塊中對列之該數目 R 進行分割以便在每個記憶體區塊中在該記憶體區塊中之列的該數目係一整數，其小於或等於藉由該區塊化記憶體架構指定之每記憶體區塊之列的該最大數目。本發明提供一種非常彈性的技術，用以從一在所提供之列的數目上允許精細粒度之區塊化記憶體架構產生實例，其尤其適合用於高度區塊化之記憶體架構。

六、英文發明摘要：

A system, method and computer program product are provided for producing an instance of a memory device from a banked memory architecture. The banked memory architecture specifies a maximum number of memory banks and a maximum number of rows per memory bank. The method comprises the step of receiving input parameters indicating a number of properties of the memory device, the properties comprising at least a number of rows R for the memory device. Thereafter, a degeneration process is performed on the banked memory architecture in order to produce the instance of a memory device having those properties. The degeneration process comprises the steps of: (i) selecting a number of memory banks B for the instance, where the number is an integer less than or equal to the maximum number of memory banks specified by the banked memory architecture, and B is not constrained to be a factor of R ; and (ii) partitioning the number of rows R amongst the selected memory banks such that in each memory bank the number of rows in that memory bank is an integer less than or equal to the maximum number of rows per memory bank specified by the banked memory architecture. This has been found to provide a very flexible technique for producing instances from a banked memory architecture allowing fine granularity in the number of rows provided, which is particularly suitable for highly banked memory architectures.

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖。

(二)、本代表圖之元件代表符號簡單說明：

100, 110, 120, 130, 140, 150, 160 實例

170 周邊邏輯

180 周邊設計

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明係關於用於設計記憶體裝置之容舊技術，且特定而言，係關於一種用於使用一容舊技術從一區塊化記憶體架構產生一記憶體裝置之一實例之方法、電腦可讀媒體和系統。

【先前技術】

記憶體裝置之儲存需求存在一持續增加之趨勢，因此這些記憶體裝置之大小和複雜性亦傾向增加。但是，記憶體裝置越大，其存取可能消耗之功率越多，且存取之速度可能越緩慢。為尋求改良存取速度和減小功率消耗，吾人已知可產生區塊化記憶體設計，其中該記憶體裝置被配置為複數區塊。因此，可對該等單獨區塊進行存取，而不是對整個該記憶體裝置進行存取，藉此改良存取速度和減小功率消耗。

當設計區塊化記憶體裝置時，可採取兩種常規方法。依據一第一方法，可針對一特定實現自定設計該記憶體裝置，其可導致一有效之設計。但是，此一方法之缺點在於在不同實現中重新使用該設計的可能性很小，且因此此一方法比較昂貴。依據一備選方法，開發了一種區塊化記憶體架構，然後使用一記憶體編譯器工具創建該區塊化記憶體架構之一實例（即一特定實例），以在該記憶體裝置之某些要求屬性方面形成一所需記憶體裝置之設計。

在從一指定的區塊化記憶體架構產生一記憶體裝置之

一實例之過程中，該編譯器工具可執行一容舊程序，其中在每區塊中之該等列可退化以便產生包含小於該最大可能列數之列的記憶體裝置之實例。在第 1 圖中示意性說明了一此類已知容舊程序。依據在第 1 圖中所示之該區塊化記憶體架構，提供四區塊，每對區塊共享周邊邏輯 50，此類周邊邏輯由欄解碼器、感應放大器邏輯、控制電路等組成，如熟習此項技術者之所應瞭解的。依據第 1 圖應用之該區塊化記憶體架構，假定每記憶體區塊之最大列數為 64，且因此該實例 10 代表使用該區塊化記憶體架構可產生之最大的記憶體裝置。如第 1 圖中之所示，該實例 10 由該等四區塊 12、14、16、18 組成，每區塊包含 64 列，且每對區塊共享周邊邏輯 50。

但是，使用該編譯器工具者可指示其要求少於該列數。應用該容舊程序，此可導致該產生一具有小於該最大列數之實例，舉例而言，其中每個該等四區塊 22、24、26、28 具有 62 列之該實例 20。但是，依據此已知容舊技術，每區塊中之該列容舊被限制為相同，且因此在該實例 10 和該實例 20 之間不存在可能之實例。同樣地，該實例 20 以下次小之可能性係該實例 30，其中該等四區塊 32、34、36、38 每個在其中具有 60 列。該最小可能大小將由每區塊之最小允許列數指定，舉例而言，其可能為每區塊八列，如圖第 1 圖之該實例 40 所示，其中每個該等區塊 42、44、46、48 具有八列。

因此，該最大大小之實例將提供 256 列，而該下一可

用實例 20 將提供 248 列。因此，此一方法導致在該等可用數目之列之間存在一相當粗糙之粒度，如由第 2 圖之示意性圖解說明，第 2 圖係一圖解說明延遲作為大小之一函式之圖表。在第 2 圖中之該等符號 a、b、c、d 對應於第 1 圖中所示之該等四個實例 10、20、30、40。考慮實例 30，此實例提供 240 列。如果該編譯器之使用者要設計一具有 240 列之記憶體裝置，則將產生實例 30。但是，如果該使用者希望產生一具有 242 列之記憶體裝置，則依據此容舊技術需要採納該實例 20，其如上所述具有 248 列，即對於該指示裝置有六列不是必需的。因此，從第 2 圖中可看出由於該需要根據實例 20 產生一記憶體裝置，在存取延遲中之該結果跳躍相對而言比較粗糙，這潛在地迫使該設計者尋找一種方法來移除對該等其他兩列之需要，即藉此使得能夠採納該實例 30。

除此問題之外，對於記憶體架構傾向於變得具有更高的區塊性（即包括越來越多區塊）之趨勢，且從以上第 1 圖和第 2 圖之說明應瞭解包括的區塊更多，在該等可能實例之間之粗糙度將變得越大。因此，考慮到上述範例，由對兩個額外列之要求所導致之延遲損失將變得更大。

此外，從第 1 圖應瞭解隨著該記憶體裝置實例大小減小，由於該周邊邏輯 50 之相對耗用，結果記憶體裝置之效率將減小。特定而言，可看出當採納該實例 10 時，該周邊邏輯 50 在 128 列之間共享，而當採納該實例 40 時，該周邊邏輯 50 在 16 列之間共享。因此，對於根據該實例 40

產生一記憶體裝置所需要之區域，其效率低於產生該實例 10 所需之區域。

因此，需要提供一種改良之技術，以從一區塊化記憶體架構產生記憶體裝置之實例。

【發明內容】

從第一態樣來檢視，本發明提供一種從一區塊化記憶體架構產生一記憶體裝置之一實例之方法，該區塊化記憶體架構指定記憶體區塊之最大數目和每記憶體區塊之最大列數，該方法包含以下步驟：(a)接收輸入參數，其指示該記憶體裝置之屬性之一數目，該等屬性至少包含用於該記憶體裝置之列的數目 R ；(b)在該區塊化記憶體架構上執行一容舊程序，以便產生具有該等屬性之一記憶體裝置之該實例，該容舊程序包含以下步驟：(i)為該實例選擇記憶體區塊之數目 B ，其中該數目係一小於或等於藉由該區塊化記憶體架構指定之最大記憶體區塊數之整數，且 B 不限於 R 之一因數；及(ii)在於該步驟(b)(i)中選定之該等記憶體區塊中對列的數目 R 進行分割，以便在每個記憶體區塊中在該記憶體區塊中之列的數目係一小於或等於藉由該區塊化記憶體架構指定之每記憶體區塊之列的最大數目之整數。

依據本發明，所應用之該容舊程序涉及為該實例選擇記憶體區塊之數目，然後在這些記憶體區塊中對所需數目之列進行分割。依據本發明，記憶體區塊之數目 B 不限於在步驟(a)中確定之該記憶體裝置之該列的數目 R 之一因

數。因此，當在該等記憶體區塊中對該等列進行分割時，不必將該等列均勻地分配到該等記憶體區塊中，即每個記憶體區塊將不必包含相同數目的列。通過為該容舊程序提供選擇所使用之記憶體區塊之數目的自由，最多可達藉由該區塊化記憶體架構指定之最大記憶體區塊數，然後在這些選定的記憶體區塊中對該記憶體裝置之列的數目進行分割，這使得在可提供之列的數目上可有較精細之粒度，且達成一更有效的設計。作為可獲得之該效率之一示例，如果吾人考慮藉由第 1 圖之該先前技術容舊方案基於等於或小於 32 列之設計要求產生之該實例 40，應瞭解通過使用本發明將可能改為產生一具有包含 32 列之單一區塊之實例，因此僅要求一段周邊邏輯及一更簡單的定址方案。

當執行該容舊程序時選擇該等記憶體區塊之方式可採取各種形式。但是，在一個具體實施例中執行該選擇步驟，以便如該實例產生一具有為該記憶體裝置具有該指示屬性所需之該最小數目之記憶體區塊之實例。已發現此方法導致最有效之實現，尤其是在高度區塊化記憶體架構中。

在該等記憶體區塊中對該等列進行分割之方法可採取各種形式。但是，在一具體實施例中此類分割被執行，以便在該實例之該等記憶體區塊之至少全部減一者中提供每記憶體區塊之最大列數。因此，可產生一些實例，其中所有選定的記憶體區塊具有在其中提供之該等最大數目之列，同時將產生任何其他在全部減一個之該等記憶體區塊中具有該最大數目之列之實例。已發現這可提供一特別有

效之實現，同時在列的數目上提供較精細的粒度，當從該區塊化記憶體架構產生一實例時可提供此精度。

在一具體實施例中，該區塊化記憶體架構指定周邊邏輯及一對記憶體區塊。該周邊邏輯將包括諸如欄解碼器、感應放大器邏輯、控制電路等電路元件。該周邊邏輯之某些電路將在該對記憶體區塊之間共享，且某些電路將為該對之該等記憶體區塊之一特定記憶體區塊所獨有。假設記憶體區塊之該最大數目係一偶數，則如果該容舊程序以一偶數選擇記憶體區塊之一數目，而該數目小於記憶體區塊之該最大數目，這意味著所欲之該特定實例將不包括至少一對已可用之記憶體區塊，且因此在該實例內亦無需包括提供任何此類對之周邊邏輯。因此這藉由避免包含任何不必要的周邊邏輯，使節省效率得以實現。

但是，如果當執行該容舊程序時，選定奇數個記憶體區塊，則這意味著該記憶體區塊之一者將不配對。在一具體實施例中，在此類情況下，該容舊程序進一步包含下列步驟：執行一移除程序，以從與一未配對記憶體區塊相關聯之任何周邊邏輯移除一或多元件。因此，作為範例，可移除在對該記憶體區塊唯一且事實上不被包括在該特定實例設計內之周邊邏輯內之任何元件，藉此導致一“精簡”版本之周邊邏輯以用於該未配對記憶體區塊。因此，在該結果實例設計中實現了又一效率改善。

指示記憶體裝置之屬性之該等輸入參數可採取各種形式。在一具體實施例中，這些輸入參數可直接指定該記憶

體裝置之該等屬性。但是，在替代具體實施例中，該等屬性係從該等輸入參數導出，而不是由該等輸入參數直接指定。在一此類具體實施例中，當導出列數 R 時，列數可選擇為小於或等於由該區塊化記憶體架構支援之最大列數之二的任意倍數。因此，至多，藉由該容舊邏輯衍生之實例所提供之列數將比產生該輸入參數之實體（舉例而言該編譯器工具之一使用者）之實際所需多一系列。

在一特定具體實施例中，該輸入參數包括待藉由該記憶體裝置儲存之字元的數目、一用於該記憶體裝置之多工器大小、和用於該記憶體裝置之輸入/輸出位元的數目，且該等屬性之數目係從中導出，該等屬性包含該列數 R 和用於該記憶體裝置之欄數。特定而言，列數可通過將字元之數目除以該多工器大小來計算。此外，欄數可藉由將該輸入/輸出位元數乘以該多工器大小而導出。

從第二態樣來檢視，本發明提供一承載一電腦程式之電腦可讀媒體，該電腦程式被可操作以致使一電腦系統執行一方法，以用於從一區塊化記憶體架構產生一記憶體裝置之一實例，該區塊化記憶體架構指定記憶體區塊之最大數目及每記憶體區塊之最大列數，該方法包含以下步驟：
(a)接收輸入參數，其指示該記憶體裝置之屬性的數目，該等屬性至少包含用於該記憶體裝置之列數 R；(b)在該區塊化記憶體架構上執行一容舊程序，以便產生具有該等屬性之一記憶體裝置之該實例，該容舊程序包含以下步驟：(i)為該實例選擇記憶體區塊數 B，其中該數目係一小於或等

於藉由該區塊化記憶體架構指定之最大記憶體區塊數之整數，且 B 不限於 R 之一因數；及 (ii) 在於該步驟 (b)(i) 中選定之該等記憶體區塊中對列數 R 進行分割，以便在每個記憶體區塊中在該記憶體區塊中之列數係一小於或等於藉由該區塊化記憶體架構指定之每記憶體區塊之最大列數之整數。

從一第三態樣來檢視，本發明提供一藉由執行一依據本發明之該第一態樣之方法從一區塊化記憶體架構產生之記憶體裝置之一實例。

從一第四態樣來檢視，本發明提供一用於從一區塊化記憶體架構產生一記憶體裝置之一實例之系統，該區塊化記憶體架構指定記憶體區塊之最大數目和每記憶體區塊之最大列數，該系統包含：一用於接收輸入參數之輸入，該輸入參數指示該記憶體裝置之屬性的數目，該等屬性至少包含該記憶體裝置之列數 R ；容舊邏輯用於執行一容舊程序在上該區塊化記憶體架構以便產生該實例一記憶體裝置具有該等屬性，該容舊程序包含以下步驟：(i) 為該實例選擇記憶體區塊數 B ，其中該數目係一小於或等於藉由該區塊化記憶體架構指定之最大記憶體區塊數之整數，且 B 不限於 R 之一因數；及 (ii) 在於步驟 (i) 中選定之記憶體區塊中對該列數 R 進行分割，以便在每個記憶體區塊中，在該記憶體區塊中之列數係一小於或等於藉由該區塊化記憶體架構指定之每記憶體區塊之最大列數之整數。

在該等記憶體區塊中對該等列進行分割之方法可採取

各種形式。但是，在一具體實施例中此類分割被執行，以便在該實例之該等記憶體區塊之至少全部減一者中提供每記憶體區塊之最大列數。因此，可產生一些實例，其中所有選定的記憶體區塊具有在其中提供之該等最大數目之列，同時將產生任何其他在全部減一個之該等記憶體區塊中具有該最大數目之列之實例。

【實施方式】

第 3 圖和第 4 圖係示意性圖式，其繪示依據本發明之一具體實施例使用之該容舊方案之圖表。首先看第 3 圖，圖式說明了可藉由本發明之一具體實施例之該容舊方案產生之一系列實例 100、110、120、130、140、150、160。如圖中可見，該第一實例 100 由八區塊組成，每區塊中具有 64 列。每對區塊共享周邊邏輯 170，其如上所述將包括存取在該等關聯區塊內之記憶體單元所需之欄解碼器、感應放大器、控制電路等。在此具體實施例中之該實例 100 表示可從該區塊化記憶體架構產生之記憶體裝置的最大實例，該區塊化記憶體架構已指定記憶體區塊之最大數目為八個且每區塊最大列數目為 64。記憶體區塊之該最大數目通常將形成該區塊化記憶體架構之產品定義之一部分，且每記憶體區塊之該最大列數通常將係定義該區塊化記憶體架構者之一設計選擇之事宜。熟習此項技術者應瞭解，當產生一區塊化記憶體架構時，該每區塊最大列數目通常將依據外部行業資訊確定，舉例而言標識將用於組成該記憶體裝置之該等位元單元之該等屬性之晶圓代工位元單元資

訊。當確定該每區塊最大列數目時，亦可考慮到所需效能和/或功率特性，可根據需要結合晶圓代工資訊。

依據在第 3 圖中所示之本發明之具體實施例，該容舊程序能夠以增量二而對列進行折疊，如在第 3 圖中藉由該實例 110、120、130 之所示。因此，實例 110 仍然由八區塊組成，其中七個具有該最大 64 列，且其中最後一個具有 62 列。同樣地，實例 120 具有七個具有 64 列之區塊，及一具有 60 列之第八區塊。此列容舊程序可繼續執行直至實例 130，該實例具有七個 64 列之區塊及一個具有兩個列之區塊。

如果從該容舊方案之輸入參數確定之列數小於由實例 130 提供之列數，則依據本發明之該具體實施例之該容舊方案，可發生區塊容舊以便將一僅具有七區塊而不是八個之實例選擇作為一設計，如在第 3 圖中所示之該實例 140 之圖解說明，該實例具有七區塊，每區塊具有最大數目之列，即 64 列。其後，列容舊可繼續以兩列為增量產生該等實例 150、160 等。

依據本發明之一具體實施例，在每對關聯區塊之間提供周邊邏輯 170。但是，應瞭解，當考慮該等實例 140、150、160 時，在這些設計中存在一未配對的區塊，即在如第 3 圖中所示實例頂部之區塊。依據本發明之一具體實施例，該容舊程序包括一修改該周邊邏輯設計 170 之步驟，以便產生一周邊設計 180，其中將移除任何不必要的特定於不再被提供之區塊的元件。

每區塊之佈局可採取各種形式。依據本發明之一具體實施例，每個相鄰區塊之佈局被反轉，且因此舉例而言，請看該實例 100 之底部兩區塊，該第一區塊從第零列開始並擴展至第 63 列，而該下一區塊在頂部為第 64 列，在底部為第 127 列。因此，在實例 100 中該頂部區塊在頂部為第 447 列，在底部為第 511 列。因此，如在實例 110 和實例 120 中藉由該等向下指向箭頭之所示，列在藉由這些箭頭所指示之方向剝落，以便舉例而言，當從實例 100 移動至實例 110 時，第 511 列和第 510 列將被移除。相反，當考慮該實例 140 時，該最上面的區塊在底部為第 387 列，且在頂部為第 447 列。因此，當執行列容舊以產生實例 150、160 等時，列在藉由與實例 150、160 關聯而提供之該等向上指向箭頭所指示之方向上剝落。

藉由反轉每個相鄰列之佈局，可顯著簡化該干預周邊邏輯 170 之設計。

在第 3 圖中，假定區塊位址從該實例之底部開始，且如圖中可見，當所需字元數減小時，列和/或區塊從該記憶體之頂部剝落。但是，在一替代具體實施例中，該區塊位址可從該實例之頂部開始，在這種情況下，當所需字元數減小時，列和/或區塊通常將從該記憶體之底部剝落。在第 4 圖中顯示了如此之一配置，其省略第 3 圖中所示之列容舊之細節，相反僅僅說明可依據本發明之具體實施例發生之區塊容舊。因此，從該實例 200 開始，列容舊可發生在如相鄰實例 200 所圖解說明之該向上指向箭頭之方向上，

但如果需要 448 列或小於 448 列（假設每區塊最大為 64 列），則實例 210 可改為僅採用七區塊。同樣地，如果需要 384 列或更少，則該實例 220 可僅採用六區塊。可執行類似之區塊容舊程序以產生該等實例 230、240、250、260、270。在每個如第 4 圖中所示之區塊容舊步驟之間，列容舊可依據以上參照第 3 圖所述之程序而發生，對於在第 4 圖中所示之每區塊配置，該相鄰箭頭指示當執行此類列容舊時列折疊之方向。

第 4 圖亦顯示該實例 250 之一擴展視圖，以再次圖解說明在本發明之一具體實施例中如何反轉相鄰區塊之佈局。

以一與以上參照第 3 圖所討論類似之方法，任何區塊對將與之關聯已提供周邊邏輯 280。但是，可為任何未配對的區塊（即為在實例 270 中之第零區塊、為在實例 250 中之第二區塊、為在實例 230 中之第四區塊，或為在實例 210 中之第六區塊）產生該周邊邏輯 290 之一修改版本。

儘管在第 3 圖和第 4 圖中該區塊位址分別從該實例之底部或該實例之頂部開始排序，在其他具體實施例中，該區塊位址可隨機排序。特定而言，任何特定區塊在實體上在該實例中常駐之位置並不重要，且該容舊程序將繼續從該頂部區塊位址開始，而與該區塊在實體上常駐之位置無關。

第 5 圖係一圖解說明該當採納本發明之上述具體實施例之容舊方案時可實現之精細得多之粒度級別，與早些時

候參考第 2 圖圖解說明之該先前技術容舊方案相比較時之圖表。該等符號 a、b、c、d、e、f 和 g 對應於在第 3 圖中所示之該等七個實例 100、110、...、160。

如將從第 3 圖和第 4 圖中所瞭解，對於藉由使用者輸入之任選輸入參數，在最壞的情況下，由於列以增量二而進行折疊之事實，由該結果實例提供之列數將比實際需要給予指定之該等輸入參數的多一列。因此，對於符合該區塊化記憶體架構之任何所需大小之記憶體裝置，可產生一緊密匹配使用者需求之實例，且因此避免產生一具有較粗延遲之設計之需要。

第 6A 圖和第 6B 圖係對比可實現之結果使用本發明之具體實施例之該容舊方案和該先前技術容舊方案第 1 圖和第 2 圖之圖表。特定而言考慮第 6A 圖，這說明本發明之一具體實施例之方案（如在第 6A 圖中藉由線“X”之所示）和早些時候參考第 1 圖和第 2 圖所討論之該先前技術方案（如在第 6A 圖中藉由線“Y”之所示）之陣列效率。陣列效率定義為在一記憶體實例中現用記憶體單元區域與記憶體實例區域總數之比。第 6A 圖清晰地說明對於小於該最大可能大小（藉由該最大區塊數目和每區塊最大列數目界定）之任何特定大小，本發明之具體實施例之該容舊方案實現了比該先前技術方案更高的陣列效率。

第 6B 圖說明延遲與大小，並說明該當採納本發明之具體實施例之該容舊方案時可實現之更精細之粒度級別，此時與早些時候參考第 2 圖圖解說明之該先前技術容舊方

案相比較（同樣，線“X”表示該使用本發明之具體實施例之該容舊方案實現之結果，該線“Y”表示使用該先前技術方案實現之結果）。

應注意，第 6B 圖僅意欲作為一示意性說明，該曲線 X 之精確形式將依賴於具體實施例。特定而言，儘管在第 6B 圖中曲線 X 被示意性地展示為一直線，其完全可以在至少某些具體實施例中採取一曲線之形式，並在曲線之輪廓的某些點處可能帶有突躍，其原因將在以下討論。

藉由該線 Y 圖解說明之該先前技術類型容舊導致該定時隨每個陣列的大小按 2 列遞減而逐漸改良。該圖形線性非常好。儘管當與本發明之具體實施例之技術相比較時定時可能好得多，但粒度粗得多，實例之大小一次僅可降低 2^* （區塊數目）列。

對於本發明之具體實施例之該等技術，當從一區塊中減去列時，該定時不會更改許多，因為其他區塊的定時變為限制性的，且這些的大小不改變。但是，當一整區塊被剪除（或退化為“無”）時，在該曲線 X 中可能出現一跳躍（即“階躍”）。當該實例退化為一小單區塊時，該等兩條線（X 和 Y）實際上可能交匯或甚至交叉。因此，本發明之具體實施例之方案提供該功能一次僅以一少數列（例如 2 列）對該整個實例（不是每區塊）更改該記憶體容量，但在某些區塊態中可能受到輕微效能損失。

第 7 圖係一圖解說明依據本發明之一具體實施例之該容舊程序之流程圖。在步驟 300 中，接收到一些輸入參數，

這些參數通常由用於運行該容舊處理程之該編譯器工具式之一使用者輸入。在一具體實施例中，這些參數標識該記憶體裝置需要能夠儲存之字元數、當存取該記憶體時將使用之該多工器的大小，及將提供用於存取該記憶體輸入/輸出位元的數目。基於這些輸入參數，該程序將在步驟 310 中確定應為該記憶體裝置提供之該等列和欄。實際需要之列數目可通過將字元數除以該指定的多工器大小來計算，而欄數可藉由將輸入/輸出位元之數目乘以該指定的多工器大小來計算。按以上方式計算之列數將被圓整到作為二的倍數的最近的整數，以便允許它與該容舊方案之該等可能實例之一者關聯。

其後，在步驟 320 中，該容舊程序將被用於確定該區塊化記憶體架構之一實例，其使用支援在步驟 310 中之該等計算列所需要之最小區塊數目，同時在至少全部減一區塊中使用該每區塊最大列數目。在執行如此一確定時，該容舊程序將與該最大可能區塊數目和該每區塊最大列數目有關，如以上所述，此由該區塊化記憶體架構指定。

在一具體實施例中，一旦執行此步驟，其後可輸出該輸出實例設計。但是，依據本發明之一具體實施例，添加了其他步驟 330、340。特定而言，在步驟 330 中確定該選定的區塊數目是否為奇數。如果不是，則該程序繼續執行步驟 350，其中輸出該實例設計。但是，如果該選定的區塊數目為奇數，則在步驟 340 中修改與奇數區塊相關聯之該周邊邏輯之設計以便移除任何不必要的元件。特定而

言，如上所述，此類周邊邏輯通常將包含一些在一對區塊之間共享之電路，及一些該對之一區塊或另一區塊特有之電路。因此，可移除未被依據在步驟 320 中確定之該實例設計提供之該區塊所特有之任何此類電路，藉此產生一更有效的周邊邏輯設計以與該未配對的區塊相關聯。

其後，在步驟 350 中，輸出該實例設計，且可使用任何已知技術從此實例設計產生該實際記憶體裝置。

第 8 圖係一圖解說明當採納本發明之一具體實施例之該容舊方案時可產生之一些實例之圖表。該圖表之左欄顯示在步驟 310 中計算之列數。這將指定定址這些列所需要之位址位元數目 N ，如第二欄中之所示。基於此，該容舊方案將然後產生一具有一特定數目區塊且該等列在這些區塊中分割之設計。然後將需要該位址位元 N 之一特定數目以產生一區塊選擇訊號，而剩餘位元將用於一列選擇訊號。藉由該容舊方案執行以算出該位址解碼之該等實際計算如下所示：

- 字元增量 = $2 * \text{mux}$
- 總字元數 = $((512-32) / 2 + 1) * \text{mux} = 241 * \text{mux}$

字元

- 區塊 = $\text{div}((\text{列數} - 1) / 64) + 1$
- $\text{ax}[m:0] = \text{本地列選擇}, m = \{4,5\}$
- $\text{ax}[n:m+1] = \text{區塊選擇}, n = \{6,7,8\}$

如從第 8 圖中可見，如果列數為 32 或 64，則假設一區塊化記憶體架構之該上述範例，其中該每區塊最大列數

目為 64，且該最大區塊數目為 8，應瞭解僅需提供單一區塊，且因此該區塊選擇訊號不適用。相反地，所有該等位址位元被用作列選擇訊號。但是，如果指定的列數為 128，則將提供兩區塊，該位址之最高位元用作一區塊選擇訊號，該等剩餘位元被用作列選擇訊號。同樣地，如果指定 256 列，則需要四區塊，該位址之最高兩個位元被用作一區塊選擇訊號，該位址之該等剩餘位元被用作列選擇訊號。同樣地，如果需要的列數為 512，則需要提供八區塊，最高三個位元被用作區塊選擇訊號，該等剩餘位址位元被用作列選擇訊號。

第 9 圖示意性說明一一般用途電腦 400，此類型之電腦可用於實現該等上述容舊技術。該一般用途電腦 400 包括一中央處理器 402、一隨機存取記憶體 404、一唯讀記憶體 406、一網路介面卡 408、一硬磁碟驅動機 410、一顯示驅動程式 412 和監視器 414 及一具有一鍵盤 418 和滑鼠 420 之使用者輸入/輸出電路 416，全部經由一公用匯流排 422 連接。在操作中，該中央處理器 402 將執行電腦程式指令，該等指令可儲存於一個或多個隨機存取記憶體 404、該唯讀記憶體 406 和該硬磁碟驅動機 410 中或經由該網路介面卡 408 動態下載。所執行處理之該等結果可經由該顯示驅動程式 412 和該監視器 414 顯示給一使用者。用於控制一般用途電腦 400 之操作之使用者輸入可經由該使用者輸入輸出電路 416 從該鍵盤 418 或該滑鼠 420 接收（並因此舉例而言，可通過此機制輸入用於確定該需要記憶體裝置之

某些屬性之該等輸入參數)。應瞭解，可以各種不同電腦語言編寫該電腦程式。該電腦程式可被儲存和分發於一記錄媒體上或動態下載至該一般用途電腦 400。當在控制下操作一適當電腦程式時，該一般用途電腦 400 可執行該等上述容舊技術，且可被考慮形成一用於執行該等上述技術之裝置。該一般用途電腦 400 之架構之變化可能相當大，第 9 圖僅係一範例。

依據本發明之具體實施例，提供一容舊方案，其使得可產生定義具有高效能、低功率消耗及較佳區域效率之記憶體裝置之實例。該技術在可由該區塊化記憶體架構之實例提供列數方面提供了極大的靈活性，並在提供的列數方面提供了非常精細的粒度級別。在高度區塊化之記憶體架構中，如此一方案尤其是有益，其中該等已知先前技術技術在可提供之可能的列數目方面導致非常粗糙之粒度，藉此在許多實例中給效能、功率消耗和區域效率帶來負面影響。

應瞭解，本發明之一具體實施例之上述容舊方案可以多種方式發生變化，舉例而言在容舊順序方面(如上所述，該區塊位址可以隨機順序，因為在該實例內任何特定區塊之實體位置並不重要)、容舊是否起始於該記憶體空間之頂部或底部、在該容舊方案之每個實例之間移除多少列，等等。

通常，編譯器資料係通過在使用者指定的輸入參數之幾個選定的點上執行一曲線匹配程序而產生。然後因移除

未使用的周邊邏輯時延遲中發生的階式變更，而在該曲線中引入一些小臺階（而不是形成一個平滑連續線）。依據本發明之具體實施例，該通道區域之耗用被減小，僅在匹配該資料之曲線上受輕微損失。

本發明之具體實施例之該容舊方案可應用於任何類型的區塊化記憶體架構，舉例而言唯讀記憶體 (ROM)、雙埠讀/寫記憶體等等。

儘管已在此描述本發明之一特定具體實施例，應明瞭，本發明並不限於此，且在本發明之範疇內可進行諸多修改與添加。舉例而言，在本發明之範疇內，可利用該等獨立申請項之特徵，產生附屬項之特徵的各種組合。

【圖式簡單說明】

現將參考如在所附圖式中進行圖解說明之本發明具體實施例進一步描述本發明，其僅作為範例，其中：

第 1 圖係一示意性圖解，說明一先前技術容舊方案之圖表；

第 2 圖係一示意性圖解，說明藉由第 1 圖之容舊方案產生之特定實例之間之該等增量之粗糙本質之圖表；

第 3 圖和第 4 圖係示意性圖解，說明一依據本發明之具體實施例之容舊方案之圖表；

第 5 圖係一示意性圖解說明，藉由本發明之一具體實施例之該容舊方案產生之實例之間之該等精細增量之圖表；

第 6A 圖和第 6B 圖係對比使用本發明之具體實施例之

該容舊方案可實現之結果和第 1 圖和第 2 圖之該先前技術容舊方案可實現之結果之圖表；

第 7 圖係一圖解，說明在本發明之一具體實施例中該容舊方案之操作之流程圖；

第 8 圖係一圖解，說明當使用本發明之一具體實施例之該容舊方案時可產生之實例設計之範例之表；及

第 9 圖係一可在其上執行本發明之具體實施例之該容舊方案之電腦系統之一圖表。

【主要元件符號說明】

10, 20, 30 實例

12, 14, 16, 18, 22, 24, 26, 28, 32, 34, 36, 38, 42, 44, 48 區塊

50, 周邊邏輯

100, 110, 120, 130, 140, 150, 160 實例

170 周邊邏輯

180 周邊設計

200, 210, 220, 230, 240, 250, 260, 270 實例

280, 290 周邊邏輯

402 中央處理器 416 使用者輸入/輸出

404 隨機存取記憶體 414 顯示器

406 唯讀記憶體 418 鍵盤

408 網路卡 420 滑鼠

410 硬磁碟驅動機 400 電腦

412 顯示驅動程式

103.7.28
年 月 日修正本

P.25-28

十、申請專利範圍：

1. 一種從一區塊化記憶體架構產生對於一記憶體裝置之一設計之方法，該區塊化記憶體架構指定記憶體區塊之一最大數目和每記憶體區塊之列之一最大數目，該方法包含以下步驟：

(a) 接收輸入參數，該等輸入參數指示該記憶體裝置之屬性之一數目，該等屬性包含用於該記憶體裝置之列的至少一數目 R ；

(b) 在該區塊化記憶體架構上執行一容舊程序，以產生具有該等屬性之一記憶體裝置之該設計，該容舊程序包含以下步驟：

(i) 為該設計選擇記憶體區塊之一數目 B ，其中該數目係一整數，該整數小於或等於藉由該區塊化記憶體架構指定之記憶體區塊之該最大數目，且 B 不限於 R 之一因數；及

(ii) 在於該步驟 (b)(i) 中選定之該等記憶體區塊中，對列的該數目 R 進行分割，以使每一記憶體區塊中，在該記憶體區塊中之列的該數目係一整數，該整數小於或等於藉由該區塊化記憶體架構指定之每記憶體區塊之列的該最大數目。

2. 如申請專利範圍第 1 項所述之方法，其中執行該步驟 (b)(i)，以產生使該記憶體裝置具有該等屬性所需之一最小數目之記憶體區塊。

3. 如申請專利範圍第 2 項所述之方法，其中執行該步

驟 (b)(ii)，以在該設計之該等記憶體區塊之除一者外之至少全部中提供每記憶體區塊之該最大數目之列。

4. 如申請專利範圍第1項所述之方法，其中該區塊化記憶體架構指定在一對記憶體區塊之間共享之周邊邏輯，該容舊程序另包括下列步驟：

如果在該步驟 (b)(i) 中選定奇數個記憶體區塊，則執行一移除程序以從與一未配對記憶體區塊相關聯之任何周邊邏輯移除一或多元件。

5. 如申請專利範圍第1項所述之方法，其中在該步驟 (a) 中，屬性之該數目係從該等輸入參數導出，當導出列的該數目 R 時，列的該數目可選擇為任意二的倍數，該數目小於或等於由該區塊化記憶體架構支援之列的一最大數目。

6. 如申請專利範圍第1項所述之方法，其中該等輸入參數包括待由該記憶體裝置儲存之字元數、該記憶體裝置之多工器的大小和該記憶體裝置之輸入/輸出位元數，且屬性之該數目係從中導出，該等屬性包含列的該數目 R 和用於該記憶體裝置之欄的一數目。

7. 一種承載一電腦程式之電腦可讀取儲存媒體，該電腦程式被可操作以使一電腦系統執行一用於從一區塊化記憶體架構產生一記憶體裝置之一設計之方法，該區塊化記憶體架構指定記憶體區塊之一最大數目和每記憶體區塊之列的一最大數目，該方法包含以下步驟：

(a) 接收輸入參數，該等輸入參數指示該記憶體裝置

之屬性之一數目，該等屬性至少包含用於該記憶體裝置之列之一數目 R ；

(b) 在該區塊化記憶體架構上執行一容舊程序，以便產生具有該等屬性之一記憶體裝置之該設計，該容舊程序包含以下步驟：

(i) 為該設計選擇記憶體區塊之一數目 B ，其中該數目係一整數，該整數小於或等於藉由該區塊化記憶體架構指定之記憶體區塊之該最大數目，且 B 不限於 R 之一因數；及

(ii) 在於該步驟 (b)(i) 中選定之該等記憶體區塊中對列的該數目 R 進行分割，以使在每一記憶體區塊中，在該記憶體區塊中列的該數目係一整數，該整數小於或等於藉由該區塊化記憶體架構指定之每記憶體區塊之列的該最大數目。

8. 一種記憶體裝置之實例，其藉由執行如申請專利範圍第 1 項所述之方法從一區塊化記憶體架構產生。

9. 一種用於從一區塊化記憶體架構產生一記憶體裝置之一設計之系統，該區塊化記憶體架構指定記憶體區塊之一最大數目和每記憶體區塊之列之一最大數目，該系統包含：

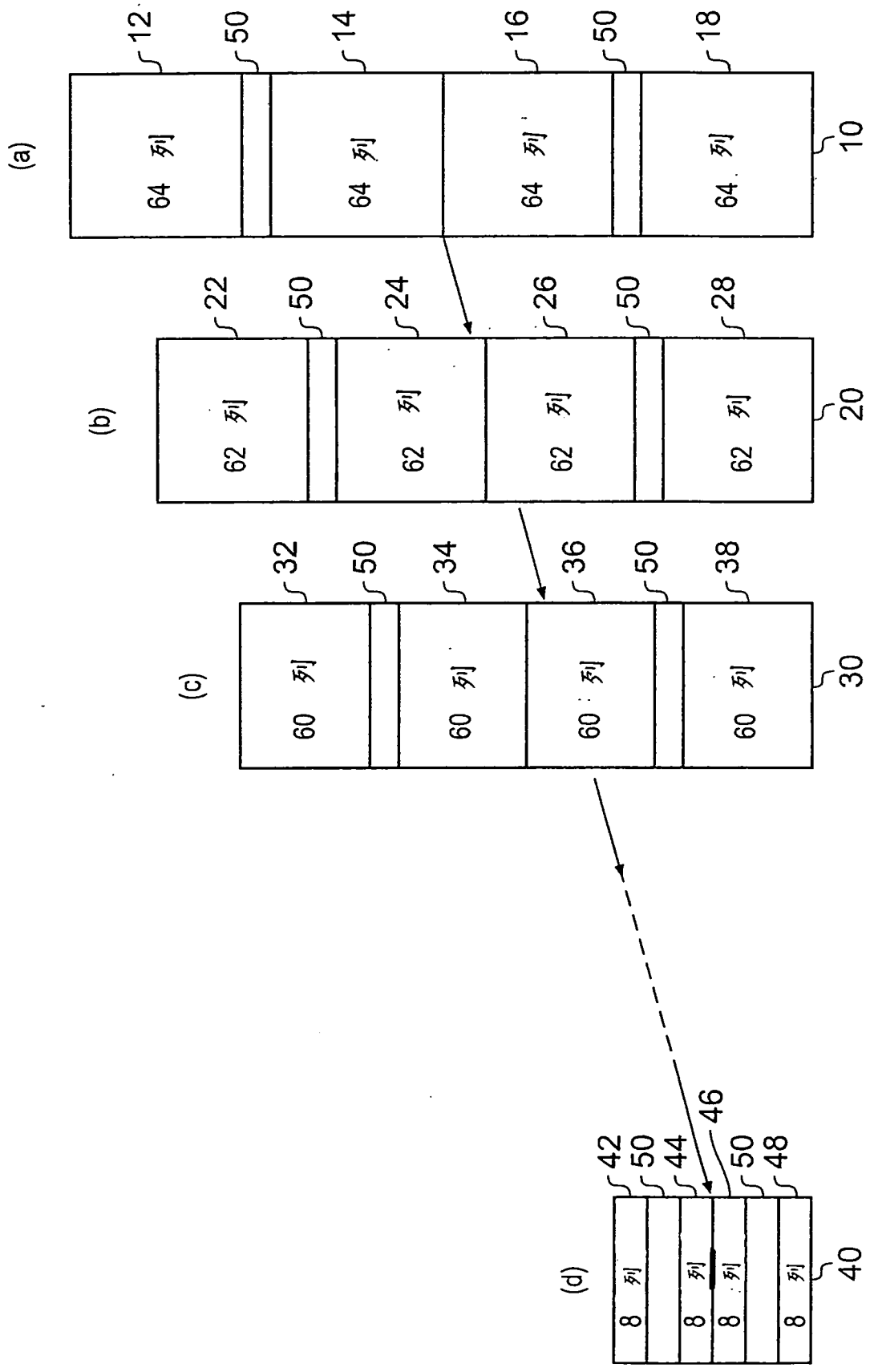
一用於接收輸入參數之輸入，該等輸入參數指示該記憶體裝置之屬性之一數目，該等屬性至少包含該記憶體裝置之列的至少一數目 R ；

一容舊邏輯，該容舊邏輯用於在該區塊化記憶體架構

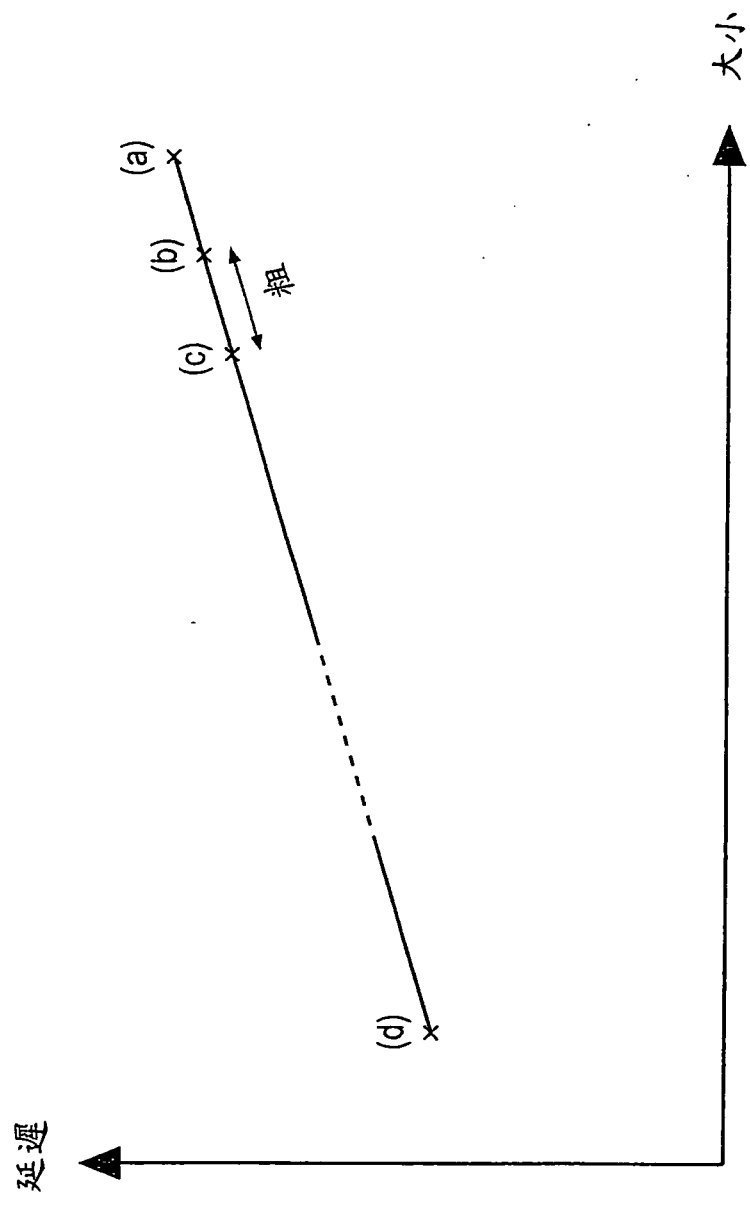
執行一容舊程序，以產生具有該等屬性之一記憶體裝置的該設計，該容舊程序包含以下步驟：

(i) 為該設計選擇記憶體區塊之一數目 B ，其中該數目係一整數，該整數小於或等於藉由該區塊化記憶體架構指定之記憶體區塊之該最大數目，且 B 不限於 R 之一因數；及

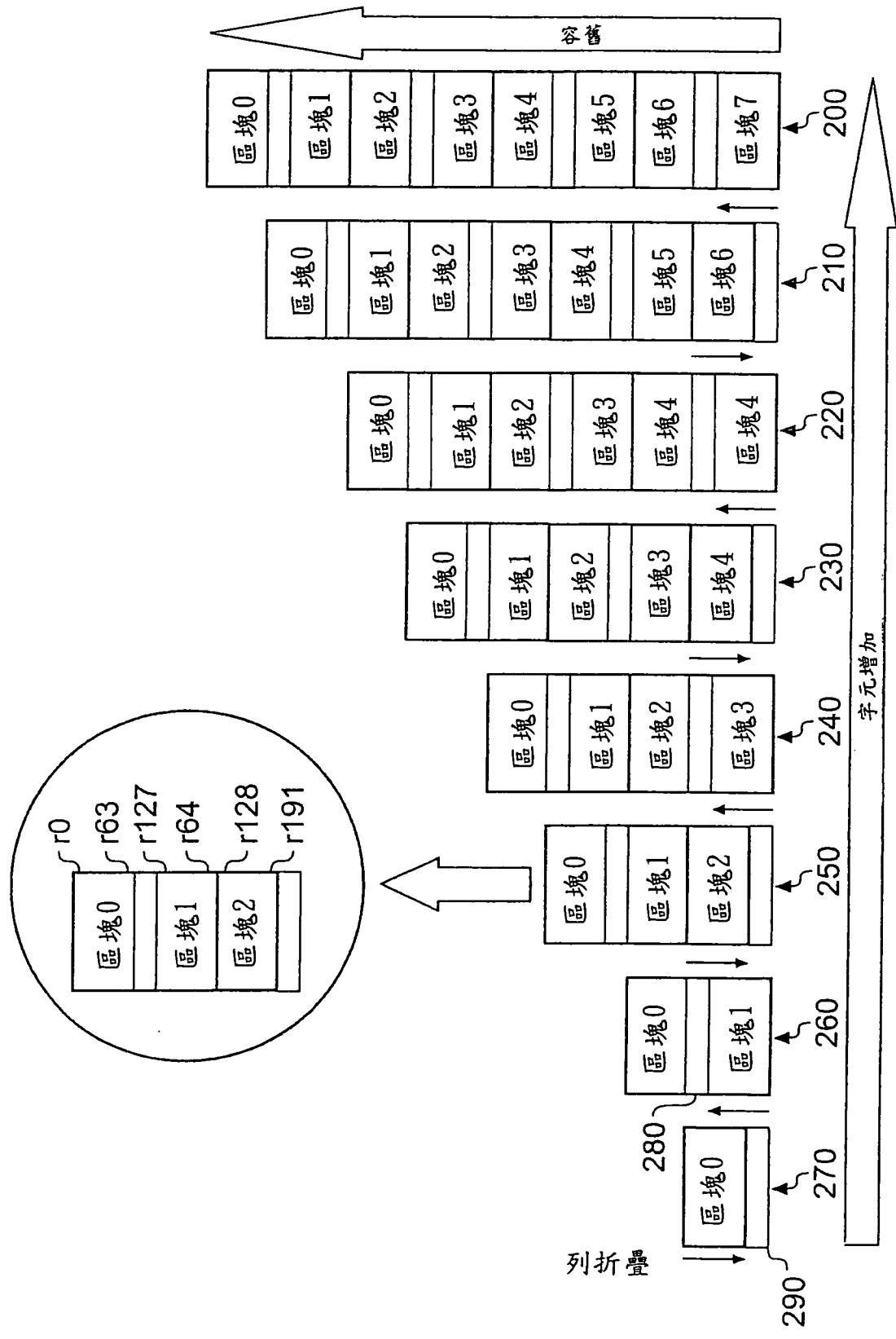
(ii) 在於步驟 (i) 中選定之該記憶體區塊中對列的該數目 R 進行分割，以使在每一記憶體區塊中，該記憶體區塊之列的該數目係一整數，該整數小於或等於藉由該區塊化記憶體架構指定之每記憶體區塊之列的該最大數目。



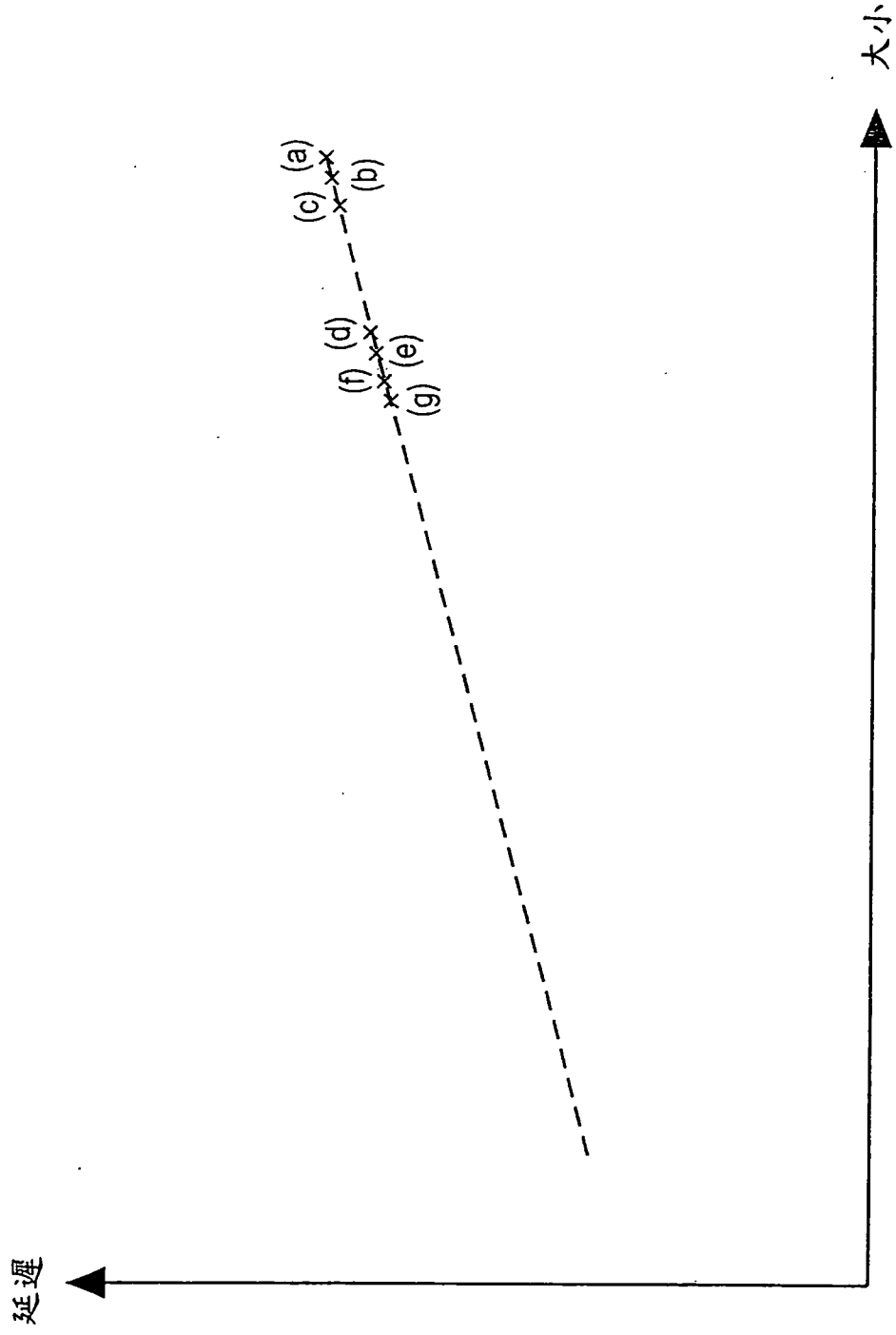
第 1 圖 (先前技術)



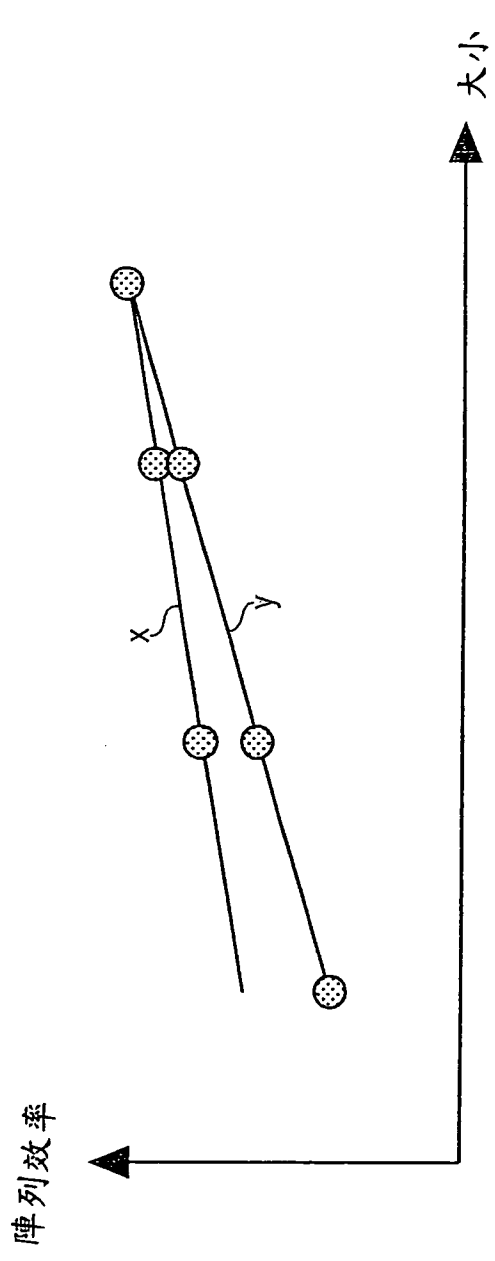
第 2 圖 (先前技術)



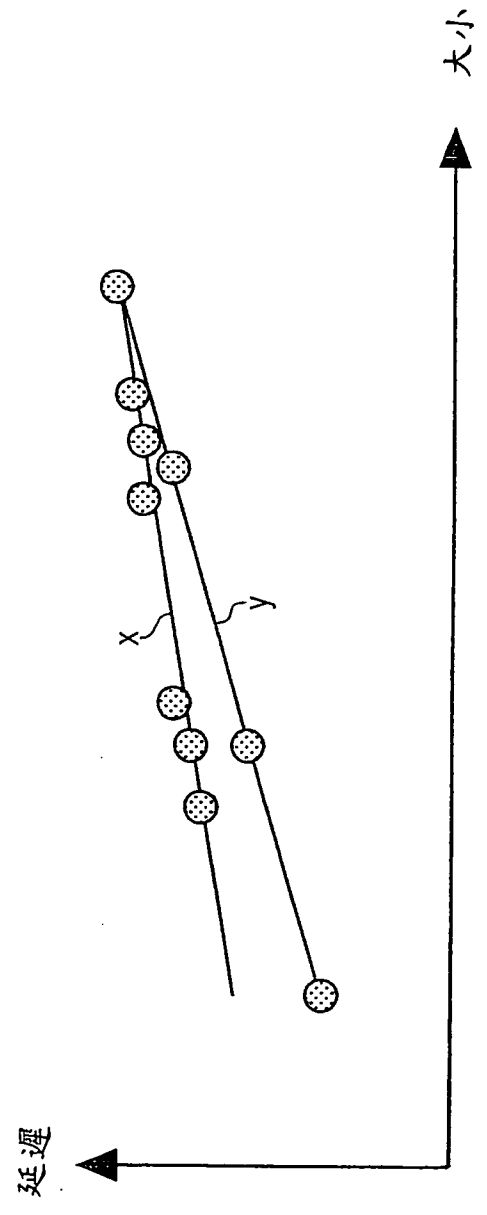
第4圖



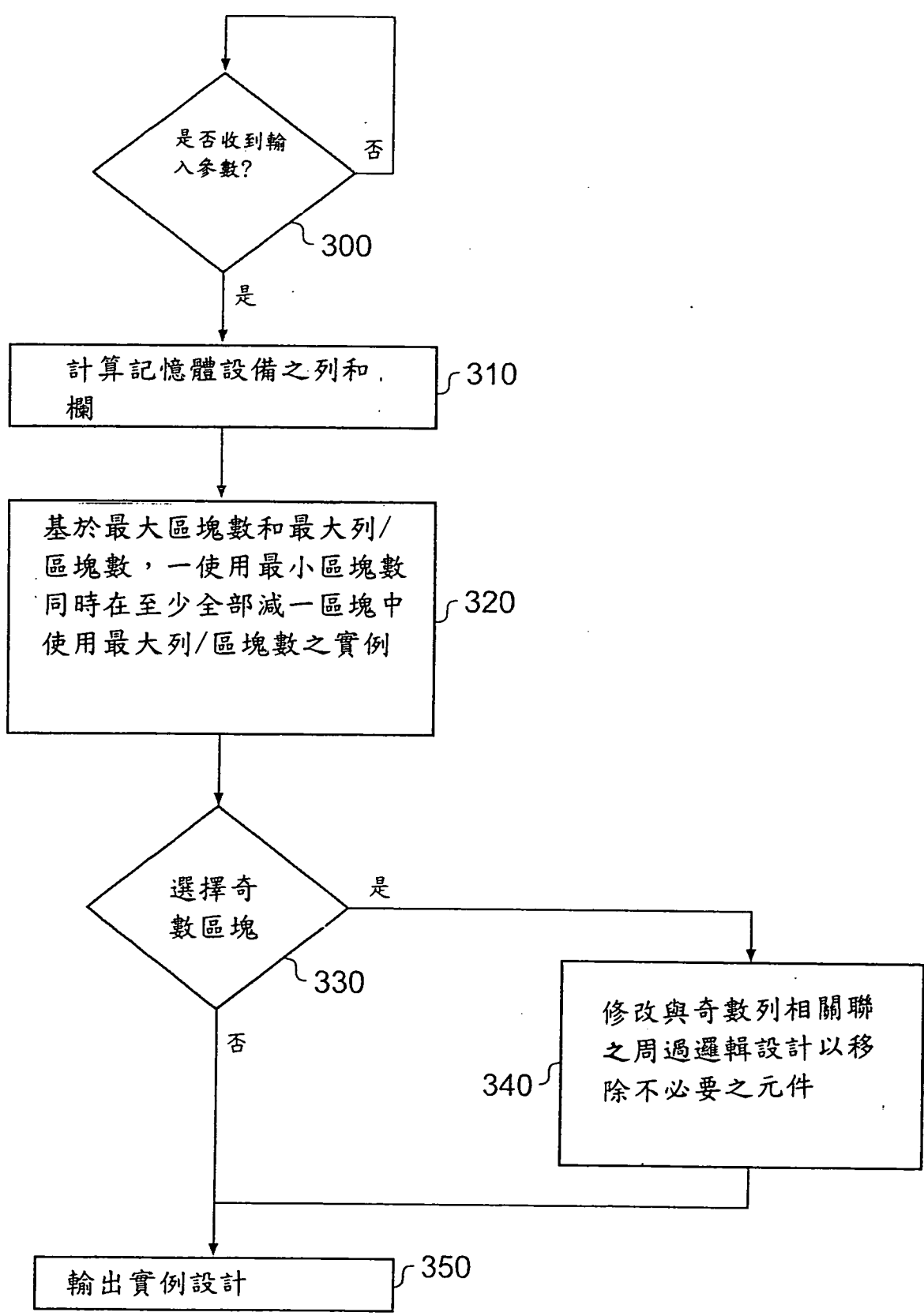
第5圖



第 6A 圖



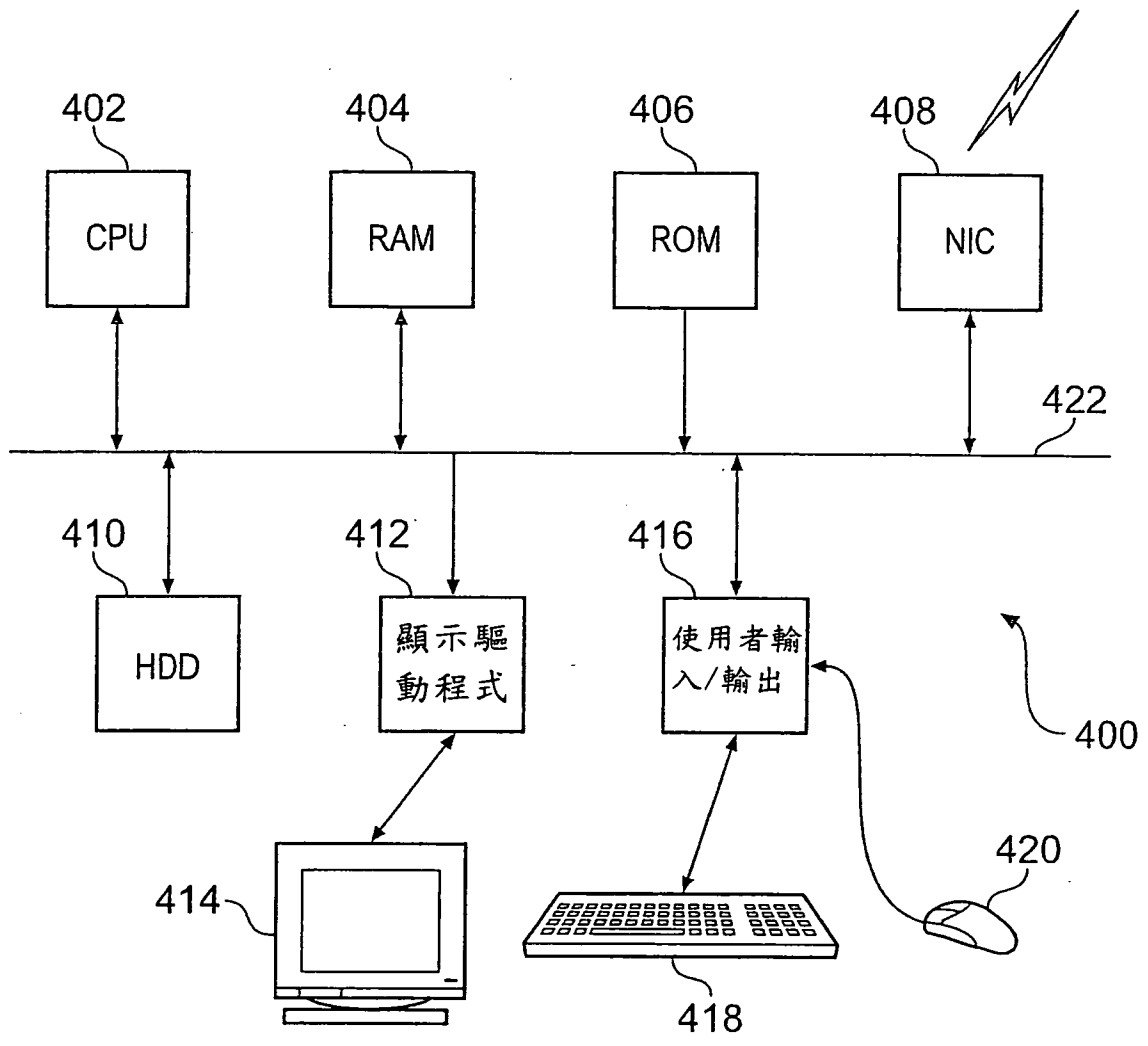
第 6B 圖



第 7 圖

列, <=	N, ax[N-1:0]	區塊選擇	列選擇
32	5	N/A	ax[4:0]
64	6	N/A	ax[5:0]
128	7	ax[6]	ax[5:0]
256	8	ax[7:6]	ax[5:0]
512	9	ax[8:6]	ax[5:0]

第8圖



第 9 圖