



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201705321 A

(43) 公開日：中華民國 106 (2017) 年 02 月 01 日

(21) 申請案號：105102686

(22) 申請日：中華民國 105 (2016) 年 01 月 28 日

(51) Int. Cl. : H01L21/60 (2006.01)

(30) 優先權：2015/03/05 日本 2015-043085

(71) 申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)  
日本

(72) 發明人：坂田賢治 SAKATA, KENJI (JP)；木田剛 KIDA, TSUYOSHI (JP)；小野善宏 ONO, YOSHIHIRO (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：15 項 圖式數：20 共 62 頁

(54) 名稱

半導體裝置的製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

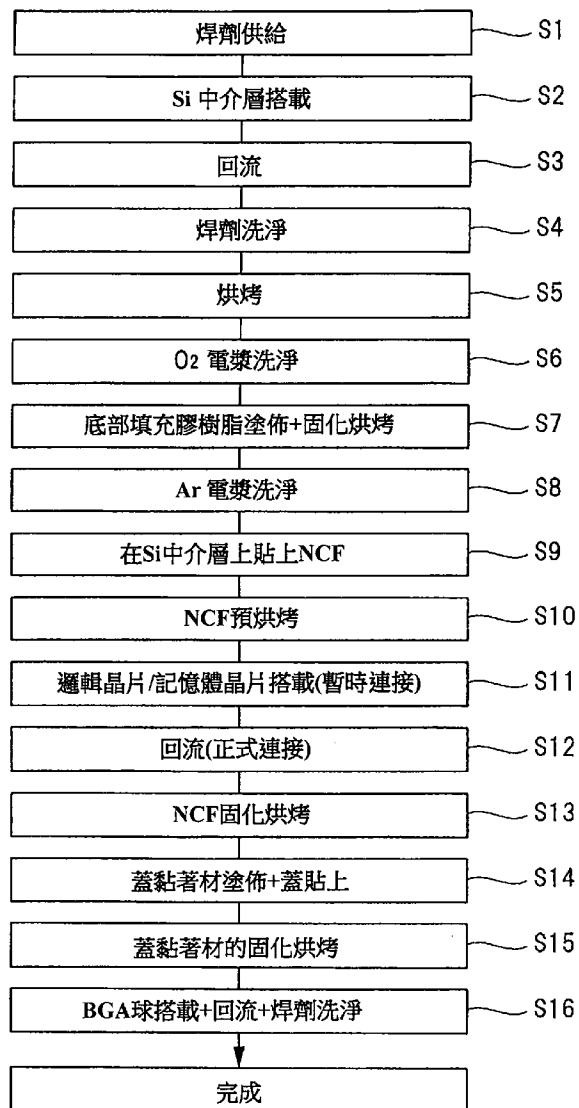
(57) 摘要

本發明的課題是在於使半導體裝置的可靠度提升。其解決手段，半導體裝置的製造方法係具有：在印刷配線基板搭載 Si 中介層之工程、及電漿洗淨上述 Si 中介層的上表面之工程、及在上述 Si 中介層的上表面配置 NCF 之工程、及在上述 Si 中介層的上表面經由上述 NCF 來搭載半導體晶片之工程。更具有利用回流經由複數的突起電極來電性連接第 2 基板的複數的電極的各者與上述半導體晶片的複數的電極焊墊的各者之工程，在上述 Si 中介層貼上上述 NCF 之前電漿洗淨上述 Si 中介層的表面。

A method for manufacturing a semiconductor device includes the steps of mounting a Si interposer over a printed wiring substrate, plasma-cleaning an upper surface of the Si interposer, disposing an NCF over the upper surface of the Si interposer, and mounting a semiconductor chip over the upper surface of the Si interposer through the NCF. Also, the method includes the step of electrically coupling each of plural electrodes of a second substrate and each of plural electrode pads of the semiconductor chip with each other through plural bump electrodes by reflow, and the surface of the Si interposer is plasma-cleaned before attaching the NCF to the Si interposer.

指定代表圖：

圖 2



# 發明摘要

※申請案號：105102686

※申請日：105 年 01 月 28 日

※IPC 分類：H01L 21/60 (2006.1)

【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

【中文】

本發明的課題是在於使半導體裝置的可靠度提升。

其解決手段，半導體裝置的製造方法係具有：在印刷配線基板搭載 Si 中介層之工程、及電漿洗淨上述 Si 中介層的表面之工程、及在上述 Si 中介層的表面配置 NCF 之工程、及在上述 Si 中介層的表面經由上述 NCF 來搭載半導體晶片之工程。更具有利用回流經由複數的突起電極來電性連接第 2 基板的複數的電極的各者與上述半導體晶片的複數的電極焊墊的各者之工程，在上述 Si 中介層貼上上述 NCF 之前電漿洗淨上述 Si 中介層的表面。

【英文】

A method for manufacturing a semiconductor device includes the steps of mounting a Si interposer over a printed wiring substrate, plasma-cleaning an upper surface of the Si interposer, disposing an NCF over the upper surface of the Si interposer, and mounting a semiconductor chip over the upper surface of the Si interposer through the NCF. Also, the method includes the step of electrically coupling each of plural electrodes of a second substrate and each of plural electrode pads of the semiconductor chip with each other through plural bump electrodes by reflow, and the surface of the Si interposer is plasma-cleaned before attaching the NCF to the Si interposer.

**【代表圖】**

**【本案指定代表圖】**：第(2)圖。

**【本代表圖之符號簡單說明】**：無

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置的製造方法

Method for manufacturing semiconductor device

## 【技術領域】

[0001] 本發明是有關半導體裝置的製造技術，特別是有關進行覆晶 (flip chip) 連接之半導體裝置的製造技術。

## 【先前技術】

[0002] 半導體晶片藉由覆晶連接來安裝於基板的半導體裝置是在半導體晶片與基板的間隙配置有樹脂 (底部填充膠 (Underfill))，藉由此樹脂來保護覆晶連接的連接部。

[0003] 上述的底部填充膠的形成是有：在搭載半導體晶片之前對基板上供給樹脂的先裝方式、及在半導體晶片搭載後將樹脂流入上述間隙的後裝方式，上述先裝方式的一例，有 NCF (非導電性絕緣膜；Non-Conductive Film) 工法為人所知。NCF 是薄膜狀的絕緣性黏著材，具有一旦被加熱，則流動的特性。

[0004] 並且，近年來，隨著半導體裝置的多機能化等，半導體晶片的凸塊數也有增加的傾向，其結果，凸塊

間間距為細間距（fine pitch）（窄間距）的情況多。而且，當凸塊間間距為細間距時，由於凸塊大小也變小，因此半導體晶片與基板的間隙也變窄，例如即使在基板形成有容許範圍的彎曲時，也會因為樹脂難流入上述間隙，所以後裝方式對於細間距不合適。

[0005] 因此，將凸塊間間距設為細間距時，最好採用先裝方式。

[0006] 另外，在配線基板經由黏著薄膜來安裝電子零件的製造方法，例如揭示於日本特開 2012-231039 號公報（專利文獻 1）。

〔先行技術文獻〕

〔專利文獻〕

[0007]

〔專利文獻 1〕日本特開 2012-231039 號公報

## 【發明內容】

（發明所欲解決的課題）

[0008] 在進行覆晶連接的半導體裝置的組裝中，採用 NCF 的先裝方式時，基板與 NCF 的密著性為重要。亦即，一旦基板的 NCF 貼上面被污染，則基板與 NCF 的密著性會惡化，NCF 容易從基板剝離。其結果，半導體裝置的品質會降低，且可靠度也會降低。

[0009] 另外。污染是例如烘烤工程等發生。亦即，一旦將基板或樹脂等的有機材料加熱處理，則各種的化學

物質會被放出，而附著於製造中的半導體裝置的基板等，產生污染。

[0010] 其他的課題及新穎的特徵可由本說明書的記述及附圖明確得知。

(用以解決課題的手段)

[0011] 根據一實施形態之半導體裝置的製造方法係具有：

(a) 將具備：形成有複數的電極的上面、及下面之晶片支撐基板的上述上面予以電漿洗淨之工程；

(b) 上述(a)工程之後，在上述晶片支撐基板的上述上面配置絕緣性黏著材之工程；及

(c) 上述(b)工程之後，在上述晶片支撐基板的上述上面經由上述絕緣性黏著材來搭載半導體晶片之工程。

而且，具有：(d) 上述(c)工程之後，藉由回流來加熱搭載有上述半導體晶片的上述晶片支撐基板與上述絕緣性黏著材，經由複數的突起電極來電性連接上述晶片支撐基板的上述複數的電極的各者與上述半導體晶片的複數的電極焊墊的各者之工程。

又，上述(d)工程，係於上述複數的突起電極的各者的周圍配置上述絕緣性黏著材的狀態下，經由上述複數的突起電極來電性連接上述複數的電極的各者與上述複數的電極焊墊的各者。

[0012] 又，根據一實施形態之其他的半導體裝置的



製造方法係具有：

(a) 在第 1 基板搭載第 2 基板之工程，該第 2 基板係具備：形成有複數的電極的上面、及下面；

(b) 上述 (a) 工程之後，烘烤上述第 1 基板之工程；及

(c) 上述 (b) 工程之後，電漿洗淨上述第 2 基板的上述上面之工程。

而且，具有：(d) 上述 (c) 工程之後，在上述第 2 基板的上述上面配置絕緣性黏著材之工程；及

(e) 上述 (d) 工程之後，在上述第 2 基板的上述上面經由上述絕緣性黏著材來搭載半導體晶片之工程。

又，具有：(f) 上述 (e) 工程之後，藉由回流來加熱搭載有上述半導體晶片的上述第 2 基板與上述絕緣性黏著材，而經由複數的突起電極來電性連接上述第 2 基板的上述複數的電極的各者與上述半導體晶片的複數的電極焊墊的各者之工程。

又，上述 (f) 工程，係於上述複數的突起電極的各者的周圍配置上述絕緣性黏著材的狀態下，經由上述複數的突起電極來電性連接上述複數的電極的各者與上述複數的電極焊墊的各者。

[發明的效果]

[0013] 若根據上述一實施形態，則可使半導體裝置的可靠度提升。

**【圖式簡單說明】**

[0014]

圖 1 是表示實施形態的半導體裝置的構造的一例的剖面圖。

圖 2 是表示圖 1 所示的半導體裝置的組裝程序的一例的流程圖。

圖 3 是表示圖 2 所示的組裝程序的一部分的工程的構造的剖面圖。

圖 4 是表示圖 2 所示的組裝程序的一部分的工程的構造的剖面圖。

圖 5 是表示圖 2 所示的組裝程序的一部分的工程的構造的剖面圖。

圖 6 是表示圖 2 所示的組裝程序的一部分的工程的構造的剖面圖。

圖 7 是表示圖 2 所示的組裝程序的一部分的工程的構造的剖面圖。

圖 8 是表示圖 2 所示的組裝程序的晶片搭載時的對準標記的辨識方法的一例的平面圖。

圖 9 是表示圖 2 所示的組裝程序的晶片搭載時的搭載方法的一例的立體圖。

圖 10 是表示圖 2 所示的組裝程序的晶片搭載時的搭載方法的一例的立體圖。

圖 11 是表示圖 2 所示的組裝程序的晶片搭載時的晶片吸附狀態的一例的剖面圖。

圖 12 是表示圖 2 所示的組裝程序的覆晶連接時的連接前與連接後的構造的一例的擴大部分剖面圖。

圖 13 是表示圖 2 所示的組裝程序的回流時的溫度分布的一例的圖表。

圖 14 是表示實施形態的 NCF 供給方法的第 1 變形例的剖面圖及立體圖。

圖 15 是表示實施形態的 NCF 供給方法的第 2 變形例的立體圖。

圖 16 是表示實施形態的 NCF 供給方法的第 3 變形例的立體圖。

圖 17 是表示實施形態的第 4 變形例的半導體裝置的構造的剖面圖。

圖 18 是表示圖 17 所示的半導體裝置的組裝的 NCF 供給狀態的剖面圖。

圖 19 是表示圖 17 所示的半導體裝置的組裝的覆晶連接狀態的剖面圖。

圖 20 是表示圖 19 所示的覆晶連接時的連接前與連接後的構造的擴大部分剖面圖。

### 【實施方式】

[0015] 在以下的實施形態中，除了特別必要時以外，原則上不重複同一或同樣的部分的說明。

[0016] 而且，在以下的實施形態中基於方便起見有其必要時，分割成複數的部分或實施形態來進行說明，但

除特別明示的情況，該等不是彼此無關者，一方是處於另一方的一部分或全部的變形例，詳細，補充說明等的關係。

[0017] 並且，在以下的實施形態中，言及要素的數目等（包含個數，數值，量，範圍等）時，除了特別明示時及原理上明確限於特定的數目時等以外，並不限定於其特定的數目，亦可為特定的數目以上或以下。

[0018] 而且，在以下的實施形態中，其構成要素（亦包含要素步驟等）除了特別明示時及原理上明確為必須時等以外，當然不一定是必須者。

[0019] 並且，在以下的實施形態中，有關構成要素等，言及「由 A 所成」、「藉由 A 所成」、「具有 A」、「包含 A」時，除了特別明示僅其要素時等以外，當然不排除以外的要素。同樣，在以下的實施形態中，言及構成要素等的形狀，位置關係等時，除了特別明示時及原理上明確不是時等以外，包含實質上近似或類似其形狀等者。此情形是有關上述數值及範圍也同樣。

[0020] 以下，根據圖面詳細說明本發明的實施形態。另外，在用以說明實施形態的全圖中，對於具有同一機能的構件附上同一符號，其重複的說明省略。另外，為了容易了解圖面，即使是平面圖也有時附上剖面線。

[0021]

（實施形態）

圖 1 是表示實施形態的半導體裝置的構造的一例的剖

面圖。

[0022] 圖 1 所示的本實施形態的半導體裝置是在電性連接主基板與半導體晶片的中介層（interposer）上搭載有邏輯晶片 2 及記憶體晶片 3 的半導體封裝，在中介層上邏輯晶片 2 與記憶體晶片 3 會分別被覆晶連接。另外，記憶體晶片 3 可為 1 段（1 片）的安裝，或層疊複數段。圖 1 所示的構造是顯示記憶體晶片 3 被層疊 3 段的情況。

[0023] 並且，在本實施形態中，說明上述半導體裝置的外部連接用端子被設在主基板的下面之複數的球電極的情況，作為上述半導體裝置的一例。因此，在本實施形態說明的半導體裝置亦為 BGA（Ball Grid Array）型的半導體封裝（以後簡稱為 BGA5）。

[0024] 又，本實施形態的 BGA5 是分別在邏輯晶片 2 及記憶體晶片 3 之上，以能夠覆蓋該等的半導體晶片之方式，設有被稱為蓋（Lid）7 的放熱板。

[0025] 另外，中介層是中繼彼此端子間距不同的半導體晶片與主基板（第 1 基板）之間的晶片支撐基板，本實施形態的中介層是由 Si（矽）所成的基板。以後，在本實施形態中，將此晶片支撐基板稱為 Si 中介層（第 2 基板）1。

[0026] 在此，連結邏輯晶片 2 與記憶體晶片 3 的配線是在 Si 中介層 1 內完結，因此 Si 中介層 1 是亦具備可減少連接至主基板的端子數而結果擴大端子間距的機能。

[0027] 並且，在 BGA5 中，被設在邏輯晶片 2 及記

憶體晶片 3 的複數的突起電極是以細間距（窄間距）設置。因此，對應於細間距，複數的突起電極各者是由以 Cu（銅）為主成分的合金所成的 Cu 支柱（柱狀電極）4。Cu 支柱 4 是例如亦被稱為微凸塊。

[0028] 若針對圖 1 所示的 BGA5 的詳細構造來進行說明，則具有主基板的印刷配線基板（第 1 基板）9、及經由複數的焊錫球 12 來搭載於印刷配線基板 9 的上面 9a 上的中繼基板的 Si 中介層（晶片支撐基板、第 2 基板）1、及分別被覆晶連接至 Si 中介層 1 的上面 1a 的邏輯晶片 2 及記憶體晶片 3。

[0029] 因此，印刷配線基板 9 的上面 9a 與 Si 中介層 1 的下面 1b 會隔著複數的焊錫球 12 來對向配置，且 Si 中介層 1 的上面 1a 與邏輯晶片 2 的主面 2a 及記憶體晶片 3 的主面 3a 會分別隔著複數的 Cu 支柱 4 來對向配置。

[0030] 如上述般，邏輯晶片 2 是經由以細間距而設的複數的 Cu 支柱 4 來覆晶連接至 Si 中介層 1 的上面 1a，另一方面，記憶體晶片 3 也同樣經由以細間距而設的複數的 Cu 支柱 4 來覆晶連接至 Si 中介層 1 的上面 1a。

[0031] 另外，記憶體晶片 3 是被層疊成 3 段，分別經由貫通導孔 3c 來電性連接至複數的 Cu 支柱 4。亦即，在第 1 段的記憶體晶片 3 的背面 3b 上層疊第 2 段的記憶體晶片 3，且在第 2 段的記憶體晶片 3 的背面 3b 上層疊第 3 段的記憶體晶片 3。

[0032] 並且，在 Si 中介層 1 的上面 1a 側的表層是形

成有配線層 1d，更在內部設有從上面 1a 側到下面 1b 側的複數的貫通導孔 1c。藉此，複數的 Cu 支柱 4 各者與設在下面 1b 側的複數的焊錫球 12 各者會經由形成於上述配線層 1d 的配線及貫通導孔 1c 來電性連接。同樣，記憶體晶片 3 的複數的 Cu 支柱 4 也會經由形成於上述配線層 1d 的配線及貫通導孔 1c 來與設在下面 1b 側的複數的焊錫球 12 各者電性連接。

[0033] 又，印刷配線基板 9 是具備複數的內部配線 9d 及複數的導孔 9c，更在其下面 9b 設有複數的 BGA 球 8。該等的 BGA 球 8 是 BGA5 的外部連接用端子或外部電極端子。

[0034] 以上，邏輯晶片 2 的主面 2a 的電極焊墊 2c 是經由 Cu 支柱 4、Si 中介層 1 的貫通導孔 1c、焊錫球 12、印刷配線基板 9 的內部配線 9d 及導孔 9c 來電性連接至印刷配線基板 9 的下面 9b 側的 BGA 球 8。另一方面，記憶體晶片 3 的貫通導孔 3c 是同樣經由 Cu 支柱 4、Si 中介層 1 的貫通導孔 1c、焊錫球 12、印刷配線基板 9 的內部配線 9d 及導孔 9c 來電性連接至印刷配線基板 9 的下面 9b 側的 BGA 球 8。

[0035] 並且，在印刷配線基板 9 與 Si 中介層 1 之間是充填有底部填充膠（樹脂）6a。此 Si 中介層 1 的底部填充膠 6a 是在印刷配線基板 9 上經由複數的焊錫球 12 來覆晶連接 Si 中介層 1 之後注入配置。

[0036] 另一方面，邏輯晶片 2 及記憶體晶片 3 各者

的底部填充膠（樹脂）6b 是 NCF（絕緣性黏著材）10，在分別覆晶連接邏輯晶片 2 或記憶體晶片 3 之前，在 Si 中介層 1 的上面 1a 配置 NCF10，配置後從 NCF10 的上面搭載邏輯晶片 2 及記憶體晶片 3。亦即，邏輯晶片 2 及記憶體晶片 3 各者的底部填充膠 6b 的 NCF10 是在 Si 中介層 1 上藉由先裝（亦稱為先塗佈）方式來配置。

[0037] 但，在被層疊成 3 段的記憶體晶片 3 的第 1 段的記憶體晶片 3 與第 2 段的記憶體晶片 3 之間の間隙、及第 2 段的記憶體晶片 3 與第 3 段的記憶體晶片 3 之間の間隙是配置有被注入至各者的間隙的樹脂的底部填充膠 6a。該等的底部填充膠 6a 是在層疊所有的記憶體晶片 3 之後被注入至各者的晶片間の間隙。

[0038] 並且，在 BGA5 設有蓋 7 作為放熱板。蓋 7 是被設成可覆蓋邏輯晶片 2、3 個的記憶體晶片 3 及 Si 中介層 1。蓋 7 是具有緣部 7a、及比緣部 7a 高的位置的頂部 7b，緣部 7a 會藉由黏著材 11 來與印刷配線基板 9 的上面 9a 的周緣部接合。藉此，邏輯晶片 2、記憶體晶片 3 及 Si 中介層 1 是藉由蓋 7 來覆蓋而被保護。

[0039] 而且，蓋 7 的頂部 7b 是分別經由黏著材 11 來與邏輯晶片 2 的背面 2b 及第 3 段的記憶體晶片 3 的背面 3b 接合，從邏輯晶片 2 或記憶體晶片 3 發出的熱會傳至蓋 7，再被放至外部。亦即，蓋 7 亦具有放熱板的機能。

[0040] 因此，若考慮放熱性，則黏著材 11 是使用導



電性黏著材（導電性樹脂）為理想，例如銀膏或鋁系膏等。

[0041] 並且，被搭載於 BGA5 的記憶體晶片 3 是例如 DRAM（Dynamic Random Access Memory），藉由邏輯晶片 2 來控制者，但並非限於 DRAM。

[0042] 其次，說明有關本實施形態的半導體裝置（BGA5）的組裝。

[0043] 圖 2 是表示圖 1 所示的半導體裝置的組裝程序的一例的流程圖，圖 3～圖 7 是分別表示圖 2 所示的組裝程序的一部分的工程的構造的剖面圖。

[0044] 首先，進行圖 2 的步驟 S1 所示的「焊劑供給」。步驟 S1 的上述焊劑供給是如圖 3 所示般，利用焊劑轉印板 16，分別對於設在 Si 中介層 1 的下面 1b 的複數的焊錫球 12 供給焊劑 15。

[0045] 焊劑供給後，進行圖 2 的步驟 S2 所示的「Si 中介層搭載」。在此是如圖 3 的步驟 S2 所示般，在印刷配線基板（第 1 基板）9 的上面 9a 的各電極預先塗佈焊錫 13，在該等的焊錫 13 上，使設在 Si 中介層（第 2 基板）1 的下面 1b 的複數的焊錫球 12 接觸，而搭載 Si 中介層 1。亦即，在印刷配線基板 9 上搭載 Si 中介層 1。

[0046] Si 中介層搭載後，進行圖 2 的步驟 S3 所示的「回流」。亦即，將由印刷配線基板 9 及 Si 中介層 1 所成的組裝體放入回流爐而加熱，使焊錫球 12 及焊錫 13 熔融而形成新的複數的焊錫球 12。此時，在被新形成的複

數的焊錫球 12 各者的表面形成有焊劑 15。

[0047] 回流後，進行圖 2 的步驟 S4 所示的「焊劑洗淨」。亦即，除去複數的焊錫球 12 各者的表面所形成的焊劑 15。此時，利用溶劑或水來進行焊劑洗淨（參照圖 4）。

[0048] 焊劑洗淨後，進行圖 2 的步驟 S5 所示的「烘烤」。步驟 S5 的烘烤是用以使印刷配線基板 9 乾燥的加熱處理。具體而言，以減少因印刷配線基板 9 中所含的水分而引起的底部填充膠（後述的圖 5 所示的底部填充膠 6a）中的孔隙為目的，進行印刷配線基板 9 的脫溼烘烤。此時的脫溼烘烤的條件是依印刷配線基板 9 的材質或大小、配線佈局而定，例如溫度為  $120^{\circ}\text{C} \sim 180^{\circ}\text{C}$ ，時間為 0.5 小時  $\sim$  6 小時。

[0049] 另外，若溫度過低，則無法取得烘烤效果，若過高，則基板會變質。於是，最好溫度是  $150^{\circ}\text{C}$  程度，時間是在  $0.5\mu\text{m}$  厚度的基板時，為 4.5 小時程度。

[0050] 並且，烘烤爐的環境是流動大氣或氮氣體等的惰性氣體，烘烤爐內的氧濃度最好是形成 10% 以下。

[0051] 烘烤後，進行圖 2 的步驟 S6 所示的「 $\text{O}_2$  電漿洗淨」。在此是藉由使用氧（ $\text{O}_2$ ）的電漿洗淨來除去印刷配線基板 9 的上面 9a 的污染，藉此可使與後述的底部填充膠樹脂（圖 5 所示的底部填充膠 6a）的密著性提升。

[0052]  $\text{O}_2$  電漿洗淨後，進行圖 2 的步驟 S7 所示的

「底部填充膠樹脂塗佈+固化烘烤 (cure bake)」。如圖 5 的步驟 S7 所示般，在印刷配線基板 9 與 Si 中介層 1 之間間隙注入 (塗佈) 底部填充膠 (樹脂) 6a。此時，在 Si 中介層 1 的側面也以底部填充膠 6a 攀登的程度注入底部填充膠 6a。

[0053] 另外，如上述般在底部填充膠 6a 的塗佈前電漿洗淨印刷配線基板 9 的上面 9a，因此印刷配線基板 9 與底部填充膠 6a 的密著性良好。

[0054] 底部填充膠樹脂塗佈+固化烘烤後，進行圖 2 的步驟 S8 所示的「Ar 電漿洗淨」。亦即，電漿洗淨 Si 中介層 1 的上面 1a。具體而言，以 Si 中介層 1 與後述的 NCF10 的密著性的提升 (Si 中介層 1 與 NCF10 的剝離防止)、及 NCF 中的孔隙的低減為目的，對 Si 中介層 1 進行電漿洗淨處理。此時，產生電漿的氣體是亦可為氬 (Ar) 或氧 (O<sub>2</sub>) 或該等的混合氣體。

[0055] 例如，使用 Ar 氣體作為產生電漿的氣體時，Ar 電漿洗淨是使 Ar 原子衝突至 Si 中介層 1 的表面，而可除去有機物等的雜質。而且，藉由使 Ar 原子衝突至 Si 中介層 1 的表面，會在 Si 中介層 1 的表面形成細的凹凸，藉此可使與後述的 NCF10 的密著性提升。

[0056] Ar 電漿洗淨後，進行圖 2 的步驟 S9 所示的「在 Si 中介層上貼上 NCF」。亦即，在 Si 中介層 1 的上面 1a 配置 NCF (絕緣性黏著材) 10。

[0057] 在此，NCF10 是被輕剝離薄膜 (材質：PET)

及重剝離薄膜（材質：PET）所夾的三層構造、或重剝離薄膜被貼在 NCF10 的一面的二層構造，在其三層或二層構造的狀態下被捲於捲盤。而且，三層構造品的輕剝離薄膜是被設計·製造成比重剝離薄膜容易從 NCF 本體剝離。

[0058] 其次，說明有關對脫溼烘烤（圖 2 的步驟 S5）及電漿洗淨處理（圖 2 的步驟 S8）完了後的 Si 中介層 1 供給 NCF10（參照圖 5 的步驟 S9）的程序。

[0059] 首先，將重剝離薄膜及 NCF10 切成預定的大小，NCF10 會以接觸於 Si 中介層 1 的方向來配置於 Si 中介層 1 的上面 1a 上（三層構造品時，剝下輕剝離薄膜之後打穿）。使用衝壓機來打穿 NCF10 時，以防止 NCF10 的毛邊的發生為目的，也有一邊加熱 NCF10，一邊打穿的情況。此時的 NCF10 的溫度是若過低，則毛邊防止無效，若過高，則 NCF10 的熱硬化過度進展，因此  $40^{\circ}\text{C} \sim 80^{\circ}\text{C}$  程度為理想。

[0060] 其次，進行 NCF10 往 Si 中介層 1 的黏著作業。作業是利用真空層壓裝置，在  $0.05\text{kPa} \sim 0.5\text{kPa}$  的減壓下，一邊加熱至  $60^{\circ}\text{C} \sim 100^{\circ}\text{C}$ ，一邊在重剝離薄膜側以隔板（diaphragm）施加  $0.05\text{MPa} \sim 0.5\text{MPa}$  程度的壓力 5 ~ 20 秒，藉此黏著。

[0061] 最後，去除重剝離薄膜，形成在 Si 中介層 1 的上面 1a 只黏著 NCF10 的狀態。

[0062] 在 Si 中介層上貼上 NCF 後，進行圖 2 的步驟 S10 所示的「NCF 預烘烤」。亦即，NCF 貼上後，且在半

導體晶片搭載前，進行 NCF10 的烘烤處理（預烘烤：加熱處理）。

[0063] 具體而言，以成為 NCF 中的孔隙的原因之 NCF 中所含的過剩的溶劑及水分的除去為目的，在烘烤爐加熱處理貼上 NCF10 的 Si 中介層 1（將 NCF10 預烘烤）。此加熱處理的 Si 中介層 1 的溫度是  $60^{\circ}\text{C} \sim 100^{\circ}\text{C}$ ，時間是 0.5~3 小時程度。最好溫度為  $80^{\circ}\text{C}$  程度，時間為 1.5 小時程度。

[0064] 這是比烘烤處理印刷配線基板 9（圖 2 的步驟 S5 的烘烤）時的溫度（例如  $150^{\circ}\text{C}$ ）低的溫度，且時間也比印刷配線基板 9 的烘烤處理時的時間（例如 4.5 小時）短的時間。

[0065] NCF10 的預烘烤是若溫度過高或時間過長，則 NCF10 會硬化完了，另一方面，若溫度過低或時間過短過，則成為硬化不足（溶劑及水分的除去不充分）的狀態。

[0066] 因此，NCF10 的預烘烤是在適當的範圍的溫度及時間進行處理為重要。

[0067] 另外，在 NCF10 的預烘烤的烘烤爐的環境中，亦可使用大氣或氮氣體等的惰性氣體。使用惰性氣體時，最好爐內的氧濃度是 10% 以下。

[0068] NCF 預烘烤後，進行圖 2 的步驟 S11 所示的「邏輯晶片/記憶體晶片搭載（暫時連接）」。亦即，如圖 6 的 S11 所示般，在 Si 中介層 1 的上面 1a 經由 NCF10

來搭載（暫時連接）各半導體晶片（邏輯晶片 2 及記憶體晶片 3）。

[0069] 在此，圖 8 是表示圖 2 所示的組裝程序的晶片搭載時的對準標記的辨識方法的一例的平面圖，圖 9 是表示圖 2 所示的組裝程序的晶片搭載時的搭載方法的一例的立體圖，圖 10 是表示圖 2 所示的組裝程序的晶片搭載時的搭載方法的一例的立體圖。又，圖 11 是表示圖 2 所示的組裝程序的晶片搭載時的晶片吸附狀態的一例的剖面圖，圖 12 是表示圖 2 所示的組裝程序的覆晶連接時的連接前與連接後的構造的一例的擴大部分剖面圖。

[0070] 在晶片搭載工程中，具體而言，利用圖 10 所示那樣的覆晶接合器 21，在 NCF 黏著完了的 Si 中介層 1 搭載半導體晶片（邏輯晶片 2、記憶體晶片 3）。亦即，在覆晶接合器 21 的平台 20 利用吸附等的手段來固定 NCF 黏著完了的 Si 中介層 1。另外，被固定於覆晶接合器 21 的平台 20 時的 Si 中介層 1 的溫度是若過高，則 NCF10 至硬化成半導體晶片的搭載變不能的程度之時間會變短，相反的，若過低，則會有因為 NCF10 的黏度高，所以半導體晶片的搭載變困難，以及成為搭載半導體晶片時孔隙的發生要因等不良影響。

[0071] 為此，NCF10 的熱硬化反應快的溫度一般是 100°C 程度，因此以 Si 中介層 1 的溫度能夠形成 60°C ~ 100°C 的方式，設定覆晶接合器 21 的平台 20 的溫度。

[0072] 在晶片搭載工程中，首先，如圖 9 所示般，

藉由夾頭（晶片吸附工具）18 來吸附拾取被收容於晶片托盤 17 的邏輯晶片 2（有關記憶體晶片 3 也同樣）之中，應拾取的邏輯晶片 2，之後，藉由覆晶接合器 21 的反轉機構來使以夾頭 18 吸附的狀態的邏輯晶片 2 的表背反轉。然後，如圖 10 所示般，藉由覆晶接合器 21 的接合工具 19 來吸附保持邏輯晶片 2 的背面 2b，在此狀態下，將邏輯晶片 2 搬送至藉由平台 20 所保持的 Si 中介層 1 上。

[0073] 然後，從上方以未圖示的攝影機來辨識圖 8 所示的 Si 中介層 1 的對準標記（標記）1e，另一方面，從下方以未圖示的攝影機來辨識邏輯晶片 2 的對準標記，根據各者的辨識結果來進行邏輯晶片 2 與 Si 中介層 1 的定位。

[0074] 另外，如圖 8 所示般用以辨識 Si 中介層 1 的位置的對準標記 1e 是在 Si 中介層 1 的上面 1a，形成於被配置在晶片搭載領域 1f 的 NCF10 的外側的位置。由於如此在 NCF10 的外側的位置形成有對準標記 1e，因此在貼上 NCF10 之後，且即將搭載邏輯晶片 2 之前，也可辨識 Si 中介層 1 的對準標記 1e。

[0075] 藉此，可高精度進行邏輯晶片 2 與 Si 中介層 1 的對位。

[0076] 以上，藉由覆晶接合器 21 的接合工具 19 來吸附保持邏輯晶片 2 的狀態下，以及進行邏輯晶片 2 與 Si 中介層 1 的對位之狀態下，在 Si 中介層 1 上搭載邏輯晶

片 2。

[0077] 此時、覆晶接合器 21 的接合工具 19 是一旦檢測到邏輯晶片 2 與黏著 NCF10 後的 Si 中介層 1 的接觸，則如圖 12 所示般，對邏輯晶片 2 施加荷重，將邏輯晶片 2 推入至 Si 中介層 1 側。然後，使形成於晶片側的柱狀的 Cu 支柱 4 與端子部（電極）1h（該端子部（電極）1h 為 Si 中介層 1 側的電極端子，且與貫通導孔 1c 連接）接觸，使形成於晶片側的柱狀的 Cu 支柱 4 的前端的焊錫 13 變形（參照圖 12 的搭載後）。

[0078] 而且，在使變形之連接後的形狀、及回流處理後的連接部的形狀，因為邏輯晶片 2 與 Si 中介層 1 之間隙部的距離幾乎相同，所以即使邏輯晶片 2 稍微傾斜至 Si 中介層 1 而被搭載，還是可搭載邏輯晶片 2，而使全部的柱狀的 Cu 支柱 4 能夠與 Si 中介層 1 的上述電極端子（端子部 1h）充分地接觸。

[0079] 具體而言，調整施加於邏輯晶片 2 的荷重、溫度及該等的施加時間，而使柱狀的 Cu 支柱 4 的前端的焊錫 13 變形，而其高度比變形前低  $5\mu\text{m} \sim 15\mu\text{m}$ 。

[0080] 此時的上述電極端子（端子部 1h）的溫度，最好相對於焊錫熔融溫度（焊錫 13 的熔融溫度），在未滿的溫度的範圍，儘可能為高的溫度。亦即，將邏輯晶片 2 與 Si 中介層 1 對位之後，如圖 12 所示般，以比被塗佈於複數的 Cu 支柱 4 的各者的前端之焊錫 13 的熔融溫度低的溫度，且儘可能高的溫度，分別加熱·加壓而使變形，



藉此使複數的端子部 1h 分別分別陷入各個焊錫 13。亦即，以不溶化焊錫 13 的程度的溫度，將 Cu 支柱 4 對於端子部 1h 推入。

[0081] 具體而言，錫銀系的無鉛焊錫時，由於焊錫的熔點為 230°C 程度，因此搭載動作時的連接部的溫度是 200°C ~ 220°C 程度為佳。覆晶接合器 21 的接合工具 19 的溫度是一旦上升下降，則有導致節拍時間 (takt time) 的惡化的可能性，因此最好保持成一定。

[0082] 另外，連接至 Si 中介層 1 的貫通導孔 1c 之上述端子部 (電極) 1h 的構造是如圖 12 的搭載前所示般，在電鍍 Ni1g 的表面形成有焊錫 13 會固相擴散的金屬，例如電鍍 Au14 者，晶片側的 Cu 支柱 4 與 Si 中介層 1 側的端子部 (電極) 1h 的連接是藉由焊錫 13 與電鍍 Au14 來進行。

[0083] 以上，邏輯晶片 2 會對於 Si 中介層 1 暫時連接。以同樣的方法，針對記憶體晶片 3 也進行暫時連接。但，有關記憶體晶片 3 的 3 段的層疊是預先進進行，在第 1 段與第 2 段、及第 2 段與第 3 段之間の間隙部是分別藉由後裝 (後注入) 方式來注入底部填充膠 6b。

[0084] 另外，在本實施形態的晶片搭載工程中，如圖 11 所示般，藉由覆晶接合器 21 的接合工具 (頭) 19 的吸附面 19a 來吸附保持邏輯晶片 2，在圖 10 所示的 Si 中介層 1 的上面 1a 搭載邏輯晶片 2。

[0085] 此時，如圖 11 所示般，接合工具 19 的吸附

面 19a 的平面大小是比邏輯晶片 2 的背面 2b 的平面大小還要小。但，接合工具 19 的吸附面 19a 的平面大小是亦可與邏輯晶片 2 的背面 2b 的平面大小相同。

[0086] 邏輯晶片/記憶體晶片搭載後，進行圖 2 的步驟 S12（圖 6 的步驟 S12）所示的「回流（正式連接）」。

在此，藉由回流來加熱搭載有邏輯晶片 2 及記憶體晶片 3 的 Si 中介層 1 與 NCF10，而經由複數的 Cu 支柱 4 及焊錫 13 來電性連接 Si 中介層 1 的複數的端子部 1h 的各者與邏輯晶片 2 的複數的電極焊墊 2c（參照圖 1）的各者。

[0087] 此時，如圖 12 所示般，NCF10 會藉由先裝方式，預先被配置於 Si 中介層 1 的上面 1a，因此在複數的 Cu 支柱 4 的各者的周圍配置 NCF10 的狀態下，經由複數的 Cu 支柱 4 來電性連接（正式連接）複數的端子部 1h 的各者與複數的電極焊墊 2c 的各者。

[0088] 具體而言，在輸送機式的回流爐回流處理，藉由經過晶片搭載工程，分別搭載有邏輯晶片 2 及記憶體晶片 3 的 Si 中介層 1 與支撐此 Si 中介層 1 的印刷配線基板 9。另外，邏輯晶片 2 及記憶體晶片 3 的各者是成為各晶片表面的柱狀的 Cu 支柱 4 與 Si 中介層 1 側的端子部 1h 的連接會藉由 NCF10 的保持力、及柱狀的 Cu 支柱 4 與 Si 中介層 1 的端子部 1h 的連接來保持的狀態。

[0089] 藉此，在 Si 中介層 1 的端子部 1h 進行錫焊，促進合金層的形成，物理性也更牢固地連接邏輯晶片

2 (記憶體晶片 3 也同樣) 與 Si 中介層 1。

[0090] 在此，圖 13 是表示圖 2 所示的組裝程序的回流時的溫度分布的一例的圖表。

[0091] 如圖 13 所示般，溫度分布最好是搭載有半導體晶片的 Si 中介層 1 進入回流爐內溫度開始上昇之後儘可能快到達峰值溫度的溫度分布。這是因為藉由以更快的時機來使到達焊錫熔融溫度，可使焊錫以 NCF10 的硬化率儘可能低的時間點來熔融，可期待半導體晶片與 Si 中介層 1 的連接部的焊錫的形狀藉由熔融後的焊錫的表面張力來持平滑度。另外，圖 13 中，線部分 A 是表示先進入回流爐的部分的分布，另一方面，線部分 B 是之後進入回流爐的部分的分布。

[0092] 由於連接部的形狀為平滑的形狀是可緩和一般熱應力等的應力的集中，因此可期待連接部的可靠度的提升。具體而言，最好溫度上昇開始～峰值溫度到達為 100 秒以內。峰值溫度是需要焊錫熔融溫度以上，但若過高，則會施加過剩的熱負荷，因此設定在  $230^{\circ}\text{C} \sim 260^{\circ}\text{C}$  的範圍。回流的方式是可在半導體的組裝以一般性的熱風方式或紅外線方式進行。亦可使用氮氣體等的惰性氣體。

[0093] 記載實際的回流工程的運用的一例。將搭載有半導體晶片的 Si 中介層 1 投入回流爐時，是以 Si 中介層 1 的預定的方向和輸送機的行進方向一致的方向來配置 Si 中介層 1。此時，亦可將 Si 中介層 1 相鄰配置 2 個。並且，Si 中介層 1 是可前面的 Si 中介層 1 被搬送隨即依

序投入。回流爐的輸送機速度是依爐的規格，例如以 1~2m/分鐘的速度一邊輸送一邊可實現上述溫度分布的回流爐為一般性的回流爐存在。此情況，往回流爐的投入次數是可為 1~3 次/分鐘。若計算具體的回流工程的節拍時間，則可由 1 片的 Si 中介層 1 組裝 30 個的半導體裝置，當 2 片同時投入，投入次數 2 次/分鐘時，回流的節拍時間是成為 0.5 秒/IC。

[0094] 回流（正式連接）後，進行圖 2 的步驟 S13（圖 6 的步驟 S13）所示的「NCF 固化烘烤」。在此是將具有完成回流且搭載有半導體晶片的 Si 中介層 1 之印刷配線基板 9 收納於金屬製的盒等，在烘烤爐加熱處理，藉此進行使 NCF10 硬化的固化烘烤。

[0095] 藉由此固化烘烤，使 NCF10 的硬化反應率形成 95%以上。固化烘烤的條件是依 NCF10 而不同，例如溫度是 150℃~200℃，較理想是 180℃，時間是 20~60 分程度，較理想是 20 分（樣品的實際的溫度形成前述的溫度的時間）。另外，固化烘烤時的烘烤爐的環境是亦可流動大氣或氮氣體等的惰性氣體。

[0096] NCF 固化烘烤後，進行圖 2 的步驟 S14（圖 6 的步驟 S14）所示的「蓋黏著材塗佈+蓋貼上」。

[0097] 在此，如圖 6 的步驟 S14 所示般，藉由黏著材 11 來連接蓋 7 的緣部 7a 與印刷配線基板 9，更分別藉由黏著材 11 來連接邏輯晶片 2 的背面 2b 與蓋 7 的頂部 7b，以及第 3 段的記憶體晶片 3 的背面 3b 與蓋 7 的頂部

7b。

[0098] 蓋黏著材塗佈+蓋貼上後，進行圖 2 的步驟 S15（圖 7 的步驟 S15）所示的「蓋黏著材的固化烘烤」。在此是加熱蓋 7 的黏著材 11 來進行烘烤處理。

[0099] 蓋黏著材的固化烘烤後，進行圖 2 的步驟 S16（圖 7 的步驟 S16）所示的「BGA 球搭載+回流+焊劑洗淨」。在此，如圖 7 的步驟 S16 所示般，在印刷配線基板 9 的下面 9b 藉由回流來安裝複數的 BGA 球 8，然後將形成於各 BGA 球 8 的表面的焊劑 15 予以洗淨（焊劑洗淨）除去。

[0100] 藉此，本實施形態的圖 1 所示的 BGA5 的組裝完成。

[0101] 其次，說明有關本實施形態的半導體裝置的組裝的覆晶連接的機構。

[0102] 形成於各半導體晶片的表面之柱狀的突起電極（Cu 支柱 4）是在半導體晶片的鋁（Al）焊墊上依 UBM（Under Bump Metal）、Cu、焊錫的順序電鍍形成者。亦可在 Cu 與焊錫之間形成 Ni 層。由於在焊錫電鍍後進行回流處理，因此柱狀的突起電極的前端的焊錫 13 是成為帶圓形的形狀。

[0103] 加上，焊錫是比其他的金屬還要柔軟，特別是在接近將半導體晶片搭載於 Si 中介層 1 時的焊錫熔點的溫度領域，焊錫的硬度會下降容易變形。因此，一旦使柱狀的突起電極的前端的焊錫 13 接觸於 Si 中介層 1 的端

子部 1h，則首先柱狀的突起電極的前端的焊錫 13 會變形。與此變形同時，在柱狀的突起電極（Cu 支柱 4）的前端的焊錫 13 與 Si 中介層 1 的端子部 1h 之間，產生固相擴散，取得將半導體晶片固定於 Si 中介層 1 的連接力。

[0104] 此外，藉由使 NCF10 的熱硬化反應促進，也可取得將半導體晶片固定於 Si 中介層 1 的力。其具體的 NCF10 的硬化反應率（在此是晶片暫時連接時的硬化反應率）是 50%~80% 為佳。若硬化反應率過低，則將半導體晶片固定於 Si 中介層 1 的能力會不夠充分。另一方面，若在暫時連接時提高硬化反應率，則難期待藉由其次工程的回流工程的焊錫的表面張力所產生連接部的形狀變化。藉由將硬化反應率設為 50%~80%，可防止在之後的工程焊錫熔融時的錫（Sn）等的流出。並且，樹脂的流出也可防止。

[0105] 晶片的搭載（暫時連接），為了不使焊錫熔融、及儘可能使金屬間的固相擴散促進、及效率佳地使 NCF10 的熱硬化反應進展，最好在焊錫不熔融的範圍儘可能以高的溫度進行搭載。

[0106] 又，若藉由柱狀的突起電極（Cu 支柱 4）與基板的電極端子（端子部 1h）之固相擴散、及使 NCF10 熱硬化而取得的固定力弱，則在來自平台 20 的吸附被解除而移至回流工程時，例如因振動等，柱狀的突起電極（Cu 支柱 4）與 Si 中介層 1 的端子部 1h 會分離。

[0107] 該情況，即使進行回流，也難以電性連接半

導體晶片與 Si 中介層 1。

[0108] 而且，被搭載的半導體晶片的溫度是比 Si 中介層 1 的溫度高 100°C 以上，因此若吸附 Si 中介層 1 的平台 20 的材質為熱傳導佳者，則因為加熱半導體晶片與 Si 中介層 1 的連接部、及 NCF10 來使固相擴散進展、或提高 NCF10 的硬化率，需要時間。所以，在覆晶接合器 21 的吸附用的平台 20 是使用熱傳導率比較低的陶瓷材料或玻璃材料為理想。

[0109] 若根據本實施形態的半導體裝置的製造方法，則可取得以下的效果。

[0110] 亦即，在 Si 中介層 1 貼上 NCF10 之前，藉由電漿洗淨 Si 中介層 1 的表面，可除去附著於 Si 中介層 1 的表面（上面 1a）的雜質等。Si 中介層 1 的污染是例如在烘烤工程等發生。亦即，一旦加熱處理基板或樹脂等的有機材料，則各種的化學物質會被放出，附著於組裝的工具或零件等，其結果，製品（半導體裝置）的品質會降低，且可靠度也會降低。

[0111] 於是，如本實施形態般，在 Si 中介層 1 貼上 NCF10 之前，藉由電漿洗淨 Si 中介層 1 的表面，可除去附著於 Si 中介層 1 的表面的雜質等，藉此可使 Si 中介層 1 的表面與 NCF10 的密著性提升。

[0112] 其結果，Si 中介層 1 與 NCF10 會變難剝離，可使 BGA5 的品質或可靠度提升。

[0113] 並且，在將半導體晶片搭載於 Si 中介層 1

時，有可能 NCF10 從半導體晶片的下面推出，爬上半導體晶片的側面，NCF10 附著於吸附保持半導體晶片的接合工具 19。為此，有關吸附保持、搭載、加熱、荷重施加半導體晶片的接合工具 19，為了防止 NCF10 往接合工具 19 附著，如圖 11 所示，將接合工具 19 的吸附面 19a 的平面大小形成與半導體晶片的平面大小相同，或比半導體晶片的平面大小稍微小。例如，將接合工具 19 的吸附面 19a 的平面大小形成比半導體晶片的平面大小還小晶片每一邊 0.2mm 程度。

[0114] 亦即，在搭載半導體晶片時，從半導體晶片的下面推出至側面的 NCF10 的量是依半導體晶片的平面大小及 NCF10 的厚度而定，若被推出的量多，則 NCF10 容易附著於搭載半導體晶片的接合工具 19。又，若半導體晶片的厚度厚，則 NCF10 不易附著於接合工具 19，相反的，若厚度薄，則容易附著。

[0115] 於是，本實施形態是如圖 11 所示般，接合工具 19 的吸附面 19a 的平面大小會比邏輯晶片 2 的背面 2b 的平面大小還要小，或成為相同的大小，藉此，在晶片搭載時，即使 NCF10 從邏輯晶片 2 的下面推出而爬上半導體晶片的側面，還是可防止 NCF10 附著於吸附面 19a。

[0116] 其結果，可防止接合工具 19 的吸附面 19a 被 NCF10 所污染，且吸附面 19a 的污染附著於半導體晶片的情形等也可防止。藉此，可提升半導體裝置（BGA5）的品質或可靠度。



[0117] 又，由於本實施形態的半導體裝置的組裝是藉由回流來熔融形成於晶片表面的柱狀的 Cu 支柱 4 的前端的焊錫 13，而進行半導體晶片與 Si 中介層 1 的電性接合，因此比每 1 晶片依序進行加熱、錫焊、冷卻而連接半導體晶片與基板之 NCF 工法，還能夠均一地加熱連接部。因此，可提高同一晶片內的半導體晶片與 Si 中介層 1 的連接的完成情況的均一性，在半導體裝置（BGA5）中可取得高的連接品質。

[0118] 特別是半導體晶片的四個角落容易進行放熱，在同一晶片內依場所，焊錫的連接部的完成情況容易產生偏差，但由於本實施形態可均一地加熱連接部，因此可提高均一性來取得半導體裝置（BGA5）的高連接品質。

[0119] 其次，說明有關本實施形態的半導體裝置的組裝的生產效率的效果。

本案發明者所比較檢討的技術是在將半導體晶片搭載於基板時，進行朝焊錫熔融溫度以上的溫度之加熱、錫焊，朝焊錫熔融溫度以下的冷卻。為此，該部分花費長的時間。具體而言，需要 7 秒～10 秒/IC。

[0120] 相對的，本實施形態是在將半導體晶片搭載於 Si 中介層 1 時，不進行加熱、錫焊、冷卻，焊錫熔融是在回流爐進行，因此雖工程數增加，但搭載工程短時間完成。又，由於回流爐處理能力高，因此結果本實施形態的半導體裝置的製造方法是比進行比較檢討的技術還要縮

短節拍時間，可提高生產效率。NCF10 一般是作為速硬化型的樹脂被開發，220℃ 約 3 秒實現本實施形態的工法，充分達約 70%的硬化率。

[0121] 而且，晶片的搭載工程是包含晶片拾取或搭載位置辨識，可期待 5 秒/IC 的節拍時間。由於回流工程的節拍時間是如前述般可期待 0.5 秒/IC 程度，因此本實施形態的工法用以生產 1 個半導體裝置之覆晶接合工程的節拍時間是可期待 5.5 秒。藉此，相對於進行比較檢討的工法，可實現 30%程度的節拍時間的短縮。

[0122] 又，本實施形態的半導體裝置的製造方法是如上述般可提高生產效率，因此可謀求製造成本的低減化。

[0123] 又，本實施形態的半導體裝置的組裝是先裝 NCF10，因此覆晶連接的連接部會從最初的階段藉由樹脂（NCF10）來覆蓋。藉此，可謀求施加於上述連接部的熱應力的低減化。其結果，可減少在上述連接部形成龜裂，可使半導體裝置（BGA5）的連接可靠度提升。

[0124]

（變形例）

圖 14 是表示實施形態的 NCF 供給方法的第 1 變形例的剖面圖及立體圖，圖 15 是表示實施形態的 NCF 供給方法的第 2 變形例的立體圖，圖 16 是表示實施形態的 NCF 供給方法的第 3 變形例的立體圖。

[0125] 第 1～第 3 變形例是說明有關 NCF10 之往基

板的形成方法。

[0126] 圖 14 所示的第 1 變形例是表示將薄膜上的 NCF10 供給至晶圓（晶片、基板）22 側的方法。

[0127] 首先，進行 NCF 準備。在此，準備：在基礎薄膜 10a 貼上 NCF10，更在其上貼上罩薄膜 10b 之 NCF10。其次，藉由罩薄膜剝離，從 NCF10 剝下罩薄膜 10b。然後，在晶圓上進行 NCF 層疊。例如，在切割工程的期間，在晶圓 22 的電路面層壓切斷成與晶圓 22 同大小（NCF 切斷）的 NCF10。

[0128] 此時的 NCF10 的厚度或貼上條件是與在實施形態所述的條件同樣。而且，在晶圓切割工程中，將 NCF10 與半導體晶片同時切斷而小片化。然後，附 NCF 的半導體晶片是從切割薄板拾取，被搭載於 Si 中介層或印刷配線基板。

[0129] 若根據圖 14 所示的 NCF 形成方法，則藉由在晶圓階級進行 NCF 貼上，可增多在一次的層壓作業所能供給 NCF10 的半導體晶片的數量。

[0130] 其次，說明有關圖 15 所示的第 2 變形例。

[0131] 第 2 變形例是藉由刮刀 25 來將液狀樹脂 23 印刷於多數個取出基板 24 而 B 階段（B-Stage）化，藉此形成 NCF10 的方法。

[0132] 首先，在樹脂印刷中，在配置印刷用的遮罩 26 之多數個取出基板 24 上，藉由刮刀 25 來印刷液狀樹脂 23。然後，在烘烤中，將配置於平台 27 上的多數個取

出基板 24 予以烘烤處理而 B 階段化。藉此，在多數個取出基板 24 上形成複數的 NCF10。

[0133] 若根據圖 15 所示的 NCF 形成方法，則藉由在多數個取出基板 24 以印刷方式來形成 NCF10，因為印刷方式生產效率高，所以可效率佳地在多數個取出基板 24 上形成 NCF10。而且，可依據印刷用的遮罩 26 的設計來選擇場所而供給 NCF10，因此材料的使用效率也可提高。

[0134] 其次，說明有關圖 16 所示的第 3 變形例。

[0135] 第 3 變形例是在晶圓 22（亦可為晶片或印刷配線基板）印刷膏狀樹脂 28 而形成 NCF10 的方法。

[0136] 首先，在樹脂印刷中，使用印刷用的遮罩 26 及刮刀 25，在切割前的晶圓（或印刷配線基板）22 印刷膏狀樹脂 28。然後，在烘烤中，在平台 27 上進行晶圓 22 的烘烤處理，將膏狀樹脂 28 予以 B 階段化。藉此，在晶圓 22 上形成 NCF10。

[0137] 若根據圖 16 所示的 NCF 形成方法，則藉由在晶圓 22 以印刷方式來形成 NCF10，因為印刷方式生產效率高，所以可效率佳地在晶圓 22 上形成 NCF10。

[0138] 而且，與上述同樣，由於可依據印刷用的遮罩 26 的設計來選擇場所而供給 NCF10，因此材料的使用效率也可提高。

[0139] 圖 17 是表示實施形態的第 4 變形例的半導體裝置的構造的剖面圖，圖 18 是表示圖 17 所示的半導體裝

置的組裝之 NCF 供給狀態的剖面圖，圖 19 是表示圖 17 所示的半導體裝置的組裝之覆晶連接狀態的剖面圖，圖 20 是表示圖 19 所示的覆晶連接時的連接前與連接後的構造의擴大部分剖面圖。

[0140] 圖 17 所示的第 4 變形例是矽晶片（半導體晶片）30 會藉由覆晶連接來搭載於晶片支撐基板的印刷配線基板 29 上之 BGA（半導體裝置）32，在印刷配線基板 29 與矽晶片 30 之間是充填有藉由先裝方式來配置的 NCF10。

[0141] 另外，在印刷配線基板 29 的上面側，矽晶片 30 會經由柱狀的突起電極之複數的 Cu 支柱 4 來覆晶連接，另一方面，在下面側是設有 BGA32 的外部連接用端子之複數的 BGA 球 8。

[0142] 其次，說明有關 BGA32 的組裝。

[0143] 另外，BGA32 的組裝，是說明利用矩陣基板的多數個取出基板 31 來組裝的情況。

[0144] 首先，電漿洗淨圖 18 所示的多數個取出基板 31 的表面。在此的電漿洗淨是與實施形態的圖 2 的步驟 S8 所示的 Ar 電漿洗淨相同。亦即，電漿洗淨在之後的工程配置 NCF10 的多數個取出基板 31 的表面。藉此，可去除多數個取出基板 31 的表面（特別是上面）的雜質或污染。

[0145] 電漿洗淨後，如圖 18 所示般，在多數個取出基板 31 的上面的晶片搭載部配置 NCF10。另外，有關

NCF10 的配置，是對於多數個取出基板 31 的全部的晶片搭載部完成 NCF10 的配置為止，重複 NCF10 在衝壓機的打穿及 NCF10 的搭載動作之作業。

[0146] NCF 配置後，如圖 19 所示般經由 NCF10 來從上方搭載矽晶片 30。

[0147] 此時，如圖 20 的搭載前所示般，將矽晶片 30 的 Cu 支柱 4 與印刷配線基板 29 的電極 29a 予以對位，然後對矽晶片 30 施加荷重，而將矽晶片 30 推入至印刷配線基板 29 側。

[0148] 然後，使形成於晶片側的柱狀的 Cu 支柱 4 與印刷配線基板 29 側的電極 29a 接觸，如圖 20 的搭載後所示般，使形成於晶片側的柱狀的 Cu 支柱 4 的前端的焊錫 13 變形。

[0149] 此時，在電極 29a 的表面形成有電鍍 Au14，因此藉由電極 29a 陷入焊錫 13，焊錫 13 與電極 29a 的表面的電鍍 Au14 成為接觸的狀態。

[0150] 另外，在進行圖 20 所示的晶片搭載時，以比被塗佈於複數的 Cu 支柱 4 的各者的前端之焊錫 13 的熔融溫度還要低的溫度來分別加熱焊錫 13，使複數的電極 29a 分別陷入各個焊錫 13（使焊錫 13 變形）。

[0151] 並且，作為多數個取出基板 31 之晶片搭載的動作，是在 1 個的多數個取出基板 31 上重複搭載動作，進行多數個取出基板 31 之往預定處（晶片搭載部）的晶片搭載。

[0152] 晶片搭載後，藉由在電鍍 Au14 接觸於焊錫 13 的狀態下進行回流，焊錫 13 會熔融，焊錫 13 與電鍍 Au14 會被電性連接。亦即，晶片側的 Cu 支柱 4 與基板側的電極 29a 會被電性連接，完成覆晶連接。

[0153] 如以上般，在印刷配線基板 29 進行覆晶連接的 BGA32 的組裝中，也是在多數個取出基板 31（印刷配線基板 29）貼上 NCF10 之前，藉由電漿洗淨多數個取出基板 31 的表面，可除去附著於多數個取出基板 31 的表面（上面）的雜質等。

[0154] 藉此，可使多數個取出基板 31（印刷配線基板 29）的表面與 NCF10 的密著性提升。

[0155] 其結果，多數個取出基板 31（印刷配線基板 29）與 NCF10 難剝離，可使 BGA32 的品質或可靠度提升。

[0156] 另外，有關 BGA32 的其他的組裝方法或其他的效果是與實施形態的 BGA5 的組裝方法或效果同樣，因此其重複說明省略。

[0157] 以上，根據實施形態來具體說明本發明者所研發的發明，但本發明並非限於至此記載的實施形態，當然可在不脫離其要旨的範圍實施各種變更。

[0158] 例如，上述第 4 變形例是說明使用多數個取出基板（矩陣基板）31 來組裝 BGA32 的情況，但亦可不是多數個取出基板 31，而使用預先被小片化的小片基板來組裝。

[0159] 又，上述實施形態是說明中介層（第 2 基板）為由 Si（矽）所成的 Si 中介層的情況，但上述中介層是例如亦可為以玻璃材為主成分的玻璃中介層或以有機材為主成分的有機中介層等。

[0160] 上述玻璃中介層是以玻璃材作為核心材，由於玻璃材是絕緣性高，因此可取得即使在高頻也會衰減少的效果。而且，玻璃中介層相較於 Si 中介層，成本便宜，藉由使用玻璃中介層，可謀求基板成本的低減化。

[0161] 又，上述有機中介層是例如可將配線的 Line/space 設為  $5\mu\text{m}/5\mu\text{m}$  以下，相較於以往的印刷配線基板，可提高配線密度。並且，有機中介層相較於 Si 中介層或玻璃中介層，成本便宜，藉由使用有機中介層，可謀求基板成本的低減化。

#### 【符號說明】

[0162]

1：Si 中介層（晶片支撐基板、第 2 基板）

1a：上面

1b：下面

1c：貫通導孔

1d：配線層

1e：對準標記

1f：晶片搭載領域

1g：電鍍 Ni



- 1h：端子部（電極）
- 2：邏輯晶片（半導體晶片）
  - 2a：主面
  - 2b：背面
  - 2c：電極焊墊
- 3：記憶體晶片（半導體晶片）
  - 3a：主面
  - 3b：背面
  - 3c：貫通導孔
- 4：Cu 支柱（突起電極、柱狀電極）
- 5：BGA（Ball Grid Array、半導體裝置）
- 6a，6b：底部填充膠
- 7：蓋
  - 7a：緣部
  - 7b：頂部
- 8：BGA 球（外部連接用端子、外部電極端子）
- 9：印刷配線基板（第 1 基板）
  - 9a：上面
  - 9b：下面
  - 9c：導孔
  - 9d：內部配線
- 10：NCF（絕緣性黏著材）
  - 10a：基礎薄膜
  - 10b：罩薄膜

- 11：黏著材
- 12：焊錫球
- 13：焊錫
- 14：電鍍 Au
- 15：焊劑
- 16：焊劑轉印板
- 17：晶片托盤
- 18：夾頭
- 19：接合工具（頭）
- 19a：吸附面
- 20：平台
- 21：覆晶接合器
- 22：晶圓
- 23：液狀樹脂
- 24：多數個取出基板
- 25：刮刀
- 26：遮罩
- 27：平台
- 28：膏狀樹脂
- 29：印刷配線基板（晶片支撐基板）
- 29a：電極
- 30：矽晶片（半導體晶片）
- 31：多數個取出基板
- 32：BGA（半導體裝置）

## 申請專利範圍

1. 一種半導體裝置的製造方法，其特徵係具有：

(a) 將具備：形成有複數的電極的上面、及與前述上面相反側的下面之晶片支撐基板的前述上面予以電漿洗淨之工程；

(b) 前述(a)工程之後，在前述晶片支撐基板的前述上面配置絕緣性黏著材之工程；

(c) 前述(b)工程之後，在前述晶片支撐基板的前述上面經由前述絕緣性黏著材來搭載半導體晶片之工程；  
及

(d) 前述(c)工程之後，藉由回流來加熱搭載有前述半導體晶片的前述晶片支撐基板與前述絕緣性黏著材，經由複數的突起電極來電性連接前述晶片支撐基板的前述複數的電極的各者與前述半導體晶片的複數的電極焊墊的各者之工程，

前述(d)工程，係於前述複數的突起電極的各者的周圍配置前述絕緣性黏著材的狀態下，經由前述複數的突起電極來電性連接前述複數的電極的各者與前述複數的電極焊墊的各者。

2. 如申請專利範圍第1項之半導體裝置的製造方法，其中，在前述(a)工程之前具有烘烤前述晶片支撐基板之工程，

更在前述(b)工程與前述(c)工程之間具有前述絕緣性黏著材的烘烤工程，

前述絕緣性黏著材的前述烘烤工程，係以比前述烘烤前述晶片支撐基板的工程之前述晶片支撐基板的烘烤溫度還要低的溫度來進行前述絕緣性黏著材的烘烤。

3. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中，在前述 (a) 工程之前具有烘烤前述晶片支撐基板之工程，

更在前述 (b) 工程與前述 (c) 工程之間具有前述絕緣性黏著材的烘烤工程，

前述絕緣性黏著材的前述烘烤工程，係以比前述烘烤前述晶片支撐基板的工程之前述晶片支撐基板的烘烤時間還要短的時間來進行前述絕緣性黏著材的烘烤。

4. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中，前述 (c) 工程，係辨識前述晶片支撐基板的前述上面的前述絕緣性黏著材的外側所形成的標記，而將前述半導體晶片與前述晶片支撐基板予以對位。

5. 如申請專利範圍第 1 項之半導體裝置的製造方法，其中，前述 (c) 工程，係將前述半導體晶片與前述晶片支撐基板予以對位之後，以比被塗佈於前述複數的突起電極的各者的前端之焊錫的熔融溫度還要低的溫度來分別加熱前述焊錫而使變形，使前述複數的電極分別陷入各個前述焊錫。

6. 如申請專利範圍第 5 項之半導體裝置的製造方法，其中，在前述晶片支撐基板的前述複數的電極的各者的表面形成有電鍍 Au，將前述電鍍 Au 與前述焊錫連接。

7. 一種半導體裝置的製造方法，其特徵係具有：

(a) 在第 1 基板搭載第 2 基板之工程，該第 2 基板係具備：形成有複數的電極的上面、及與前述上面相反側的下面；

(b) 前述 (a) 工程之後，烘烤前述第 1 基板之工程；

(c) 前述 (b) 工程之後，電漿洗淨前述第 2 基板的前述上面之工程；

(d) 前述 (c) 工程之後，在前述第 2 基板的前述上面配置絕緣性黏著材之工程；

(e) 前述 (d) 工程之後，在前述第 2 基板的前述上面經由前述絕緣性黏著材來搭載半導體晶片之工程；及

(f) 前述 (e) 工程之後，藉由回流來加熱搭載有前述半導體晶片的前述第 2 基板與前述絕緣性黏著材，經由複數的突起電極來電性連接前述第 2 基板的前述複數的電極的各者與前述半導體晶片的複數的電極焊墊的各者之工程；

前述 (f) 工程，係於前述複數的突起電極的各者的周圍配置前述絕緣性黏著材的狀態下，經由前述複數的突起電極來電性連接前述複數的電極的各者與前述複數的電極焊墊的各者。

8. 如申請專利範圍第 7 項之半導體裝置的製造方法，其中，在前述 (d) 工程與前述 (e) 工程之間具有前述絕緣性黏著材的烘烤工程，

前述絕緣性黏著材的前述烘烤工程，係以比前述（b）工程之前述第 1 基板的烘烤溫度還要低的溫度來進行前述絕緣性黏著材的烘烤。

9. 如申請專利範圍第 7 項之半導體裝置的製造方法，其中，在前述（d）工程與前述（e）工程之間具有前述絕緣性黏著材的烘烤工程，

前述絕緣性黏著材的前述烘烤工程，係以比前述（b）工程之前述第 1 基板的烘烤時間還要短的時間來進行前述絕緣性黏著材的烘烤。

10. 如申請專利範圍第 7 項之半導體裝置的製造方法，其中，前述（e）工程，係辨識前述第 2 基板的前述上面的前述絕緣性黏著材的外側所形成的標記，而將前述半導體晶片與前述第 2 基板予以對位。

11. 如申請專利範圍第 7 項之半導體裝置的製造方法，其中，前述（e）工程，係將前述半導體晶片與前述第 2 基板予以對位之後，以比被塗佈於前述複數的突起電極的各者的前端之焊錫的熔融溫度還要低的溫度來分別加熱前述焊錫而使變形，使前述複數的電極分別陷入各個前述焊錫。

12. 如申請專利範圍第 11 項之半導體裝置的製造方法，其中，在前述第 2 基板的前述複數的電極的各者的表面形成有電鍍 Au，將前述電鍍 Au 與前述焊錫連接。

13. 如申請專利範圍第 7 項之半導體裝置的製造方法，其中，前述（e）工程，係藉由覆晶接合器的頭的吸

附面來吸附保持前述半導體晶片，將前述半導體晶片搭載於前述第 2 基板的前述上面，

前述頭的前述吸附面的平面大小，係與前述半導體晶片的平面大小相同、或較小。

14. 如申請專利範圍第 7 項之半導體裝置的製造方法，其中，前述第 2 基板係由矽所成的基板，

前述複數的突起電極的各者係由以 Cu 為主成分的合金所成的柱狀電極。

15. 如申請專利範圍第 7 項之半導體裝置的製造方法，其中，前述 (c) 工程的前述電漿洗淨，係藉由氫氣體或氧來使電漿產生而進行。

圖式

圖 1

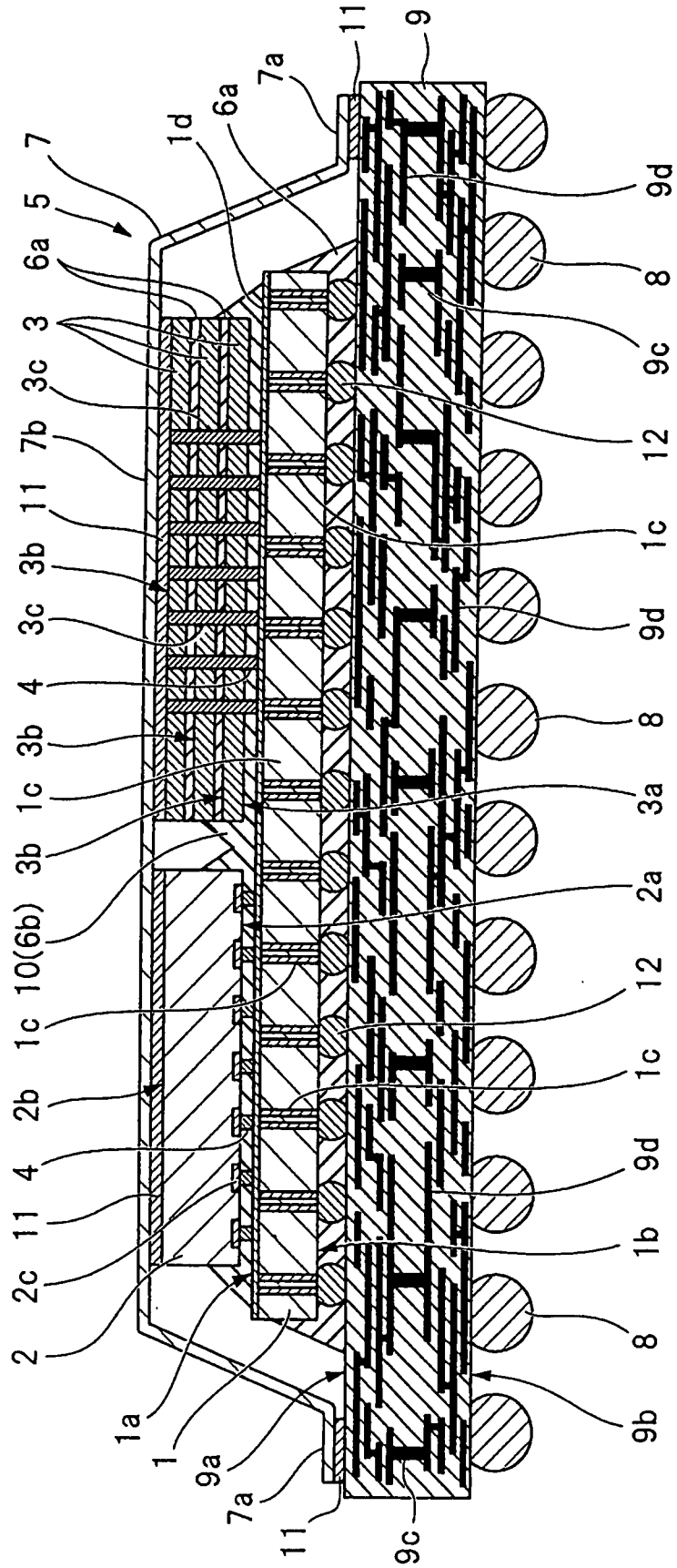




圖 2

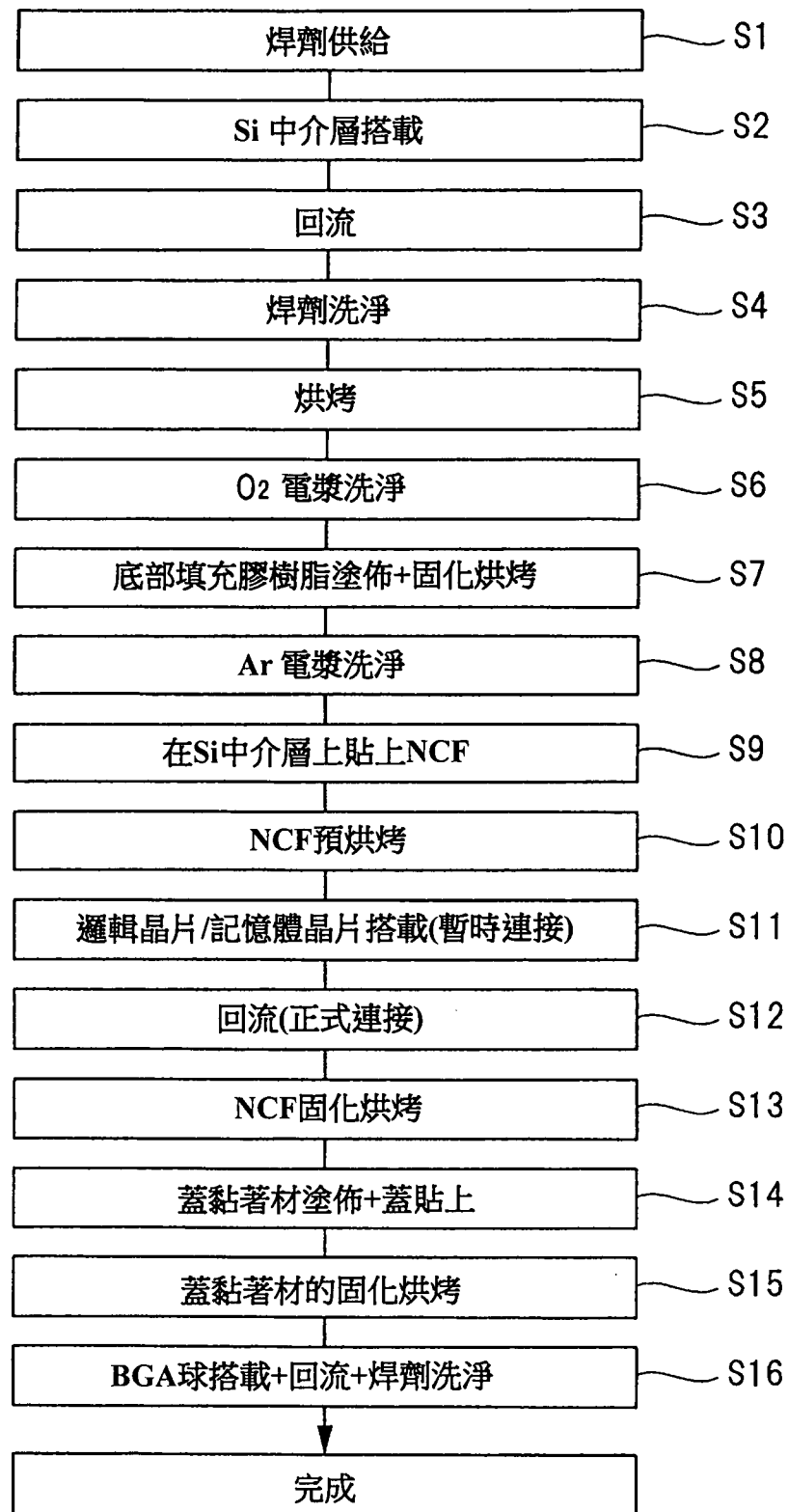




圖 4

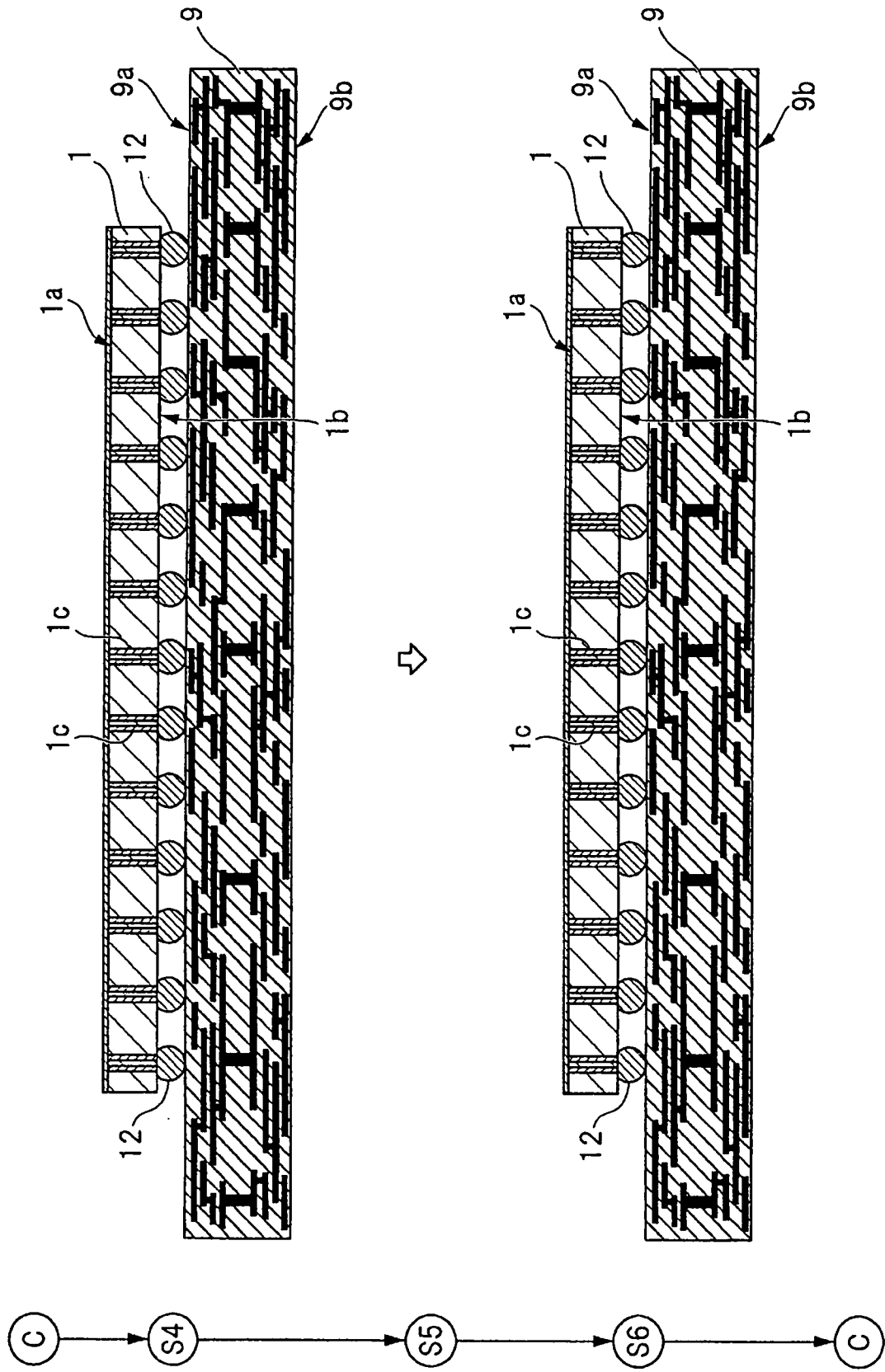


圖 5

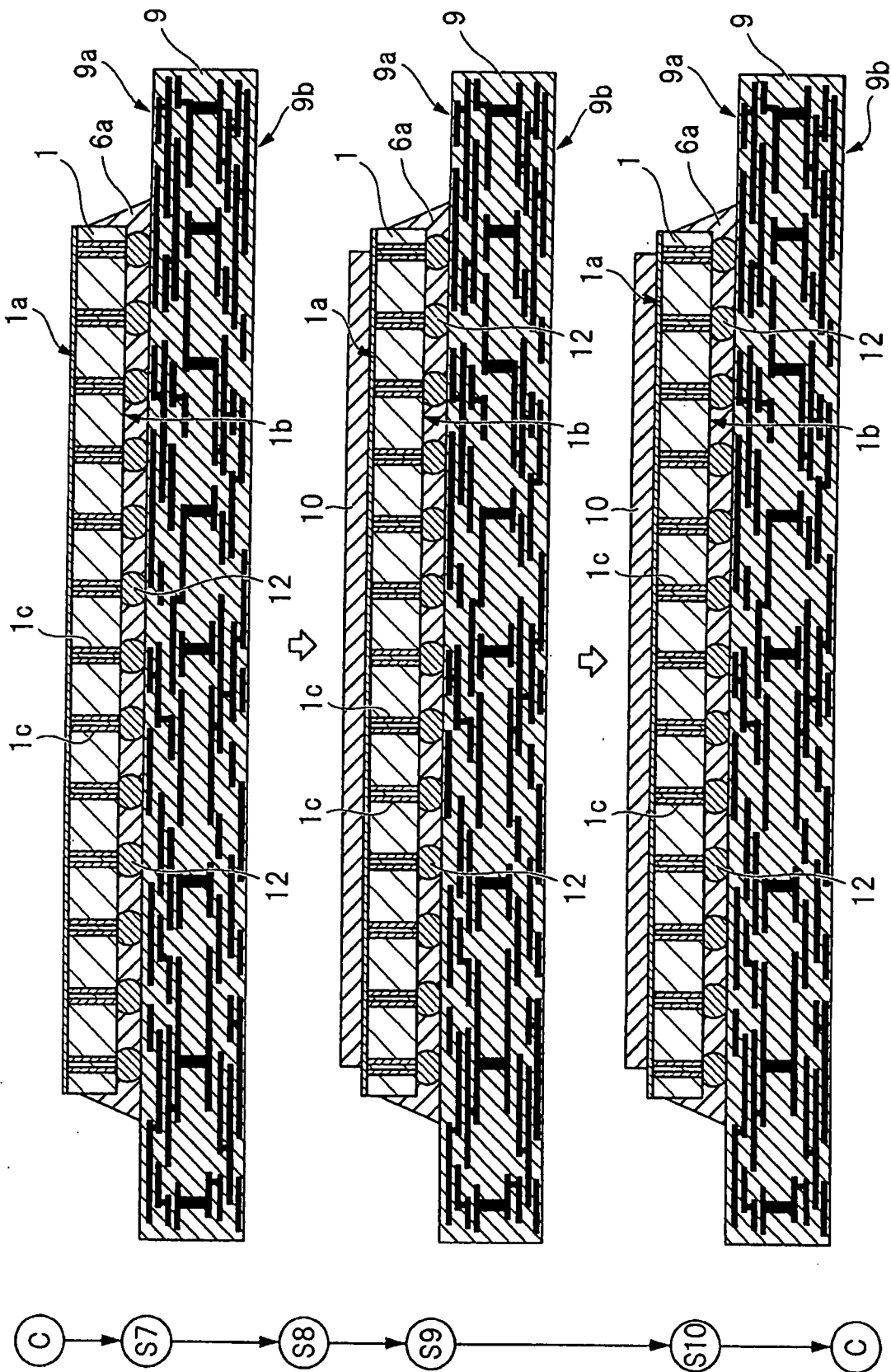


圖 6

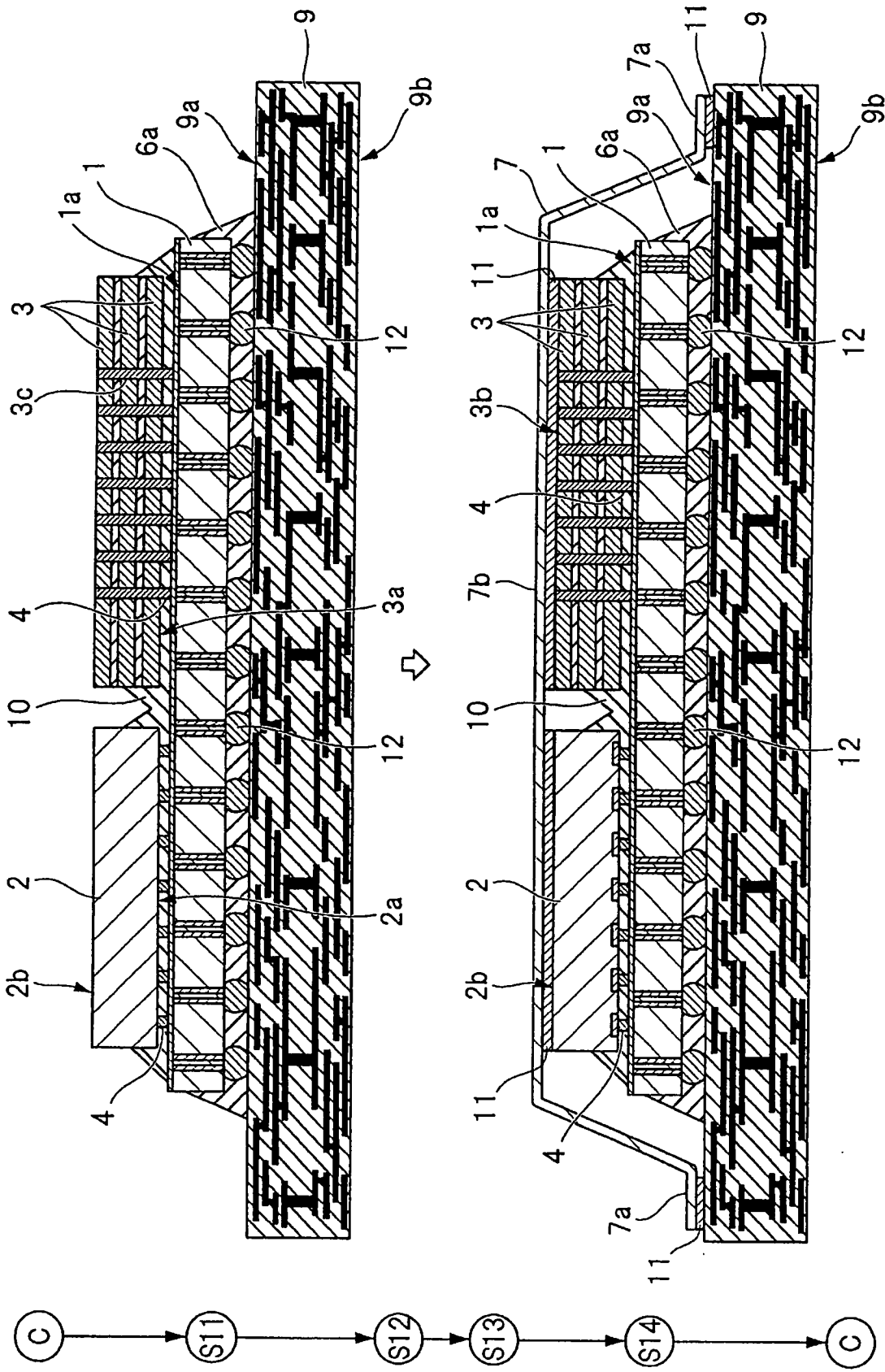




圖 8

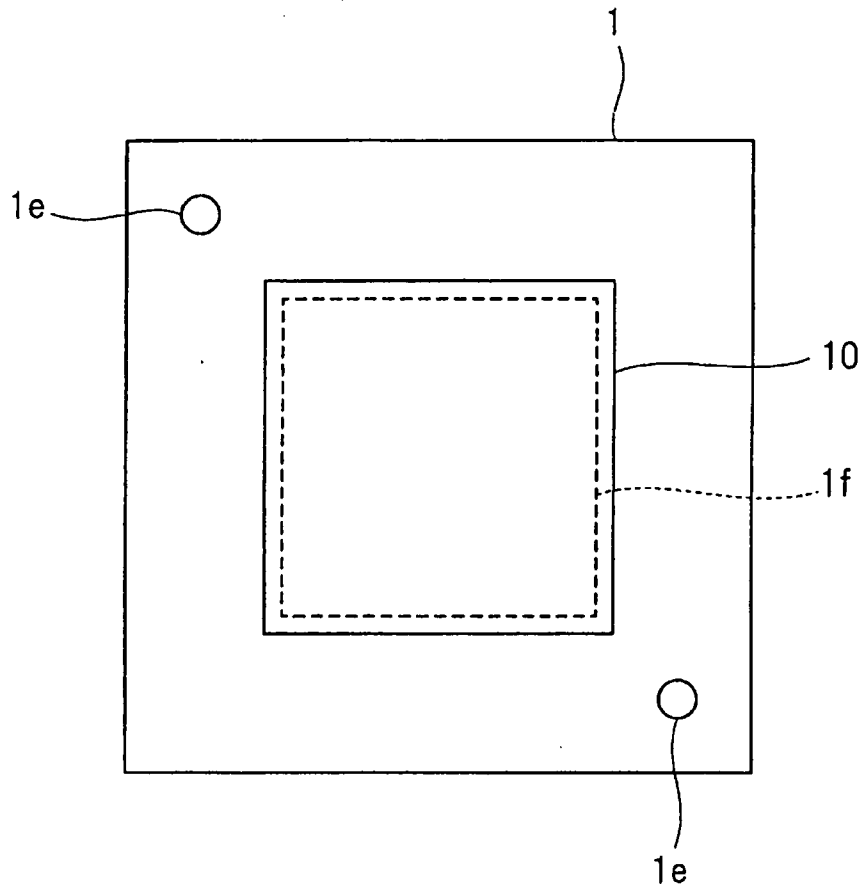


圖 9

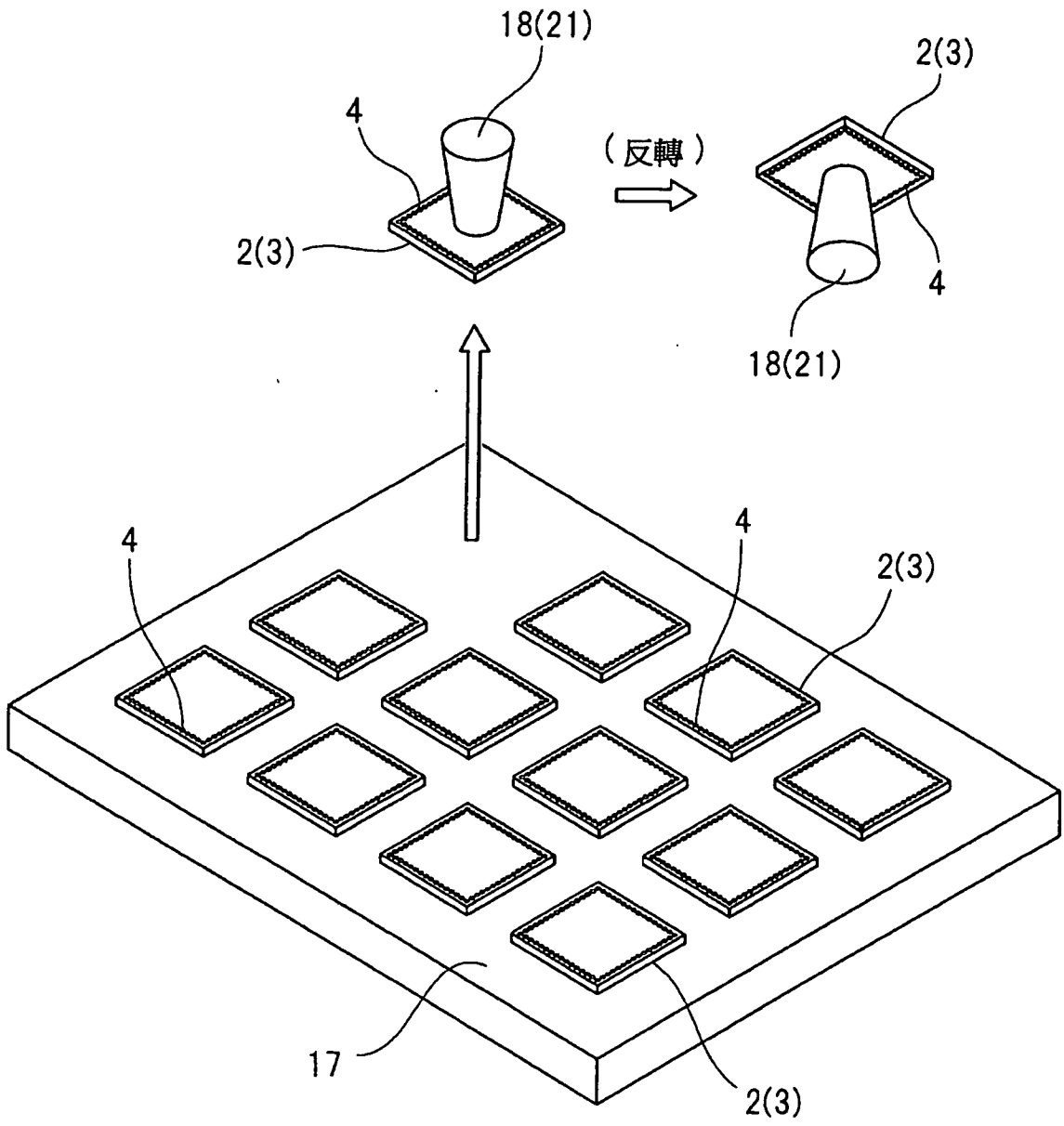




圖 10

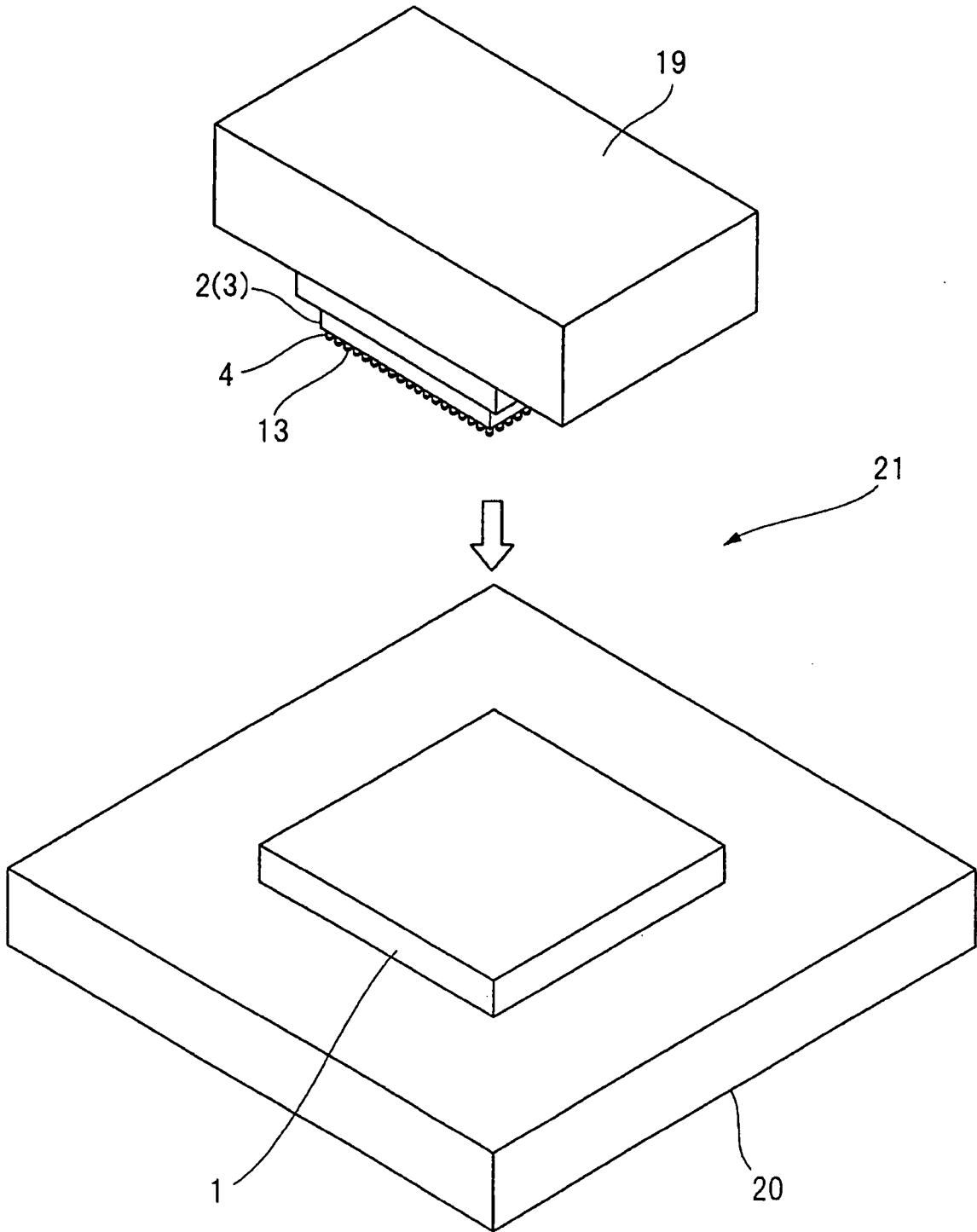


圖 11

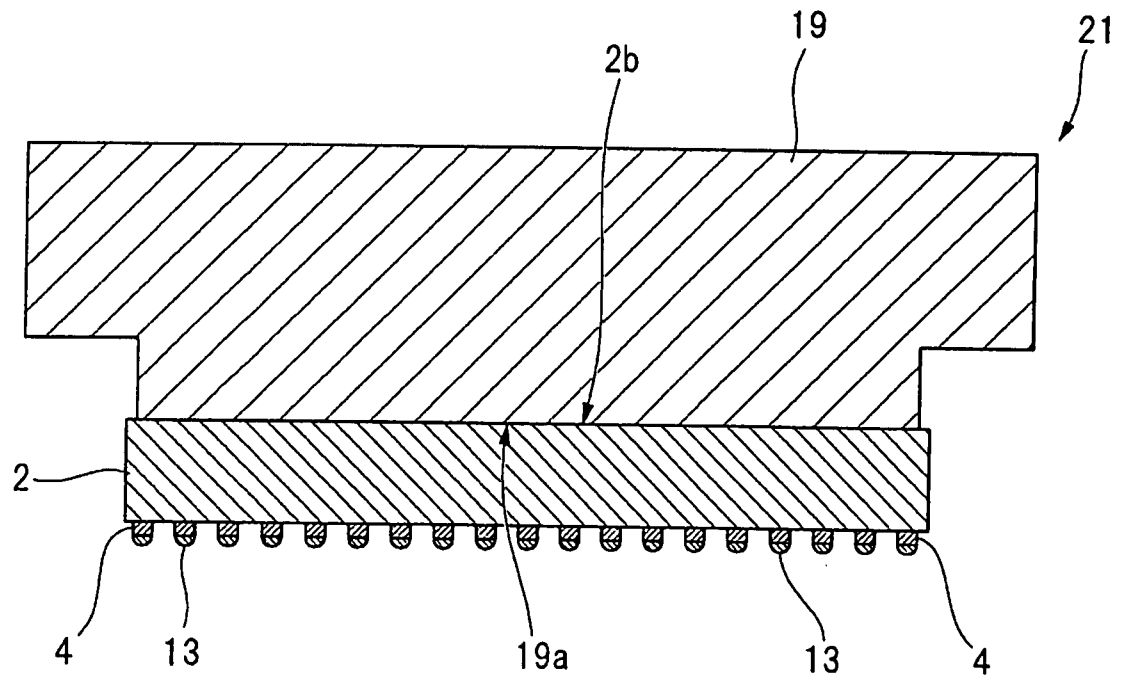


圖 12

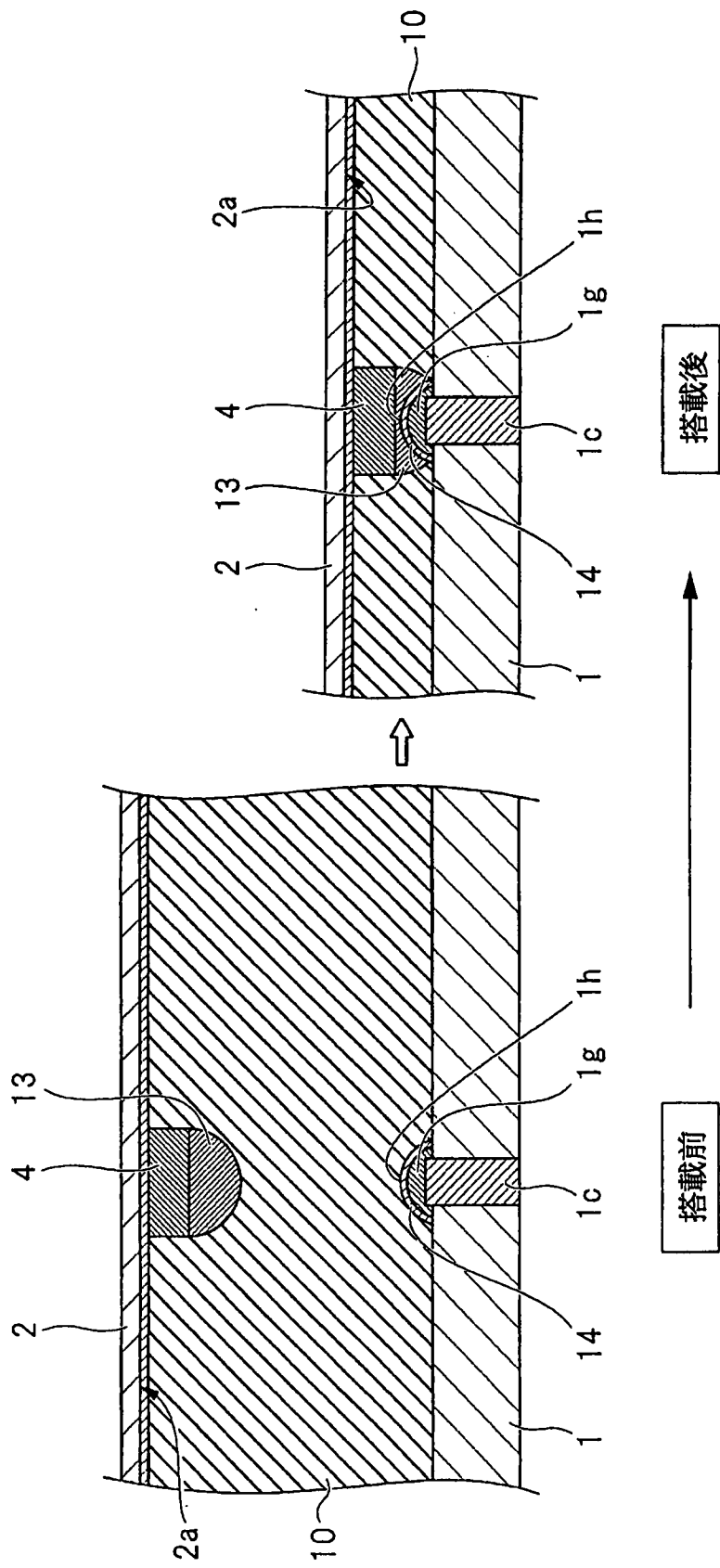


圖 13

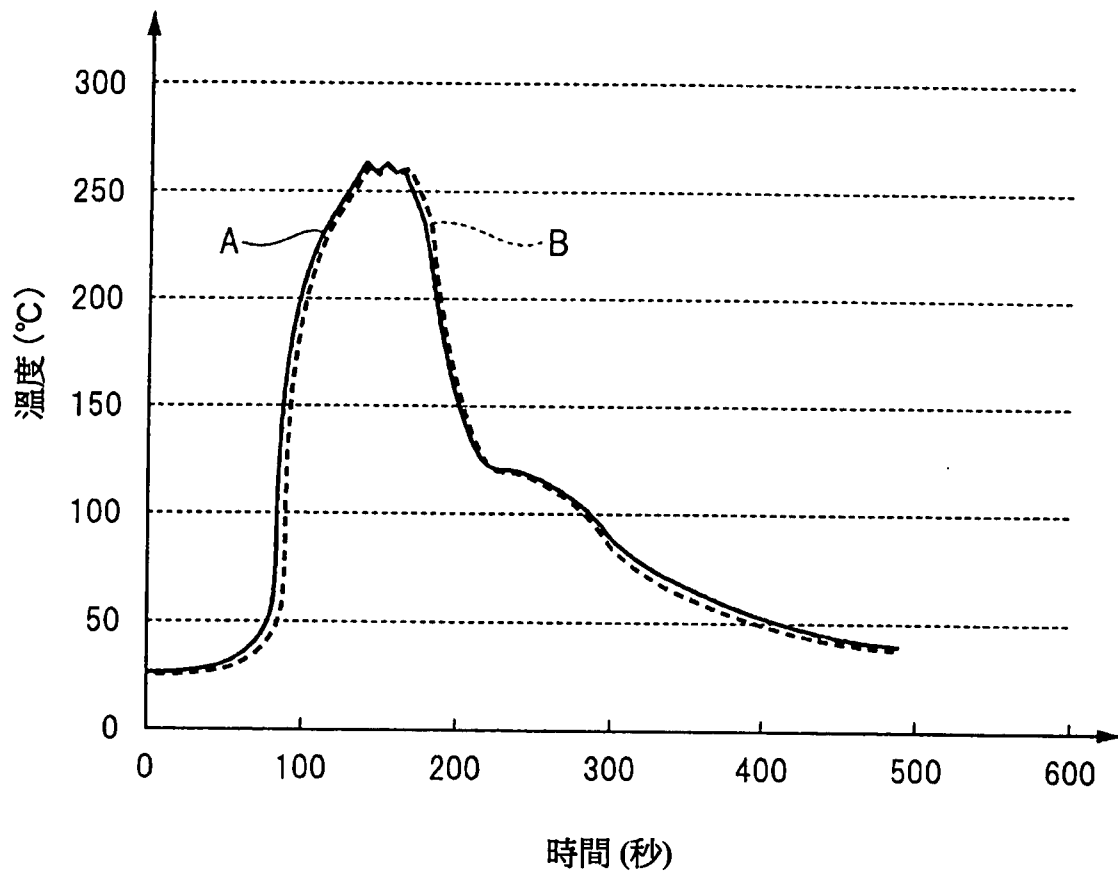


圖 14

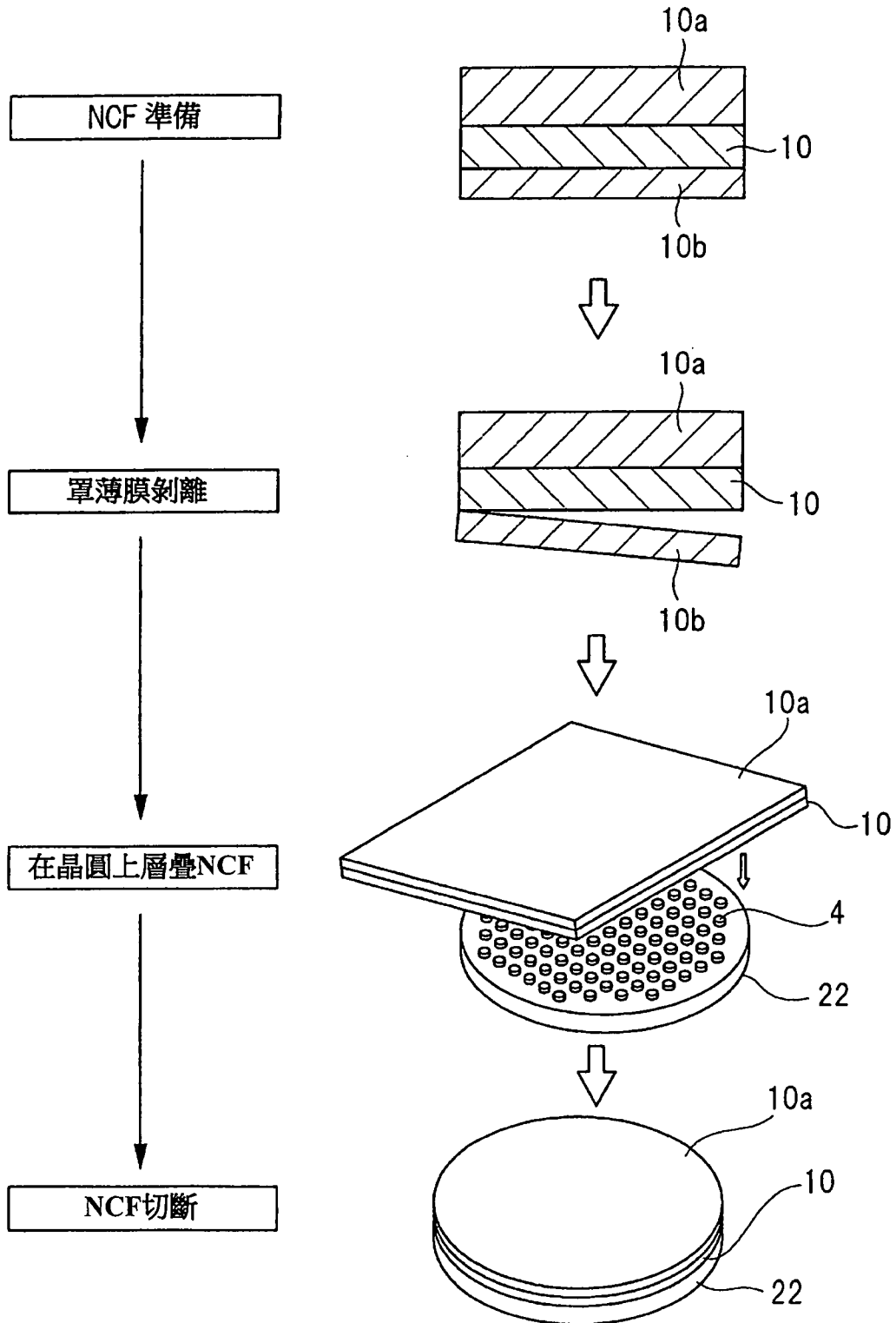


圖 15

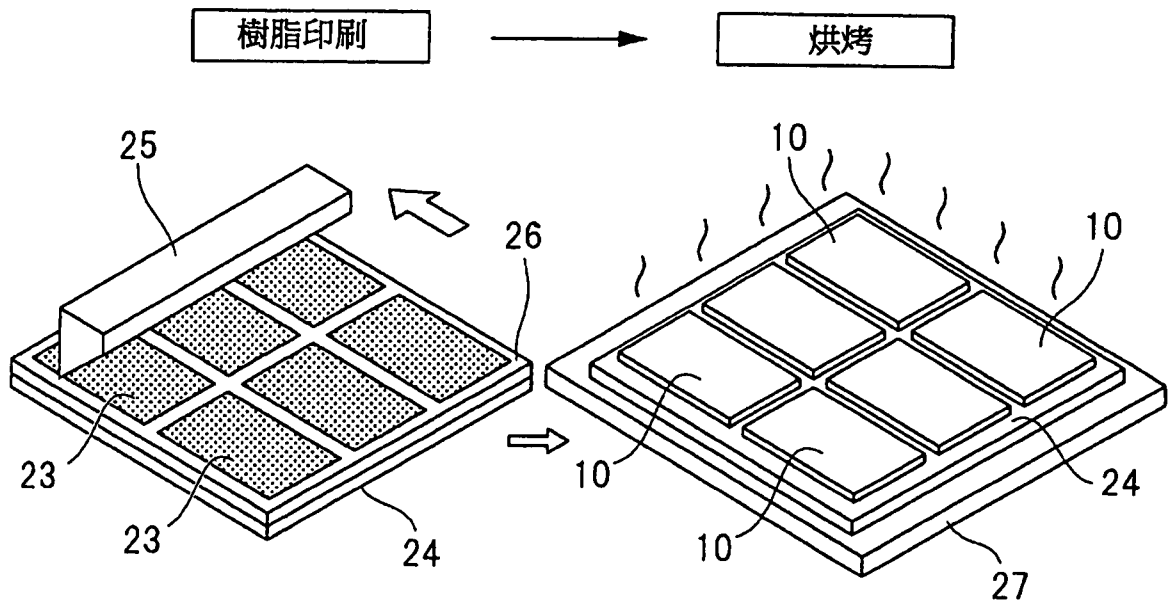


圖 16

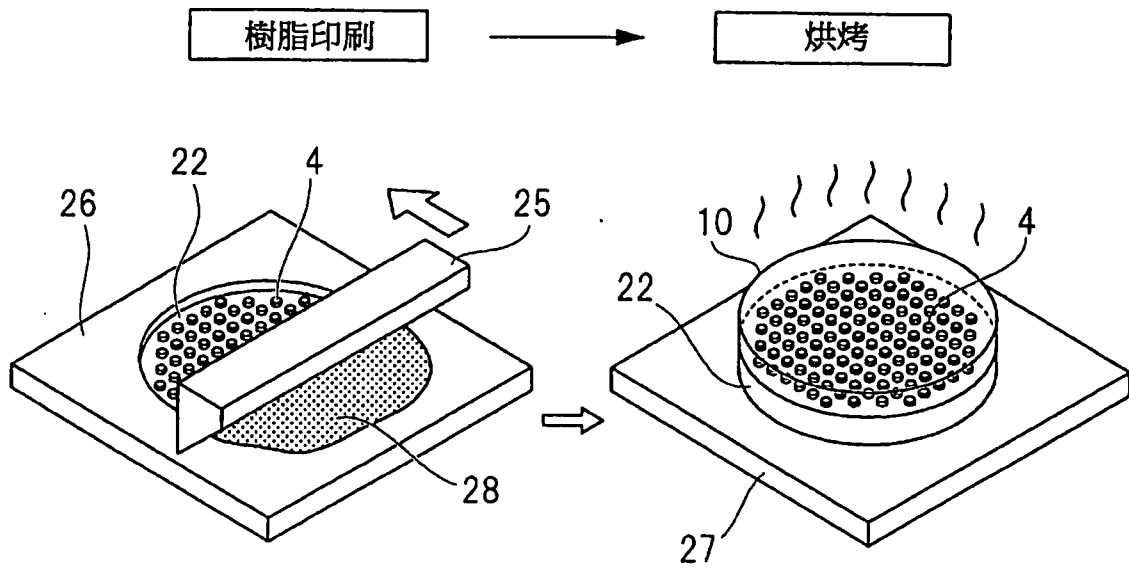


圖 17

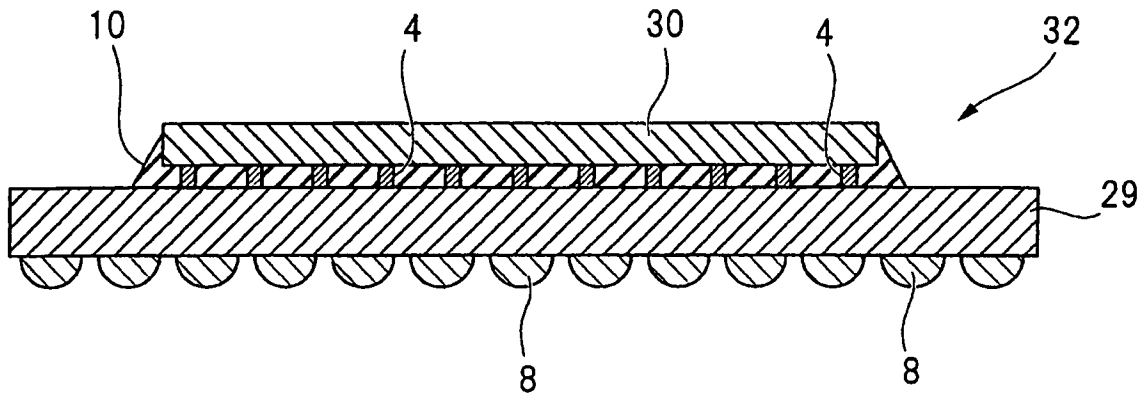


圖 18

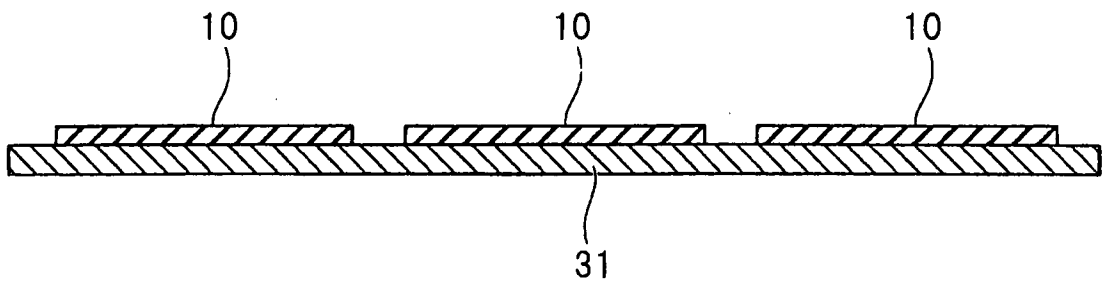


圖 19

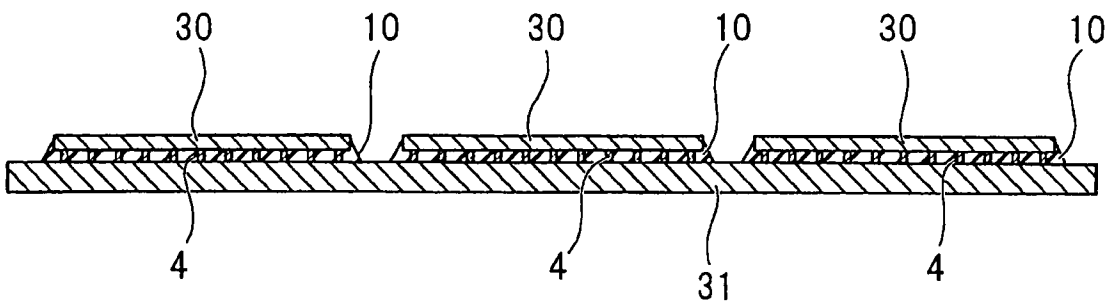


圖 20

