

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-165750

(P2007-165750A)

(43) 公開日 平成19年6月28日(2007.6.28)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 23/52 (2006.01)	HO 1 L 21/88	5 F O 3 3
HO 1 L 21/3205 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号	特願2005-362908 (P2005-362908)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成17年12月16日(2005.12.16)		大阪府門真市大字門真1006番地
		(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		(74) 代理人	100115691 弁理士 藤田 篤史

最終頁に続く

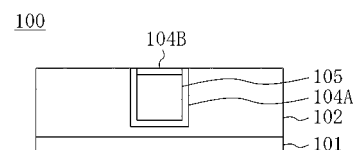
(54) 【発明の名称】 半導体装置及びその製造方法

## (57) 【要約】

【課題】狭配線幅の金属配線における抵抗率の増大を抑制し、半導体装置の動作速度を向上させる。

【解決手段】半導体装置100は、半導体基板101上にシリコン酸化膜102とシリコン酸化膜102に形成された銅配線105とを有している。銅配線105には下面、左側面及び右側面に設けられた第1の強磁性体膜104Aと上面に設けられた第2の強磁性体膜104Bが設けられている。第1の強磁性体膜104A及び第2の強磁性体膜104Bの磁化方向は、同じ向きで且つ銅配線105の延びる方向と一致するように揃えられている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁膜中に形成された金属配線を備えた半導体装置であって、  
前記金属配線における上面及び下面よりなる第 1 の対向面並びに左側面及び右側面よりなる第 2 の対向面のうち少なくとも一方に、磁化方向が前記金属配線の延びる一方向を有する強磁性体膜が設けられていることを特徴とする半導体装置。

## 【請求項 2】

前記第 1 の対向面及び前記第 2 の対向面に磁化方向がすべて等しい前記強磁性体膜が設けられていることを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記金属配線は銅を主成分とすることを特徴とする請求項 1 又は 2 記載の半導体装置。

## 【請求項 4】

前記強磁性体膜は、B、Ce、Co、Cr、Fe、La、Mn、Nd、Ni、Sm若しくはSr、又はこれらの合金、酸化物若しくは窒化物からなることを特徴とする請求項 1 又は 2 記載の半導体装置。

## 【請求項 5】

絶縁膜に配線溝を形成する工程と、  
前記配線溝に、上面及び下面よりなる第 1 の対向面並びに左側面及び右側面よりなる第 2 の対向面のうち少なくとも一方に強磁性体膜が設けられた金属配線を形成する工程と、  
磁化方向が前記金属配線の延びる方向と一致するように前記強磁性体膜に磁界を印加する工程とを備えることを特徴とする半導体装置の製造方法。

## 【請求項 6】

前記強磁性体膜は、スパッタ法又はめっき法を用いて形成されることを特徴とする請求項 5 記載の半導体装置の製造方法。

## 【請求項 7】

前記金属配線は銅を主成分とすることを特徴とする請求項 5 記載の半導体装置の製造方法。

## 【請求項 8】

前記強磁性体膜は、B、Ce、Co、Cr、Fe、La、Mn、Nd、Ni、Sm若しくはSr、又はこれらの合金、酸化物若しくは窒化物からなることを特徴とする請求項 5 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、狭配線幅の金属配線を備えた半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

近年の半導体装置では高集積化を実現するために、配線パターンの微細化及び多層化が進行している。しかし、配線パターンの微細化は配線抵抗の増大を引き起こし、配線パターンの多層化は配線間容量の増加を引き起こしている。配線抵抗が増大する原因は不純物や格子欠陥での静的散乱や、格子振動による動的散乱によって伝導電子の移動が妨げられることにある。このような配線抵抗の増大及び配線間容量の増加は、配線における信号伝達速度の低下を招くことになる。この信号伝達速度の低下が半導体装置の動作の高速化を妨げるので、その対策として、低抵抗の金属配線材料として銅の導入が行われている。

## 【0003】

しかしながら、銅の結晶粒の大きさや配線の断面の一辺の長さが電子の平均自由行程と同じ程度になると、銅の結晶粒界や配線の側壁における電子散乱の影響が顕在化し、抵抗率が増大することが知られている。図 5 は、結晶粒界での電子散乱及び配線側壁での電子

10

20

30

40

50

散乱をパラメータとした銅配線の抵抗率の配線幅依存性を示す図である（例えば、非特許文献1又は2を参照）。図5に示すように、銅配線の配線幅が狭くなるにつれて、配線側壁での散乱及び結晶粒界での散乱による抵抗率が上昇し、配線幅に影響を受けないバルク抵抗率にこれらの抵抗率が加わることがわかる。ここで、配線幅が300nm以上の領域において、配線側壁での散乱による抵抗が見られるが、この実験に用いた配線の厚さが150nmであるために起こる配線幅に平行な面の散乱によるものである。

【非特許文献1】Semiconductor International 7月号 日本語版 (2005)Reed Electronics Group ([http://www.sijapan.com/content/0507vol2/cover/cover\\_0507.html](http://www.sijapan.com/content/0507vol2/cover/cover_0507.html))

【非特許文献2】W.Steinhoegl, G.Schindler, G.Steinlesberger, M.Traving and M.Engelhardt, "Comp-rehenive Study of Copper Wires With Lateral Dimensions of 100nm and Smaller," J.Appl.Phys.,2005,Vol.97,p.023706 10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、配線パターンの微細化が進行し、配線幅が電子の平均自由行程程度になると、配線の抵抗率が増大し、半導体装置の動作の高速化が妨げられるという問題が生じていた。

【0005】

前述の問題に鑑みて、本発明は、配線幅が伝導電子の平均自由行程程度に狭くなった場合でも配線の抵抗率が増大することを抑制し、半導体装置の動作速度を向上させることを目的とする。 20

【課題を解決するための手段】

【0006】

本発明に係る半導体装置は、絶縁膜中に形成された金属配線を備えた半導体装置を対象とし、金属配線において、上面及び下面よりなる第1の一对の対向面並びに左側面又は右側面よりなる第2の一对の対向面のうち少なくとも一方に、磁化方向が金属配線の延びる一方向を有する強磁性体膜が設けられている。

【0007】

この構成とすることにより、金属配線の側壁部分における伝導電子の散乱を抑制することができる。つまり、金属配線は強磁性体膜で挟まれた構成となり、強磁性体膜の磁化方向が互いに同じ向きで且つ金属配線の延びる方向と一致するため、伝導電子のスピンと強磁性体膜のスピンとの相互作用（界面散乱）が小さくなるために抵抗が低くなる（これを巨大磁気抵抗効果という。）。したがって、配線幅が狭くなっても、抵抗率の増加を抑制し、動作速度を向上させることができる。 30

【0008】

また、前述の本発明に係る半導体装置において、第1の対向面及び第2の対向面に磁化方向がすべて等しい強磁性体膜が設けられていることが好ましい。この構成とすることにより、金属配線が延びる方向に対して上下左右全ての面に磁化方向が一方向に揃った強磁性体膜を設けることになるため、金属配線の側壁で生じる抵抗率の上昇を一層抑制することができる。 40

【0009】

また、前述の本発明に係る半導体装置において、金属配線は銅を主成分とすることが好ましい。このように金属配線に低抵抗である金属配線材料として銅を用いることで、抵抗率の上昇をさらに抑制することができる。

【0010】

また、本発明の半導体装置の製造方法は、絶縁膜に配線溝を形成する工程と、配線溝に、上面及び下面よりなる第1の対向面並びに左側面及び右側面よりなる第2の対向面のうち少なくとも一方に強磁性体膜を設けた金属配線を形成する工程と、強磁性体膜の磁化方向が金属配線の延びる方向と一致するように強磁性体膜に磁界を印可する工程を備えている。このような構成とすることにより、強磁性体膜の磁化方向を効率良く揃えることがで 50

きる。

【発明の効果】

【0011】

本発明に係る半導体装置及びその製造方法によると、配線パターンの微細化に伴って顕在化してくる金属配線の抵抗率の上昇を抑制することができ、配線幅が電子の平均自由行程程度になっても、半導体装置の動作速度を向上させることができる。

【発明を実施するための最良の形態】

【0012】

以下に、本発明の一実施形態に係る半導体装置について、図面を用いて説明する。図1は、本実施形態に係る半導体装置の要部断面構造を示している。

10

【0013】

図1に示すように、本実施形態の半導体装置100は、半導体基板101の上に絶縁膜として形成された膜厚が約100nmのシリコン酸化膜102と、シリコン酸化膜102中に形成された、線幅及び厚さが約50nmの銅配線105と、銅配線105の下面、左側面及び右側面に設けられた第1の強磁性体膜104Aと、銅配線105の上面に設けられた第2の強磁性体104Bとを備えている。

【0014】

銅配線105の上面、下面、左側面及び右側面を被覆するように設けられた第1の強磁性体膜104A及び第2の強磁性体膜104Bは、例えば膜厚2nm程度のNd(ネオジウム)からなり、図1の紙面に垂直方向に磁化されており、その磁化方向は全て同じ向きに揃えられている。

20

【0015】

なお、磁化方向は銅配線105が延びる方向と一致していればよく、電流の流れる方向に対して同方向でも反対方向でも構わない。

【0016】

以下に、図2(a)及び図2(b)を用いて、本発明における強磁性体膜の作用について説明する。図2(a)及び図2(b)は、強磁性体膜200と金属配線中の伝導電子201のスピンの相互作用、つまり、強磁性体膜200によって挟まれた金属配線中を伝導電子201が移動する様子を示している。図2(a)は、対向する強磁性体膜200の磁化方向(実線矢印又は破線矢印)が互いに同じ向きで且つ金属配線の延びる方向と一致している場合を示し、図2(b)は、磁化方向が互いに反対向きとなる場合を示している。

30

【0017】

伝導電子と強磁性体膜との相互作用(界面散乱)は、図2(a)及び図2(b)に示すように、強磁性体膜200の磁化方向により大きく異なる(例えば、特開平11-316918号公報を参照)。図2(a)に示すように、磁化方向が互いに一致した強磁性体膜200に挟まれた金属配線中を移動する伝導電子201のスピンは、強磁性体膜200のスピンの相互作用が小さい状態で移動することができる。従って、伝導電子201の抵抗は低くなる。

【0018】

一方、図2(b)に示すように、磁化方向が互いに反対方向である強磁性体膜200に挟まれた金属配線中を移動する伝導電子201のスピンは、強磁性体膜200のスピンの相互作用が大きい状態で移動するので、伝導電子201の抵抗は高くなる。

40

【0019】

仮に、金属配線が強磁性体膜で覆われていない場合は、金属配線中の伝導電子は金属配線側壁と衝突することによって、スピンの制御されていない界面散乱が生じるため、配線幅が狭くなると金属配線の抵抗率が上昇することになる。

【0020】

つまり、本発明は、磁化方向が互いに同じ向きで且つ金属配線の延びる方向と一致している強磁性体膜で金属配線を覆うことにより、伝導電子の抵抗の上昇を抑制することができる。したがって、金属配線幅が狭くなり、伝導電子の平均自由行程程度になった場合に

50

、抵抗率の増加を効果的に抑制することができる。

【0021】

以下、本発明の一実施形態に係る半導体装置の製造方法について図3(a)~図3(f)を参照しながら説明する。ただし、図1と同一構成要素は、同符号を付して説明を省略する。

【0022】

まず、図3(a)に示すように、半導体基板101上に、例えばCVD(Chemical Vapor Deposition)法により、膜厚約100nmのシリコン酸化膜102を形成した後、リソグラフィ法及びドライエッチング法により、配線溝103を形成する。次に、図3(b)に示すように、スパッタ法により、膜厚約2nmのNdよりなる第1の強磁性体膜104Aを堆積する。

10

【0023】

次に、図3(c)に示すように、等方性ドライエッチングやCMP(Chemical Mechanical Polish)法により、第1の強磁性体膜104Aにおける配線溝103の外部に存在する部分を除去して、配線溝103の内部のみ第1の強磁性体膜104Aを形成する。続いて、図3(d)に示すように、配線溝103に、例えば無電解めっき法により、膜厚が約50nmとなるように銅を埋め込んで銅配線105を形成する。なお、銅配線105の形成方法は、例えば、スパッタ法により堆積後、CMPやエッチバックで除去する方法、又は無電解めっき法に代えて電解めっき法等の他の方法で行ってもよい。

【0024】

20

次に、図3(e)に示すように、半導体基板100上の全面に亘って、膜厚約2nmのNdよりなる第2の強磁性体膜104Bをスパッタ法によって堆積する。続いて、図3(f)に示すように、CMPにより、第2の強磁性体膜104Bにおける配線溝103の外部に存在する部分を除去して、配線溝103の内部側のみ第2の強磁性体膜104Bを形成する。

【0025】

これにより、下面、左側面及び右側面が第1の強磁性体膜104Aにより被覆され、且つ、上面が第2の強磁性体膜104Bにより被覆された銅配線105が形成される。

【0026】

なお、第1の強磁性体膜104A及び第2の強磁性体膜104Bの材料としては、Nd(ネオジウム)に代えて、B(ボロン)、Ce(セリウム)、Co(コバルト)、Cr(クロム)、Fe(鉄)、La(ランタン)、Mn(マンガン)、Ni(ニッケル)、Sm(サマリウム)、Sr(ストロンチウム)等及びそれらの合金、酸化物、窒化物を用いてもよい。さらに、例えば、分子磁性体として知られるTTTA(環状チアジラジカル(1,3,5-Trithia-2,4,6-triazapentalenyl))等の有機性材料を用いてもよい。

30

【0027】

ここで、第1の強磁性体膜104A及び第2の強磁性体膜104Bは、スパッタ法により形成されるが、スパッタ法に代えてめっき法を用いて形成してもよい。スパッタ法により形成する場合には、一般的なマグネトロンスパッタ法で行い、銅配線105が延びる方向と一致した向きに、例えば磁束密度が約0.01Tの磁界を印加する。このように磁界を印加することによって、第1の強磁性体膜104A及び第2の強磁性体膜104Bの磁化方向を全て同じ向きに揃えることができるため、銅配線105の上面、下面、左側面及び右側面に形成された第1の強磁性体膜104A及び第2の強磁性体膜104Bは磁化方向が同じ向きに揃うことになる。

40

【0028】

以上のように、非磁性体である銅を主成分とする金属配線の周囲に金属配線の延びる方向と一致させるように磁化方向が揃った強磁性体膜を設けることにより、金属配線の側壁での伝導電子の散乱による抵抗の上昇を抑制することができる。したがって、金属配線の狭配線幅化に伴って生じる半導体装置の動作速度の低減を抑制することができる。

【0029】

50

なお、本実施形態では金属配線として銅配線を用いたが、金属配線の材料は銅に限らず、他の金属材料を用いても構わない。

【0030】

以下に、本発明に係る強磁性体膜による効果について、図4を参照しながら説明する。

【0031】

銅配線中の伝導電子の散乱の性質は、式(1)によって表すことができる(例えば、非特許文献1参照)。

【0032】

【数1】

$$\rho = \rho_0 \left[ 1 + \frac{3}{4} (1 - p) \frac{\lambda}{w} \right] \dots\dots\dots (1)$$

10

【0033】

ここで、 $\rho_0$ はバルク金属配線材料の抵抗率、 $\rho$ は金属配線の抵抗率(任意単位)、 $w$ は配線幅、 $\lambda$ は金属配線中の伝導電子の平均自由行程(銅の場合、室温において $\lambda = 40$  nm)である。 $p$ は配線側壁で伝導電子が弾性散乱される割合で、0と1の間の値をとる。  $p = 1$ の場合、すべての伝導電子が弾性散乱するため、金属配線の側壁への伝導電子の衝突があっても抵抗率は変化しない。つまり、抵抗率は配線幅に依存しない。厳密にいうと、式(1)では、結晶粒径の大きさ、配線構造のアスペクト比が考慮されるべきであるが、本発明の場合、配線側壁での伝導電子の弾性散乱の影響を扱っているため、結晶粒径の大きさ、アスペクト比の影響は省略してある。

20

【0034】

図4は、式(1)で示される金属配線の抵抗率と弾性散乱率及び印加磁束強度との関係を示しており、銅配線における配線幅 $w = 20, 30, 50, 100, 200$  nmそれぞれの場合を比較している。具体的には、弾性散乱率の変化は強磁性体膜の磁化強度に依存するため、磁性体膜材料を磁化するとき印加した磁束密度を図4の横軸の副軸として示し、印加磁束密度を0.1 Tまで変化させた場合の金属配線の抵抗率の変化の配線幅依存性を示している。なお、このときの配線の厚さは、配線幅と等しくしている。

30

【0035】

図4に示すように、例えば、配線幅 $w = 30$  nm(印)の場合、弾性散乱率 $p$ が0.1から1.0に変化(変化分0.9)すると、金属配線の抵抗率 $\rho$ は約2.64から約1.2に変化(変化分1.44)する。つまり、 $p$ が1だけ変化(変化分1.0)するとき、 $\rho$ の変化率は1.6となる。したがって、印加磁束密度を10%増加させる(言い換えると、弾性散乱率 $p$ を10%改善させるため、印加磁束密度を0.01 T増加することにより、抵抗率 $\rho$ (配線側壁散乱による抵抗率)を16%減少させることができる。

【0036】

また、配線幅 $w = 50$  nm(印)の場合、 $p$ が0.9変化すると抵抗率 $\rho$ は0.864に変化する。つまり、 $p$ が1だけ変化するとき、 $\rho$ の変化率は0.96となる。したがって、印加磁束強度を10%増加することにより、抵抗率 $\rho$ を約10%減少させることができる。

40

【0037】

さらに、配線幅 $w = 20$  nm(印)の場合、 $p$ が0.9変化すると抵抗率 $\rho$ は2.16に変化する。つまり、 $p$ が1だけ変化するとき、 $\rho$ の変化率は2.4となる。したがって、印加磁束強度を10%増加することにより、抵抗率 $\rho$ を約25%減少させることができる。

【0038】

50

このように、本発明によると、配線幅が細いときほど、磁界を印加することにより、金属配線の抵抗率を効果的に減少させることができる。

【0039】

ここで、本発明と比較した従来の金属配線の抵抗率と配線幅依存性について、図5を参照しながら説明する。図5に示すように、配線幅30nmの銅配線の抵抗率はほぼ $4\mu\cdot\text{cm}$ であり、このうちバルク抵抗率は $2\mu\cdot\text{cm}$ 、配線側壁散乱による抵抗率は $1\mu\cdot\text{cm}$ 、粒界散乱による抵抗率は約 $1\mu\cdot\text{cm}$ である。一方、本発明によれば、前述したように、線幅30nmの銅配線における配線側壁散乱による抵抗率を16%減少させることができるため、配線側壁散乱による抵抗率 $1\mu\cdot\text{cm}$ を $0.84\mu\cdot\text{cm}$ と抑制することができる。したがって、線幅30nmの銅配線の抵抗率を $4\mu\cdot\text{cm}$ から $3.84\mu\cdot\text{cm}$ に抑制することができる。

【0040】

なお、本実施形態において、配線材料である銅が周辺の絶縁膜へ拡散することを防ぐバリア膜（例えば、タンタル膜、窒化タンタル膜）をさらに備えてもよい。

【0041】

また、本発明は、配線幅が局所的に狭くなる場合、つまり、配線パターンの微細化が進むとパターンのエッジラフネス（パターン端部の凸凹）が配線の幅に対して無視できない大きさとなる場合にも有効である。例えば、配線幅50nmの規格値に対して、局所的に線幅が30nmの部分が形成された場合である。なお、エッジラフネスの発生原因は、リソグラフィ工程とエッチング工程を用いた配線パターン形成時に、光のパターンエッジ近傍周辺からの反射、散乱による光強度の局所ばらつき、現像工程での化学反応のばらつき等と考えられている。

【産業上の利用可能性】

【0042】

本発明は、狭配線幅の金属配線の抵抗率の増大を抑制させ、動作速度を向上させるのに有用である。

【図面の簡単な説明】

【0043】

【図1】本発明の一実施形態に係る半導体装置の要部断面図である。

【図2】本発明の一実施形態に係る半導体装置における金属配線の強磁性体膜の作用を説明する図である。

【図3】本発明の一実施形態に係る半導体装置の製造方法の工程断面図である。

【図4】本発明の一実施形態に係る半導体装置における金属配線の抵抗率と弾性散乱率及び印加磁束強度との関係を示す図である。

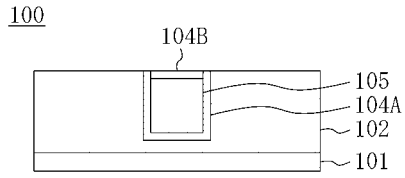
【図5】従来の金属配線の抵抗率の配線幅依存性を示す図である。

【符号の説明】

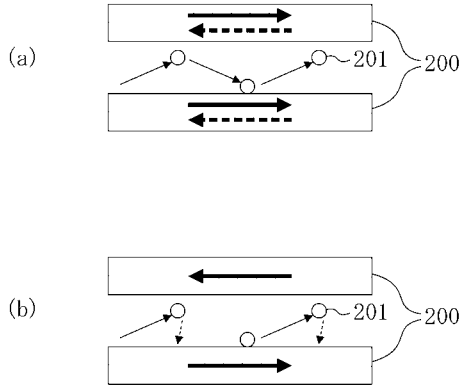
【0044】

- 100 半導体装置
- 101 半導体基板
- 102 シリコン酸化膜
- 103 配線溝
- 104 A 第1の強磁性体膜
- 104 B 第2の強磁性体膜
- 105 銅配線
- 200 強磁性体膜
- 201 伝導電子

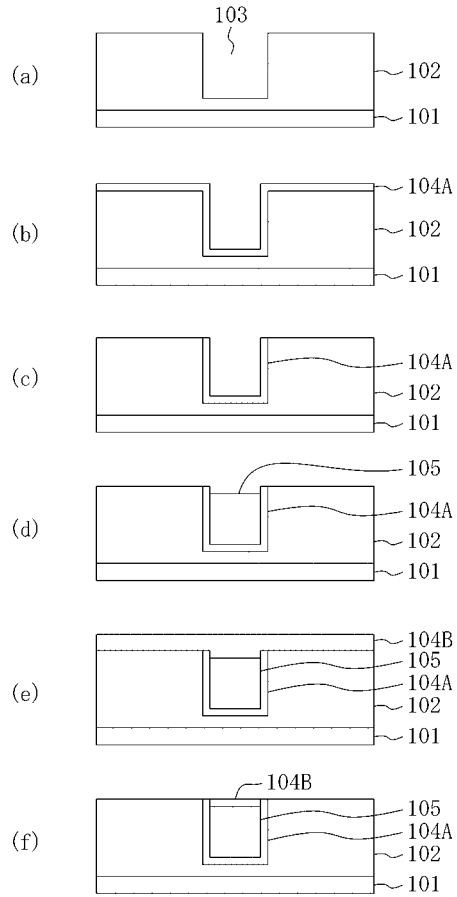
【 図 1 】



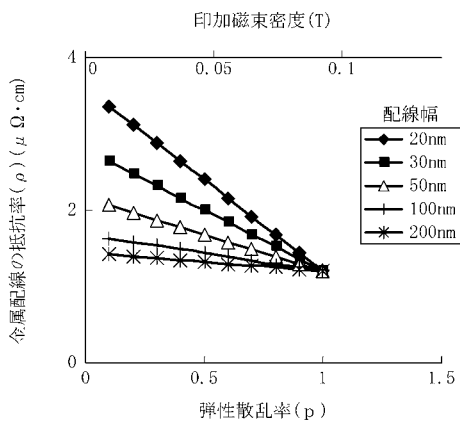
【 図 2 】



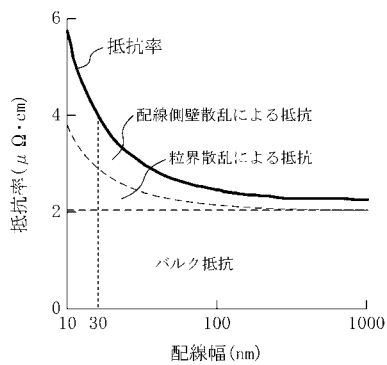
【 図 3 】



【 図 4 】



【 図 5 】





---

フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 藤井 眞治

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5F033 HH00 HH07 HH11 HH15 HH17 HH21 HH31 HH32 MM01 MM05  
MM12 MM13 PP15 PP27 PP28 QQ08 QQ09 QQ11 QQ18 QQ31  
QQ48 RR04 SS11 XX03 XX08