

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3540777号
(P3540777)

(45) 発行日 平成16年7月7日(2004.7.7)

(24) 登録日 平成16年4月2日(2004.4.2)

(51) Int. Cl.⁷

G 1 1 C 16/06

F I

G 1 1 C 17/00 6 3 4 Z

G 1 1 C 17/00 6 3 6 Z

請求項の数 4 (全 18 頁)

(21) 出願番号	特願2001-188486 (P2001-188486)	(73) 特許権者	000003078
(22) 出願日	平成13年6月21日 (2001.6.21)		株式会社東芝
(62) 分割の表示	特願平3-181267の分割		東京都港区芝浦一丁目1番1号
原出願日	平成3年7月22日 (1991.7.22)	(74) 代理人	100058479
(65) 公開番号	特開2001-357689 (P2001-357689A)		弁理士 鈴江 武彦
(43) 公開日	平成13年12月26日 (2001.12.26)	(74) 代理人	100084618
審査請求日	平成13年6月21日 (2001.6.21)		弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

互いに交差する複数本ずつのワード線とビット線が配設され、これらワード線とビット線の各交差部に書替え可能な不揮発性メモリセルが配置されたメモリセルアレイと、前記メモリセルアレイのワード線選択を行う手段と、前記メモリセルアレイのビット線にビット線トランスファゲートを介して接続されたラッチ機能を持つセンスアンプ回路と、前記センスアンプ回路とデータ入出力線との間に接続され、センスアンプ回路の出力を選択する選択ゲートと、前記選択ゲートを制御して、前記メモリセルアレイのビット線選択を行う手段と、前記データ入出力線に接続されたデータ入出力バッファと、複数組のロウアドレスを記憶しておくロウアドレス・ラッチ回路とを備え、前記ロウアドレス・ラッチ回路にラッチされているロウアドレスが順次取り込まれて前記ワード線選択を行う手段に供給され、
かつ、あるロウアドレスにより選択されたワード線により選択されたメモリセルのデータが前記センスアンプ回路にラッチされ、そのデータが前記データ入出力線に読み出されている間に、前記ビット線トランスファゲートはオフにされ、次のロウアドレスにより選択されたワード線により選択されたメモリセルのデータが前記ビット線に読み出されることを特徴とする不揮発性半導体記憶装置。

【請求項2】

ある特定のコラムアドレスで前記ロウアドレス・ラッチ回路にラッチされているロウアドレスが取り込まれて前記ワード線選択を行う手段に供給されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】

互いに交差する複数本ずつのワード線とビット線が配設され、これらワード線とビット線の各交差部に書替え可能な不揮発性メモリセルが配置されたメモリセルアレイと、前記メモリセルアレイのワード線選択を行う手段と、

前記メモリセルアレイのビット線にビット線トランスファゲートを介して接続されたラッチ機能を持つセンスアンプ回路と、

前記センスアンプ回路とデータ入出力線との間に接続され、センスアンプ回路の出力を選択する選択ゲートと、

前記選択ゲートを制御して、前記メモリセルアレイのビット線選択を行う手段と、

前記データ入出力線に接続されたデータ入出力バッファと、

外部ロウアドレスが入力され、前記複数本のワード線を順次選択するための内部ロウアドレスを出力し、前記ワード線選択を行う手段に供給するロウアドレス用シフトレジスタ回路とを備え、

ある内部ロウアドレスにより選択されたワード線により選択されたメモリセルのデータが前記センスアンプ回路にラッチされ、そのデータが前記データ入出力線に読み出されている間に、前記ビット線トランスファゲートはオフにされ、次の内部ロウアドレスにより選択されたワード線により選択されたメモリセルのデータが前記ビット線に読み出されることを特徴とする不揮発性半導体記憶装置。

【請求項4】

互いに交差する複数本ずつのワード線とビット線が配設され、これらワード線とビット線の各交差部に書替え可能な不揮発性メモリセルが配置されたメモリセルアレイと、前記メモリセルアレイのワード線選択を行う手段と、

前記メモリセルアレイのビット線にビット線トランスファゲートを介して接続されたラッチ機能を持つセンスアンプ回路と、

前記センスアンプ回路とデータ入出力線との間に接続され、センスアンプ回路の出力を選択する選択ゲートと、

前記選択ゲートを制御して、前記メモリセルアレイのビット線選択を行う手段と、

前記データ入出力線に接続されたデータ入出力バッファと、

外部ロウアドレスが入力され、前記複数本のワード線を順次選択するための内部ロウアドレスを出力し、前記ワード線選択を行う手段に供給するロウアドレスカウンタとを備え、

ある内部ロウアドレスにより選択されたワード線により選択されたメモリセルのデータが前記センスアンプ回路にラッチされ、そのデータが前記データ入出力線に読み出されている間に、前記ビット線トランスファゲートはオフにされ、次の内部ロウアドレスにより選択されたワード線により選択されたメモリセルのデータが前記ビット線に読み出されることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速読出しが可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

電氣的書替えを可能とした不揮発性半導体記憶装置（EEPROM）の中で高集積化可能なものとして、NANDセル型EEPROMが知られている。一つのメモリセルは基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層されたFETMOS構造を有し、複数個のメモリセルが隣接するもの同士でそのソース、ドレインを共用する形で直列接続されてNANDセルを構成する。

【0003】

10

20

30

40

50

NANDセルの一端側ドレインは選択ゲートを介してビット線に接続され、他端側ソースはやはり選択ゲートを介して共通ソース線に接続される。この様なメモリセルが複数個マトリクス配列されてEEPROMが構成される。メモリセルアレイは通常、n型半導体基板に形成されたp型ウェル内に形成される。

【0004】

このNANDセル型EEPROMの動作は次の通りである。データ書込みは、ビット線から遠い方のメモリセルから順に行う。nチャンネルの場合を説明すると、選択されたメモリセルの制御ゲートには昇圧された書込み電位 V_{pp} (=20V程度)を印加し、これよりビット線側にある非選択メモリセルの制御ゲートおよび選択ゲートには中間電位 V_H (=10V程度)を印加し、ビット線にはデータに応じて0V(例えば“1”)または中間電位(例えば“0”)を印加する。このときビット線の電位は非選択メモリセルを転送されて選択メモリセルのドレインまで伝わる。データ“1”のときは、選択メモリセルの浮遊ゲートとドレイン間に高電界がかかり、ドレインから浮遊ゲートに電子がトンネル注入されてしきい値が正方向に移動する。データ“0”のときはしきい値変化はない。

10

【0005】

データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。すなわち全ての制御ゲート、選択ゲートを0Vとし、p型ウェルおよびn型基板に昇圧された消去電位 V_{ppE} (=20V)を印加する。これにより全てのメモリセルにおいて浮遊ゲートの電子がウェルに放出され、しきい値が負方向に移動する。

【0006】

データ読出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲートおよび選択ゲートを電源電位 V_{cc} (=5V)として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

20

【0007】

この様な従来のNANDセル型EEPROMでは、複数のメモリセルが縦列接続されているため、読出し時のセル電流が小さく、ランダム読出しに時間がかかる問題があった。

【0008】

例えば、8ビット縦列接続でNANDセルを構成した場合、読出し時のセル電流は最悪1 μA となる。読出し時の最悪条件は、NANDセル8ビット中の7ビットが論理“0”のメモリセル(しきい値電圧が0.5V以上3.5V以下)で、読出す1ビットが論理“1”のメモリセル(しきい値電圧が-0.5V以下)の場合である。

30

【0009】

4Mビットレベルでは、ビット線1本当当たりの容量は約0.5pFであるため、ビット線を5Vのプリチャージ電位から0Vまで放電するのに要する時間は、

$$5V \times 0.5 [pF] / 1 [\mu A] = 2.5 [\mu sec]$$

となる。

【0010】

また、ワード線に多結晶シリコン膜を用いると、ワード線の選択に長い時間が必要となる。

【0011】

例えば、多結晶シリコン膜のシート抵抗を50 Ω / とすると、ワード線の幅は0.7 μm 、長さは3.5mmであるため、1本のワード線の抵抗は250k Ω となる。また1本のワード線の容量は、4pFであるためワード線の時定数は集中定数で1 μsec となる。

40

【0012】

従って、従来のNANDセル型EEPROMでは、ランダム読出しに最低3.5 μsec かかっていた。

【0013】

ワード線にシリサイドを用いて、ワード線の選択時間を現在の1 μsec から100nsecと短くしても、依然として小さなセル電流による読出し時間は変化せず、最低2.5 μsec はかかる見積もりになる。

50

【 0 0 1 4 】

一方、従来の NANDセル型 EEPROM では、各ビット線には、ラッチ回路を兼ねたセンスアンプ回路がある。このセンスアンプ兼ラッチ回路にデータが取込まれると、カラムアドレスの切換えにより、連続的なカラム読出しが可能となっている。このカラム読出しに要する時間は 1 0 0 nsec と短い。

【 0 0 1 5 】

従って、従来の NANDセル型 EEPROM では、ランダム読出しがカラム読出しの 3 5 倍も時間がかかるという問題があった。

【 0 0 1 6 】

また最近、EEPROM の用途として、例えばフレキシブルディスクとの置換えや、固体電子カメラのフィルム用の記憶媒体としての用途が広がりつつある。このような用途では、その読出しにおいて、1 ビット単位のランダムな読出しは行なわれず、1 ブロック、1 セクター単位の連続読出しが行なわれる。

【 0 0 1 7 】

例えば、ワード線 1 本当たり、4 kbit のメモリセルが選択され、1 ブロックがワード線 8 本、すなわち 3 2 kbit のメモリセルで構成されている場合、従来の NAND型 EEPROM では、ワード線が切換わるたびに、3 . 5 μsec の無駄時間があるため、円滑な連続読出しが妨げられるという問題があった。

【 0 0 1 8 】

同様のことは、NANDセル型 EEPROM に限らず、高集積化によってワード線抵抗の増大およびビット線容量の増大が進み、セル電流が小さくなると、他の EEPROM 等において問題になる。

【 0 0 1 9 】

【 発明が解決しようとする課題 】

以上のように従来の EEPROM では、ワード線の切替え時に無駄な時間が入り、とくにランダム読出しやブロック読出しの高速性が損なわれるという問題があった。

【 0 0 2 0 】

本発明は、この様な点に鑑みなされたもので、ワード線の切替え時に発生する無駄時間を無視できる程小さくして、円滑な高速読出しを可能とした不揮発性半導体記憶装置を提供することを目的とする。

【 0 0 2 1 】

【 課題を解決するための手段 】

本発明に係る不揮発性半導体記憶装置では、各ビット線に設けられたラッチ機能を有するセンスアンプ回路に記憶されているあるワード線で選択されたメモリセルのデータに関してカラム読出しを行なっている間に、ビット線とセンスアンプ回路の間をビット線トランスファゲートにより遮断し、次のワード線で選択されるメモリセルのデータのビット線への読出しを同時に行なうタイミング制御手段を設けたことを特徴とする。

【 0 0 2 2 】

本発明によれば、ワード線の切替え時に生じるワード線選択とメモリセルデータのビット線への読出しに要する時間が、カラム読出し時間内に取り込まれるために、外部的には無駄時間とならず、結果的に円滑な高速読出しが可能になる。

【 0 0 2 3 】

例えば、ワード線 1 本当たり 4 kbit のメモリセルが接続され、1 ブロックがワード線 8 本、すなわち 3 2 kbit のメモリセルで構成されている場合、従来の NAND型 EEPROM では、ワード線が切換わるたびに、3 . 5 μsec の無駄時間が入るので、1 ブロック分の読み出し時間が、

$$(3 . 5 [\mu \text{sec}] + 1 0 0 [\text{nsec}] \times 4095) \times 8 = 3 3 0 4 [\mu \text{sec}]$$

となる。

【 0 0 2 4 】

これに対して本発明では、ワード線の切替え時に発生する無駄時間が必要なくなり、これ

10

20

30

40

50

に代って例えば、カラム読出し時間 1 0 0 [n sec] のダミーサイクルを挿入すればよく、1 ブロックの読出し時間は、

$$\begin{aligned} & 3 \cdot 5 [\mu \text{ sec}] + 1 0 0 [\text{ n sec}] \times 4095 \\ & + (1 0 0 [\text{ n sec}] + 1 0 0 [\text{ n sec}] \times 4095) \times 7 \\ & = 3 2 8 0 \cdot 9 [\mu \text{ sec}] \end{aligned}$$

となる。

【 0 0 2 5 】

したがって本発明によれば、高速の連続読出しが可能となる。

【 0 0 2 6 】

【 発明の実施の形態 】

本発明の実施の形態を図面を用いて、以下に具体的に説明する。

【 0 0 2 7 】

図 1 は、本発明の一実施形態の不揮発性半導体記憶装置のブロック構成であり、図 2 はそのメモリセルアレイ構成を示し、図 3 は同じくセンスアンプ回路部の構成を示している。

【 0 0 2 8 】

図 1 において、1 は不揮発性メモリセルを配列したメモリセルアレイ、2 はワード線選択を行うロウデコーダ、3 はデータラッチ機能を有するセンスアンプ回路、4 はビット線選択を行うカラムデコーダ、5 , 6 はそれぞれ外部アドレスを取り込むロウアドレス・バッファ、カラムアドレス・バッファ、7 はデータ入出力線 I O , / I O を介してセンスアンプ回路 3 と接続される I / O センスアンプ回路、8 はデータ出力バッファ、9 はデータ入 20
力バッファ、1 0 はチップ・イネーブル / C E , アウトプット・イネーブル / O E , ライト・イネーブル / W E 等の外部制御信号により内部回路のタイミング制御クロックを発生する論理制御回路である。

【 0 0 2 9 】

メモリセルアレイ 1 は、図 2 に示すように、複数本のワード線 $W L i$ ($i = 0 , , 1 , \dots , m$) とこれと交差する複数本のビット線 $B L j$ ($j = 0 , 1 , \dots , n$) が配設され、これらの各交差部に、ワード線 $W L i$ によって選択されてビット線 $B L j$ との間でデータの授受が行われる不揮発性メモリセル $M C i j$ が配置されて構成されている。メモリセル $M C i j$ は例えば、F E T M O S 構造を有する E E P R O M セルである。各ビット線 $B L j$ には、読出し時にこれを読出し電位 $V R$ にプリチャージするための P M O S トランジスタ $Q j 1$ 30
が設けられている。

【 0 0 3 0 】

ビット線 $B L j$ は、図 3 に示すように、それぞれ N M O S トランジスタからなるビット線トランスファゲート $Q j 2$ を介してビット線センスアンプ $S A j$ に接続されている。センスアンプ $S A j$ は、カラムデコーダ 4 により選択されるカラム選択線 $C S L j$ によって制御される N M O S トランジスタからなるカラム選択ゲート $Q j 3 , Q j 4$ を介してデータ入出力線 I O , / I O に接続されている。

【 0 0 3 1 】

図 4 ないし図 6 は、この実施の形態の不揮発性半導体記憶装置の読出し動作を示すタイミング図である。 40

【 0 0 3 2 】

チップイネーブル / C E が “ H ” レベルから “ L ” レベルになり、チップ外部入力のロウアドレス、カラムアドレスがチップ内部に取り込まれると、読出し動作が始まる (時刻 $t 0$) 。

【 0 0 3 3 】

まず、ビット線 $B L j$ をプリチャージする制御信号 $P R E B$ が $V c c$ から $V s s$ になり (時刻 $t 1$) 、これにより P M O S トランジスタ $Q j 1$ がオンになって、ビット線 $B L j$ が $V R$ ままでプリチャージされる。プリチャージ後、制御信号 $P R E B$ は再び、 $V s s$ から $V c c$ になり、P M O S トランジスタ $Q j 1$ がオフになって、ビット線 $B L j$ は $V R$ 電位でフローティング状態になる。 50

【 0 0 3 4 】

次に、ロウアドレスによって選択されたワード線 $W L 0$ が V_{ss} から "H" レベル電位 V_H になり (時刻 t_2)、このワード線 $W L 0$ により選ばれたメモリセル $M C 0j$ のデータがそれぞれビット線 $B L j$ に読み出される。この場合、メモリセルのトランジスタのしきい値電圧を論理 "0" で $5V$ 以上 (例えば $6V$)、論理 "1" で $5V$ 未満 (例えば $4V$) と設定しておけば、論理 "0" のメモリセルデータが読み出されているビット線は、 V_R 電位を保ち、一方、論理 "1" のメモリセルデータが読み出されているビット線は V_R 電位から放電される。

【 0 0 3 5 】

論理 "1" のメモリセルデータが読み出されているビット線の電位が、センスアンプ $S A j$ の回路しきい値よりも低くなった時点 (時刻 t_3) で、ビット線トランスファゲートの制御信号 $T G$ が V_{ss} から V_{cc} になり、ビット線データがセンスアンプ $S A j$ に伝達される。 10

【 0 0 3 6 】

その後、ワード線 $W L 0$ 、ビット線トランスファゲート制御信号 $T G$ は V_{cc} から V_{ss} に戻る (時刻 t_5)。このタイミング t_5 は、ビット線の情報が伝達されたセンスアンプ $S A j$ がセンス動作中でも良いし、センス動作が終了した後も良い。また、ワード線 $W L 0$ とビット線トランスファゲート制御信号 $T G$ のうちどちらかを先行させて、 V_{cc} から V_{ss} に戻しても良い。

【 0 0 3 7 】

カラムアドレスによって選択されたカラム選択線 $C S L 0$ が V_{ss} から V_{cc} になると (時刻 t_4)、センスアンプ $S A 0$ に読み出されてラッチされているデータが入出力線 $I 0$ 、 $/ I 0$ に伝達され、入出線センスアンプ回路 7、データ出力バッファ 8 を介して出力される。カラムアドレスが変化すると、カラムアドレス遷移検知回路がそれを検知し、次のカラム選択線 $C S L 1$ が選択され (時刻 t_7)、センスアンプ $S A 1$ に読み出されているデータが出力される。 20

【 0 0 3 8 】

こうして、順次センスアンプ $S A 0$ から $S A n$ に記憶されているデータが読み出されていくが、このカラム読み出し動作が続いている間に、ロウアドレスが変化すると、それをロウアドレス遷移検知回路が検知してビット線プリチャージ信号 $P R E B$ が V_{cc} から V_{ss} になり、ビット線 $B L j$ が再び V_R まで充電される (時刻 t_6)。ビット線充電後、制御信号 $P R E B$ は再び V_{cc} から V_{ss} になり、ビット線 $B L j$ は V_R 電位でフローティング状態になって、ロウアドレスによって選択された次のワード線 $W L 1$ が V_{ss} から V_H になり (時刻 t_8)、メモリセル $M C 1j$ のデータがビット線 $B L j$ に読み出される。 30

【 0 0 3 9 】

このワード線の切替えによるメモリセルデータのビット線への読み出しは、ビット線トランスファゲート $Q j 2$ がすでに時刻 t_5 でオフになっているため、センスアンプ $S A j$ から入出力線 $I 0$ 、 $/ I 0$ へのデータ転送と同時進行の形で支障なく行われる。

【 0 0 4 0 】

n 番目のカラムアドレスにより、カラム選択線 $C S L n$ が選択され (時刻 t_9)、センスアンプ $S A n$ の記憶データが出力された後、センスアンプ・リセット信号 $R E S E T B$ が V_{cc} から V_{ss} になる (時刻 t_{10})。これにより、ワード線 $W L 0$ で選択されたメモリセル $M C 0j$ のデータが記憶されているセンスアンプ $S A j$ がすべてリセットされる。 40

【 0 0 4 1 】

次にセンスアンプ・リセット信号 $R E S E T B$ が V_{ss} から V_{cc} に戻り、ビット線トランスファゲート制御信号 $T G$ が V_{ss} から V_{ss} になると (時刻 t_{11})、ワード線 $W L 1$ で選択されたメモリセル $M C 1j$ のデータが読み出されているビット線 $B L j$ がセンスアンプ $S A j$ に接続され、ビット線データがセンスアンプ $S A j$ に伝達される。

【 0 0 4 2 】

その後、先のカラム読み出しと同様に、カラム選択線 $C S L j$ が順次選択され (時刻 t_{12} , t_{14} , ...)、センスアンプ $S A j$ の記憶データが順次読み出される。その間、ワード線 $W L$ 50

1 およびビット線トランスファゲート制御信号 T G が V_{ss}に戻り（時刻 t 13）、さらにロウアドレスが変化すると、次のワード線 W L 2 が選択される（時刻 t 15）という過程が繰り返えし行なわれる。

【 0 0 4 3 】

なお、センスアンプ S A_j の記憶データが順次読出されている間に、次のロウアドレスが取り込まれるタイミングは、ロウアドレスの変化を検知し、ビット線がプリチャージされ、ワード線が選択され、メモリセルのデータがビット線に読出され、論理“ 1 ”のビット線の電位がセンスアンプの回路しきい値よりも低下するまでの過程が、カラム選択線 C S L_n が選択されるまでに終了するようなタイミングで行なわれる。

【 0 0 4 4 】

最後のロウアドレスが取り込まれ、ワード線 W L_m によって選択されるメモリセル M C_{mj} のデータが読出され、チップイネーブル C E が“ L ”レベルから“ H ”レベルに戻ると（時刻 t 16）、読出し動作が終了する。

【 0 0 4 5 】

図 7 は、より具体的に本発明を N A N D セル型 E E P R O M に適用した実施の形態のメモリセルアレイの構成であり、図 8 は同じくセンスアンプ回路部の構成である。

【 0 0 4 6 】

メモリセルアレイは、図 7 に示すように、7 個のメモリセルが隣接するもの同士でソース、ドレインを共用する形で直列接続されて N A N D セルを構成している。N A N D セルの一端部のドレインは選択ゲートを介してビット線 B L に接続され、他端部のソースはやはり選択ゲートを介して共通ソース線に接続されている。

【 0 0 4 7 】

ビット線センスアンプ回路 S A_j は、図 8 に示すように、クロック同期型の 2 個の C M O S インバータ I N V 1 , I N V 2 を用いて構成されている。

【 0 0 4 8 】

なおビット線センスアンプ回路は、1 ビット線に 1 個ではなく、例えば図 9 に示すように、複数のビット線に 1 個設けられる所謂共有センスアンプ方式とすることもできる。

【 0 0 4 9 】

図 1 0 ないし図 1 2 は、この実施の形態の N A N D セル型 E E P R O M の読出し動作を示すタイミング図である。

【 0 0 5 0 】

チップイネーブル / C E が“ H ”レベルから“ L ”レベルになり、チップ外部入力のロウアドレス、カラムアドレスがチップ内部に取り込まれると、読出し動作が始まる。ビット線をプリチャージする制御信号 P R E B が V_{cc}から V_{ss}になり、P M O S トランジスタ Q_{j1} がオンになって、ビット線 B L_j がプリチャージされる。ビット線プリチャージ後、制御信号 P R E B は再び V_{cc}から V_{ss}になり、ビット線 B L_j は電位 V_R のフローティング状態となる。そしてロウアドレスによって選択されたワード線 W L 00 が V_{ss}を保ち、同じ N A N D セル内の他のワード線 W L 01 ~ W L 07、およびドレイン側、ソース側の選択ゲート線 S G D 0 , S G S 0 が V_{ss}から V_{cc}になって、選択ワード線 W L 00 に沿うメモリセル M C 000 ~ M C n00 のデータがビット線 B L_j に読出される。

【 0 0 5 1 】

メモリセルのしきい値電圧を例えば、論理“ 0 ”で 0 . 5 V ~ 3 . 5 V、論理“ 1 ”で - 0 . 5 V 以下に設定しておけば、論理“ 0 ”のメモリセルデータが読出されているビット線は、V_Rを保ち、論理“ 1 ”のメモリセルデータが読出されてるビット線は放電される。論理“ 1 ”のメモリセルデータが読出されているビット線の電位がセンスアンプ S A_j の回路しきい値よりも低くなった時点で、ビット線トランスファゲートの制御信号 T G が V_{ss}から V_{cc}になり、ビット線データがセンスアンプ S A_j に伝達される。

【 0 0 5 2 】

その後、ワード線 W L 01 ~ W L 07 および選択ゲート線 S G D 0 , S G S 0、ビット線トランスファゲート制御信号 T G が V_{cc}から V_{ss}に戻るが、そのタイミングは、ビット線の情

10

20

30

40

50

報が伝達されたセンスアンプ $S A_j$ がセンス動作中でも良いし、センス動作が終了した後でも良い。また、ワード線および選択ゲート線とビット線トランスファゲート制御信号 $T G$ のうち、どちらかを先行させて V_{cc} から V_{ss} に戻しても良い。

【0053】

次に、カラムアドレスによって選択されたカラム選択線 $C S L_0$ が V_{ss} から V_{cc} になり、センスアンプ $S A_0$ に読出されているデータが入出力線 I_0 , $/ I_0$ 線に伝達され、入出力線センスアンプ回路、データ出力バッファを介して出力される。

【0054】

カラムアドレスが変化すると、カラムアドレス遷移検知回路がそれを検知して次のカラム選択線 $C S L_1$ が選択され、センスアンプ $S A_1$ にラッチされているデータが出力される。

10

【0055】

こうして、順次センスアンプ回路 $S A_0$ から $S A_n$ に記憶されているデータが、読出されていくが、それと同時に、ロウアドレスが変化すると、それをロウアドレス遷移検知回路が検知し、ビット線プリチャージ信号 $P R E B$ が V_{cc} から V_{ss} になり、ビット線 $B L_j$ を再び V_R まで充電する。充電後、制御信号 $P R E B$ は再び V_{cc} から V_{ss} になり、ビット線 $B L_j$ がプリチャージされる。そしてロウアドレスによって選択された次のワード線 $W L_{01}$ が V_{ss} を保ち、同じ $N A N D$ セル内の残りのワード線および選択ゲート線が V_{ss} から V_{cc} になりワード線 $W L_{01}$ に沿うメモリセルのデータがビット線 $B L_j$ に読出される。

【0056】

20

n 番目のカラムアドレスにより、カラム選択線 $C S L_n$ が選択され、センスアンプ $S A_n$ の記憶データが出力された後に、センスアンプ・リセット信号 $R E S E T B$ が V_{cc} から V_{ss} になり、メモリセル・データが記憶されているセンスアンプ $S A_j$ がリセットされる。センスアンプ・リセット信号 $R E S E T B$ が V_{ss} から V_{cc} に戻り、ビット線トランスファゲート制御信号 $T G$ が V_{ss} から V_{cc} になると、選択ワード線 $W L_{01}$ に沿うメモリセルのデータが読出されているビット線 $B L_j$ がセンスアンプ $S A_j$ に接続され、ビット線に読出されているデータがセンスアンプに伝達される。

【0057】

その後、カラム選択線 $C S L_j$ が順次選択され、センスアンプ $S A_j$ の記憶データが順次読出される。このカラム読出しが行われている間に、ロウアドレスが変化し、同様の過程

30

【0058】

最後のロウアドレスが取り込まれ、ワード線 $W L_{07}$ によって選択されるメモリセルのデータが読出され、チップイネーブル $/ C E$ が “ L ” レベルから “ H ” レベルに戻ると、読出し動作が終了する。

【0059】

以上のようにして本発明によれば、ビット線センスアンプ回路にラッチされているデータが入出力線に読み出されている間、ビット線とセンスアンプ回路の間はビット線トランスファゲートにより切り離されて、次に選択されたワード線によりメモリセル・データがビット線に読み出されるという動作が繰り返される。

40

【0060】

なお、本発明においては、以上に説明した連続読出し以外に通常のランダム読出しや、ページ・モード、スタティックカラムモードなど、ページ（ワード線方向）に関してランダムな読出しも可能である。したがって、連続読出しモードと通常読出しモードとの切換えに、チップ外部から入力される制御信号 $/ S C A N$ を用いても良い。

【0061】

この外部制御信号 $/ S C A N$ は、図 1 に示すように論理制御回路 10 に入り、これにより、連続読出しモードと通常読出しモードが切り替えられる。

【0062】

図 13 は、この様な切り替え制御信号 $/ S C A N$ を用いた実施の形態の読出し動作を示す

50

タイミング図である。制御信号 / S C A N が “ H ” レベルから “ L ” レベルになり、チップ・イネーブル / C E が “ H ” レベルから “ L ” レベルになると連続読出しモードになり、ランダムなロウアドレス j_7, k_5, \dots, s_3 が取込まれ、各ロウアドレスに対してコラムアドレスに 0 から n まで連続的に取込まれる。

【 0 0 6 3 】

図 1 3 (a) のようにランダムにロウアドレスが入力されると、メモリセルの読出される順番は図 1 3 (b) のようになる。

【 0 0 6 4 】

また、コラムアドレスの入力の際に、図 1 3 (c) に示すように、第 n 番目と第 0 番目の間にダミーサイクルを 1 パルス入力しても良い。このダミーサイクル中に、前のデータが記憶されているセンスアンプ回路がリセットされ、ビット線に読出されている次のメモリセルのデータがセンスアンプに転送される過程が行なわれる。

【 0 0 6 5 】

図 1 4 は、コラムアドレスカウンタ 1 1 を設けて、これに切り替え制御信号 / S C A N を入力するようにした実施の形態である。

【 0 0 6 6 】

連続読出しモードの時は、外部入力のコラムアドレスではなく、制御信号 / S C A N を図 1 5 (a) に示すようにトグルさせることにより、コラムアドレス・カウンタ 1 1 により内部コラムアドレスを順次発生させる。この場合も、図 1 5 (b) に示すように、コラムアドレスの n 番目と 0 番目の間に / S C A N を 1 パルスダミーサイクルとして入力するシステムにしてもよい。

【 0 0 6 7 】

図 1 6 は、更に複数組のロウアドレスを記憶しておくロウアドレス・ラッチ回路 1 2 を設けた実施の形態である。ロウアドレス・ラッチ回路 1 2 は、コラムアドレス・カウンタ 1 1 の出力により制御されて、ある特定のコラムアドレスでラッチされているロウアドレスが取り込まれる。

【 0 0 6 8 】

すなわち図 1 9 (a) に示すように、特定の内部コラムアドレス、図の場合 1 番目のコラムアドレスが出力されると、ロウアドレスラッチ回路 1 2 に記憶されているロウアドレスが出力される。

【 0 0 6 9 】

図 1 7 は、ある特定のコラムアドレスを外部入力とした場合で、この場合も本発明は有効である。

【 0 0 7 0 】

さらに第 1 8 図に示すように、N A N D 列で縦列接続されたメモリセル数と同ビット数のシフトレジスタ回路 1 3 を設けても良い。この場合、例えば、ワード線 W L 00 ~ W L 07 の N A N D セル列が選択されると、図 1 9 (b) に示すように、1 ブロック分 $(n+1) \times 8$ ビットのデータが連続的に読出される。

【 0 0 7 1 】

また、シフトレジスタを用いているため、入力ロウアドレスで指定された先頭ワード線が W L 01 の場合でも、ワード線 W L 07 の選択後、ワード線 W L 00 に戻り、指定された N A N D 列の全ワード線に関してのデータを連続的に読出すことが可能である。

【 0 0 7 2 】

また、図 2 0 に示したように、ロウアドレスカウンタ 1 4 もチップ内部に設け、ロウアドレスカウンタ 1 4 の最大ビット数に相当するワード線、若しくは、全ワード線に関するメモリセルのデータを連続的に読出すようにした場合でも本発明は有効である。

【 0 0 7 3 】

また、連続読出しモードの切換えは、連続読出し用の制御信号 / S C A N を用いずに、図 2 1 に示したようにライトイネーブル / W E とデータ入力 D i n より入力されるデータをコマンドとして制御するように構成することもできる。このようなコマンド方式は少なくとも

10

20

30

40

50

も2ビット以上の多ビット構成の場合、特に有効となる。

【0074】

なお以上では、連続読出しのためのタイミング制御回路の具体構成を示さなかったが、これを示せば、図22のようになる。チップイネーブル/CEが“L”レベル状態でチップ外部のロウアドレスRow Add. が変化すると、これがロウアドレスバッファによりチップ内部に取り込まれ、ロウアドレス遷移検知回路21によってロウアドレス検知パルスが発生される。このパルスを受けて、ビット線プリチャージ回路22が作動してビット線BLがプリチャージされる。充電後、ビット線BLはフローティング状態になり、ロウデコーダ/ワード線ドライバ23によりワード線WLが選択される。

【0075】

メモリセル・データがビット線BLを介してビット線センスアンプBL・S/Aに伝達されると、ワード線WLがリセットされ、ビット線トランスファゲートTGがトランスファゲートドライバ24の出力により非導通状態になる。

【0076】

次に、カラム選択線CSL0が選択され、ビット線センスアンプBL・S/A0に読み出されているデータが入出力線I/O, I/OBに伝達され、入出力線センスアンプI/O・S/A、データ出力バッファを介して出力される。

【0077】

次に、カラムアドレスCol. Add. が変化すると、カラムアドレス遷移検知回路25がこれを検知してパルスを発生し、これによって制御されるカラムデコーダ/カラム選択線ドライバ26によって次のカラム選択線CSL1が選択され、ビット線センスアンプBL・S/A1に読み出されているデータが出力される。

【0078】

こうして順次ビット線センスアンプBL・S/A0からBL・S/Anに記憶されているデータが読み出されるが、それと同時に次のロウアドレスRow Add. が変化すると、これをロウアドレス遷移検知回路21が検知してパルスを発生する。このパルスを受けて、ビット線プリチャージ回路22が作動してビット線BLが再度プリチャージされる。充電後、ビット線BLはフローティング状態になり、ロウデコーダ/ワード線ドライバ23によりワード線WLが選択される。

【0079】

その後、n番目のカラムアドレスによりカラム選択線CSLnが選択され、ビット線センスアンプBL・S/Anのデータが読み出された後、リセット信号ドライバ27から得られるビット線センスアンプリセット信号RESETBによりビット線センスアンプBL・S/A0～S/Anがリセットされる。

【0080】

ビット線センスアンプリセット信号RESETBが元に戻り、下記ドライバ24によりビット線トランスファゲートが導通状態になると、メモリセルデータを読み出しているビット線BLがビット線センスアンプに接続される。

【0081】

その後、カラム選択線CSL0～CSLnが順次選択され、ビット線センスアンプBL・S/A0～S/Anのデータが順次読み出される。このカラム読出しの間にさらに次のロウアドレスRow Add. が変化して、上記と同様の過程が繰り返される。

【0082】

【発明の効果】

以上述べてきたように本発明による不揮発性半導体記憶装置では、連続読出し動作において、ワード線切替え時に要した無駄時間がなくなり、アドレスで指定されたNAND列1ブロック分や全ワード線に関してのメモリセルのデータが円滑に連続読出し可能となる。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体記憶装置の構成を示す図。

【図2】同実施形態のメモリセルアレイの構成を示す図。

10

20

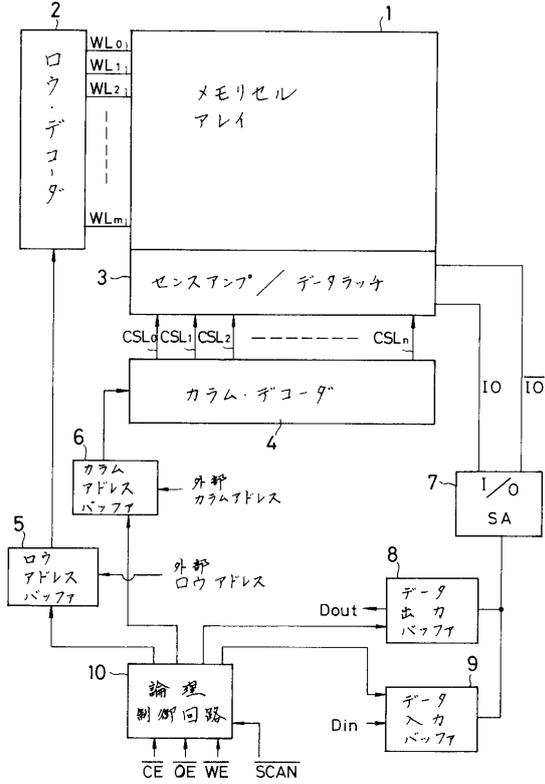
30

40

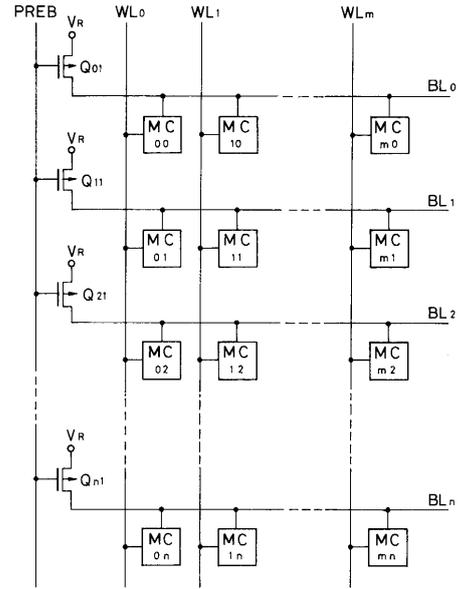
50

- 【図 3】同実施形態のセンスアンプ部の構成を示す図。
- 【図 4】同実施形態の連続読出し動作を示すタイミング図。
- 【図 5】同実施形態の連続読出し動作を示すタイミング図。
- 【図 6】同実施形態の連続読出し動作を示すタイミング図。
- 【図 7】NANDセル型EEPROMに適用した実施の形態のメモリセルアレイ構成を示す図。
- 【図 8】同実施形態のセンスアンプの具体的構成例を示す図。
- 【図 9】共有センスアンプ方式を示す図。
- 【図 10】同実施形態の連続読出し動作を説明するためのタイミング図。
- 【図 11】同実施形態の連続読出し動作を説明するためのタイミング図。 10
- 【図 12】同実施形態の連続読出し動作を説明するためのタイミング図。
- 【図 13】連続読出し制御信号/SCANを用いた実施の形態の入力タイミング図。
- 【図 14】カラムアドレスカウンタを内蔵した実施の形態の構成を示す図。
- 【図 15】同実施形態の動作を説明するためのタイミング図。
- 【図 16】ロウアドレスラッチ回路を内蔵した実施の形態の構成を示す図。
- 【図 17】図 16 でカラムアドレスを外部入力とした実施の形態の構成を示す図。
- 【図 18】ロウアドレスシフトレジスタを内蔵した実施の形態の構成を示す図。
- 【図 19】図 16 および図 18 の実施の形態の連続読出し動作を説明するための図。
- 【図 20】ロウアドレスカウンタを内蔵した実施の形態の構成を示す図。
- 【図 21】読出しモード切替えの別の方法を説明するための図。 20
- 【図 22】本発明でのタイミング制御回路の構成例を示す図。
- 【符号の説明】
- 1 ...メモリセルアレイ、
 - 2 ...ロウデコーダ、
 - 3 ...センスアンプ/データラッチ、
 - 4 ...カラムデコーダ、
 - 5 ...ロウアドレスバッファ、
 - 6 ...カラムアドレスバッファ、
 - 7 ...I/Oセンスアンプ、
 - 8 ...データ出力バッファ、
 - 9 ...データ入力バッファ、
 - 10 ...論理制御回路、
 - 11 ...カラムアドレスカウンタ、
 - 12 ...ロウアドレスラッチ、
 - 13 ...シフトレジスタ。
- 30

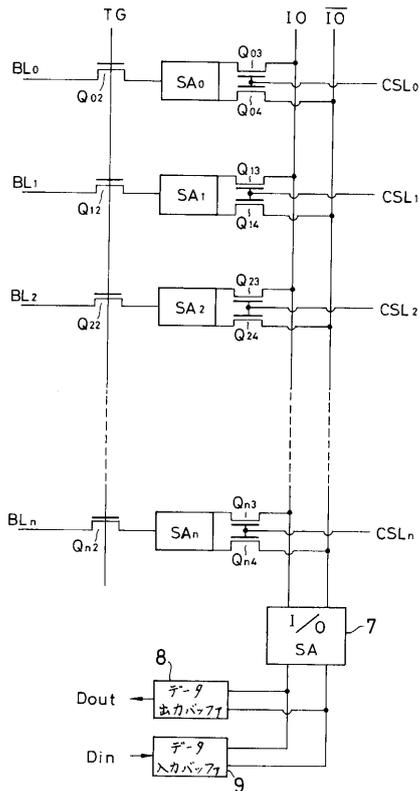
【図1】



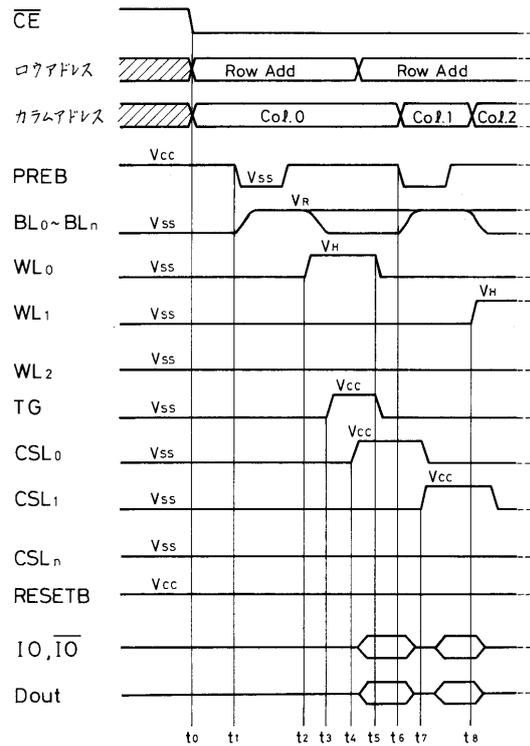
【図2】



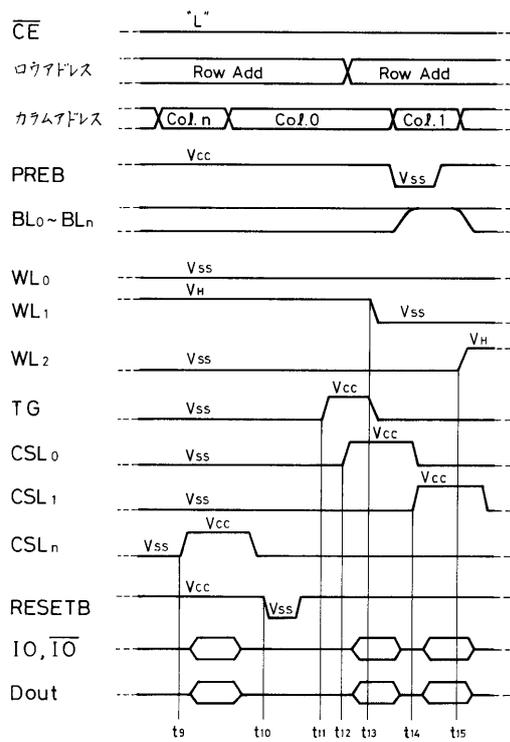
【図3】



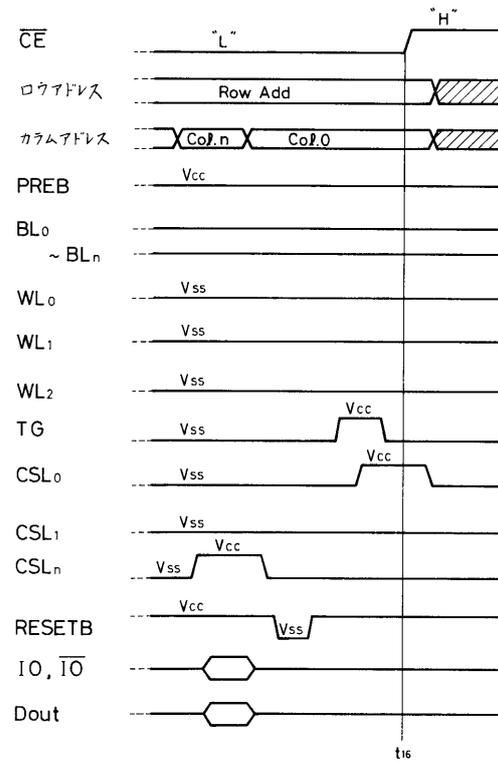
【図4】



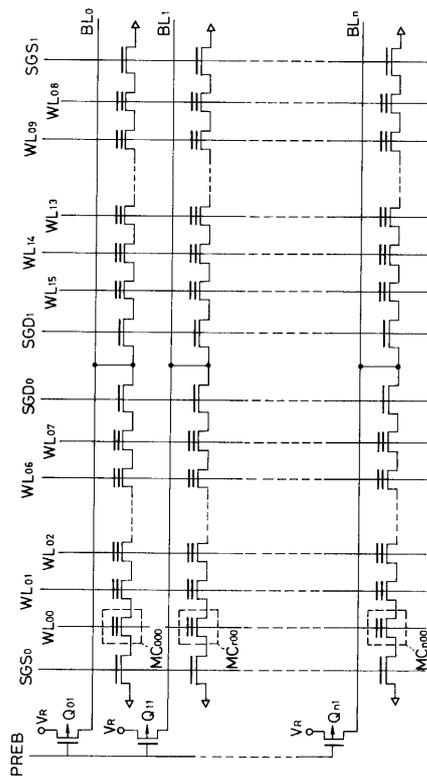
【図5】



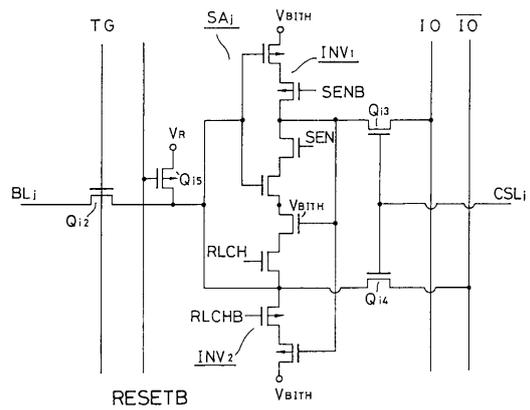
【図6】



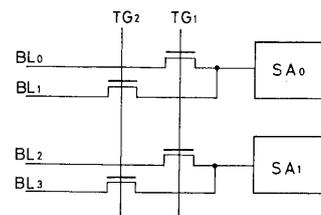
【図7】



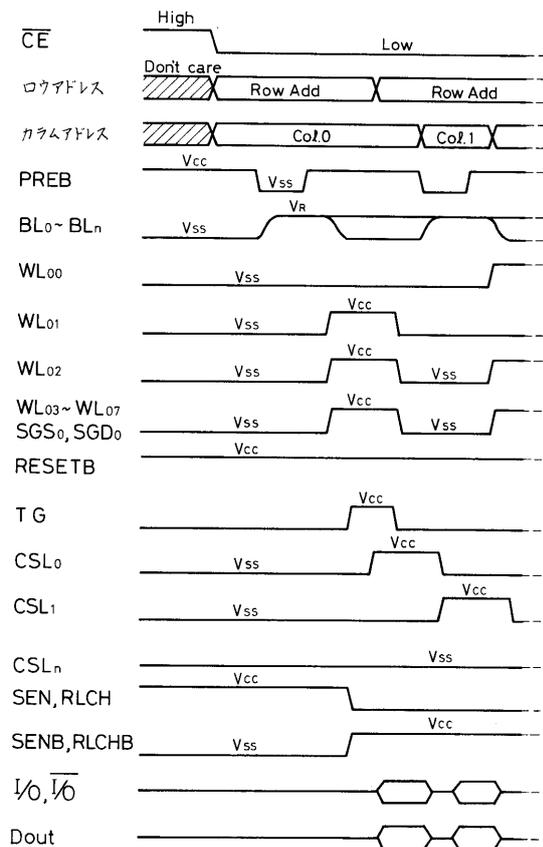
【図8】



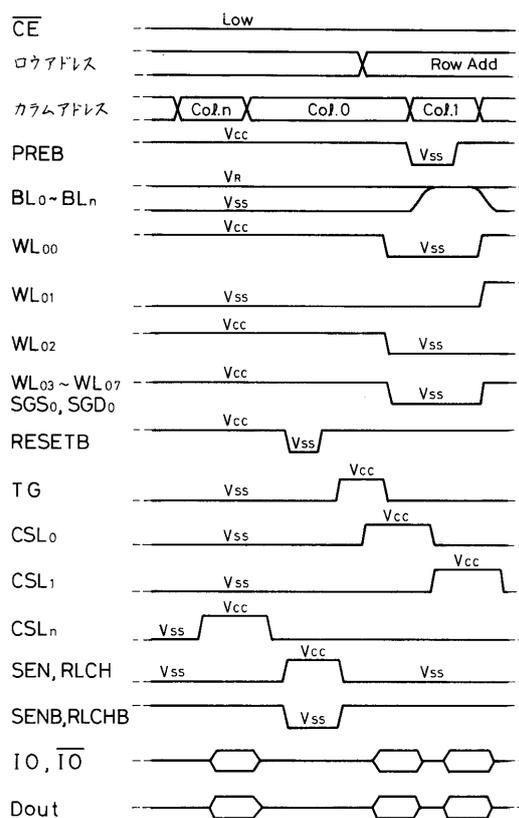
【図9】



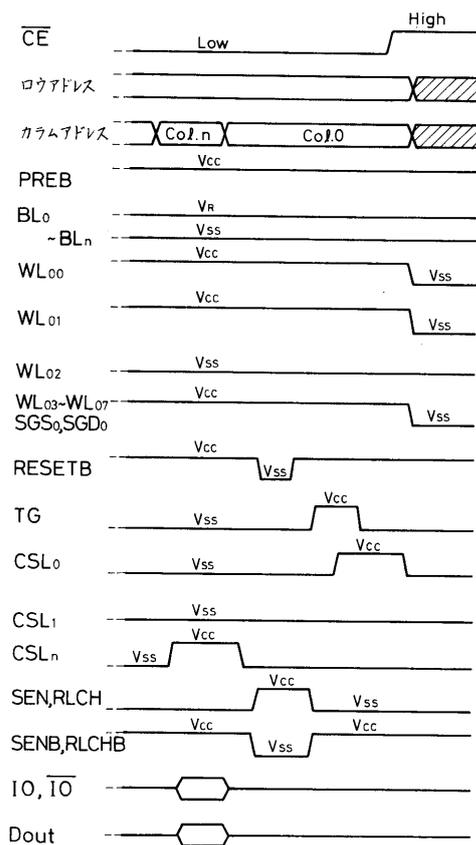
【図10】



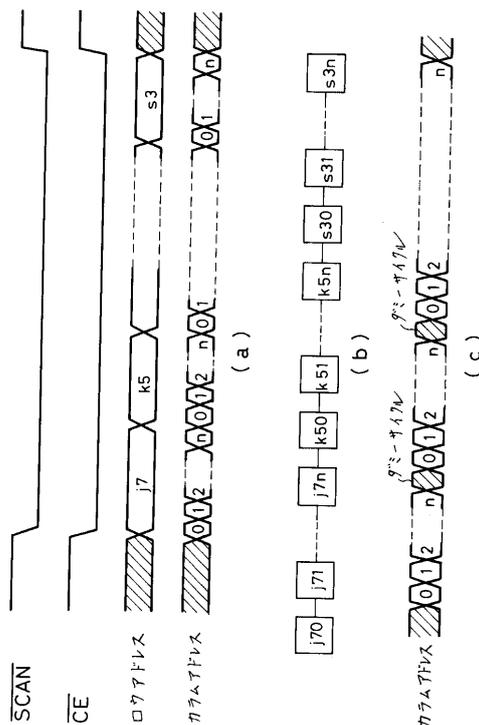
【図11】



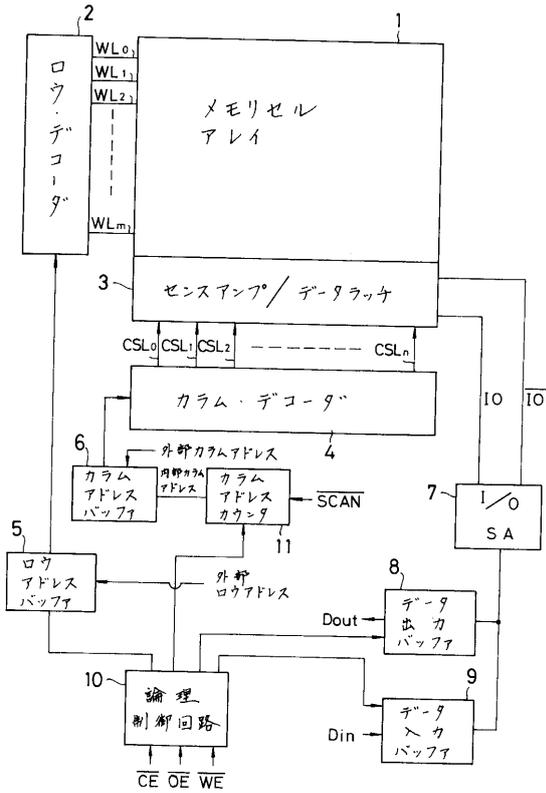
【図12】



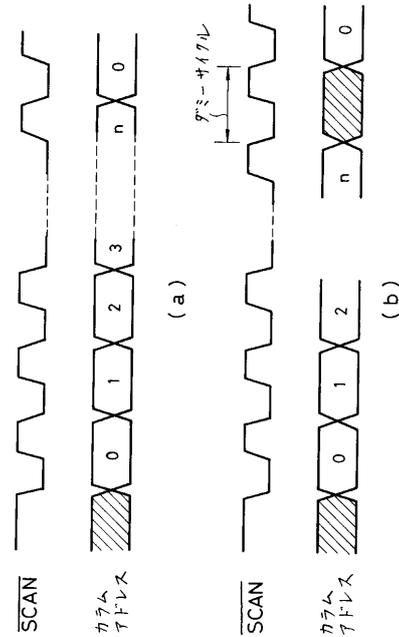
【図13】



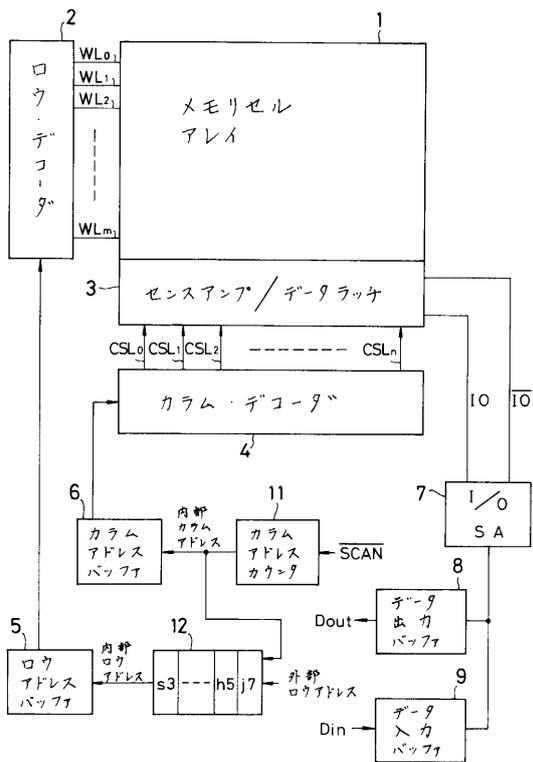
【図14】



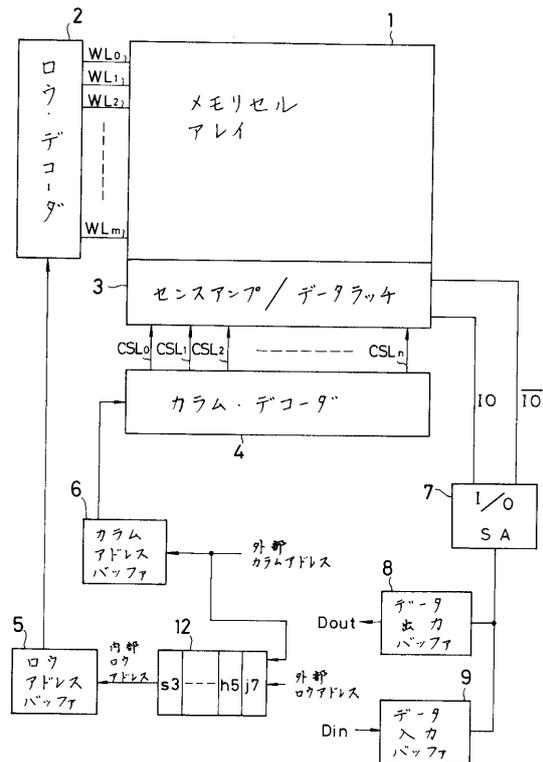
【図15】



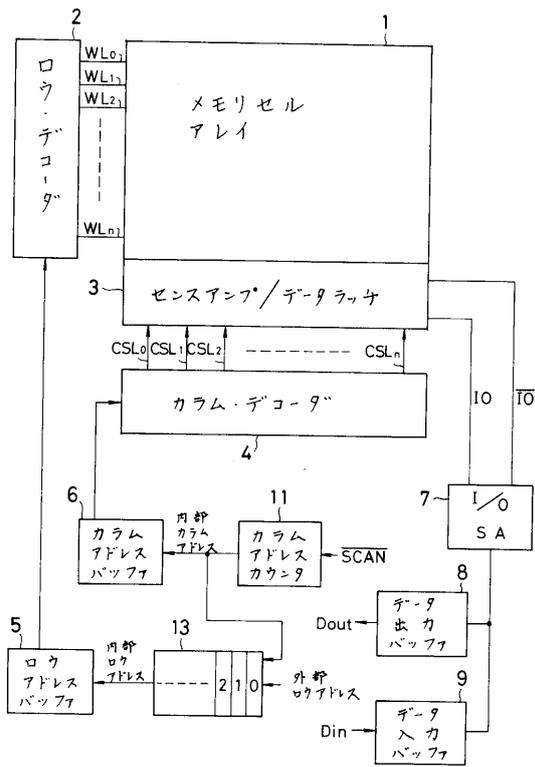
【図16】



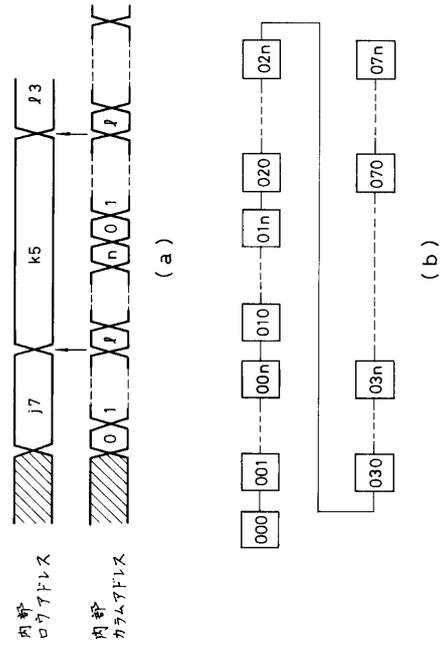
【図17】



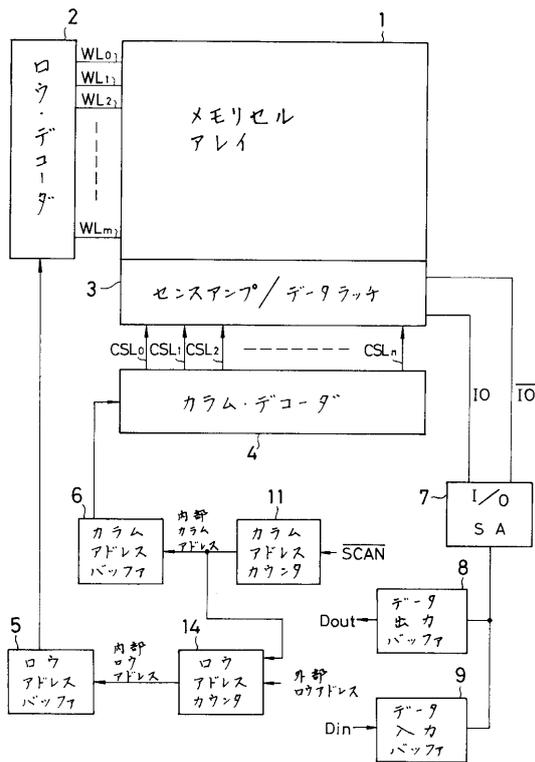
【 図 1 8 】



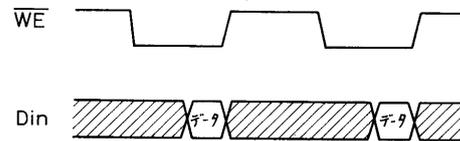
【 図 1 9 】



【 図 2 0 】



【 図 2 1 】



フロントページの続き

- (74)代理人 100070437
弁理士 河井 将次
- (72)発明者 作井 康司
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
- (72)発明者 田中 智晴
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
- (72)発明者 岩田 佳久
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
- (72)発明者 百富 正樹
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
- (72)発明者 舩岡 富士雄
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

審査官 飯田 清司

- (56)参考文献 特開昭59-056276(JP,A)
特開平01-159884(JP,A)
特開平02-049297(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
G11C 16/06