



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0005465
(43) 공개일자 2013년01월16일

(51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01) H01L 23/12 (2006.01)
(21) 출원번호 10-2011-0066870
(22) 출원일자 2011년07월06일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
권홍규
경기도 성남시 분당구 내정로 186, 106동 601호
(수내동, 파크타운)
(74) 대리인
리앤목특허법인

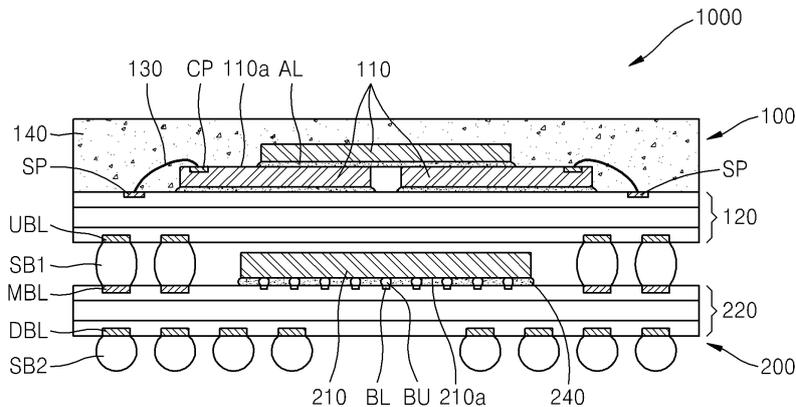
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 스택 패키지 장치

(57) 요약

본 발명은 반도체 스택 패키지 장치에 관한 것으로서, 활성면에 칩 패드를 갖는 적어도 하나의 상부 반도체 칩; 상기 상부 반도체 칩을 지지하고, 상기 칩 패드와 대응되는 방향으로 상면에 기판 패드가 형성되고, 하면의 상부 불 랜드에 중간 솔더볼이 부착되는 상부 기판; 상기 칩 패드와 기판 패드를 전기적으로 연결하는 와이어; 및 상기 상부 반도체 칩의 활성면과 상기 와이어를 둘러싸서 보호하는 봉지재;를 포함하는 상부 반도체 패키지; 및 활성면에 범프가 형성되는 하부 반도체 칩; 및 상기 하부 반도체 칩을 지지하고, 상면에 상기 범프와 대응되는 범프 랜드 및 상기 중간 솔더볼과 대응되는 중간 불 랜드가 형성되고, 하면의 하부 불 랜드에 하부 솔더볼이 부착되는 하부 기판;를 포함할 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

활성면에 칩 패드를 갖는 적어도 하나의 상부 반도체 칩; 상기 상부 반도체 칩을 지지하고, 상기 칩 패드와 대응되는 방향으로 상면에 기관 패드가 형성되고, 하면의 상부 볼 랜드에 중간 솔더볼이 부착되는 상부 기관; 상기 칩 패드와 기관 패드를 전기적으로 연결하는 와이어; 및 상기 상부 반도체 칩의 활성면과 상기 와이어를 둘러싸서 보호하는 봉지재;를 포함하는 상부 반도체 패키지; 및

활성면에 범프가 형성되는 하부 반도체 칩; 및 상기 하부 반도체 칩을 지지하고, 상면에 상기 범프와 대응되는 범프 랜드 및 상기 중간 솔더볼과 대응되는 중간 볼 랜드가 형성되고, 하면의 하부 볼 랜드에 하부 솔더볼이 부착되는 하부 기관;를 포함하는 하부 반도체 패키지;

를 포함하는 반도체 스택 패키지 장치.

청구항 2

제 1 항에 있어서,

상기 상부 반도체 칩은, 모든 칩 패드가 일측 테두리부에 집적되어 설치되는 패드 일방향 반도체 칩을 포함하고,

상기 상부 반도체 칩은,

모든 칩 패드가 제 1 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩;

모든 칩 패드가 제 2 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩;

모든 칩 패드가 제 3 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및

모든 칩 패드가 제 4 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;

을 포함하는 반도체 스택 패키지 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 반도체 칩은 상기 상부 기관의 상면에 실장되고, 상기 제 2 반도체 칩은 상기 제 1 반도체 칩의 상면에 적층되고, 상기 제 3 반도체 칩은 상기 제 2 반도체 칩의 상면에 적층되고, 상기 제 4 반도체 칩은 상기 제 3 반도체 칩의 상면에 적층된 것인 반도체 스택 패키지 장치.

청구항 4

제 2 항에 있어서,

상기 제 1 반도체 칩과 제 3 반도체 칩은 상기 상부 기관의 상면에 실장되고, 상기 제 2 반도체 칩과 제 4 반도체 칩은 상기 제 1 반도체 칩과 제 3 반도체 칩의 상면에 적층되는 반도체 스택 패키지 장치.

청구항 5

제 1 항에 있어서,

상기 상부 반도체 칩은, 모든 칩 패드가 일측 및 타측 테두리부에 집적되어 설치되는 패드 양방향 반도체 칩을 포함하고,

상기 상부 반도체 칩은,

모든 칩 패드가 제 1 방향 및 제 3 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩;

모든 칩 패드가 제 2 방향 및 제 4 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩;

모든 칩 패드가 제 3 방향 및 제 1 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및
모든 칩 패드가 제 4 방향 및 제 2 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;
을 포함하고,

상기 제 1 반도체 칩과 제 3 반도체 칩은 상기 상부 기관의 상면에 실장되고, 상기 제 2 반도체 칩과 제 4 반도체 칩은 상기 제 1 반도체 칩과 제 3 반도체 칩의 상면에 적층되고,

상기 제 1 반도체 칩과 제 3 반도체 칩 사이 및 상기 제 2 반도체 칩과 제 4 반도체 칩 사이에 내부 와이어 본딩 공간이 형성되는 것인 반도체 스택 패키지 장치.

청구항 6

제 1 항에 있어서,

상기 상부 반도체 칩은, DQ 칩 패드가 일측 테두리부에 집적되고, CA 칩 패드가 타측 테두리부에 집적되어 설치되는 패드 양방향 반도체 칩을 포함하고,

상기 DQ 칩 패드는 제 1 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 3 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩;

상기 DQ 칩 패드는 제 2 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 4 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩;

상기 DQ 칩 패드는 제 3 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 1 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및

상기 DQ 칩 패드는 제 4 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 2 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;

을 포함하고,

상기 제 1 반도체 칩은 상기 상부 기관의 상면에 실장되고, 상기 제 2 반도체 칩은 상기 제 1 반도체 칩의 상면에 적층되고, 상기 제 3 반도체 칩은 상기 제 2 반도체 칩의 상면에 적층되고, 상기 제 4 반도체 칩은 상기 제 3 반도체 칩의 상면에 적층되고,

상기 제 1 반도체 칩과 제 2 반도체 칩은 90도 또는 180도 각도를 이루고, 상기 제 2 반도체 칩과 제 3 반도체 칩은 90도 각도를 이루며, 상기 제 3 반도체 칩과 제 4 반도체 칩은 90도 또는 180도 각도를 이루는 것인 반도체 스택 패키지 장치.

청구항 7

제 1 항에 있어서,

상기 상부 기관 또는 하부 기관은,

상기 기관 패드 또는 중간 볼 랜드와 전기적으로 연결되는 제 1 재배선층;

상기 제 1 재배선층과 전기적으로 연결되고, 상기 상부 볼 랜드 또는 하부 볼 랜드와 전기적으로 연결되는 제 2 재배선층; 및

상기 제 1 재배선층과 제 2 재배선층 간의 전기적 간섭을 방지하도록 상기 제 1 재배선층과 제 2 재배선층 사이에 설치되는 메탈 코어층;

을 포함하는 반도체 스택 패키지 장치.

청구항 8

제 1 항에 있어서,

상기 상부 반도체 칩은 메모리 칩이고, 상기 하부 반도체 칩은 컨트롤 칩이며,

상기 하부 반도체 칩의 범프와 대응하는 상기 하부 기관의 범프 랜드는,

상기 상부 반도체 칩의 제 1 반도체 칩과 전기적으로 연결되고, 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 배치되는 제 1 인터페이스부;

상기 상부 반도체 칩의 제 2 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 배치되는 제 2 인터페이스부;

상기 상부 반도체 칩의 제 3 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 3 방향 테두리부에 배치되는 제 3 인터페이스부; 및

상기 상부 반도체 칩의 제 4 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 4 방향 테두리부에 배치되는 제 4 인터페이스부;

를 포함하는 반도체 스택 패키지 장치.

청구항 9

제 1 항에 있어서,

상기 하부 반도체 칩의 범프와 대응하는 상기 하부 기판의 범프 랜드는,

상기 상부 반도체 칩의 제 1 반도체 칩과 전기적으로 연결되고, 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 배치되는 제 1 인터페이스부;

상기 상부 반도체 칩의 제 4 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 상기 제 1 인터페이스부와 함께 배치되는 제 4 인터페이스부;

상기 상부 반도체 칩의 제 2 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 배치되는 제 2 인터페이스부; 및

상기 상부 반도체 칩의 제 3 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 상기 제 2 인터페이스부와 함께 배치되는 제 3 인터페이스부;

를 포함하는 반도체 스택 패키지 장치.

청구항 10

제 1 항에 있어서,

상기 하부 기판의 중간 볼 랜드는,

상기 하부 기판을 기준으로 적어도 하나 이상의 방향에 더미 솔더볼이 부착되는 더미 볼 랜드가 설치되는 것인 반도체 스택 패키지 장치.

명세서

기술분야

[0001] 본 발명은 반도체 스택 패키지 장치에 관한 것으로서, 보다 상세하게는 패키지 위에 패키지가 적층되는 POP(Package On Package) 타입의 반도체 스택 패키지 장치의 경박화를 가능하게 하고, 각 칩들간 배선 설계를 최적화하는 동시에 배선간 전기적 간섭을 최소화하여 전기적인 신호 특성을 크게 향상시킬 수 있게 하는 반도체 스택 패키지 장치에 관한 것이다.

배경기술

[0002] 일반적으로 반도체 패키지 장치는, 리드프레임이나 인쇄회로기판 등의 부재 표면에 적어도 하나 이상의 반도체 칩을 다이 본딩(Die Bonding)하고, 리드프레임의 리드나 인쇄회로기판의 단자들을 상기 반도체 칩들과 전기적으로 연결시키기 위하여 와이어 본딩(Wire Bonding)이나 솔더링(soldering)한 후, 상기 반도체 칩을 절연성 봉지재로 덮어 밀봉하는 공정들을 통해 완성된다.

[0003] 또한, 이러한 반도체 패키지 장치의 크기를 줄이는 기술로서, 패키지 위에 패키지가 적층되는 패키지 온 패키지(Package On Package; POP) 기술, 다양한 기능을 원 칩(One chip)화 하는 시스템 온 칩(System On Chip; SOC) 기술, 복수개의 기능을 담당하는 반도체 칩들(예를 들어서, 메모리 칩과 컨트롤 칩)을 하나의 패키지로 집적하

는 시스템 인 패키지(System in Package) 기술 등이 알려져 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 사상은, 다수개의 메모리 칩들을 최소의 두께로 적층하여 패키지 장치의 경박화를 가능하게 하고, 상부 반도체 칩들과 하부 기판의 범프 패드 위치 설계 및 라우팅(Routing) 설계를 최적화하여 배선 거리에 따른 전기적 신호 편차를 최소화하며, 기판에 메탈 코어층을 형성하여 제배선층 간 전기적 간섭을 최소화함으로써 전기적인 신호 특성을 크게 향상시킬 수 있게 하는 반도체 스택 패키지 장치를 제공함에 있다.

과제의 해결 수단

[0005] 상기 과제를 해결하기 위한 본 발명의 사상에 따른 반도체 스택 패키지 장치는, 활성면에 칩 패드를 갖는 적어도 하나의 상부 반도체 칩; 상기 상부 반도체 칩을 지지하고, 상기 칩 패드와 대응되는 방향으로 상면에 기판 패드가 형성되고, 하면의 상부 볼 랜드에 중간 솔더볼이 부착되는 상부 기판; 상기 칩 패드와 기판 패드를 전기적으로 연결하는 와이어; 및 상기 상부 반도체 칩의 활성면과 상기 와이어를 둘러싸서 보호하는 봉지재;를 포함하는 상부 반도체 패키지; 및 활성면에 범프가 형성되는 하부 반도체 칩; 및 상기 하부 반도체 칩을 지지하고, 상면에 상기 범프와 대응되는 범프 랜드 및 상기 중간 솔더볼과 대응되는 중간 볼 랜드가 형성되고, 하면의 하부 볼 랜드에 하부 솔더볼이 부착되는 하부 기판;를 포함하는 하부 반도체 패키지;를 포함한다.

[0006] 또한, 본 발명의 사상에 따르면, 상기 상부 반도체 칩은, 모든 칩 패드가 일측 테두리부에 집적되어 설치되는 패드 일방향 반도체 칩을 포함할 수 있다.

[0007] 또한, 본 발명의 사상에 따르면, 상기 상부 반도체 칩은, 모든 칩 패드가 제 1 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩; 모든 칩 패드가 제 2 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩; 모든 칩 패드가 제 3 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및 모든 칩 패드가 제 4 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;을 포함할 수 있다.

[0008] 또한, 본 발명의 사상에 따르면, 상기 제 1 반도체 칩은 상기 상부 기판의 상면에 실장되고, 상기 제 2 반도체 칩은 상기 제 1 반도체 칩의 상면에 적층되고, 상기 제 3 반도체 칩은 상기 제 2 반도체 칩의 상면에 적층되고, 상기 제 4 반도체 칩은 상기 제 3 반도체 칩의 상면에 적층된 것이 가능하다.

[0009] 또한, 본 발명의 사상에 따르면, 상기 제 1 반도체 칩과 제 3 반도체 칩은 상기 상부 기판의 상면에 실장되고, 상기 제 2 반도체 칩과 제 4 반도체 칩은 상기 제 1 반도체 칩과 제 3 반도체 칩의 상면에 적층될 수 있다.

[0010] 또한, 본 발명의 사상에 따르면, 상기 제 1 방향과 제 2 방향은 서로 동일한 방향으로 상기 제 1 반도체 칩 위에 제 2 반도체 칩이 적층되고, 상기 제 3 방향과 제 4 방향은 서로 동일한 방향으로 상기 제 1 방향과 제 2 방향과는 180도 또는 90도 각도를 이루며, 상기 제 3 반도체 칩 위에 제 4 반도체 칩이 적층되는 것이 가능하다.

[0011] 또한, 본 발명의 사상에 따르면, 상기 상부 반도체 칩은, 모든 칩 패드가 일측 및 타측 테두리부에 집적되어 설치되는 패드 양방향 반도체 칩을 포함하고, 상기 상부 반도체 칩은, 모든 칩 패드가 제 1 방향 및 제 3 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩; 모든 칩 패드가 제 2 방향 및 제 4 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩; 모든 칩 패드가 제 3 방향 및 제 1 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및 모든 칩 패드가 제 4 방향 및 제 2 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;을 포함하고, 상기 제 1 반도체 칩과 제 3 반도체 칩은 상기 상부 기판의 상면에 실장되고, 상기 제 2 반도체 칩과 제 4 반도체 칩은 상기 제 1 반도체 칩과 제 3 반도체 칩의 상면에 적층되고, 상기 제 1 반도체 칩과 제 3 반도체 칩 사이 및 상기 제 2 반도체 칩과 제 4 반도체 칩 사이에 내부 와이어 본딩 공간이 형성되는 것이 가능하다.

[0012] 또한, 본 발명의 사상에 따르면, 상기 상부 반도체 칩은, 모든 칩 패드가 제 1 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩; 모든 칩 패드가 제 2 방향 및 제 4 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩; 모든 칩 패드가 제 3 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및 모든 칩 패드가 제 4 방향 및 제 2 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;을 포함하고, 상기 제 1 방향과 제 2 방향은 서로 동일한 방향으로 상기 제 1 반도체 칩 위에 제 2 반도체 칩이 적층되고, 상기 제 3 방향과 제 4 방향은 서로 동일한 방향으로 상기 제 1 방향과 제 2 방향과는 180도 각도를 이루며, 상기 제 3 반도체 칩 위에 제 4 반도체 칩이 적층되고, 상기 제 2 반도체 칩과 제 4 반도체 칩 사이에 내부 와이어 본딩 공간이 형성되는 것이 가능하다.

- [0013] 또한, 본 발명의 사상에 따르면, 상기 상부 반도체 칩은, 모든 칩 패드가 제 1 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩; 모든 칩 패드가 제 2 방향 및 제 4 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩; 모든 칩 패드가 제 3 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및 모든 칩 패드가 제 4 방향 및 제 2 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;을 포함하고, 상기 제 1 방향과 제 2 방향은 서로 동일한 방향으로 상기 제 1 반도체 칩 위에 제 2 반도체 칩이 적층되고, 상기 제 3 방향과 제 4 방향은 서로 동일한 방향으로 상기 제 1 방향과 제 2 방향과는 90도 각도를 이루며, 상기 제 3 반도체 칩 위에 제 4 반도체 칩이 적층되는 것이 가능하다.
- [0014] 또한, 본 발명의 사상에 따르면, 상기 상부 반도체 칩은, DQ 칩 패드가 일측 테두리부에 집적되고, CA 칩 패드가 타측 테두리부에 집적되어 설치되는 패드 양방향 반도체 칩을 포함하고, 상기 DQ 칩 패드는 제 1 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 3 방향 테두리부에 집적되어 설치되는 제 1 반도체 칩; 상기 DQ 칩 패드는 제 2 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 4 방향 테두리부에 집적되어 설치되는 제 2 반도체 칩; 상기 DQ 칩 패드는 제 3 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 1 방향 테두리부에 집적되어 설치되는 제 3 반도체 칩; 및 상기 DQ 칩 패드는 제 4 방향 테두리부에 집적되고, 상기 CA 칩 패드는 제 2 방향 테두리부에 집적되어 설치되는 제 4 반도체 칩;을 포함하고, 상기 제 1 반도체 칩은 상기 상부 기관의 상면에 실장되고, 상기 제 2 반도체 칩은 상기 제 1 반도체 칩의 상면에 적층되고, 상기 제 3 반도체 칩은 상기 제 2 반도체 칩의 상면에 적층되고, 상기 제 4 반도체 칩은 상기 제 3 반도체 칩의 상면에 적층되고, 상기 제 1 반도체 칩과 제 2 반도체 칩은 90도 또는 180도 각도를 이루고, 상기 제 2 반도체 칩과 제 3 반도체 칩은 90도 각도를 이루며, 상기 제 3 반도체 칩과 제 4 반도체 칩은 90도 또는 180도 각도를 이루는 것이 가능하다.
- [0015] 또한, 본 발명의 사상에 따르면, 상기 상부 기관 또는 하부 기관은, 상기 기관 패드 또는 중간 볼 랜드와 전기적으로 연결되는 제 1 재배선층; 상기 제 1 재배선층과 전기적으로 연결되고, 상기 상부 볼 랜드 또는 하부 볼 랜드와 전기적으로 연결되는 제 2 재배선층; 및 상기 제 1 재배선층과 제 2 재배선층 간의 전기적 간섭을 방지하도록 상기 제 1 재배선층과 제 2 재배선층 사이에 설치되는 메탈 코어층;을 포함할 수 있다.
- [0016] 또한, 본 발명의 사상에 따르면, 상기 상부 반도체 칩은 메모리 칩이고, 상기 하부 반도체 칩은 콘트롤 칩이며, 상기 하부 반도체 칩의 범프와 대응하는 상기 하부 기관의 범프 랜드는, 상기 상부 반도체 칩의 제 1 반도체 칩과 전기적으로 연결되고, 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 배치되는 제 1 인터페이스부; 상기 상부 반도체 칩의 제 2 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 배치되는 제 2 인터페이스부; 상기 상부 반도체 칩의 제 3 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 3 방향 테두리부에 배치되는 제 3 인터페이스부; 및 상기 상부 반도체 칩의 제 4 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 4 방향 테두리부에 배치되는 제 4 인터페이스부;를 포함할 수 있다.
- [0017] 또한, 본 발명의 사상에 따르면, 상기 하부 반도체 칩의 범프와 대응하는 상기 하부 기관의 범프 랜드는, 상기 상부 반도체 칩의 제 1 반도체 칩과 전기적으로 연결되고, 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 배치되는 제 1 인터페이스부; 상기 상부 반도체 칩의 제 4 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 상기 제 1 인터페이스부와 함께 배치되는 제 4 인터페이스부; 상기 상부 반도체 칩의 제 2 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 배치되는 제 2 인터페이스부; 및 상기 상부 반도체 칩의 제 3 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 상기 제 2 인터페이스부와 함께 배치되는 제 3 인터페이스부;를 포함할 수 있다.
- [0018] 또한, 본 발명의 사상에 따르면, 상기 하부 기관의 중간 볼 랜드는, 상기 하부 기관을 기준으로 적어도 하나 이상의 방향에 더미 솔더볼이 부착되는 더미 볼 랜드가 설치되는 것이 가능하다.
- [0019] 상기 과제를 해결하기 위한 본 발명의 사상에 따른 반도체 스택 패키지 장치는, 활성면의 칩 패드가 전후좌우 방향으로 각각 배치되도록 적층되는 적어도 4개의 상부 반도체 칩; 상기 상부 반도체 칩을 지지하고, 상기 칩 패드와 대응되는 방향으로 상면에 기관 패드가 형성되고, 하면의 상부 볼 랜드에 중간 솔더볼이 부착되는 상부 기관; 상기 칩 패드와 기관 패드를 전기적으로 연결하는 와이어; 및 상기 상부 반도체 칩의 활성면과 상기 와이어를 둘러싸서 보호하는 봉지재;를 포함하는 상부 반도체 패키지; 및 활성면에 범프가 형성되는 하부 반도체 칩; 및 상기 하부 반도체 칩을 지지하고, 상면에 상기 범프와 대응되는 범프 랜드 및 상기 중간 솔더볼과 대응되는 중간 볼 랜드가 형성되고, 하면의 하부 볼 랜드에 하부 솔더볼이 부착되는 하부 기관;를 포함하는 하부 반도체 패키지;를 포함하고, 상기 하부 반도체 칩의 범프와 대응하는 상기 하부 기관의 범프 랜드는, 상기 상부

반도체 칩의 제 1 반도체 칩과 전기적으로 연결되고, 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 배치되는 제 1 인터페이스부; 상기 상부 반도체 칩의 제 4 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 1 방향 테두리부에 상기 제 1 인터페이스부와 함께 배치되는 제 4 인터페이스부; 상기 상부 반도체 칩의 제 2 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 배치되는 제 2 인터페이스부; 및 상기 상부 반도체 칩의 제 3 반도체 칩과 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역의 제 2 방향 테두리부에 상기 제 2 인터페이스부와 함께 배치되는 제 3 인터페이스부;를 포함한다.

발명의 효과

[0020] 본 발명의 사상에 따른 반도체 스택 패키지 장치는, 상부 반도체 패키지에 적어도 4층 이상의 메모리 칩들을 최적의 상태로 적층하여 패키지 장치의 경박화를 가능하게 하고, 하부 반도체 패키지의 콘트롤 칩으로부터 각각의 메모리 칩들까지 도달되는 배선 경로들의 거리 편차를 줄이기 위해 기판의 범프 패드 위치 설계 및 라우팅 (Routing) 설계를 최적화하여 배선 거리에 따른 전기적 신호 편차를 최소화하며, 상부 기판 및 하부 기판에 기판 코어를 메탈 코어층으로 형성하여 재배선층 간 전기적 간섭을 최소화함으로써 전기적인 신호 특성을 크게 향상시킬 수 있는 효과를 갖는 것이다.

도면의 간단한 설명

[0021] 도 1은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치를 나타내는 단면도이다.
 도 2는 도 1의 봉지재를 제거한 상태를 나타내는 부분 투시 사시도이다.
 도 3은 도 1의 부품 분해 사시도이다.
 도 4는 도 2의 평면도이다.
 도 5는 도 1의 상부 반도체 칩의 일례를 나타내는 사시도이다.
 도 6 및 도 7은 본 발명 사상의 일부 실시예들에 따른 반도체 스택 패키지 장치의 상부 반도체 칩의 배치 상태를 나타내는 평면도들이다.
 도 8은 본 발명 사상의 일부 실시예에 따른 상부 반도체 칩의 다른 일례를 나타내는 사시도이다.
 도 9 내지 도 12는 본 발명 사상의 일부 실시예들에 따른 반도체 스택 패키지 장치의 상부 반도체 칩의 배치 상태를 나타내는 평면도들이다.
 도 13은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치를 나타내는 단면도이다.
 도 14는 도 13의 X IV-X IV 절단면을 나타내는 단면도이다.
 도 15는 도 13의 평면도이다.
 도 16은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치를 나타내는 단면도이다.
 도 17은 도 16의 X VII-X VII 절단면을 나타내는 단면도이다.
 도 18은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치를 나타내는 단면도이다.
 도 19는 도 18의 X IX-X IX 절단면을 나타내는 단면도이다.
 도 20은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치를 나타내는 단면도이다.
 도 21은 도 1의 하부 기판의 일례를 나타내는 평면도이다.
 도 22 내지 도 24는 본 발명 사상의 일부 실시예들에 따른 반도체 스택 패키지 장치의 하부 기판을 나타내는 평면도들이다.
 도 25는 본 발명의 사상의 일부 실시예에 따른 반도체 스택 패키지 장치가 보드 기판에 실장된 상태를 나타내는 단면도이다.
 도 26은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치를 포함하는 메모리 카드를 개략적으로 보여주는 블럭 구성도이다.

도 27은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치를 포함하는 전자시스템을 개략적으로 보여주는 블록 구성도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 여러 실시예들을 상세히 설명하기로 한다.
- [0023] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.
- [0024] 명세서 전체에 걸쳐서, 막, 영역 또는 기판 등과 같은 하나의 구성요소가 다른 구성요소 "상에", "연결되어", "적층되어" 또는 "커플링되어" 위치한다고 언급할 때는, 상기 하나의 구성요소가 직접적으로 다른 구성요소 "상에", "연결되어", "적층되어" 또는 "커플링되어" 접촉하거나, 그 사이에 개재되는 또 다른 구성요소들이 존재할 수 있다고 해석될 수 있다. 반면에, 하나의 구성요소가 다른 구성요소 "직접적으로 상에", "직접 연결되어", 또는 "직접 커플링되어" 위치한다고 언급할 때는, 그 사이에 개재되는 다른 구성요소들이 존재하지 않는다고 해석된다. 동일한 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0025] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.
- [0026] 또한, "상의" 또는 "위의" 및 "하의" 또는 "아래의"와 같은 상대적인 용어들은 도면들에서 도해되는 것처럼 다른 요소들에 대한 어떤 요소들의 관계를 기술하기 위해 여기에서 사용될 수 있다. 상대적 용어들은 도면들에서 묘사되는 방향에 추가하여 소자의 다른 방향들을 포함하는 것을 의도한다고 이해될 수 있다. 예를 들어, 도면들에서 소자가 뒤집어 진다면(turned over), 다른 요소들의 상부의 면 상에 존재하는 것으로 묘사되는 요소들은 상기 다른 요소들의 하부의 면 상에 방향을 가지게 된다. 그러므로, 예로써 든 "상의"라는 용어는, 도면의 특정한 방향에 의존하여 "하의" 및 "상의" 방향 모두를 포함할 수 있다. 소자가 다른 방향으로 향한다면(다른 방향에 대하여 90도 회전), 본 명세서에 사용되는 상대적인 설명들은 이에 따라 해석될 수 있다.
- [0027] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0028] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명 사상의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.
- [0029] 도 1은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1000)를 나타내는 단면도이고, 도 2는 도 1의 봉지재(140)를 제거한 상태를 나타내는 부분 투시 사시도이고, 도 3은 도 1의 부품 분해 사시도이고, 도 4는 도 2의 평면도이고, 도 5는 도 1의 상부 반도체 칩(110)의 일례를 나타내는 사시도이다.
- [0030] 먼저, 도 1 내지 도 5에 도시된 바와 같이, 본 발명의 일부 실시예에 따른 반도체 스택 패키지 장치(1000)는, 크게 상부 반도체 패키지(100) 및 하부 반도체 패키지(200)를 포함할 수 있다. 여기서, 예시된 반도체 스택 패키지 장치(1000)는 상기 하부 반도체 패키지(200) 위에 상부 반도체 패키지(100)가 적층되는 패키지 온 패키지(Package On Package; POP) 타입의 반도체 스택 패키지 장치(1000)일 수 있다.
- [0031] 이러한, 상기 상부 반도체 패키지(100)는, 상부 반도체 칩(110)과, 상부 기판(120)과, 와이어(130) 및 봉지재(140)를 포함하여 이루어질 수 있다. 여기서, 상기 상부 반도체 칩(110)은, 활성면(110a)에 칩 패드(CP)를

갖고, 적어도 하나(도면에서는 4개)의 반도체 칩(110)으로 이루어질 수 있다. 여기서, 복수개의 기능을 담당하는 반도체 칩들(예를 들어서, 메모리 칩과 콘트롤 칩)을 하나의 패키지로 집적하는 시스템 인 패키지(System in Package) 타입인 경우, 상기 상부 반도체 칩(110)은 적층된 4개의 메모리 칩이 적용될 수 있다. 예를 들어서, 이러한 각각의 4개의 메모리 칩들을 선택적으로 제어하기 위해 상기 하부 반도체 패키지(200)에는 4개의 제어 채널을 갖는 콘트롤 칩이 포함될 수 있다. 그러나, 이러한 상기 상부 반도체 칩(110)의 설치 개수는 4개에 한정되는 것은 아니고, 그 이상이나 그 이하도 모두 가능하다.

[0032] 또한, 상기 상부 기판(120)은, 상기 상부 반도체 칩(110)을 지지하는 것으로서, 상기 칩 패드(CP)와 대응되는 방향으로 상면에 기판 패드(SP)가 형성되고, 하면의 상부 볼 랜드(UBL)에 중간 솔더볼(SB1)이 부착되는 것이다. 이러한 상기 상부 기판(120)은, 절연성 기재 기판의 위와 아래에 각각 배선층을 접착이나 도금이나 열압착 등의 방법으로 설치할 수 있다. 그러나, 상기 상부 기판(120)은 상기 재질이나 방법에 한정되는 것은 아니다.

[0033] 또한, 상기 와이어(130)는, 상기 칩 패드(CP)와 기판 패드(SP)를 전기적으로 연결하는 신호 전달 매체의 일종으로서, 이외에도 범프나 솔더볼 등 다양한 형태의 신호 전달 매체가 적용되는 것도 가능하다. 이러한 상기 와이어(130)는, 반도체 본딩용 와이어로서, 금(Au), 은(Ag), 백금(Pt), 알루미늄(Al), 구리(Cu), 팔라듐(Pd), 니켈(Ni), 코발트(Co), 크롬(Cr), 티타늄(Ti) 등으로 형성될 수 있고, 와이어 본딩 장치에 의해 형성될 수 있다. 그러나, 상기 와이어(130)가 상기 재질이나 방법에 한정되는 것은 아니다.

[0034] 또한, 상기 봉지재(140)는, 상기 상부 반도체 칩(110)의 활성면(110a)과 상기 와이어(130)를 둘러싸서 보호하는 것으로서, 에폭시 수지, 경화제, 유기/무기 충전제 등을 포함하는 각종 합성 수지류 재질로 제작되어 몰드(mold: 금형) 내부에서 사출 성형될 수 있는 것이다. 이러한, 상기 봉지재(140)는 레진과 같은 폴리머로 형성될 수 있는 것으로 에컨대, EMC(Epoxy Molding Compound)로 형성될 수 있다. 그러나, 상기 봉지재(140)가 상기 재질이나 방법에 한정되는 것은 아니다.

[0035] 한편, 상기 하부 반도체 패키지(200)는, 하부 반도체 칩(210)과, 하부 기판(220) 및 언더필 부재(240)를 포함하여 이루어질 수 있다.

[0036] 여기서, 상기 하부 반도체 칩(210)은, 활성면(210a)에 범프(BU)가 형성되는 것으로서, 복수개의 기능을 담당하는 반도체 칩들(예를 들어서, 메모리 칩과 콘트롤 칩)을 하나의 패키지로 집적하는 시스템 인 패키지(System in Package) 타입인 경우, 상기 하부 반도체 칩(210)은 상부 반도체 패키지(100)에 적층된 4개의 메모리 칩을 선택적으로 제어하기 위해 4개의 제어 채널을 갖는 콘트롤 칩일 수 있다. 또한, 도 1에 예시된 바와 같이, 상기 하부 반도체 칩(210)은 그 활성면(210a)이 아래 방향을 향하는 플립 칩(flip-chip) 타입인 것이 가능하다. 그러나, 상기 하부 반도체 칩(210)이 플립 칩에 한정되는 것은 아니다.

[0037] 또한, 상기 범프(BU)는, 금(Au), 은(Ag), 백금(Pt), 알루미늄(Al), 구리(Cu), 솔더(Solder) 등으로 형성될 수 있고, 각종 증착 공정, 스퍼터링 공정, 펄스 도금이나 직류 도금 등의 도금 공정, 솔더링 공정, 접착 공정 등을 포함하는 공정들을 통해 형성될 수 있다. 그러나, 상기 범프(BU)는 상기 재질이나 방법에 한정되는 것은 아니다. 또한, 상기 범프(BU) 이외에도 와이어나 솔더볼 등 다양한 형태의 신호 전달 매체가 적용되는 것도 가능하다.

[0038] 또한, 상기 하부 기판(220)은, 상기 하부 반도체 칩(210)을 지지하고, 상면에 상기 범프(BU)와 대응되는 범프 랜드(BL) 및 상기 중간 솔더볼(SB1)과 대응되는 중간 볼 랜드(MBL)가 형성되고, 하면의 하부 볼 랜드(DBL)에 하부 솔더볼(SB2)이 부착되는 것으로서, 이러한 상기 하부 기판(220)은, 절연성 기재 기판의 위와 아래에 각각 배선층을 접착이나 도금이나 열압착 등의 방법으로 설치할 수 있다. 그러나, 상기 하부 기판(220)은 상기 재질이나 방법에 한정되는 것은 아니다.

[0039] 또한, 상기 언더필 부재(240)는, 상기 하부 반도체 칩(210)의 활성면(210a)과 범프(BU)를 둘러싸서 보호하는 것으로서, 상기 하부 반도체 칩(210)의 활성면(210a)과 상기 하부 기판(220) 사이 부분, 또는 상기 상부 반도체 패키지(100)와 하부 반도체 패키지(200) 사이 부분을 채울 수 있다. 이러한 상기 언더필 부재(240)는 에폭시 수지와 같은 언더필 수지로 형성될 수 있고, 실리카 필러(filler)나 플럭스(flux) 등이 포함될 수 있다. 또한, 상기 언더필 부재(240)는 상기 봉지재(140)와 다른 재질로 형성될 수 있지만 동일 재료로도 형성될 수 있다. 또한, 공정에 따라서는 상기 언더필 부재(240)가 생략되거나, 기타 접착 테이프나 밀봉 테이프 등으로 대체되는 것도 가능하다.

[0040] 한편, 도 5에 도시된 바와 같이, 상기 상부 반도체 칩(110)은, 모든 칩 패드(CP)가 일측 테두리부(A)에 집적되어 설치되는 패드 일방향 반도체 칩을 포함할 수 있다. 여기서 모든 칩 패드(CP)는, 데이터와 관련된 신호가 입

출력되는 DQ 칩 패드와, 기타 어드레스 및 전원 등과 관련된 신호가 입출력되는 CA 칩 패드를 모두 포함할 수 있다.

[0041] 또한, 도 1 내지 도 4에 예시된 바와 같이, 상기 상부 반도체 칩(110)은, 총 4개의 패드 일방향 반도체 칩으로 이루어질 수 있는 것으로서, 모든 칩 패드(CP)가 제 1 방향 테두리부(D1)에 집적되어 설치되는 제 1 반도체 칩(111)과, 모든 칩 패드(CP)가 제 2 방향 테두리부(D2)에 집적되어 설치되는 제 2 반도체 칩(112)과, 모든 칩 패드(CP)가 제 3 방향 테두리부(D3)에 집적되어 설치되는 제 3 반도체 칩(113) 및 모든 칩 패드(CP)가 제 4 방향 테두리부(D4)에 집적되어 설치되는 제 4 반도체 칩(114)을 포함할 수 있다. 여기서, 도 1 내지 도 4에 예시된 바와 같이, 상기 제 1 방향 테두리부(D1)는 전방에 대응되고, 제 2 방향 테두리부(D2)는 좌측방에 대응되며, 제 3 방향 테두리부(D3)는 후방에 대응되고, 제 4 방향 테두리부(D4)는 우측방에 대응될 수 있다. 그러나, 상기 제 1 방향 테두리부(D1), 제 2 방향 테두리부(D2), 제 3 방향 테두리부(D3) 및 제 4 방향 테두리부(D4)가 상기 상부 기판(120)을 기준으로 반드시 전후좌우 방향에 각각 대응되는 것은 아니다.

[0042] 한편, 도 1 내지 도 4에 예시된 바와 같이, 상기 제 1 반도체 칩(111)과 제 3 반도체 칩(113)은 상기 상부 기판(120)의 상면에 제 1 층을 이루어서 나란히 실장되고, 상기 제 2 반도체 칩(112)과 제 4 반도체 칩(114)은 상기 제 1 반도체 칩(111)과 제 3 반도체 칩(113)의 상면에 제 2 층을 이루어서 나란히 적층될 수 있다. 이러한 상기 제 1 반도체 칩(111)과 제 3 반도체 칩(113)의 하면에는 접착층(AL)이 설치되어 상기 상부 기판(120)의 상면에 실장될 수 있고, 상기 제 2 반도체 칩(112)과 제 4 반도체 칩(114)의 하면에도 접착층(AL)이 설치되어 상기 제 1 반도체 칩(111)과 제 3 반도체 칩(113)의 상면에 적층될 수 있다. 여기서, 상기 접착층(AL)은 절연성 접착용 수지재나 연질의 접착 테이프 등으로 이루어질 수 있다.

[0043] 따라서, 본 발명의 일부 실시예에 따른 반도체 스택 패키지 장치(1000)는, 총 4개의 상부 반도체 칩(110)들이 2개의 층을 이루어 적층되기 때문에 두께를 최소화할 수 있고, 4개 방향의 테두리부(D1)(D2)(D3)(D4), 즉 전후좌우 방향에 각각 배치되는 테두리부(D1)(D2)(D3)(D4)로 인하여 배선 경로가 어느 한쪽으로 길거나 짧게 치우치지 않고 골고루 분배될 수 있는 것이다. 이러한 배선 경로의 길이 차이를 줄이는 설계는 칩의 동작 주파수가 높아짐에 따라 더욱 중요한 것으로서, 제품의 신뢰성과 성능에 직접적으로 영향을 미칠 수 있다. 본 발명의 일부 실시예에 따른 반도체 스택 패키지 장치(1000)는, 도 5에 도시된 바와 같이, 개별 반도체 칩들(111)(112)(113)(114)의 모든 칩 패드(CP)를 일측 테두리부(A)로 집적하고, 도 1 내지 도 4에 도시된 바와 같이, 4개 방향의 테두리부(D1)(D2)(D3)(D4), 즉 전후좌우 방향에 각각 배치되는 테두리부(D1)(D2)(D3)(D4)로 인하여 각 칩들간 배선 경로의 차이를 최소화할 수 있는 것이다. 또한, 상기 상부 반도체 칩(110)은 4개의 메모리 칩이고, 상기 하부 반도체 칩(210)은 이들을 제어하는 4개의 제어 채널을 갖는 컨트롤 칩인 경우, 본 발명의 기술적 사상에 따라 상기 컨트롤 칩이 4개의 메모리 칩을 각각 시간의 편차 없이 정확하게 정밀하게 작동시킬 수 있는 것이다.

[0044] 또한, 도 18 및 도 19에 도시된 바와 같이, 본 발명의 일부 실시예에 따른 반도체 스택 패키지 장치(1100)는, 총 4개의 반도체 칩들(111)(112)(113)(114)이 개별적으로 각각 한 개의 층을 이루어 총 4개의 층으로 적층되는 것도 가능한 것으로서, 상기 제 1 반도체 칩(111)은 상기 상부 기판(120)의 상면에 실장되고, 상기 제 2 반도체 칩(112)은 상기 제 1 반도체 칩(111)의 상면에 적층되고, 상기 제 3 반도체 칩(113)은 상기 제 2 반도체 칩(112)의 상면에 적층되고, 상기 제 4 반도체 칩(114)은 상기 제 3 반도체 칩(113)의 상면에 적층될 수 있다.

[0045] 이러한 상기 제 1 반도체 칩(111), 제 2 반도체 칩(112), 제 3 반도체 칩(113) 및 제 4 반도체 칩(114)의 하면에는 각각 접착층(AL)이 설치되어 서로 간의 결합을 견고하게 할 수 있다. 여기서, 상기 접착층(AL)은 절연성 접착용 수지재나 연질의 접착 테이프 등으로 이루어질 수 있다.

[0046] 한편, 도 6 및 도 7은 본 발명 사상의 일부 실시예들에 따른 반도체 스택 패키지 장치(1200)(1300)의 상부 반도체 칩(120)의 배치 상태를 나타내는 평면도들이다.

[0047] 도 6에 예시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1200)는, 제 1 방향과 제 2 방향이 서로 동일한 방향으로 제 1 반도체 칩(111) 위에 제 2 반도체 칩(112)이 적층되고, 제 3 방향과 제 4 방향은 서로 동일한 방향으로 제 1 방향과 제 2 방향과는 180도 각도를 이루며, 제 3 반도체 칩(113) 위에 제 4 반도체 칩(114)이 적층되는 것도 가능하다. 여기서, 도 6은 설명이 용이하도록 도 4의 다수개의 기판 패드(SP)가 생략된 도면으로서, 상기 기판 패드(SP)는 상기 상부 기판(120)의 4개의 테두리부 또는 2개의 테두리부에 골고루 분산되어 배치되고, 상기 와이어(130)는 이들과 상기 칩 패드(CP)들을 각각 전기적으로 연결시킬 수 있다.

- [0048] 또한, 도 7에 예시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1300)는, 제 1 방향과 제 2 방향은 서로 동일한 방향으로 상기 제 1 반도체 칩(111) 위에 제 2 반도체 칩(112)이 적층되고, 상기 제 3 방향과 제 4 방향은 서로 동일한 방향으로 상기 제 1 방향과 제 2 방향과는 90도 각도를 이루며, 상기 제 3 반도체 칩(113) 위에 제 4 반도체 칩(114)이 적층되는 것도 가능하다. 여기서, 도 7은 설명이 용이하도록 도 4의 다수개의 기관 패드(SP)가 생략된 도면으로서, 상기 기관 패드(SP)는 상기 상부 기관(120)의 4개의 테두리부 또는 2개의 테두리부에 골고루 분산되어 배치되고, 상기 와이어(130)는 이들과 상기 칩 패드(CP)들을 각각 전기적으로 연결시킬 수 있다.
- [0049] 도 8은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1400)의 상부 반도체 칩(150)의 다른 일례를 나타내는 사시도이다.
- [0050] 도 8에 도시된 바와 같이, 상기 상부 반도체 칩(150)은, 모든 칩 패드(CP)가 일측 및 타측 테두리부(A)(C)에 집적되어 설치되는 패드 양방향 반도체 칩을 포함하는 것으로서, 상기 상부 반도체 칩(150)은, 데이터와 관련된 신호가 입출력되는 DQ 칩 패드(DQ)가 일측 테두리부(A)에 집적되고, 기타 어드레스 및 전원 등과 관련된 신호가 입출력되는 CA 칩 패드(CA)가 타측 테두리부(C)에 집적되어 설치될 수 있다.
- [0051] 도 9 및 도 10은 본 발명 사상의 일부 실시예들에 따른 반도체 스택 패키지 장치(1400)(1500)의 상부 반도체 칩(151)(152)(153)(154)들의 배치 상태를 나타내는 평면도들이다.
- [0052] 도 9에 도시된 바와 같이, 본 발명의 사상에 따른 반도체 스택 패키지 장치(1400)의 상기 상부 반도체 칩(150)은, 제 1 반도체 칩(151)과, 제 2 반도체 칩(152)과, 제 3 반도체 칩(153) 및 제 4 반도체 칩(154)을 포함할 수 있다.
- [0053] 여기서, 상기 제 1 반도체 칩(151)은, 모든 칩 패드(CP)가 제 1 방향 및 제 3 방향 테두리부(D11)(D13)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 2 반도체 칩(152)은 모든 칩 패드(CP)가 제 2 방향 및 제 4 방향 테두리부(D22)(D24)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 3 반도체 칩(153)은 모든 칩 패드(CP)가 제 3 방향 및 제 1 방향 테두리부(D33)(D31)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 4 반도체 칩(154)은 모든 칩 패드(CP)가 제 4 방향 및 제 2 방향 테두리부(D44)(D42)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다.
- [0054] 여기서, 상기 제 1 반도체 칩(151)과 제 3 반도체 칩(153)은 상기 상부 기관(120)의 상면에 실장되고, 상기 제 2 반도체 칩(152)과 제 4 반도체 칩(154)은 상기 제 1 반도체 칩(151)과 제 3 반도체 칩(153)의 상면에 적층되고, 상기 제 1 반도체 칩(151)과 제 3 반도체 칩(153) 사이 및 상기 제 2 반도체 칩(152)과 제 4 반도체 칩(154) 사이에 내부 와이어 본딩 공간(S1)이 형성될 수 있다.
- [0055] 즉, 상기 기관 패드(SP)는 상기 상부 기관(120)의 4개의 테두리부는 물론이고, 상기 내부 와이어 본딩 공간(S1) 내부에 형성되고, 이들 상기 내부 와이어 본딩 공간(S1) 내부에 형성되는 상기 기관 패드(SP)들과 상기 칩 패드(CP)들을 상기 와이어(130)가 각각 전기적으로 연결시킬 수 있다.
- [0056] 한편, 도 10에 도시된 바와 같이, 예를 들어서, 본 발명의 사상에 따른 반도체 스택 패키지 장치(1500)는, 상기 제 1 반도체 칩(151)의 제 3 방향 테두리부(D13)의 일부가 상기 제 4 반도체 칩(154) 및 제 2 반도체 칩(152)의 하방에 위치할 수 있다. 즉, 먼저 제 1 반도체 칩(151)을 상기 상부 기관(120)에 실장한 후, 상기 제 3 방향 테두리부(D13)를 와이어링 한 다음, 그 위에 연질의 접착 테이프 등으로 이루어지는 접착층(AL)을 덮고 그 위에 상기 제 4 반도체 칩(154) 및 제 2 반도체 칩(152)을 적층하여 이루어지는 것도 가능하다.
- [0057] 도 11 및 도 12는 본 발명 사상의 일부 실시예들에 따른 반도체 스택 패키지 장치(1600)(1700)의 상부 반도체 칩(161)(162)(163)(164)의 배치 상태를 나타내는 평면도들이다.
- [0058] 도 11에 도시된 바와 같이, 본 발명의 사상에 따른 반도체 스택 패키지 장치(1600)의 상기 상부 반도체 칩(160)은, 제 1 반도체 칩(161)과, 제 2 반도체 칩(162)과, 제 3 반도체 칩(163) 및 제 4 반도체 칩(164)을 포함할 수 있다. 여기서, 상기 제 1 반도체 칩(161)은 모든 칩 패드(CP)가 제 1 방향 테두리부(D11)에 집적되어 설치되는 패드 일방향 반도체 칩일 수 있다. 또한, 상기 제 2 반도체 칩(162)은 모든 칩 패드(CP)가 제 2 방향 및 제 4 방향 테두리부(D21)(D23)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 3 반도체 칩(163)은 모든 칩 패드(CP)가 제 3 방향 테두리부(D33)에 집적되어 설치되는 패드 일방향 반도체 칩일 수 있다. 또한, 상기 제 4 반도체 칩(164)은 모든 칩 패드(CP)가 제 4 방향 및 제 2 방향 테두리부(D41)(D43)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 여기서, 상기 제 1 방향과 제 2 방향은 서로 동일한 방향으로 상기

제 1 반도체 칩(161) 위에 제 2 반도체 칩(162)이 적층되고, 상기 제 3 방향과 제 4 방향은 서로 동일한 방향으로 상기 제 1 방향과 제 2 방향과는 180도 각도를 이루며, 상기 제 3 반도체 칩(163) 위에 제 4 반도체 칩(164)이 적층될 수 있다. 여기서, 도 11은 설명이 용이하도록 도 4의 다수개의 기관 패드(SP)가 생략된 도면으로서, 상기 기관 패드(SP)는 상기 상부 기관(120)의 4개의 테두리부 또는 2개의 테두리부에 골고루 분산되어 배치되고, 상기 와이어(130)는 이들과 상기 칩 패드(CP)들을 각각 전기적으로 연결시킬 수 있다.

[0059] 도 12에 도시된 바와 같이, 본 발명의 사상에 따른 반도체 스택 패키지 장치(1700)의 상기 상부 반도체 칩(160)은, 제 1 반도체 칩(161)과, 제 2 반도체 칩(162)과, 제 3 반도체 칩(163) 및 제 4 반도체 칩(164)을 포함할 수 있다. 여기서, 상기 제 1 반도체 칩(161)은 모든 칩 패드(CP)가 제 1 방향 테두리부(D11)에 집적되어 설치되는 패드 일방향 반도체 칩일 수 있다. 또한, 상기 제 2 반도체 칩(162)은 모든 칩 패드(CP)가 제 2 방향 및 제 4 방향 테두리부(D21)(D23)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 3 반도체 칩(163)은 모든 칩 패드(CP)가 제 3 방향 테두리부(D32)에 집적되어 설치되는 패드 일방향 반도체 칩일 수 있다. 또한, 상기 제 4 반도체 칩(164)은 모든 칩 패드(CP)가 제 4 방향 및 제 2 방향 테두리부(D44)(D42)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 여기서, 상기 제 1 방향과 제 2 방향은 서로 동일한 방향으로 상기 제 1 반도체 칩(161) 위에 제 2 반도체 칩(162)이 적층되고, 상기 제 3 방향과 제 4 방향은 서로 동일한 방향으로 상기 제 1 방향과 제 2 방향과는 90도 각도를 이루며, 상기 제 3 반도체 칩(163) 위에 제 4 반도체 칩(164)이 적층될 수 있다. 여기서, 도 12는 설명이 용이하도록 도 4의 다수개의 기관 패드(SP)가 생략된 도면으로서, 상기 기관 패드(SP)는 상기 상부 기관(120)의 4개의 테두리부 또는 2개의 테두리부에 골고루 분산되어 배치되고, 상기 와이어(130)는 이들과 상기 칩 패드(CP)들을 각각 전기적으로 연결시킬 수 있다.

[0060] 도 13은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1800)를 나타내는 단면도이고, 도 14는 도 13의 X IV-X IV 절단면을 나타내는 단면도이고, 도 15는 도 13의 평면도이다.

[0061] 도 13 내지 도 15에 도시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1800)의 상기 상부 반도체 칩(170)은, 도 8에 상술된 바와 같이, DQ 칩 패드(DQ)가 일측 테두리부(A)에 집적되고, CA 칩 패드(CA)가 타측 테두리부(C)에 집적되어 설치되는 패드 양방향 반도체 칩을 포함할 수 있다.

[0062] 도 13 내지 도 15를 참조하면, 상기 상부 반도체 칩(170)은, 제 1 반도체 칩(171)과, 제 2 반도체 칩(172)과, 제 3 반도체 칩(173) 및 제 4 반도체 칩(174)을 포함할 수 있다. 여기서, 상기 제 1 반도체 칩(171)은 상기 DQ 칩 패드(DQ)가 제 1 방향 테두리부(D11)에 집적되고, 상기 CA 칩 패드(CA)가 제 3 방향 테두리부(D13)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 2 반도체 칩(172)은 상기 DQ 칩 패드(DQ)가 제 2 방향 테두리부(D22)에 집적되고, 상기 CA 칩 패드(CA)가 제 4 방향 테두리부(D24)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 3 반도체 칩(173)은 상기 DQ 칩 패드(DQ)가 제 3 방향 테두리부(D33)에 집적되고, 상기 CA 칩 패드(CA)가 제 1 방향 테두리부(D31)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다. 또한, 상기 제 4 반도체 칩(174)은 상기 DQ 칩 패드(DQ)가 제 4 방향 테두리부(D44)에 집적되고, 상기 CA 칩 패드(CA)가 제 2 방향 테두리부(D42)에 집적되어 설치되는 패드 양방향 반도체 칩일 수 있다.

[0063] 여기서, 상기 제 1 반도체 칩(171)은 상기 상부 기관(120)의 상면에 실장되고, 상기 제 2 반도체 칩(172)은 상기 제 1 반도체 칩(171)의 상면에 적층되고, 상기 제 3 반도체 칩(173)은 상기 제 2 반도체 칩(172)의 상면에 적층되고, 상기 제 4 반도체 칩(174)은 상기 제 3 반도체 칩(173)의 상면에 적층될 수 있다. 또한, 상기 제 1 반도체 칩(171)과 제 2 반도체 칩(172)은 180도 각도를 이루고, 상기 제 2 반도체 칩(172)과 제 3 반도체 칩(173)은 90도 각도를 이루며, 상기 제 3 반도체 칩(173)과 제 4 반도체 칩(174)은 180도 각도를 이루는 것이 가능하다. 따라서, 도 15에 도시된 바와 같이, DQ 칩 패드(DQ)와 CA 칩 패드(CA)가 상기 상부 기관(120)을 기준으로 전후좌우 방향에 골고루 분포되어 각 칩들간 배선 경로의 차이를 최소화할 수 있는 것이다.

[0064] 도 16은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1900)를 나타내는 단면도이고, 도 17은 도 16의 X VII-X VII 절단면을 나타내는 단면도이다.

[0065] 도 16 및 도 17에 도시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1900)의 상기 상부 반도체 칩(170)은, 도 8에 상술된 바와 같이, DQ 칩 패드(DQ)가 일측 테두리부(A)에 집적되고, CA 칩 패드(CA)가 타측 테두리부(C)에 집적되어 설치되는 패드 양방향 반도체 칩을 포함할 수 있다. 여기서, 상기 제 1 반도체 칩(171)은 상기 상부 기관(120)의 상면에 실장되고, 상기 제 2 반도체 칩(172)은 상기 제 1 반도체 칩(171)의 상면에 적층되고, 상기 제 3 반도체 칩(173)은 상기 제 2 반도체 칩(172)의 상면에 적층되고, 상기 제 4 반도체 칩(174)은 상기 제 3 반도체 칩(173)의 상면에 적층될 수 있다. 또한, 상기 제 1 반도체 칩(171)과 제 2 반도체 칩(172)은 90도 각도를 이루고, 상기 제 2 반도체 칩(172)과 제 3 반도체 칩(173)은 90도 각도를 이루

며, 상기 제 3 반도체 칩(173)과 제 4 반도체 칩(174)은 90도 각도를 이루는 것이 가능하다. 따라서, 도 16 및 도 17에 도시된 바와 같이, DQ 칩 패드(DQ)와 CA 칩 패드(CA)가 상기 상부 기관(120)을 기준으로 전후좌우 방향에 골고루 분포되어 각 칩들간 배선 경로의 차이를 최소화할 수 있는 것이다.

[0066] 도 20은 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(2000)를 나타내는 단면도이다.

[0067] 도 20에 도시된 바와 같이, 상기 상부 기관(120)은, 제 1 재배선층(121)과, 제 2 재배선층(122) 및 메탈 코어층(123)을 포함할 수 있다. 여기서, 상기 제 1 재배선층(121)은 상기 기관 패드(SP)와 전기적으로 연결되는 배선층의 일종이다. 이러한 제 1 재배선층(121)은 상기 메탈 코어층(123)을 둘러싸는 절연층의 상부에 설치되는 것으로서, 접착이나 압착이나 금속 공정 등을 통해 설치될 수 있다. 여기서, 상기 절연층은 상기 메탈 코어층(123)은 물론, 제 1 재배선층(121)과, 제 2 재배선층(122)을 둘러싸서 보호할 수 있는 것으로서, 예컨대 솔더레지스트일 수 있다. 또한, 상기 제 2 재배선층(122)은 상기 절연층을 관통하는 비아전극(V)을 통해 상기 제 1 재배선층(121)과 전기적으로 연결되고, 상기 상부 볼 랜드(UBL)와 전기적으로 연결되는 배선층의 일종이다. 이러한 제 2 재배선층(122)은 상기 메탈 코어층(123)을 둘러싸는 절연층의 하부에 설치되는 것으로서, 접착이나 압착이나 금속 공정 등을 통해 설치될 수 있다. 또한, 상기 메탈 코어층(123)은 상기 제 1 재배선층(121)과 제 2 재배선층(122) 간의 전기적 간섭을 방지하도록 상기 제 1 재배선층(121)과 제 2 재배선층(122) 사이에 설치되는 것으로서, 제 1 재배선층(121)과 제 2 재배선층(122)에서 각각 발생하는 전자기파를 흡수하여 배선층간의 전기적인 간섭을 최소화할 수 있다. 여기서, 이러한 상기 메탈 코어층(123)은 그라운드 접지되는 것도 가능하다. 또한, 상기 메탈 코어층(123)은 금(Au), 은(Ag), 백금(Pt), 알루미늄(Al), 구리(Cu), 팔라듐(Pd), 니켈(Ni), 코발트(Co), 크롬(Cr), 티타늄(Ti) 등으로 형성될 수 있고, 기관 코어 공정에서 접착이나 압착이나 금속 공정에 의해 형성될 수 있다. 그러나, 상기 메탈 코어층(123)이 상기 재질이나 방법에 한정되는 것은 아니다.

[0068] 또한, 도 20에 도시된 바와 같이, 상기 하부 기관(220)은, 제 1 재배선층(221)과, 제 2 재배선층(222) 및 메탈 코어층(223)을 포함할 수 있다. 여기서, 상기 제 1 재배선층(221)은 상기 중간 볼 랜드(MBL)와 전기적으로 연결되는 배선층의 일종이다. 이러한 제 1 재배선층(221)은 상기 메탈 코어층(223)을 둘러싸는 절연층의 상부에 설치되는 것으로서, 접착이나 압착이나 금속 공정 등을 통해 설치될 수 있다. 여기서, 상기 절연층은 상기 메탈 코어층(223)은 물론, 제 1 재배선층(221)과, 제 2 재배선층(222)을 둘러싸서 보호할 수 있는 것으로서, 예컨대 솔더레지스트일 수 있다. 또한, 상기 제 2 재배선층(222)은, 비아전극(V)을 통해 상기 제 1 재배선층(221)과 전기적으로 연결되고, 상기 하부 볼 랜드(DBL)와 전기적으로 연결되는 배선층의 일종이다. 이러한 제 2 재배선층(222)은 상기 메탈 코어층(223)을 둘러싸는 절연층의 하부에 설치되는 것으로서, 접착이나 압착이나 금속 공정 등을 통해 설치될 수 있다. 또한, 상기 메탈 코어층(223)은 상기 제 1 재배선층(221)과 제 2 재배선층(222) 간의 전기적 간섭을 방지하도록 상기 제 1 재배선층(221)과 제 2 재배선층(222) 사이에 설치되는 것으로서, 제 1 재배선층(221)과 제 2 재배선층(222)에서 각각 발생하는 전자기파를 흡수하여 배선층간의 전기적인 간섭을 최소화할 수 있다. 여기서, 이러한 상기 메탈 코어층(223)은 그라운드 접지되는 것도 가능하다. 또한, 상기 메탈 코어층(223)은 금(Au), 은(Ag), 백금(Pt), 알루미늄(Al), 구리(Cu), 팔라듐(Pd), 니켈(Ni), 코발트(Co), 크롬(Cr), 티타늄(Ti) 등으로 형성될 수 있고, 기관 코어 공정에서 접착이나 압착이나 금속 공정 등에 의해 형성될 수 있다. 그러나, 상기 메탈 코어층(223)이 상기 재질이나 방법에 한정되는 것은 아니다.

[0069] 도 21은 도 1 내지 도 4에서 설명된 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1000)의 하부 기관(220)의 일례를 나타내는 평면도이다.

[0070] 도 21에 도시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(1000)는, 상기 하부 반도체 칩(210)의 범프(BU)와 대응하는 상기 하부 기관(220)의 범프 랜드(BL)가, 제 1 인터페이스부(BL1)와, 제 2 인터페이스부(BL2)와, 제 3 인터페이스부(BL3) 및 제 4 인터페이스부(BL4)를 포함할 수 있다. 여기서, 상기 제 1 인터페이스부(BL1)는 상기 상부 반도체 칩(110)의 제 1 반도체 칩(111)과 대응하는 중간 볼 랜드부(MBL1)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S3)의 제 1 방향 테두리부(S31)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 2 인터페이스부(BL2)는 상기 상부 반도체 칩(110)의 제 2 반도체 칩(112)과 대응하는 중간 볼 랜드부(MBL2)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S3)의 제 2 방향 테두리부(S32)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 3 인터페이스부(BL3)는 상기 상부 반도체 칩(110)의 제 3 반도체 칩(113)과 대응하는 중간 볼 랜드부(MBL3)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S3)의 제 3 방향 테두리부(S33)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 4 인터페이스부(BL4)는 상기 상부 반도체 칩(110)의 제 4 반도체 칩(114)과 대응하는 중간 볼 랜드부(MBL4)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S3)의 제 4 방향 테두리부(S34)에 배치되는 물리적 단자부의 일종이다. 여기서, 상기 중간 볼 랜드부(MBL1)(MBL2)(MBL3)(MBL4)는 중간 볼 랜드(MBL)가 2열을 이루어 상기 하부 반도체

칩 대응 영역(S3)을 둘러싸도록 배치될 수 있다.

- [0071] 여기서, 상기 중간 볼 랜드부(MBL1)(MBL2)(MBL3)(MBL4)들과, 제 1, 2, 3, 4 인터페이스부(BL1)(BL2)(BL3)(BL4)들은 상술된 도 20의 제 1 재배선층(221)을 통해 서로 전기적으로 연결되고 재배선될 수 있다.
- [0072] 도 22 내지 도 24는 본 발명 사상의 일부 실시예들에 따른 반도체 스택 패키지 장치(2100)(2200)(2300)의 하부 기판(230)(240)(250)들을 나타내는 평면도들이다.
- [0073] 도 22에 도시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(2100)는, 상기 하부 반도체 칩(210)의 범프(BU)와 대응하는 상기 하부 기판(230)의 범프 랜드(BL)가, 제 1 인터페이스부(BL1)와, 제 2 인터페이스부(BL2)와, 제 3 인터페이스부(BL3) 및 제 4 인터페이스부(BL4)를 포함할 수 있다. 여기서, 상기 제 1 인터페이스부(BL1)는 상기 상부 반도체 칩(110)의 제 1 반도체 칩(111)과 대응하는 중간 볼 랜드부(MBL1)와 전기적으로 연결되고, 하부 반도체 칩 대응 영역(S4)의 제 1 방향 테두리부(S41)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 2 인터페이스부(BL2)는, 상기 상부 반도체 칩(110)의 제 2 반도체 칩(112)과 대응하는 중간 볼 랜드부(MBL2)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S4)의 제 2 방향 테두리부(S42)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 3 인터페이스부(BL3)는 상기 상부 반도체 칩(110)의 제 3 반도체 칩(113)과 대응하는 중간 볼 랜드부(MBL3)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S4)의 제 3 방향 테두리부(S43)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 4 인터페이스부(BL4)는 상기 상부 반도체 칩(110)의 제 4 반도체 칩(114)과 대응하는 중간 볼 랜드부(MBL4)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S4)의 제 4 방향 테두리부(S44)에 배치되는 물리적 단자부의 일종이다.
- [0074] 여기서, 상기 중간 볼 랜드부(MBL1)(MBL2)(MBL3)(MBL4)는 중간 볼 랜드(MBL)가 3열을 이루어 상기 하부 반도체 칩 대응 영역(S4)을 둘러싸도록 배치될 수 있다. 이러한 상기 중간 볼 랜드(MBL)는 2열이나 3열 이외에도 1열이나 4열 이상으로 설치될 수 있는 것으로서, 이러한 중간 볼 랜드(MBL)의 형태나 개수나 위치 등은 본 발명의 사상을 벗어나지 않는 범위 내에서 수정 및 변경이 가능하다.
- [0075] 또한, 상기 중간 볼 랜드부(MBL1)(MBL2)(MBL3)(MBL4)들과, 제 1, 2, 3, 4 인터페이스부(BL1)(BL2)(BL3)(BL4)들은 상술된 도 20의 제 1 재배선층(221)을 통해 서로 전기적으로 연결되고 재배선될 수 있다.
- [0076] 한편, 도 23에 도시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(2200)는, 상기 하부 반도체 칩(210)의 범프(BU)와 대응하는 상기 하부 기판(240)의 범프 랜드(BL)가, 제 1 인터페이스부(BL1)와, 제 2 인터페이스부(BL2)와, 제 3 인터페이스부(BL3) 및 제 4 인터페이스부(BL4)를 포함할 수 있다. 여기서, 상기 제 1 인터페이스부(BL1)는 상기 상부 반도체 칩(110)의 제 1 반도체 칩(111)과 대응하는 중간 볼 랜드부(MBL1)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S5)의 제 1 방향 테두리부(S51)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 4 인터페이스부(BL4)는 상기 상부 반도체 칩(110)의 제 4 반도체 칩(114)과 대응하는 중간 볼 랜드부(MBL4)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S5)의 제 1 방향 테두리부(S51)에 상기 제 1 인터페이스부(BL1)와 함께 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 2 인터페이스부(BL2)는 상기 상부 반도체 칩(110)의 제 2 반도체 칩(112)과 대응하는 중간 볼 랜드부(MBL2)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S5)의 제 2 방향 테두리부(S52)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 3 인터페이스부(BL3)는 상기 상부 반도체 칩(110)의 제 3 반도체 칩(113)과 대응하는 중간 볼 랜드부(MBL3)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S5)의 제 2 방향 테두리부(S52)에 상기 제 2 인터페이스부(BL2)와 함께 배치되는 물리적 단자부의 일종이다.
- [0077] 여기서, 상기 중간 볼 랜드부(MBL1)(MBL2)(MBL3)(MBL4)들과, 제 1, 2, 3, 4 인터페이스부(BL1)(BL2)(BL3)(BL4)들은 상술된 도 20의 제 1 재배선층(221)을 통해 서로 전기적으로 연결되고 재배선될 수 있다.
- [0078] 도 24에 도시된 바와 같이, 본 발명 사상의 일부 실시예에 따른 반도체 스택 패키지 장치(2300)는, 상기 하부 반도체 칩(210)의 범프(BU)와 대응하는 상기 하부 기판(250)의 범프 랜드(BL)가, 제 1 인터페이스부(BL1)와, 제 2 인터페이스부(BL2)와, 제 3 인터페이스부(BL3) 및 제 4 인터페이스부(BL4)를 포함할 수 있다. 여기서, 상기 제 1 인터페이스부(BL1)는 상기 상부 반도체 칩(110)의 제 1 반도체 칩(111)과 대응하는 중간 볼 랜드부(도시하지 않음)와 전기적으로 연결되고, 하부 반도체 칩 대응 영역(S6)의 제 1 방향 테두리부(S61)에 배치되는 물리적 단자부의 일종이다. 또한, 제 4 인터페이스부(BL4)는 상기 상부 반도체 칩(110)의 제 4 반도체 칩(114)과 대응하는 중간 볼 랜드부(도시하지 않음)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S6)의 제 1 방향 테두리부(S61)에 상기 제 1 인터페이스부(BL1)와 함께 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 2 인터페이스부(BL2)는 상기 상부 반도체 칩(110)의 제 2 반도체 칩(112)과 대응하는 중간 볼 랜드부(도시하지

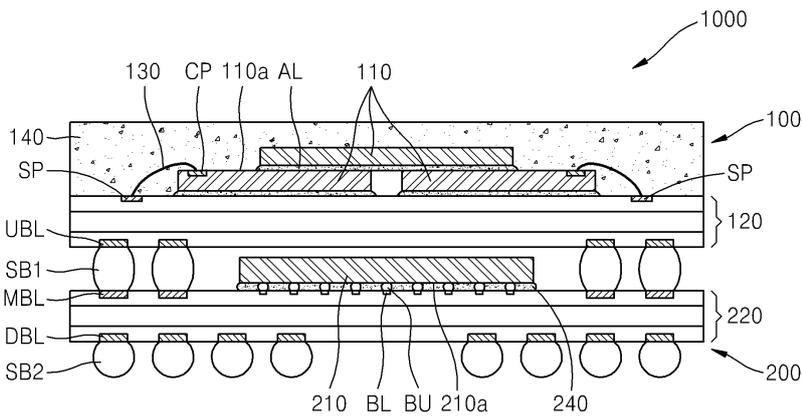
않음)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S6)의 제 2 방향 테두리부(S62)에 배치되는 물리적 단자부의 일종이다. 또한, 상기 제 3 인터페이스부(BL3)는 상기 상부 반도체 칩(110)의 제 3 반도체 칩(113)과 대응하는 중간 볼 랜드부(도시하지 않음)와 전기적으로 연결되고, 상기 하부 반도체 칩 대응 영역(S6)의 제 2 방향 테두리부(S62)에 상기 제 2 인터페이스부(BL2)와 함께 배치되는 물리적 단자부의 일종이다. 여기서, 상기 하부 기판(250)의 중간 볼 랜드(MBL)는, 상기 하부 기판(250)을 기준으로 적어도 하나 이상의 방향(도면에서는 서로 이웃하는 2개의 테두리 방향)에 더미 솔더볼(도시하지 않음)이 부착되는 더미 볼 랜드부(DUM)가 설치될 수 있다. 이러한 더미 솔더볼 및 더미 볼 랜드부(DUM)는 비록 전기적인 신호가 입출력되지 않는다고 하더라도 상기 하부 반도체 칩 대응 영역(S6)이 하부 기판(250)의 비교적 가운데에 위치하도록 하여 상기 하부 반도체 칩(210)을 외부의 외력이나 기타 충격이나 전기적 간섭으로부터 보호할 수 있는 것이다.

- [0079] 도 25는 본 발명의 일부 실시예들에 따른 반도체 스택 패키지 장치(1000)가 보드 기판(3000)에 실장된 상태를 나타내는 단면도이다.
- [0080] 도 25의 반도체 스택 패키지 장치(1000)는, 상부 반도체 패키지(100)와, 하부 반도체 패키지(200) 및 보드 기판(3000)을 포함할 수 있다. 여기서, 상기 상부 반도체 패키지(100) 및 하부 반도체 패키지(200)는 도 1 내지 도 4에서 설명한 구조와 동일할 수 있다. 따라서, 상기 상부 반도체 패키지(100) 및 하부 반도체 패키지(200)의 구성요소들에 대한 구체적인 설명은 생략한다.
- [0081] 이러한, 상기 상부 반도체 패키지(100) 및 하부 반도체 패키지(200)는 상기 보드 기판(3000)에 실장될 수 있다. 상기 보드 기판(3000)은 바디층(3100), 상부 보호층(3200), 하부 보호층(3300), 상부 패드(3400) 및 연결 부재(3500)를 포함할 수 있다. 상기 바디층(3100)에는 다수의 배선 패턴이 형성될 수 있다. 상부 보호층(3200) 및 하부 보호층(3300)은 바디층(3100)을 보호하는 기능을 하는데, 예컨대, 솔더 레지스트일 수 있다. 이러한 보드 기판(3000)은 전술한 바와 같이 규격화되어 있고, 또한 그 사이즈 축소에 한계가 있다. 따라서, 보드 기판(3000)에 대해서는 더 이상의 설명은 생략한다.
- [0082] 도 26은 본 발명의 일부 실시예에 따른 반도체 스택 패키지 장치를 포함하는 메모리 카드(7000)를 개략적으로 보여주는 블록 구성도이다.
- [0083] 도 26에 도시된 바와 같이, 메모리 카드(7000) 내에서 제어기(7100)와 메모리(7200)는 전기적인 신호를 교환하도록 배치될 수 있다. 예를 들어, 제어기(7100)에서 명령을 내리면, 메모리(7200)는 데이터를 전송할 수 있다. 제어기(7100) 및/또는 메모리(7200)는 본 발명의 실시예들 중 어느 하나에 따른 반도체 스택 패키지 장치를 포함할 수 있다. 메모리(7200)는 메모리 어레이(미도시) 또는 메모리 어레이 뱅크(미도시)를 포함할 수 있다.
- [0084] 이러한 카드(7000)는 다양한 종류의 카드, 예를 들어 메모리 스틱 카드(memory stick card), 스마트 미디어 카드(smart media card; SM), 씨큐어 디지털 카드(secure digital; SD), 미니 씨큐어 디지털 카드(mini secure digital card; mini SD), 또는 멀티 미디어 카드(multi media card; MMC)와 같은 메모리 장치에 이용될 수 있다.
- [0085] 도 27은 본 발명의 일부 실시예에 따른 반도체 스택 패키지 장치를 포함하는 전자시스템(8000)을 개략적으로 보여주는 블록 구성도이다.
- [0086] 도 27에 도시된 바와 같이, 전자시스템(8000)은 제어기(8100), 입/출력 장치(8200), 메모리(8300) 및 인터페이스(8400)를 포함할 수 있다. 상기 전자시스템(8000)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 상기 모바일 시스템은 PDA, 휴대용 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 폰(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player) 또는 메모리 카드(memory card)일 수 있다.
- [0087] 여기서, 상기 제어기(8100)는 프로그램을 실행하고, 전자시스템(8000)을 제어하는 역할을 할 수 있다. 상기 제어기(8100)는, 예를 들어 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러(microcontroller) 또는 이와 유사한 장치일 수 있다. 또한, 상기 입/출력 장치(8200)는 전자시스템(8000)의 데이터를 입력 또는 출력하는데 이용될 수 있다.
- [0088] 또한, 상기 전자시스템(8000)은 입/출력 장치(8200)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 상기 입/출력 장치(8200)는, 예를 들어 키패드(keypad), 키보드(keyboard) 또는 표시장치(display)일 수 있다. 상기 메모리(8300)는 제어기(8100)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 및/또는 제어기(8100)에서 처리된 데이터를 저장할 수 있다. 제어기(8100) 및 메모리(8300)는 본 발명의 실시예들 중 어느 하나에 따른 반도체 스택 패키지 장치를 포함할 수

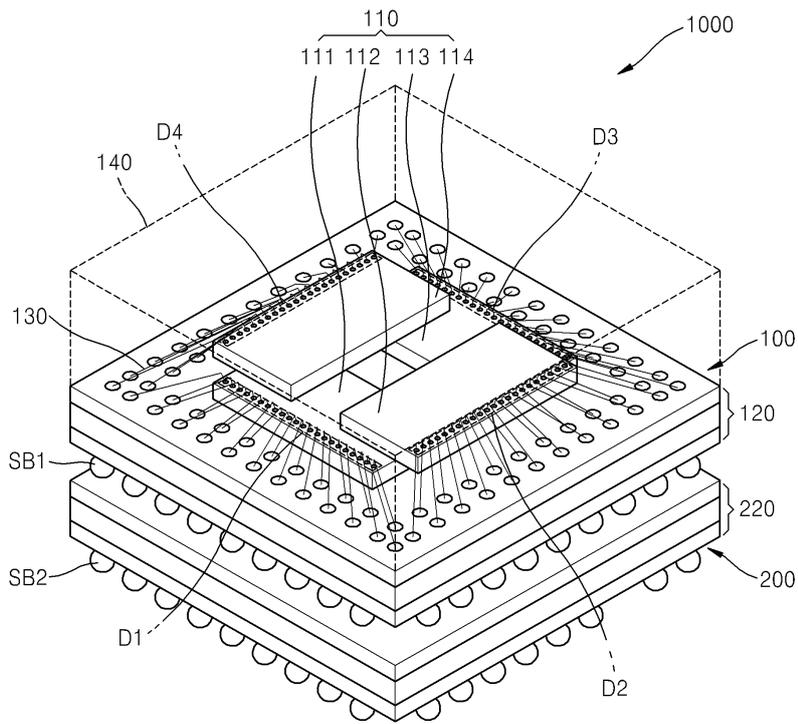
- BL1: 제 1 인터페이스부 BL2: 제 2 인터페이스부
- BL3: 제 3 인터페이스부 BL4: 제 4 인터페이스부
- S31, S41, S51, S61: 제 1 방향 테두리부
- S32, S42, S52, S62: 제 2 방향 테두리부
- S33, S43, S53: 제 3 방향 테두리부
- S34, S44, S54: 제 4 방향 테두리부
- MBL1, MBL2, MBL3, MBL4: 중간 볼 랜드부
- DUM: 더미 볼 랜드부
- 3000: 보드 기판 3100: 바디층
- 3200: 상부 보호층 3300: 하부 보호층
- 3400: 상부 패드 3500: 연결 부재
- 7000: 메모리 카드 7100: 제어기
- 7200: 메모리 8000: 전자시스템
- 8100: 제어기 8200: 입/출력 장치
- 8300: 메모리 8400: 인터페이스
- 8500: 버스

도면

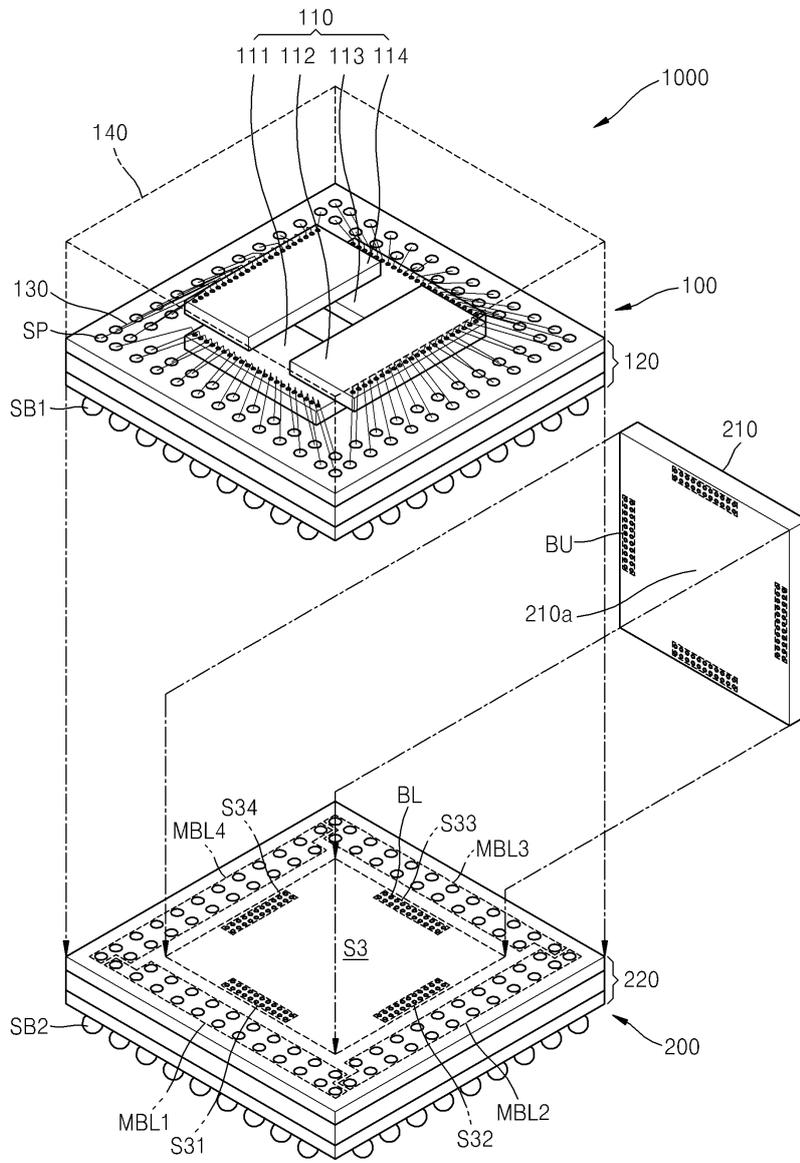
도면1



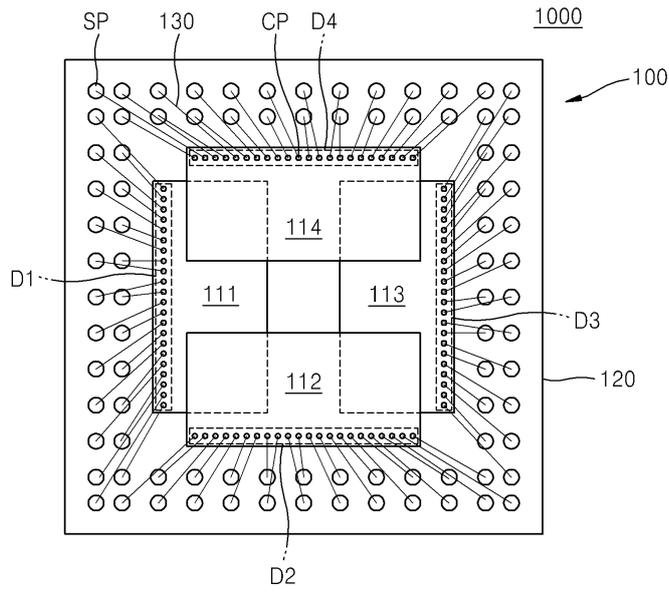
도면2



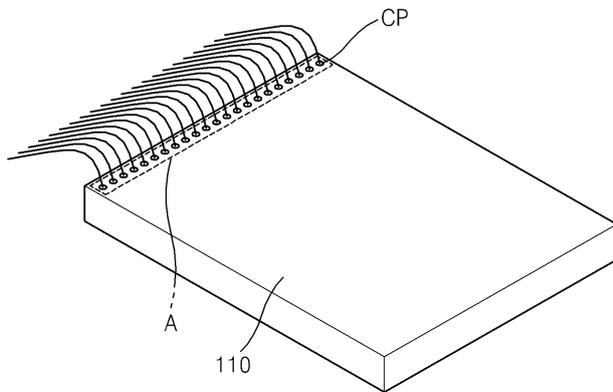
도면3



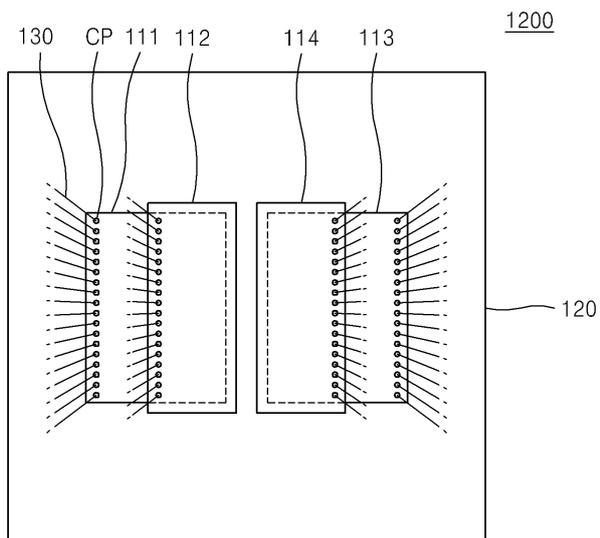
도면4



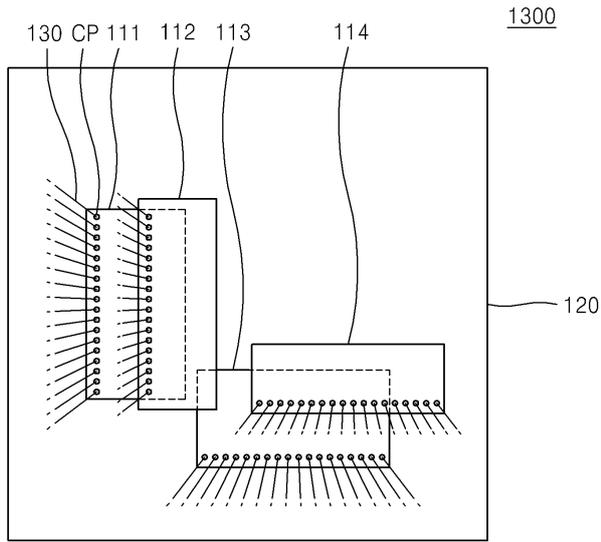
도면5



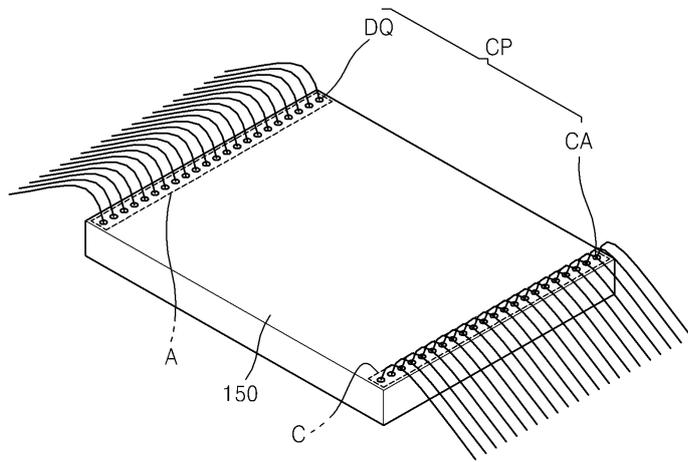
도면6



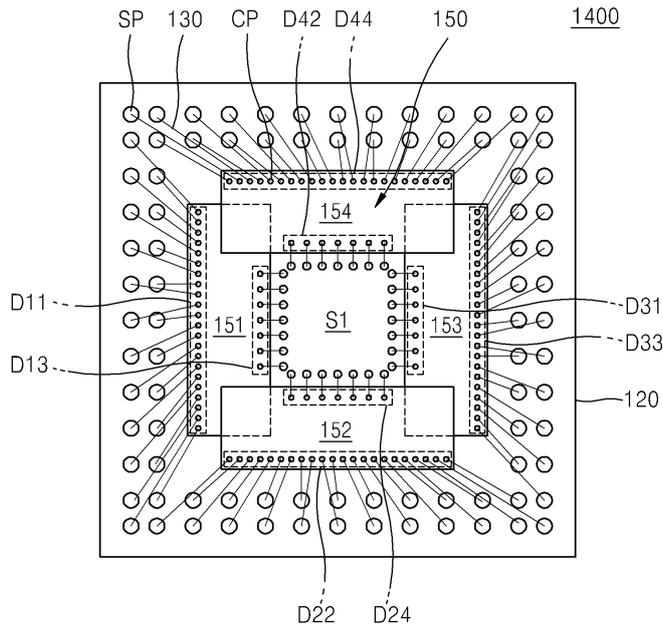
도면7



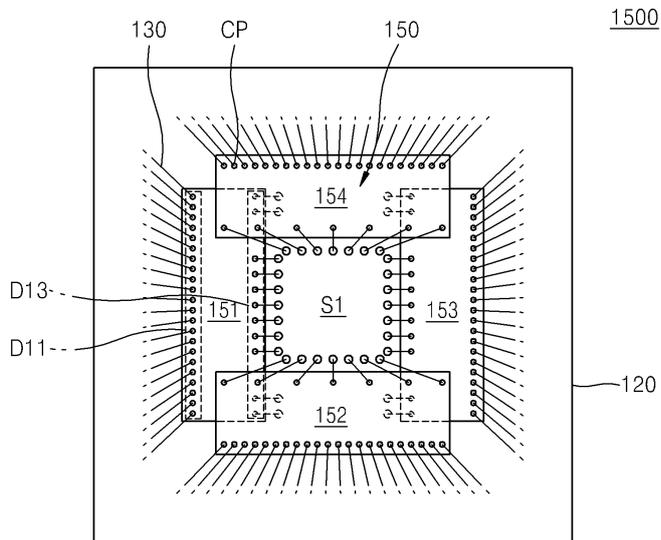
도면8



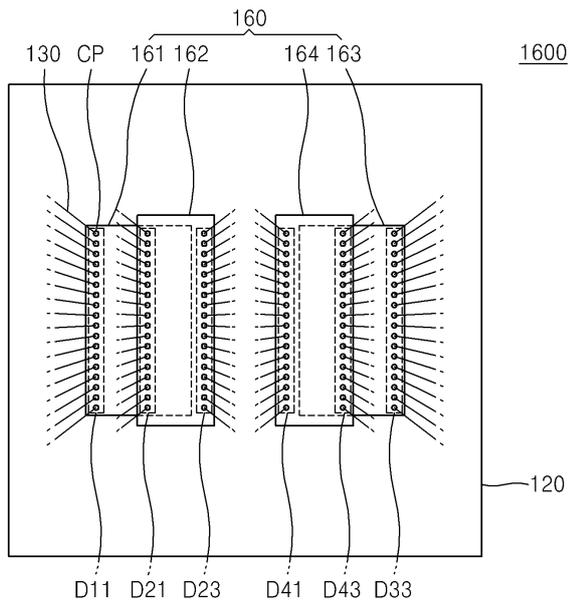
도면9



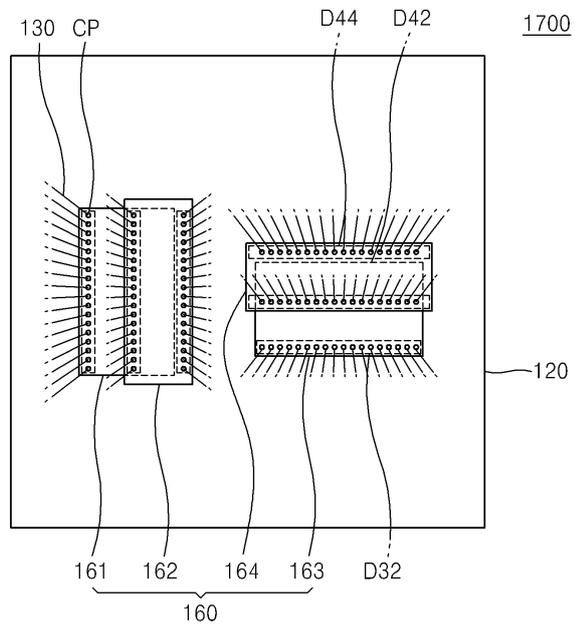
도면10



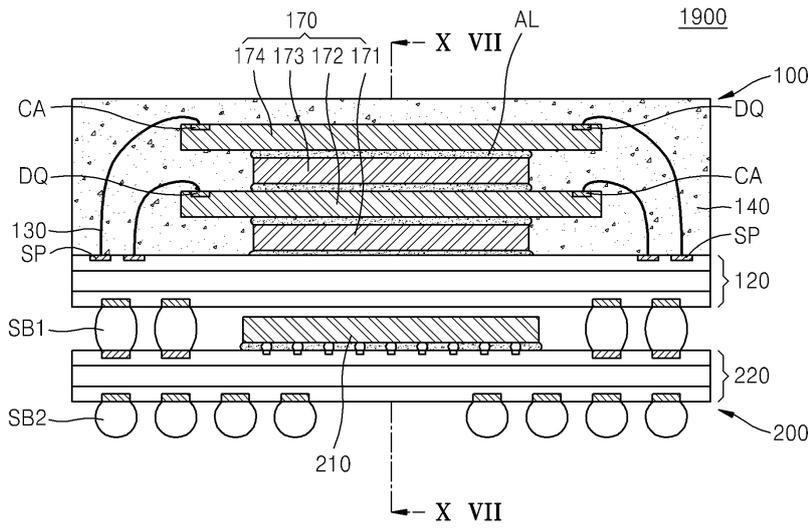
도면11



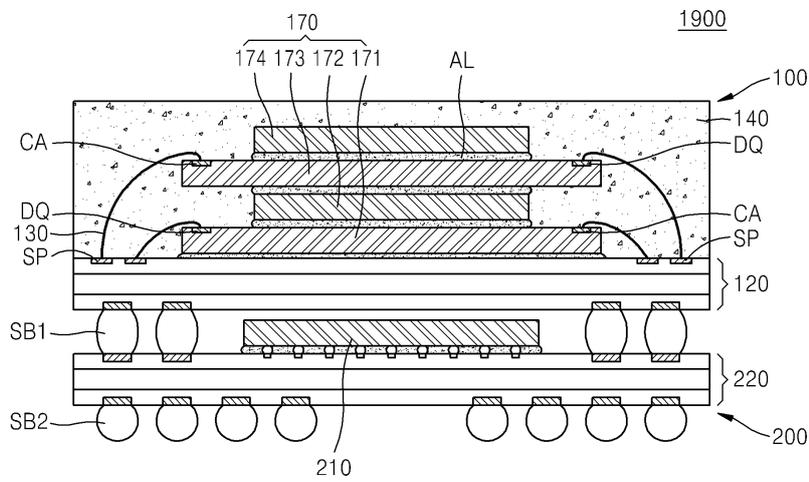
도면12



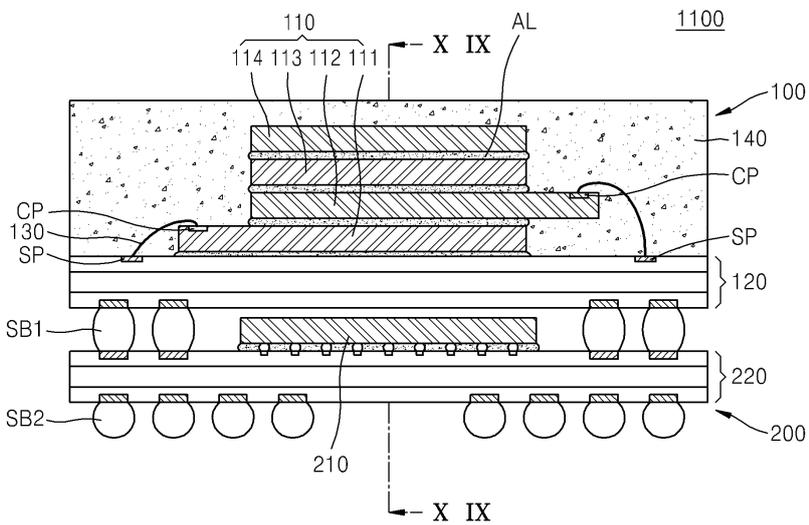
도면16



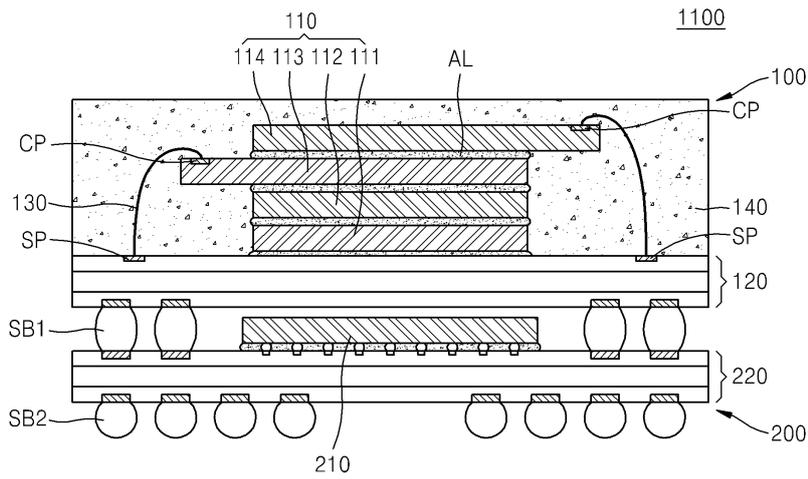
도면17



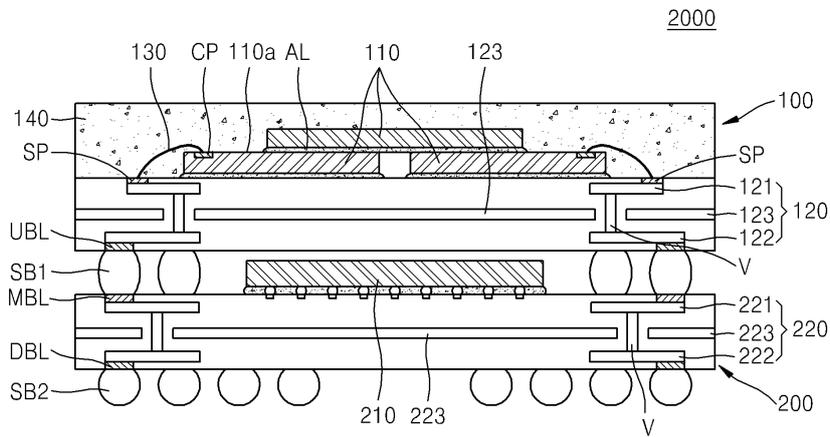
도면18



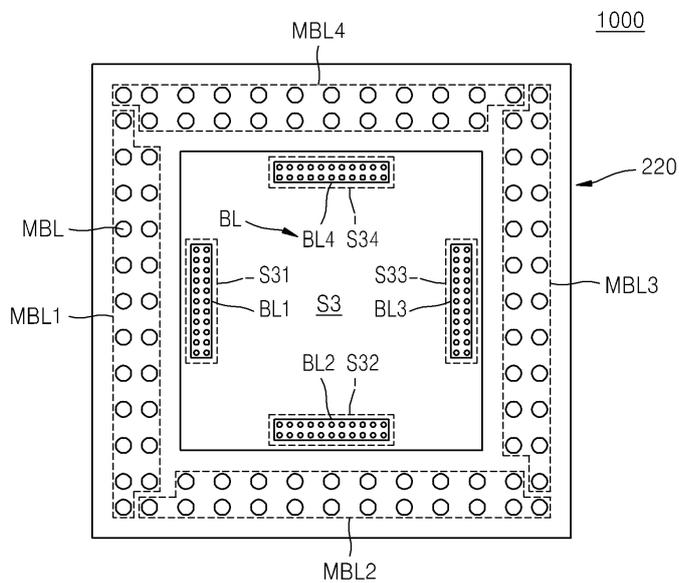
도면19



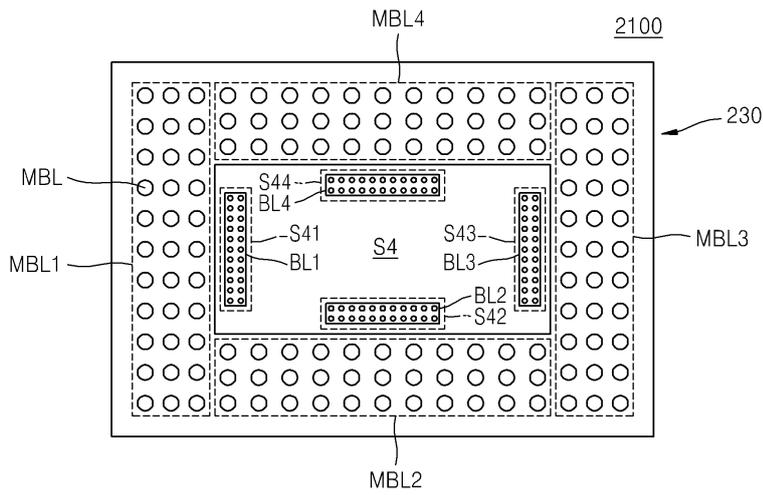
도면20



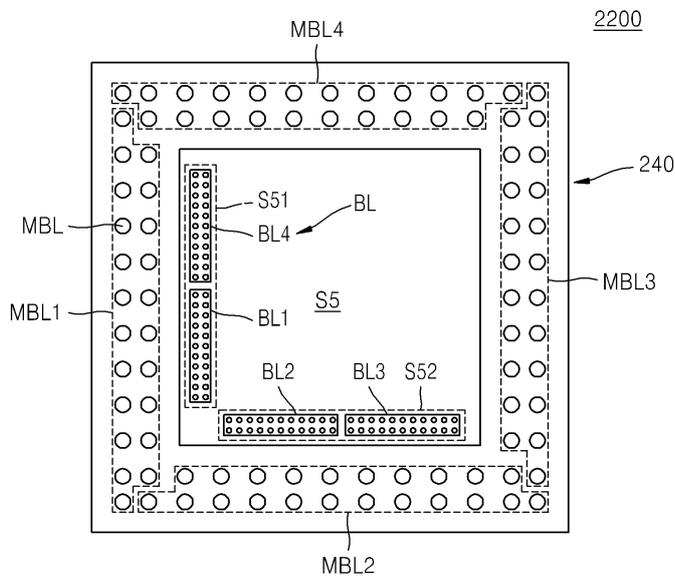
도면21



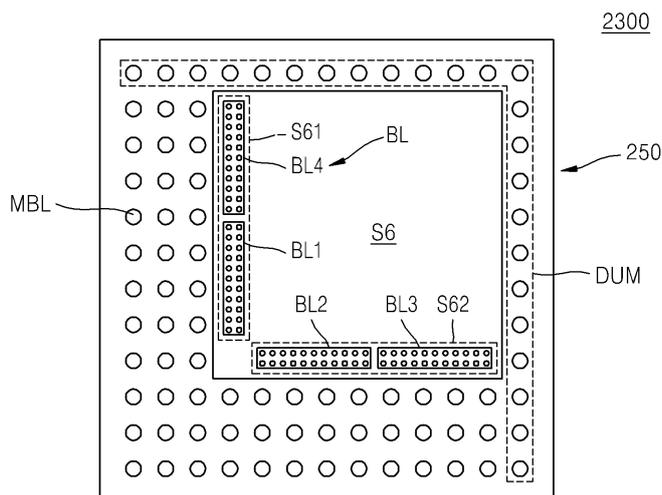
도면22



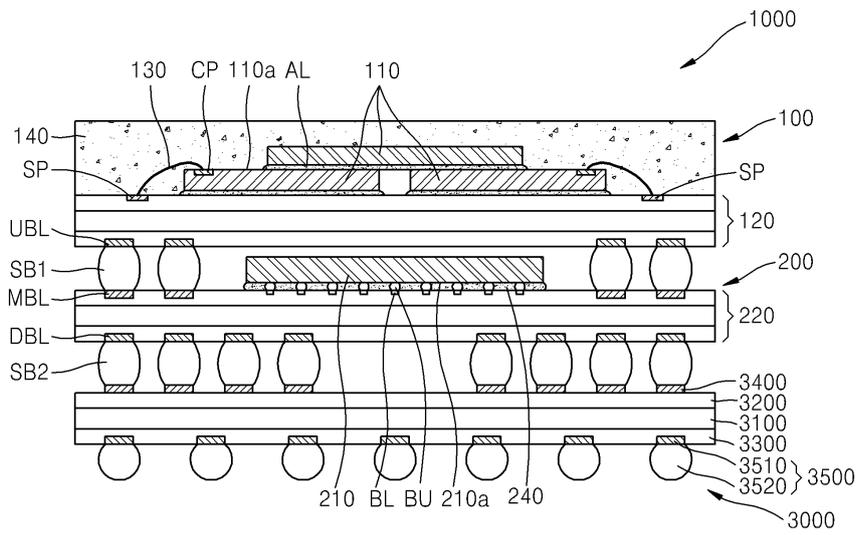
도면23



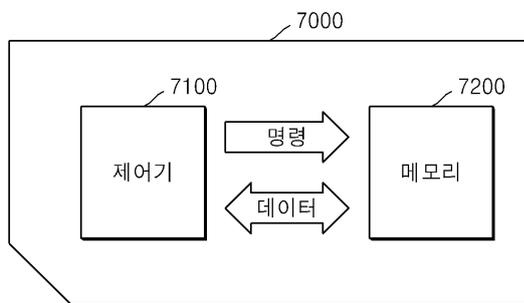
도면24



도면25



도면26



도면27

