



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월27일
(11) 등록번호 10-1993139
(24) 등록일자 2019년06월20일

(51) 국제특허분류(Int. Cl.)
H03M 1/12 (2006.01) H03M 1/10 (2006.01)
(21) 출원번호 10-2013-0087535
(22) 출원일자 2013년07월24일
심사청구일자 2017년11월07일
(65) 공개번호 10-2015-0012112
(43) 공개일자 2015년02월03일
(56) 선행기술조사문헌
JP2009115710 A
KR1020110104178 A
KR1020120006351 A
KR1020130010842 A

(73) 특허권자
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
(72) 발명자
전영득
대전 유성구 덕명로 26, 101동 104호 (덕명동, 운
암네오미아아파트)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 13 항

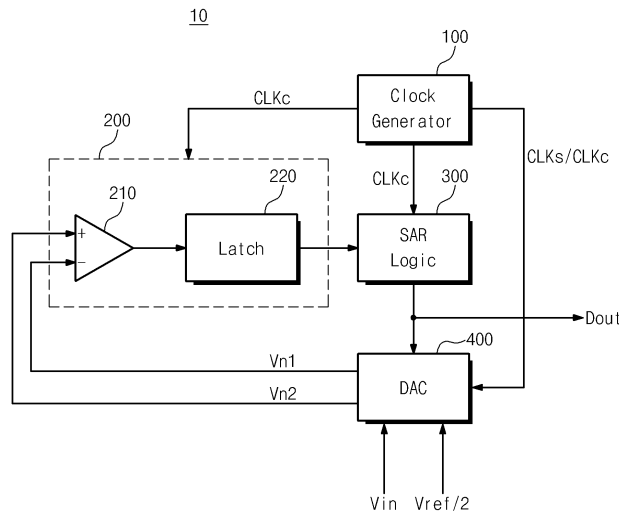
심사관 : 유선중

(54) 발명의 명칭 연속 근사 레지스터 아날로그 디지털 컨버터 및 이를 테스트하기 위한 BIST 장치의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 연속 근사 레지스터 아날로그 디지털 컨버터는 제 1 및 제 2 아날로그 입력 신호들 및 기준 전압 신호에 기초하여, 제 1 및 제 2 레벨 전압들을 생성하여 출력하는 디지털 아날로그 변환기, 상기 제 1 및 제 2 레벨 전압들을 비교하고, 비교 결과에 따른 비교 신호를 출력하는 비교기, 상기 비교 신호를 기반으로 디지털 신호를 생성하는 SAR 로직을 포함하되, 상기 디지털 아날로그 변환기는, 상기 제 1 및 제 2 아날로그 입력 신호들의 수신을 각각 제어하는 제 1 및 제 2 입력 스위치들, 상기 제 1 입력 스위치와 전기적으로 연결되며, 상기 제 1 입력 스위치의 동작에 따른 누설 전류를 방전하는 제 1 방전 스위치, 상기 제 2 입력 스위치와 전기적으로 연결되며, 상기 제 2 입력 스위치의 동작에 따른 누설 전류를 방전하는 제 2 방전 스위치를 포함한다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 10041042

부처명 지식경제부

연구관리전문기관 한국산업기술평가관리원

연구사업명 시스템반도체상용화 기술개발사업

연구과제명 국제 안전기준을 만족하는 자동차 제동장치용 기능 통합 SoC 개발

기 여 율 1/1

주관기관 (주)실리콘웍스

연구기간 2011.12.01 ~ 2016.09.30

명세서

청구범위

청구항 1

제 1 및 제 2 아날로그 입력 신호들 및 기준 전압 신호에 기초하여, 제 1 및 제 2 레벨 전압들을 생성하여 출력하는 디지털 아날로그 변환기;

상기 제 1 및 제 2 레벨 전압들을 비교하고, 비교 결과에 따른 비교 신호를 출력하는 비교기; 및

상기 비교 신호를 기반으로 디지털 신호를 생성하는 SAR 로직을 포함하되,

상기 디지털 아날로그 변환기는,

상기 제 1 및 제 2 아날로그 입력 신호들의 수신을 각각 제어하는 제 1 및 제 2 입력 스위치들;

상기 제 1 입력 스위치와 전기적으로 연결되며, 상기 제 1 입력 스위치의 동작에 따른 누설 전류를 방전하는 제 1 방전 스위치; 및

상기 제 2 입력 스위치와 전기적으로 연결되며, 상기 제 2 입력 스위치의 동작에 따른 누설 전류를 방전하는 제 2 방전 스위치를 포함하는 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 2

제 1 항에 있어서,

상기 기준 전압 신호는 전원 전압의 1/2배인 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 3

제 1 항에 있어서,

상기 디지털 아날로그 변환기는,

상기 제 1 아날로그 입력 신호를 샘플링하는 제 1 캐패시터 어레이를 포함하는 상기 제 1 변환부; 및

상기 제 2 아날로그 입력 신호를 샘플링하는 제 2 캐패시터 어레이를 포함하는 상기 제 2 변환부를 포함하되,

상기 제 1 아날로그 입력 신호는 전원 전압의 범위에 포함되며, 상기 제 2 아날로그 입력 신호는 상기 전원 전압의 1/2배인 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 4

제 3 항에 있어서,

상기 디지털 아날로그 변환기는 상기 제 1 및 제 2 변환부의 샘플링 동작을 제어하는 디코딩 로직을 더 포함하는 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 5

제 3 항에 있어서,

상기 제 1 캐패시터 어레이는 상기 제 1 아날로그 입력 신호의 전압 레벨을 분배하기 위한 제 1 및 제 2 캐패시터부들을 포함하고,

상기 제 2 캐패시터 어레이는 상기 제 2 아날로그 입력 신호의 전압 레벨을 분배하기 위한 제 3 및 제 4 캐패시터부들을 포함하는 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 6

제 3 항에 있어서,

상기 기준 전압 신호는 제 1 및 제 2 기준 전압 신호로서 구현되며,

상기 제 1 및 제 2 변환부들은 상기 디지털 신호를 기반으로 상기 제 1 및 제 2 캐패시터 어레이들의 하판에 상기 제 1 및 제 2 기준 전압 신호들 중 어느 하나가 선택적으로 공급되는 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 7

제 1 항에 있어서,

샘플링 클럭 및 변환 클럭을 생성하는 클럭 발생기를 더 포함하고,

상기 디지털 아날로그 변환기는 상기 샘플링 클럭에 응답하여 상기 제 1 및 제 2 아날로그 입력 신호들을 샘플링하고, 상기 변환 클럭에 응답하여 상기 제 1 및 제 2 레벨 전압들을 출력하는 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 8

제 7 항에 있어서,

상기 SAR 로직은, 상기 변환 클럭에 응답하여, 상기 비교기로부터 출력된 상기 비교 결과 신호들을 기반으로 상기 디지털 신호를 출력하는 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 9

제 1 항에 있어서,

상기 제 1 입력 스위치 및 상기 제 1 방전 스위치, 그리고 상기 제 2 입력 스위치 및 상기 제 2 방전 스위치는 서로 상보적으로 동작하는 연속 근사 레지스터 아날로그 디지털 컨버터.

청구항 10

연속 근사 레지스터 아날로그 디지털 컨버터를 테스트하기 위한 BIST 장치의 동작 방법에 있어서,

제 1 및 제 2 입력 전압들에 응답하여 제 1 및 제 2 출력 코드들을 저장하는 단계;

상기 저장된 제 1 및 제 2 출력 코드들의 차동값 및 상기 제 2 입력 전압에 따른 제 1 정상 코드의 연산 결과에 기초하여 이득 에러를 출력하는 단계;

상기 제 2 입력 전압 및 제 3 입력 전압에 응답하여 제 3 및 제 4 출력 코드들을 저장하는 단계;

상기 저장된 제 3 출력 코드 및 상기 제 1 정상 코드의 연산 결과에 기초하여 옙셋 에러를 출력하는 단계; 및

상기 저장된 제 3 및 제 4 출력 코드들의 차동값 및 상기 제 3 입력 전압에 따른 제 2 정상 코드의 연산 결과에 기초하여 INL 에러를 출력하는 단계를 포함하되,

상기 연속 근사 레지스터 아날로그 디지털 컨버터는 상기 BIST 장치로부터 상기 옙셋 에러에 대응하는 신호를 수신하여, 옙셋이 보정된 디지털 신호를 출력하는 BIST 장치의 동작 방법.

청구항 11

제 10 항에 있어서,

상기 이득 에러와 상기 이득 에러에 대응하는 기준 이득 에러를 비교하는 단계;

상기 옙셋 에러와 상기 옙셋 에러에 대응하는 기준 옙셋 에러를 비교하는 단계; 및

상기 INL 에러 및 상기 INL 에러에 대응하는 기준 INL 에러를 비교하는 단계를 더 포함하는 BIST 장치의 동작 방법.

청구항 12

제 11 항에 있어서,

상기 기준 이득 에러, 상기 기준 옙셋 에러, 및 상기 기준 INL 에러와의 각 비교 결과에 따라, 각 경고 신호를

발생하는 단계를 더 포함하는 BIST 장치의 동작 방법.

청구항 13

제 10 항에 있어서,

상기 제 1 및 제 2 입력 전압들에 응답하여 출력되는 상기 제 1 및 제 2 출력 코드들은, 미리 설정된 보상 코드에 기초하여 출력되는 BIST 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 아날로그 디지털 컨버터에 관한 것으로, 더 상세하게는 연속 근사 레지스터 아날로그 디지털 컨버터 및 이를 테스트하기 위한 BIST(Built-in self-test) 장치의 동작 방법에 관한 것이다.

배경 기술

[0002] 아날로그 디지털 컨버터(Analog to Digital Converter)는 아날로그 입력 전압을 수신하여 이를 디지털 신호로 변환한다. 변환된 디지털 신호는 다른 장치들로 전송될 수 있다. 연속 근사 레지스터 아날로그 디지털 컨버터(Successive Approximation Register Analog to digital Converter, 이하: SAR ADC)는 하나의 비교기를 반복적으로 사용하는 구조를 갖는다. SAR ADC는 S/H 회로(Sample and Hold circuit) 및 MDAC(Multiplying Digital-to-Analog Converter)와 같은 아날로그 회로를 갖지 않기 때문에 간단한 구조를 갖는다. 따라서, 다른 아날로그 디지털 변환기와 비교하여 면적 및 전력 소모가 적다. 또한, SAR ADC는 저전압 회로에 적용이 용이하다.

[0003] SAR ADC는 센서들의 출력 신호를 수신하여 디지털 신호로 변환할 수 있다. 일반적인 센서들(Sensor)은 단일 전압(Single Voltage)의 출력을 갖는다. 따라서, 센서의 출력 신호를 디지털 신호로 변환하는 SAR ADC는 단일 입력(single-ended input)의 구조를 가져야 한다. SAR ADC는 SAR 로직, 비교기, 및 디지털 아날로그 변환기를 포함한다.

[0004] 디지털 아날로그 변환기(Digital-to-Analog Converter, 이하: DAC)의 출력을 비교하는 비교기로서 차동 프리앰프(Differential Pre-amplifier) 및 래치(Latch)가 사용될 수 있다. 이 경우, SAR ADC는 캐패시터에 샘플링된 아날로그 입력 전압 및 디지털 비트를 기반으로 생성된 레벨 전압들을 비교하는 방식으로 변환 동작을 수행한다.

[0005] 단일 전압을 출력으로 갖는 센서의 출력 범위가 전원 전압의 범위(0~Vdd)일 경우, 캐패시터의 상판(top plate)에 연결된 노드의 전압이 전원 전압(Vdd)보다 높아질 수 있다. 이와 같은 경우, 전원 전압(Vdd)보다 높은 전압을 갖는 노드와 연결된 스위치들의 오작동으로 인하여 캐패시터에 저장된 전하가 유실되고, SAR ADC의 신뢰도가 떨어질 수 있다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 발명은 향상된 신뢰성을 갖는 연속 근사 레지스터 아날로그 디지털 컨버터 및 이를 테스트하기 위한 BIST(Built-in self-test) 장치의 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위한 본 발명에 따른 연속 근사 레지스터 아날로그 디지털 컨버터는 제 1 및 제 2 아날로그 입력 신호들 및 기준 전압 신호에 기초하여, 제 1 및 제 2 레벨 전압들을 생성하여 출력하는 디지털 아날로그 변환기, 상기 제 1 및 제 2 레벨 전압들을 비교하고, 비교 결과에 따른 비교 신호를 출력하는 비교기, 상기 비교 신호를 기반으로 디지털 신호를 생성하는 SAR 로직을 포함하되, 상기 디지털 아날로그 변환기는, 상기 제 1 및 제 2 아날로그 입력 신호들의 수신을 각각 제어하는 제 1 및 제 2 입력 스위치들, 상기 제 1 입력 스위치와 전기적으로 연결되며, 상기 제 1 입력 스위치의 동작에 따른 누설 전류를 방전하는 제 1 방전 스위치, 상기 제 2 입력 스위치와 전기적으로 연결되며, 상기 제 2 입력 스위치의 동작에 따른 누설 전류를 방전하는 제 2 방전 스위치를 포함한다.

[0008] 목적을 달성하기 위한 본 발명에 따른 BIST 장치의 동작 방법은, 제 1 및 제 2 입력 전압들에 응답하여 제 1 및 제 2 출력 코드들을 저장하는 단계, 상기 저장된 제 1 및 제 2 출력 코드들의 차동값 및 상기 제 2 입력 전압에 따른 제 1 정상 코드의 연산 결과에 기초하여 이득 에러를 출력하는 단계, 상기 제 2 입력 전압 및 제 3 입력 전압에 응답하여 제 3 및 제 4 출력 코드들을 저장하는 단계, 상기 저장된 제 3 출력 코드 및 상기 제 1 정상 코드의 연산 결과에 기초하여 오프셋 에러를 출력하는 단계, 상기 저장된 제 3 및 제 4 출력 코드들의 차동값 및 상기 제 3 입력 전압에 따른 제 2 정상 코드의 연산 결과에 기초하여 INL 에러를 출력하는 단계를 포함하되, 상기 연속 근사 레지스터 아날로그 디지털 컨버터는 상기 BIST 장치로부터 상기 오프셋 에러에 대응하는 신호를 수신하여, 상기 오프셋 신호가 보정된 디지털 신호를 출력한다.

발명의 효과

[0009] 본 발명의 실시 예에 따른 SAR ADC는 외부 환경에 따른 내부 전원 전압의 변동에도 안정적으로 동작될 수 있다. 또한, SAR ADC는 BIST 알고리즘에 따라 ADC 성능을 모니터링함으로써, 아날로그-디지털 변환의 동작 유무를 정확히 파악할 수 있다.

도면의 간단한 설명

- [0010] 도 1은 본 발명의 실시 예에 따른 SAR ADC를 보여주는 블록도이다.
- 도 2는 도 1에 도시된 DAC를 보여주는 회로도이다.
- 도 3은 SAR ADC의 INL 측정을 보여주는 그래프이다.
- 도 4는 SAR ADC의 동작 특성을 보여주는 일 예이다.
- 도 5는 본 발명의 BIST 알고리즘에 따른 이득 에러의 테스트 동작을 보여주는 순서도이다.
- 도 6은 본 발명의 BIST 알고리즘에 따른 오프셋 에러의 테스트 동작을 보여주는 순서도이다.
- 도 7은 본 발명의 BIST 알고리즘에 따른 INL 에러의 테스트 동작을 보여주는 순서도이다.
- 도 8은 본 발명의 다른 실시 예에 따른 DAC를 보여주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다. 동일한 구성 요소들은 동일한 참조번호를 이용하여 인용될 것이다. 유사한 구성 요소들은 유사한 참조번호들을 이용하여 인용될 것이다. 아래에서 설명될 본 발명에 따른 연속 근사 레지스터 아날로그 디지털 컨버터와, 그것에 의해 수행되는 동작은 예를 들어 설명한 것에 불과하며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능하다.

[0012] 도 1은 본 발명의 실시 예에 따른 SAR ADC를 보여주는 블록도이다. 도 1을 참조하면, SAR ADC(10)는 클럭 발생기(100, Clock Generator), 비교기(200, Comparator), SAR 로직(300, Sar Logic), 및 디지털 아날로그 변환기(400, Digital-to-Analog Converter, 이하: DAC)를 포함한다.

[0013] 클럭 발생기(100)는 샘플링 클럭(CLKs) 및 변환 클럭(CLKc)을 생성할 수 있다. DAC(400)로 샘플링 클럭(CLKs) 및 변환 클럭(CLKc)이 각각 전달되며, 비교부(200), SAR 로직(300), 및 DAC(400)로 변환 클럭(CLKc)이 전달된다. 실시 예에 있어서, 샘플링 클럭(CLKs) 및 변환 클럭(CLKc)은 서로 반전된 클럭일 수 있다. 예시적으로, DAC(400)는 샘플링 클럭(CLKs)에 응답하여, 입력 전압(Vin)을 샘플링할 수 있다. 또한, DAC(400)는 변환 클럭(CLKc)에 응답하여, 제 1 및 제 2 레벨 전압들(Vn1, Vn2)을 생성할 수 있다.

[0014] 비교부(200)는 생성된 제 1 및 제 2 레벨 전압들(Vn1, Vn2)을 비교한다. 자세하게, 비교부(200)는 차동 프리앰프(210, Differential Pre-Amplifier) 및 래치(220, Latch)를 포함한다. 차동 프리앰프(210)는 DAC(400)로부터 제 1 및 제 2 레벨 전압들(Vn1, Vn2)을 수신하고, 수신된 제 1 및 제 2 레벨 전압들(Vn1, Vn2)을 서로 비교한다. 차동 프리앰프(210)는 비교된 결과를 증폭하여, 래치(200)에 전달한다. 실시 예에 있어서, 차동 프리앰프(210)는 NMOS 입력단 및 PMOS 입력단 중 어느 하나의 입력단을 가질 수 있다.

[0015] 래치(220)는 차동 프리앰프(210)로부터 증폭된 비교 결과에 기초하여, "데이터 0" 또는 "데이터 1" 중 어느 하

나를 저장할 수 있다. 예를 들어, 제 1 레벨 전압(Vn1)이 제 2 레벨 전압(Vn2)보다 높은 경우, 래치(220)는 "데이터 1"을 저장한다. 제 1 레벨 전압(Vn1)이 제 2 레벨 전압(Vn2)보다 낮은 경우, 래치(220)는 "데이터 0"을 저장한다.

- [0016] SAR 로직(300)은 변환 클럭(CLKc)에 응답하여, 래치(220)에 저장된 데이터를 기반으로 디지털 비트를 결정할 수 있다. 예를 들어, SAR ADC(10)는 아날로그 입력(Vin)을 수신하여 3-bit의 디지털 신호로서 변환할 수 있다. 최초 변환 동작시, DAC(400)에 포함된 디코딩 로직에 의해 모든 캐패시터들(도2에 개시)은 공통 모드 전압(Vcm)에 연결되고, SAR 로직(300)의 디지털 신호들은 로직 로우로 리셋된다. 비교부(200)는 최상위 비트(MSB)를 결정하고, 래치(220)로부터 결정된 최상위 비트(MSB)를 저장한다.
- [0017] SAR 로직(300)은 변환 클럭(CLKc)에 응답하여, 래치(220)에 저장된 데이터를 기반으로 최상위 비트(MSB)를 결정한다. 래치(220)에 "데이터 1"이 저장된 경우, SAR 로직(300)은 최상위 비트(MSB)를 로직 하이로 결정한다. 래치(220)에 "데이터 0"이 저장된 경우, SAR 로직(300)은 최상위 비트(MSB)를 로직 로우로 결정한다.
- [0018] SAR 로직(300)은 최상위 비트(MSB)를 결정한 후, DAC(400)에 포함된 디코딩 로직으로 결정된 최상위 비트(MSB)를 전달한다. SAR 로직(300)은 상술된 동작의 반복을 기반으로 최하위 비트(LSB)까지 결정할 수 있다.
- [0019] DAC(400)는 아날로그 입력 전압(Vin), 기준 전압(Vref) 및 SAR 로직(300)으로부터 디지털 신호(Dout)를 수신한다. DAC(400)는 수신된 전압들 및 디지털 신호(Dout)에 기반하여, 제 1 및 제 2 레벨 전압들(Vn1, Vn2)을 출력할 수 있다. 실시 예에 있어서, 아날로그 입력 전압(Vin)은 제 1 아날로그 입력 전압(Vin_a, 도 2 도시) 및 제 2 아날로그 입력 전압(Vin_b, 도 2 도시)으로 구현되어, DAC(400)에 인가될 수 있다. 또한, 기준 전압(Vref)은 제 1 및 제 2 기준 전압들(Vrefp, Vrefn)으로서 구현될 수 있다. 제 1 기준 전압(Vrefp)은 전원 전압(VDD)의 1/2배일 수 있으며, 제 2 기준 전압(Vrefn)은 0V일 수 있다.
- [0020] DAC(400)는 샘플링 클럭(CLKs)에 응답하여, 제 1 및 제 2 아날로그 입력 전압들(Vin_a, Vin_b)을 샘플링한다. DAC(400)는 변환 클럭(CLKc)에 응답하여, 제 1 및 제 2 레벨 전압들(Vn1, Vn2)을 생성할 수 있다. 또한, 레벨 전압(Level Voltage)은 아날로그 입력 전압(Vin)의 전압 레벨을 정하기 위한 것으로, ADC의 디지털 해상도를 기반으로 기준 전압(Vref)을 적절히 분할한 값이다. 실시 예에 있어서, DAC(400)는 전하 재분배 방식(Charge redistribution)을 기반으로 동작하는 캐패시터 DAC(Capacitive DAC)일 수 있다.
- [0021] 실시 예에 있어서, SAR ADC(10)는 단일 입력(Single-ended input)의 구조로서, DAC(400)에 인가되는 아날로그 입력 전압(Vin)은 0V에서 전원 전압(VDD)까지의 전압 레벨을 가질 수 있다. 또한, 일반적으로, 기준 전압(Vref)의 전압 레벨은 전원 전압(VDD)의 레벨을 가질 수 있다. 예시적으로, 아날로그 입력 전압에 따른 전원 전압(VDD)의 전압 레벨이 5V일 경우, 기준 전압(Vref)의 전압 레벨도 5V가 된다.
- [0022] 그러나, 예시적으로, 자동차에 부착되는 배터리(Battery) 등은 외부 환경 및 구동 동작에 따라 배터리의 전압 레벨이 변동될 수 있다. 예를 들어, 배터리로부터 DAC에 인가되는 전원 전압(VDD)의 레벨이, 아날로그 입력 전압(Vin)의 정상 전원 전압인 VDD보다 낮을 경우, DAC의 동작에 문제가 발생할 수 있다.
- [0023] 따라서, 본 발명의 실시 예에 따른 SAR ADC(10)는 전원 전압(VDD)의 1/2배인 기준 전압(Vref)이 DAC(400)에 인가된다. DAC(400)는 전원 전압(VDD)의 1/2배로 설정된 기준 전압(Vref)을 수신함으로써, 안정적으로 스위치의 턴-오프 동작을 수행할 수 있다. 이에 대해서는, 도 2를 통해 자세히 설명된다.
- [0024] 도 2는 도 1에 도시된 DAC를 보여주는 회로도이다. 도 2를 참조하면, DAC(400)는 제 1 변환부(410), 제 2 변환부(420), 및 디코딩 로직(430, Decoding Logic)을 포함한다. 아날로그 입력 전압(Vin)은 제 1 및 제 2 아날로그 입력 전압들(Vin_a, Vin_b)로 구현될 수 있다. 제 1 아날로그 입력 전압(Vin_a)은 0V에서 전원 전압(VDD)의 레벨을 갖는 입력 전압으로 구현될 수 있으며, 제 2 아날로그 입력 전압(Vin_b)은 공통 모드 전압(Vcm)으로 구현될 수 있다.
- [0025] 또한, 간결한 설명을 위해서, DAC(400)의 동작은 최상위 비트(MSB)를 결정하는 과정을 기반으로 설명된다.
- [0026] 제 1 및 제 2 캐패시터 어레이들(411, 421)의 상판(top plate)은 제 1 및 제 2 캐패시터 어레이들(411, 421)이 제 1 및 제 2 레벨 전압들(Vn1, Vn2)이 출력되는 노드들과 연결된 면을 가리키는 것으로 가정한다. 제 1 및 제 2 캐패시터 어레이들(411, 421)의 하판(bottom plate)은 제 1 및 제 3 스위치열들(412, 422)과 연결된 제 1 및 제 2 캐패시터 어레이들(411, 421)의 면을 가리키는 것으로 가정한다.
- [0027] 실시 예에 있어서, 디지털 로직(430)은 샘플링 클럭(CLKs)에 응답하여, 제 1 제어 신호(Q1)를 생성할 수 있다.

또한, 디지털 로직(430)은 변환 클럭(CLKc)에 응답하여, 제 2 제어 신호(Q2)를 생성할 수 있다.

- [0028] 제 1 변환부(410)는 제 1 레벨 전압(Vn1)을 생성한다. 자세하게, 제 1 변환부(410)는 제 1 캐패시터 어레이(411), 제 1 스위치 어레이(412), 제 2 스위치 어레이(413), 공통 모드 스위치(Scm), 제 1 입력 스위치(Sin_a), 및 제 1 방전 스위치(SA)를 포함한다.
- [0029] 제 1 캐패시터 어레이(411)는 복수의 캐패시터들(C11-C1n)을 포함한다. 복수의 캐패시터들(C11-C1n)의 개수는 SAR ADC(10)의 디지털 해상도에 따라 결정될 수 있다. 예를 들어, SAR ADC(10)가 10-bit의 디지털 해상도를 갖을 경우, 제 1 캐패시터 어레이(411)는 10개의 캐패시터들을 포함한다. 10개의 캐패시터들은 각각 서로 다른 정전 용량(Capacitance)을 갖는다. 제 1 변환부(410)는 전하 재분배 방식에 기초하여, 제 1 레벨 전압(Vn1)을 생성할 수 있다.
- [0030] 제 1 스위치 어레이(412)는 복수의 스위치들(Q11-Q1n)을 포함한다. 복수의 스위치들(Q11-Q1n)은 제 1 제어 신호(Q1)에 응답하여, 제 1 캐패시터 어레이(411)의 하판(bottom plate)에 제 1 아날로그 입력 전압(Vin_a)이 공급되도록 동작할 수 있다. 자세하게, 복수의 스위치들(Q11-Q1n)은 제 1 제어 신호(Q1)가 하이 레벨로 천이될 때, 제 1 아날로그 입력 전압(Vin_a)이 공급될 수 있도록 동작한다. 또한, 복수의 스위치들(Q11-Q1n)은 제 1 제어 신호(Q1)가 로우 레벨로 천이될 때, 제 1 아날로그 입력 전압(Vin_a)이 제 1 캐패시터 어레이(411)에 공급되지 못하도록 동작한다.
- [0031] 제 2 스위치 어레이(413)는 복수의 스위치들(S11-S1n)을 포함한다. 복수의 스위치들(S11-S1n)은 제 2 제어 신호(Q2)에 응답하여, 제 1 캐패시터 어레이(411)의 하판에 제 1 기준 전압(Vrefp) 또는 제 2 기준 전압(Vrefn) 중 어느 하나가 공급되도록 동작할 수 있다.
- [0032] 예시적으로, 최상위 비트(MSB) 결정 동작에서 수신된 디지털 신호(Dout)의 최상위 비트(MSB)는 로직 하이일 것이다. 디코딩 로직(430)은 변환 클럭(CLKc)에 응답하여, 캐패시터(C11)의 하판(bottom plate)에 제 1 기준 전압(Vrefp)이 공급되도록 제 1 스위치(S11)를 제어할 수 있다. 일반적으로, 디코딩 로직(430)은 캐패시터(C11)를 제외한 나머지 복수의 캐패시터들(C12-C1n)의 하판에 공통 모드 전압(Vcm)이 공급되도록 나머지 복수의 스위치들(S12-S1n)을 제어할 수 있다.
- [0033] 그러나, 본 발명의 제 1 및 제 2 변환부들(410, 420)은 공통 모드 전압(Vcm)을 인가하기 위한 노드를 포함하지 않는다. 대신, 본 발명의 실시 예에 따른 DAC(400)는 공통 모드 전압(Vcm)의 구현을 위해, 제 1 및 제 2 변환부(410, 420) 양단에 동일한 제 1 또는 제 2 기준 전압들(Vrefp, Vrefn)을 인가한다. 따라서, 캐패시터(C11)를 제외한, 나머지 복수의 캐패시터들(C12-C1n)의 하판에 공통 모드 전압(Vcm)의 효과를 갖는 전압이 인가될 수 있다.
- [0034] 제 1 공통 모드 스위치(Scm1)는 제 1 제어 신호(Q1)에 응답하여, 공통 모드 전압(Vcm)이 제 1 캐패시터 어레이(411)의 상판(Top plate)에 공급되도록 연결될 수 있다. 실시 예에 있어서, 공통 모드 전압(Vcm)은 전원 전압(VDD)의 1/2배일 수 있다.
- [0035] 제 1 방전 스위치(SA)는 제 1 캐패시터 어레이(411)에, 즉 제 1 노드(T1)로 누설 전류가 발생하는 것을 방지할 수 있다. 실시 예에 있어서, 제 1 입력 스위치(Sin_a) 및 제 1 방전 스위치(SA)는 COMS 트랜지스터로 구현될 수 있다.
- [0036] 자세하게, 제 1 입력 스위치(Sin_a)에 따른 NMOS 트랜지스터의 턴-오프 동작은 0V를 인가함으로써 제어될 수 있다. 그러나, 제 1 입력 스위치(Sin_a)에 따른 PMOS 트랜지스터의 턴-오프 동작은, 전원 전압(VDD) 레벨 및 제 1 아날로그 입력 전압(Vin_a)에 의해 조절될 수 있다. 제 1 입력 스위치(Sin_a)의 턴-오프(Turn-off) 동작에 있어서, 외부 환경 및 구동 동작에 따라, 제 1 입력 스위치(Sin_a)의 동작을 제어하는 전원 전압(VDD)의 레벨이 제 1 아날로그 입력 전압(Vin_a)의 레벨보다 낮아져, 제 1 노드(T1) 및 제 1 캐패시터 어레이(411)의 하판으로 누설 전류가 발생할 수 있다.
- [0037] 본 발명에 따른 제 1 방전 스위치(SA)는 제 1 입력 스위치(Sin_a)로부터 제 1 노드(T1)로 발생된 누설 전류를 외부로, 즉 공통 모드 전압(Vcm) 단자를 통해 방전시킬 수 있다. 자세하게, 제 1 입력 스위치(Sin_a) 및 제 1 방전 스위치(SA)는 서로 상보적으로 동작될 수 있다. 제 1 입력 스위치(Sin_a)의 턴-오프가 완전히 되지 않을 경우, 제 1 노드(T1)로 누설 전류가 발생될 수 있다. 발생된 누설 전류는 제 1 노드(T1)를 통해 제 1 캐패시터 어레이(411)로 인가되는 것이 아닌, 제 1 방전 스위치(SA)를 통해 공통 모드 전압(Vcm) 단자로 방전될 수 있다.
- [0038] 실시 예에 있어서, 공통 모드 전압(Vcm)은 전원 전압(VDD)의 1/2배로서 설정될 수 있다. 제 1 입력 스위치

(Sin_a)가 턴-오프 될 경우, 제 1 노드(T1)에는 제 1 방전 스위치(SA)를 통해 인가되는 공통 모드 전압(V_{cm})에 응답하여 VDD/2가 인가될 수 있다. 또한, 실시 예에 있어서, 제 1 기준 전압(V_{refp})은 전원 전압(VDD)의 1/2배로서 설정될 수 있다.

- [0039] 제 2 변환부(420)는 제 2 레벨 전압(V_{n1})을 생성한다. 자세하게, 제 2 변환부(420)는 제 2 캐패시터 어레이(421), 제 3 스위치 어레이(422), 제 4 스위치 어레이(423), 제 2 공통 모드 스위치(Scm2), 제 2 입력 스위치(Sin_b), 및 제 2 방전 스위치(SB)를 포함한다.
- [0040] 제 2 변환부(420)의 동작은 제 1 변환부(410)의 동작과 유사하며, 제 2 레벨 전압(V_{n2})을 출력한다. 제 1 변환부(420)와 비교하여, 제 2 변환부(420)는 차동(Differential) 구조로서 동작할 수 있다. 따라서, 제 2 변환부(420)의 동작 과정은 제 1 변환부(410)의 동작 과정을 참조하는 것으로 설명을 생략한다.
- [0041] 디코딩 로직(430)은 SAR 로직(300)으로부터 디지털 신호(Dout)를 수신할 수 있다. 또한, 디코딩 로직(430)은 샘플링 클럭(CLKs) 및 변환 클럭(CLKc)을 수신할 수 있다. 디코딩 로직(430)은 샘플링 클럭(CLKs) 및 변환 클럭(CLKc)에 응답하여, 제 1 및 제 2 변환부(410, 420)를 제어하기 위한 제 1 및 제 2 제어 신호들(Q1, Q2)를 생성한다.
- [0042] 상술된 바와 같이, DAC(400)는 제 1 제어 신호(Q1)에 응답하여, 1 및 제 2 캐패시터 어레이들(411, 421) 각각에 제 1 및 제 2 아날로그 입력 전압들(Vin_a, Vin_b)을 샘플링할 수 있다. 제 1 및 제 2 변환부들(410, 420)은 제 1 및 제 2 아날로그 입력 전압들(Vin_a, Vin_b)을 기반으로 제 1 및 제 2 레벨 전압들(V_{n1}, V_{n2})을 생성한다. 생성된 제 1 및 제 2 레벨 전압들(V_{n1}, V_{n2})의 차이를 기반으로 SAR 로직(300, 도 1 참조)은 디지털 비트를 결정할 수 있다. 이와 같은 동작의 반복을 기반으로 SAR ADC(10, 도 1 참조)는 아날로그 입력 전압(Vin)을 디지털 신호(Dout)로서 변환하여 출력할 수 있다.
- [0043] 도 3 및 도 4는 SAR ADC의 INL 측정 및 아날로그 입력 전압에 따른 코드 특성 보여주는 그래프이다. 예시적으로 SAR ADC(10, 도1 참조)로부터 10bit의 코드(code)가 출력되는 것으로 설명된다. 도 3을 참조하면, 가로축은 SAR ADC(10)의 출력 코드이며, 세로축은 출력된 코드에 따른 INL(Integral Non-linearity)을 보여준다. 예시적으로, SAR ADC(10)의 출력 코드는 10bit에 기초한, 1024개일 수 있다. INL은 256 코드에서 최소값을 가지며, INL은 512 코드에서 0의 값을 가진다. 또한, 도 3에 도시된 INL 측정 그래프를 통해, 512 코드를 중심으로 좌우 대칭인 것을 볼 수 있다.
- [0044] 도 4를 참조하면, 가로축은 DAC(400, 도1 참조)에 인가되는 아날로그 입력 전압(Vin)을 나타내며, 세로축은 코드(code)가 출력되는 것을 나타낸다. SAR ADC(10)는 아날로그 입력 전압(Vin)에 응답하여, 직선 형태의 이상적 커브(Ideal Curve)를 갖는 코드를 출력할 수 있다. 그러나, 오프셋 에러(Offset Error), 이득 에러(Gain Error), 및 INL 등으로 인해, 실제 커브(Real Curve)는 이상적 커브(Ideal Curve)와 비교하여 일치하지 않을 수 있다.
- [0045] BIST(Built-in Self-test) 장치는 SAR ADC(10, 도1 참조)로부터 출력되는 디지털 신호(Dout)를 분석하여, 오프셋 에러(Offset Error), 이득 에러(Gain Error), 및 INL 값을 모니터링 할 수 있다. BIST 장치의 동작에 대해서는 도 5를 통해 자세히 설명된다.
- [0046] 도 5 내지 도 7은 본 발명의 실시 예에 따른 BIST 장치의 알고리즘을 보여주는 순서도이다. 도 3 내지 도 7을 참조하면, BIST 장치로부터 측정된 이득 에러(Gain Error, 이하: G) 및 오프셋 에러(Offset Error, 이하:0) 및 INL의 결과에 따라, SAR ADC(10, 도1 참조)의 성능이 모니터링 될 수 있다. 상술된 3 가지의 에러들이 없는 경우라면, 도 4에 도시된 이상적인 커브(Ideal Curve)의 형태로 코드들이 검출될 수 있다. 그러나, 상기 상술된 3 가지의 에러들이 발생한다면, 이상적인 커브(Ideal Curve)와 비교하여 오차를 갖는 커브가 검출될 수 있다.
- [0047] 도 5를 참조하면, 제 1 및 제 2 단계에서(S110, S120), BIST 장치는 보상 코드(C) 및 제 1 입력 전압(Vin1)에 응답하여 제 1 출력 코드(Z1)를 저장할 수 있다(S110). 또한, BIST 장치는 보상 코드(C) 및 제 2 입력 전압(Vin2)에 응답하여, 제 2 출력 코드(Z2)를 저장할 수 있다(S120). BIST 장치는 제 1 및 제 2 출력 코드들(Z1, Z2)의 연산 결과에 응답하여, 이득 에러(G)를 검출할 수 있다.
- [0048] 자세하게, 이득 에러(G)는 아날로그 입력 전압(Vin)의 0V 및 전원 전압(VDD)의 1/2배인 값에 따라 출력되는, 두 코드의 차를 통해 구해질 수 있다. 예시적으로, 제 1 입력 전압(Vin1)은 0V일 수 있으며, 제 2 입력 전압(Vin2)은 전원 전압(VDD)의 1/2배일 수 있다. 예를 들어, 10 bit에 따른 이상적인 커브(Ideal Curve)의 경우, 제 1 입력 전압(Vin1)에 따라 출력되는 코드는 0일 수 있으며, 제 2 입력 전압(Vin2)에 따라 출력되는 코드는 512일

수 있다.

[0049] 그러나, SAR ADC의 제작 과정에 따른 외부 환경에 기초하여, 제 1 입력 전압(Vin1)에 응답하여 마이너스 코드가 출력될 수 있다. 다시 말해, 제 1 입력 전압(Vin1)에 따라 코드 0이 출력되고, 제 2 입력 전압(Vin2)에 따라 코드 512 보다 작은 코드가 출력될 수 있어, 정확한 이득 에러(G) 결과를 얻을 수 없다. 따라서, 마이너스 코드가 출력될 경우에 응답하여, 예시적으로 보상 코드(C)는 10 코드로서 설정될 수 있다.

[0050] 제 3 단계에서(S130), BIST 장치는 제 1 및 제 2 출력 코드들(Z1, Z2)에 기초하여, 이득 에러(G)의 측정값을 미리 설정된 기준 에러(G_th)와 비교할 수 있다.

수학식 1

$$\text{이득 에러(G)} = | (Z2 - Z1) - I1 | \times 2$$

[0051]

[0052] 수학식 1을 참조하면, 이득 에러(G)는 제 2 출력 코드(Z2)에서 제 1 출력 코드(Z1)를 차동하고, 차동된 값에서 제 1 정상 코드(I1)를 차동한 후, 제곱(X2)함으로써 얻어질 수 있다. 예시적으로, 제 1 정상 코드(I1)는 이상적인 커브(Ideal Curve, 도4 참조)에 기초한, 제 2 입력 전압(Vin)에 응답하여 출력된 코드일 수 있다. 10bit에 따른 이상적인 커브(Ideal Curve)의 경우, 제 1 정상 코드(I1)는 512일 수 있다. 또한, 상기 제곱(X2)을 하는 이유는 도 4에 도시된 바와 같이, 제 1 정상 코드(I1)를 기준으로 출력 코드들이 좌/우 대칭을 갖는다. 따라서, 좌측 또는 우측 이득 에러를 검출하고, 이에 제곱(X2)을 함으로써 전체적인 이득 에러(G)가 검출될 수 있다.

[0053] 또한, 제 4 단계에서(S140), 측정된 이득 에러(G)가 미리 설정된 기준 에러(G_th)보다 클 경우(YES), BIST 장치는 이득 에러(G)의 경고 알람을 발생한다. BIST 장치는 측정된 이득 에러(G)가 미리 설정된 기준 에러(G_th)보다 작을 경우(No), 모니터링 동작을 종료한다.

[0054] 도 6을 참조하면, 제 1 단계에서(S210), BIST 장치는 제 2 입력 전압(Vin2)에 응답하여 제 3 출력 코드(Z2)를 저장할 수 있다. BIST 장치는 제 3 출력 코드(Z3)에 따른 연산 결과에 응답하여, 옅셋 에러(O)를 측정할 수 있다.

[0055] 제 2 단계에서(S220), BIST 장치는 제 3 출력 코드(Z3)에 기초하여, 옅셋 에러(O)의 측정값을 미리 설정된 기준 에러(O_th)와 비교할 수 있다.

수학식 2

$$\text{옅셋 에러(O)} = | Z3 - I1 |$$

[0056]

[0057] 수학식 2를 참조하면, 제 3 출력 코드(Z3)는 실제 제 2 입력 전압(Vin2)에 응답하여 얻어진 출력 코드일 수 있다. 제 1 정상 코드(I1)는 이상적인 커브(Ideal Curve)에 기초한, 제 2 입력 전압(Vin)에 응답하여 출력된 코드일 수 있다. 예를 들어, 10bit에 따른 이상적인 커브(Ideal Curve)의 경우, 제 1 정상 코드(I1)는 512일 수 있다. BIST 장치는 제 3 출력 코드(Z3)에서 제 1 정상 코드(I1)를 차동함으로써, 옅셋 에러(O)를 측정할 수 있다.

[0058] 제 3 단계에서(S230), 측정된 옅셋 에러(O)가 미리 설정된 기준 에러(O_th)보다 클 경우(YES), BIST 장치는 옅셋 에러(O)의 경고 알람을 발생한다. BIST 장치는 측정된 옅셋 에러(O)가 미리 설정된 기준 에러(O_th)보다 작을 경우(No), 모니터링 동작을 종료한다.

[0059] 또한, 실시 예에 있어서, 본 발명에 따른 SAR ADC(10)는 BIST 장치로부터 측정된 옅셋 에러(O)를 수신한다. SAR ADC(10)는 수신된 옅셋 에러(O)에 기초하여, 옅셋이 보정된 디지털 신호(Dout)를 출력할 수 있다.

[0060] 도 7을 참조하면, 제 1 단계에서(S310), BIST 장치는 제 3 입력 전압(Vin3)에 응답하여, 제 4 출력 코드(Z4)를 저장할 수 있다. BIST 장치는 제 3 및 제 4 출력 코드들(Z3, Z4)에 따른 연산 결과에 응답하여, INL을 측정할 수 있다. 도 3 및 도 4에서 보는 바와 같이, INL의 최소값(Min) 및 최대값(Max)의 차이가 소정 범위 이내의 대

칭인 것에 기반하여, 본 발명에 따른 BIST 장치는 최소값(Min)에 따른 INL을 측정한다. 예시적으로, 제 3 입력 전압(Vin3)은 INL의 최소값(Min)을 측정하기 위한 전원 전압(VDD)의 1/4배로서 설정될 수 있다.

[0061] 제 2 단계에서(S320), BIST 장치는 제 3 및 제 4 출력 코드들(Z3, Z4)에 기초하여, INL 에러(I)의 측정값을 미리 설정된 기준 에러(I_{th})와 비교할 수 있다.

수학식 3

$$INL \text{ 에러}(I) = | (Z3 - Z4) - I2 |$$

[0062]

[0063] 수학식 3을 참조하면, INL 에러(I)는 제 3 출력 코드(Z3)에서 제 4 출력 코드(Z4)를 차동하고, 차동된 값에서 제 2 정상 코드(I2)를 차동함으로써 얻어질 수 있다. 예시적으로, 제 2 정상 코드(I2)는 이상적인 커브(Ideal Curve, 도4 참조)에 기초한, 제 3 입력 전압(Vin3)에 응답하여 출력된 코드일 수 있다. 10bit에 따른 이상적인 커브(Ideal Curve)의 경우, 제 2 정상 코드(I2)는 256일 수 있다.

[0064] 제 3 단계에서(S330), 측정된 INL 에러(I)가 미리 설정된 기준 에러(I_{th})보다 클 경우(YES), BIST 장치는 INL 에러(I)의 경고 알람을 발생한다. BIST 장치는 측정된 INL 에러(I)가 미리 설정된 기준 에러(I_{th})보다 작을 경우(No), 모니터링 동작을 종료한다.

[0065] 상술된 바와 같이, 본 발명에 따른 BIST 장치는 SAR ADC(10)로부터 출력되는 디지털 신호 기반하여, 옵션 에러(O), 이득 에러(G), 및 INL 에러(I)가 모니터링 될 수 있다. SAR ADC(10)는 BIST로부터 검출된 에러들의 정보에 응답하여, 에러들이 보정된 디지털 신호를 출력할 수 있다.

[0066] 도 8은 본 발명의 다른 실시 예에 따른 DAC를 보여주는 회로도이다. 도 8을 참조하면, DAC(500)는 제 1 변환부(510), 제 2 변환부(520), 및 디코딩 로직(530)을 포함한다. DAC(500)는 도 5에서 설명된 INL 에러(I) 측정에 필요한 제 3 입력 전압(Vin3), 즉 전원 전압(VDD)의 1/4배를 입력 전압(Vin)으로 사용할 수 있는 구조를 갖는다. 다시 말해, 본 발명에 따른 DAC(500)는 입력 전압(Vin)으로서, 0V 또는 전원 전압(VDD)의 1/2배를 생성할 수 있으나, 전원 전압(VDD)의 1/4배를 생성할 수 없다. 따라서, DAC(500)는 캐패시터들의 분배 방식을 통해, 전원 전압(VDD)의 1/4배인 입력 전압을 생성할 수 있다. 예시적으로, 입력 전압(Vin)은 0V에서 전원 전압(VDD)까지의 전압 레벨을 가질 수 있다.

[0067] 또한, 도 2에 도시된 DAC(400)의 디지털 신호 출력과, DAC(500)의 디지털 신호 출력에 따른 동작 과정은 서로 동일하므로, 이에 대한 설명은 생략하기로 한다. 도 6에서는 INL 에러(I) 측정을 위한, 전원 전압(VDD)의 1/4배인 입력 전압을 구현하는 방식에 대해 설명한다.

[0068] 제 1 변환부(510)는 제 1 및 제 2 캐패시터부들(511, 512), 제 1 및 제 2 스위치부들(513, 514), 제 1 입력 스위치(Sc1), 제 1 방전 스위치(Sc2), 및 제 1 분배 스위치(Sc3)를 포함한다. 제 2 변환부(520)는 제 3 및 제 4 캐패시터부들(521, 522), 제 3 및 제 4 스위치부들(523, 524), 제 4 입력 스위치(Sd1), 제 5 방전 스위치(Sd2), 및 제 6 분배 스위치(Sd3)를 포함한다.

[0069] BIST 장치의 INL 측정을 위해, 제 1 및 제 3 캐패시터부들(511, 521)의 하판(bottom plate)은 제 1 제어 신호(Q)의 하이 레벨에 응답하여, 제 3 및 제 6 분배 스위치들(Sc3, Sd3)에 연결될 수 있다. 또한, 제 2 및 제 4 캐패시터부들(512, 522)의 하판은 제 1 제어 신호(Q)의 하이 레벨에 응답하여, 제 2 및 제 4 방전 스위치들(Sc2, Sd2)에 연결될 수 있다.

[0070] 상술된 바와 같이, 제 1 및 제 2 변환부들(510, 520)은 캐패시터들의 분배 방식을 통해, 전원 전압(VDD)의 1/4배에 따른 입력 전압(Vin)을 생성할 수 있다. 또한, 디코딩 로직(530)은 제 1 및 제 2 제어 신호들(Q1, Q2)를 생성하여, 제 1 및 제 2 변환부들(510, 520)의 동작을 전반적으로 제어할 수 있다.

[0071] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된

특히 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0072]

100: 클럭 발생기

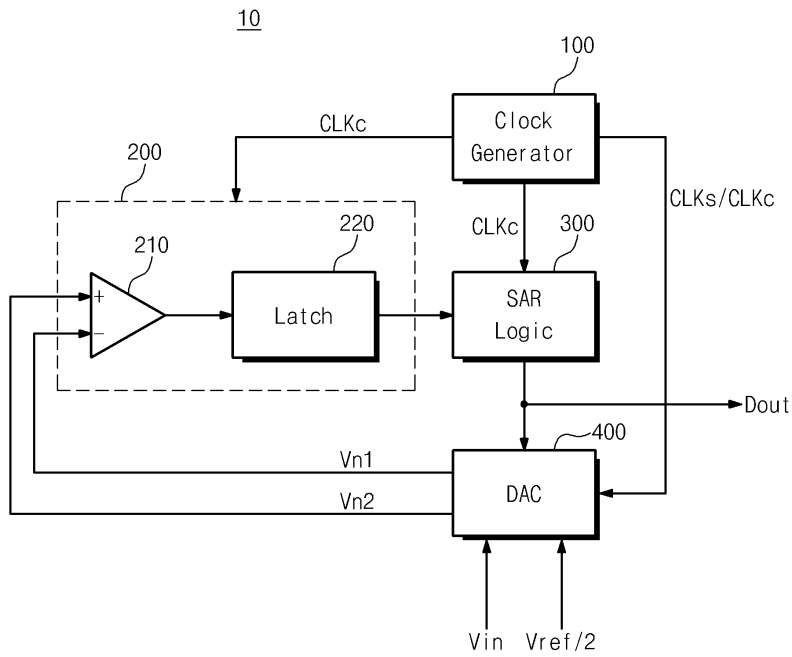
200: 비교기

300: SAR 로직

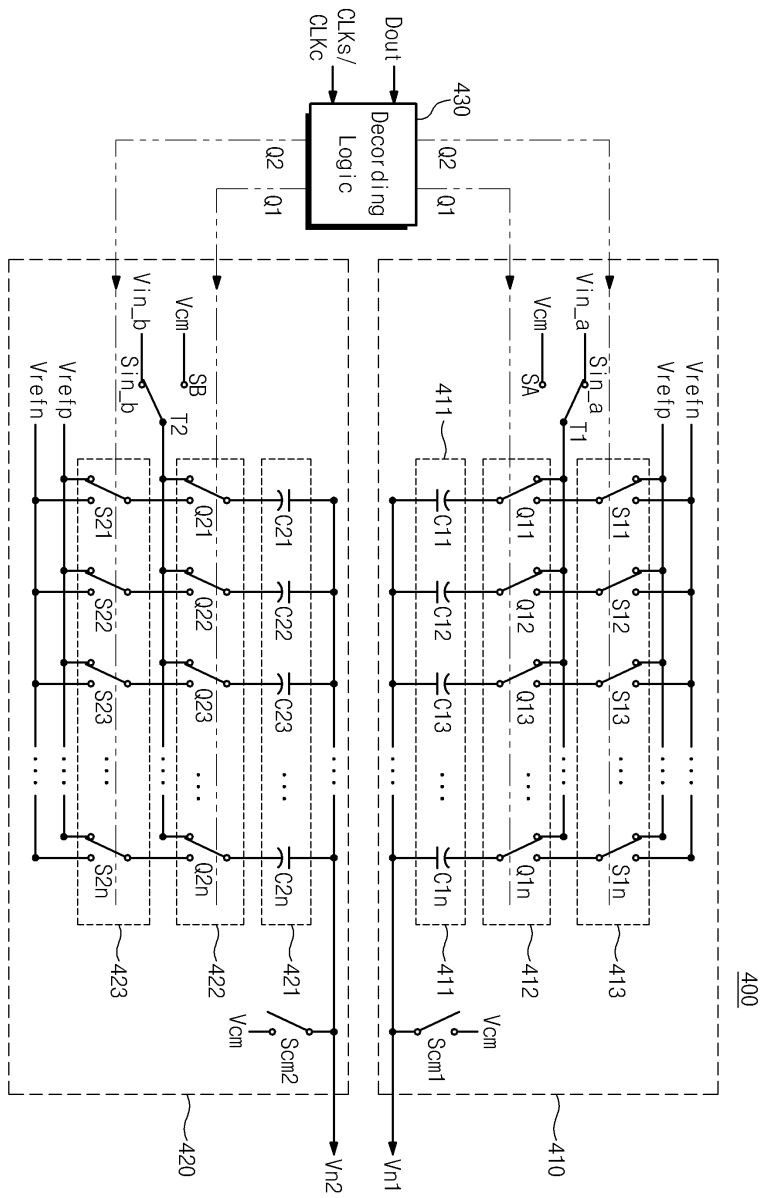
400: 디지털 아날로그 변환기

도면

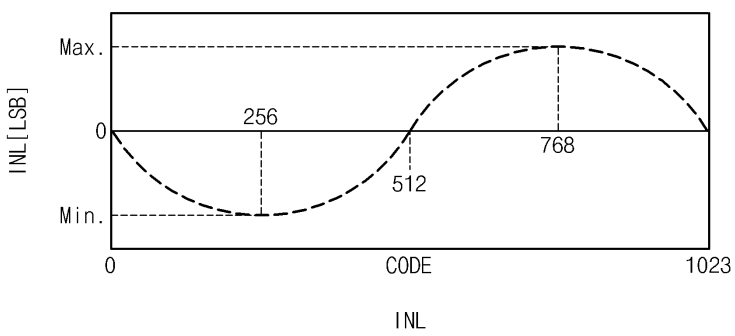
도면1



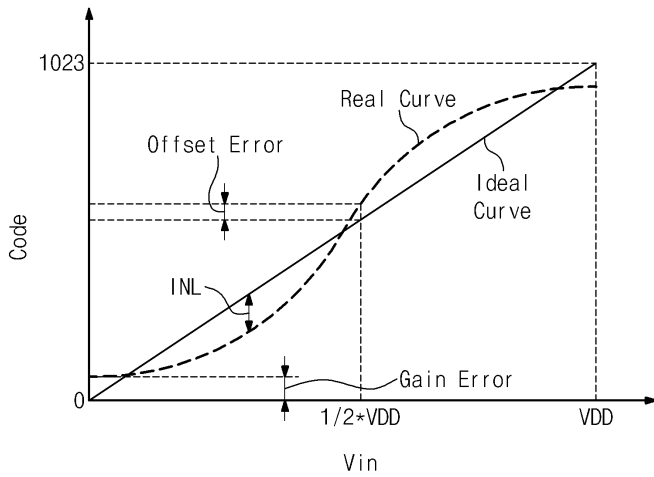
도면2



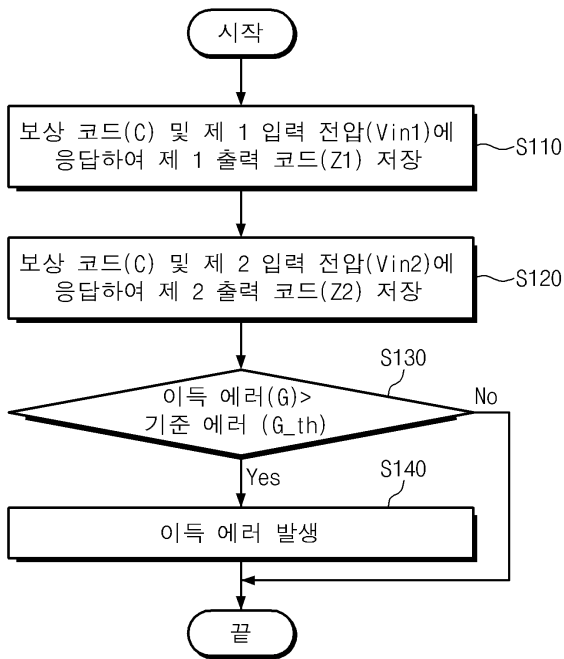
도면3



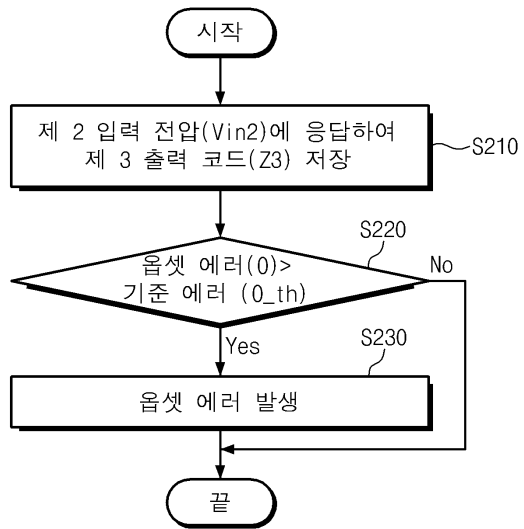
도면4



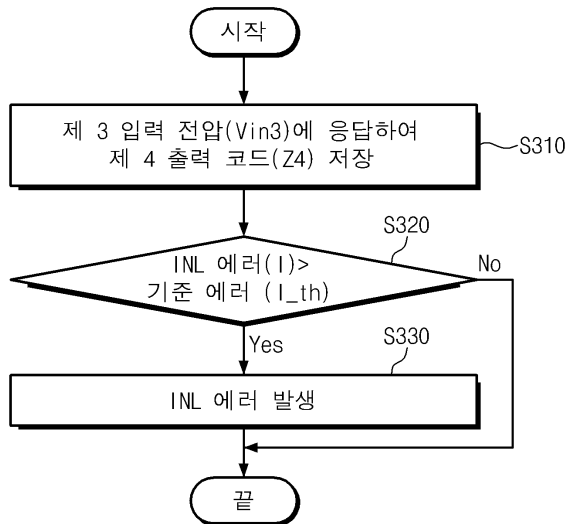
도면5



도면6



도면7



도면8

