

(12) 发明专利申请

(10) 申请公布号 CN 101740595 A

(43) 申请公布日 2010.06.16

(21) 申请号 200910221300.1

H01L 23/528(2006.01)

(22) 申请日 2009.11.11

(30) 优先权数据

10-2008-0111420 2008.11.11 KR

(71) 申请人 东部高科股份有限公司

地址 韩国首尔

(72) 发明人 尹基准 柳商旭

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 姜燕 邢雪红

(51) Int. Cl.

H01L 27/146(2006.01)

H01L 21/768(2006.01)

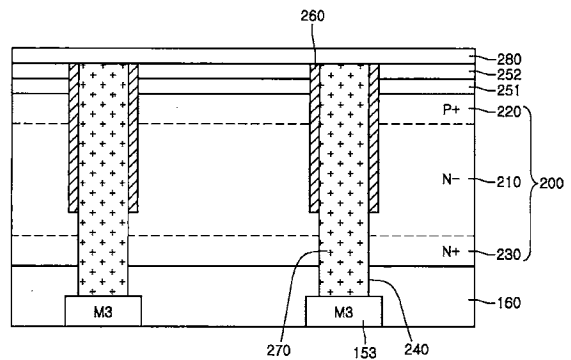
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

图像传感器及其制造方法

(57) 摘要

一种图像传感器和制造图像传感器的方法。制造图像传感器的方法可包括以下步骤：在包含有电路的半导体衬底上方形成互连和 / 或层间电介质，其中该电路连接到互连。制造图像传感器的方法可包括以下步骤：在层间电介质上方形成具有第一掺杂层和 / 或第二掺杂层的光电二极管；形成穿过光电二极管的通孔，该通孔可暴露出互连的表面的一部分。制造图像传感器的方法可包括以下步骤：在通孔上方形成阻挡图案，该阻挡图案可覆盖第二掺杂层的暴露表面；以及在导孔上和 / 或上方形成接触插塞，该接触插塞将互连与第一掺杂层相连接。可蚀刻接触插塞的上部。在接触插塞上方形成绝缘层。该方法能将光路最小化，从而提高了光灵敏度，并使分辨率和灵敏度最大化。



1. 一种方法,包括以下步骤:

在包含有电路的半导体衬底上方形成互连和层间电介质,使得所述互连被连接到所述电路;

在包含有第一掺杂层和第二掺杂层的所述层间电介质上方形成光电二极管;

形成穿过所述光电二极管的通孔,所述通孔暴露出所述互连的表面的一部分;

在所述通孔上方形成阻挡图案,所述阻挡图案覆盖所述第二掺杂层的暴露表面;

在所述通孔上方形成接触插塞,所述接触插塞将所述互连与所述第一掺杂层相连接;

蚀刻所述接触插塞的上部;以及

在所述接触插塞上方形成绝缘层。

2. 如权利要求 1 所述的方法,其中蚀刻所述接触插塞的上部的步骤包括在所述半导体衬底的表面上方执行回蚀工艺。

3. 如权利要求 1 所述的方法,其中形成所述通孔的步骤包括在所述光电二极管上方形成硬掩模,利用所述硬掩模来蚀刻所述光电二极管,以暴露出所述第二掺杂层。

4. 如权利要求 1 所述的方法,还包括以下步骤:在蚀刻所述接触插塞的所述上部之后,在所述接触插塞上方沉积氧化物。

5. 一种方法,包括以下步骤:

在具有金属互连的层间电介质上方形成光电二极管;

在所述光电二极管上方形成硬掩模并执行第一蚀刻工艺,以蚀刻所述硬掩模和所述光电二极管的一部分;

在所述第一蚀刻工艺之后,形成阻挡图案,以将所述光电二极管的暴露表面的一部分隔离;

执行第二蚀刻工艺,蚀刻所述光电二极管和所述层间电介质,以形成暴露出所述金属互连的表面的一部分的通孔;

在通过所述第一蚀刻工艺形成的所述硬掩模的开口处、以及通过所述第二蚀刻工艺形成的所述通孔上方形成接触插塞;

蚀刻所述接触插塞的上部;以及

在所述接触插塞和所述硬掩模上方形成金属互连和层间电介质至少之一的另一个。

6. 如权利要求 5 所述的方法,其中蚀刻所述接触插塞的所述上部的步骤包括通过回蚀工艺去除在所述硬掩模的所述开口处形成的所述接触插塞的一部分。

7. 如权利要求 6 所述的方法,其中所述硬掩模包括堆叠结构,所述堆叠结构包含有氮化物和氧化物的至少之一,使得在所述氮化物的上表面上方形成所述接触插塞的上部。

8. 一种装置,包括:

半导体衬底,所述半导体衬底包含有电路;

层间电介质,位于所述半导体衬底上方,所述层间电介质具有连接到所述电路的互连;

光电二极管,位于所述层间电介质上方,所述光电二极管包含有第一掺杂层和第二掺杂层;

氧化物和氮化物,形成在所述光电二极管上方;

通孔,贯穿所述氧化物、所述氮化物以及所述光电二极管,以暴露出所述互连的表面的

一部分；

阻挡图案,覆盖暴露于所述通孔上方的所述第二掺杂层；

接触插塞,位于所述通孔上方,所述接触插塞将所述互连连接到所述第一掺杂层；以及
绝缘层,位于所述接触插塞和所述氮化物上方。

9. 如权利要求 8 所述的装置,还包括互连和层间电介质至少之一的另一个,位于所述接触插塞和所述硬掩模上方。

10. 如权利要求 8 所述的装置,其中所述光电二极管包括欧姆接触层。

图像传感器及其制造方法

技术领域

[0001] 本发明的实施例涉及一种图像传感器和制造图像传感器的方法。

背景技术

[0002] CMOS 图像传感器的结构中可将光电二极管和晶体管水平设置。虽然相关的水平型 CMOS 图像传感器能解决 (address) CCD 图像传感器的缺陷,但是它也有局限性。光电二极管和晶体管可被彼此相邻地水平设置在衬底上和 / 或衬底上方。因此,光电二极管需要附加的区域,所以会出现某些局限性,包括填充因数区相对减少和 / 或分辨率相对受限。

[0003] 对于同时制造光电二极管和晶体管的工艺,要实现最优化也是比较难的。在比较快的晶体管工艺中,可能需要用浅结来实现较低的薄膜电阻 (sheet resistance),但是浅结并不适用于光电二极管。当向水平型 CMOS 图像传感器增添附加的芯片上功能时,可能需要相对增加单位像素的相关尺寸,以维持图像传感器的灵敏度,和 / 或可能需要相对地减少单位像素的相关尺寸,以维持作为像素尺寸的光电二极管的面积。如果像素尺寸增加,则图像传感器的分辨率可能会被最小化,而如果光电二极管的面积相对减少,则图像传感器的相关灵敏度被最小化。

[0004] 因此,需要这样一种图像传感器和制造图像传感器的方法,其光路能被实质上相对缩短,从而提高光灵敏度,并使分辨率最大化和 / 或使灵敏度最大化。

发明内容

[0005] 为克服现有技术的缺陷,本发明的实施例涉及一种图像传感器和制造图像传感器的方法。根据实施例,可提供电路与光电二极管的新式集成方式。在实施例中,制造图像传感器的方法可使用一个焊盘来三维地集成图像芯片和逻辑芯片。在实施例中,在使用两个芯片形成光电二极管之后,图像芯片可形成滤色镜阵列和 / 或微透镜。在实施例中,逻辑芯片可包括驱动器 IC,该驱动器 IC 可驱动能提供附加功能的图像芯片和 / 或逻辑阵列。

[0006] 根据实施例,制造图像传感器的方法实质上 and / 或很大程度上能将光路最小化。在实施例中,可将图像传感器的光灵敏度最大化。在实施例中,在光电二极管上部实质上可省略多个金属线,从而可相对减少光电二极管与微透镜之间的距离。在实施例中,可提供包括最大化的分辨率和 / 或灵敏度的图像传感器。

[0007] 根据实施例,制造图像传感器的方法可调节形成于光电二极管的接触孔上和 / 或上方的金属互连的上部尺寸。在实施例中,可将入射到光电二极管的光量最大化。

[0008] 根据实施例,制造图像传感器的方法可包括在半导体衬底 (可在此处形成电路) 上和 / 或上方形成互连和 / 或层间电介质。在实施例中,互连可连接到电路。在实施例中,制造图像传感器的方法可包括在层间电介质上和 / 或上方形成光电二极管。在实施例中,光电二极管可包含第一掺杂层和 / 或第二掺杂层。

[0009] 根据实施例,制造图像传感器的方法可包括形成穿过光电二极管的通孔,通孔可暴露互连的表面的一部分。在实施例中,制造图像传感器的方法可包括在通孔上和 / 或上

方形成阻挡图案 (barrier pattern)。在实施例中,阻挡图案可覆盖第二掺杂层的暴露表面。在实施例中,制造图像传感器的方法可包括在通孔上和 / 或上方形成接触插塞。在实施例中,接触插塞可将互连与第一掺杂层相连接。在实施例中,制造图像传感器的方法可包括蚀刻接触插塞的上部。在实施例中,制造图像传感器的方法可包括在接触插塞上方形成绝缘层。

[0010] 本发明的实施例涉及一种制造图像传感器的方法。根据实施例,制造图像传感器的方法可包括在层间电介质(其可包含有金属互连)上和 / 或上方形成光电二极管。在实施例中,制造图像传感器的方法可包括在光电二极管上和 / 或上方形成硬掩模,并执行第一蚀刻工艺,以蚀刻硬掩模和 / 或光电二极管的一部分。在实施例中,制造图像传感器的方法可包括在第一蚀刻工艺之后形成阻挡图案,该阻挡图案可将光电二极管的部分暴露表面隔离。

[0011] 根据实施例,制造图像传感器的方法可包括执行蚀刻光电二极管和 / 或层间电介质的第二蚀刻工艺,从而可形成暴露出金属互连的部分表面的通孔。在实施例中,制造图像传感器的方法可包括在例如通过第一蚀刻工艺形成的硬掩模的开口处、和 / 或例如通过第二蚀刻工艺形成的通孔上和 / 或上方形成接触插塞。在实施例中,制造图像传感器的方法可包括蚀刻接触插塞的上部。在实施例中,制造图像传感器的方法可包括在接触插塞和 / 或硬掩模上和 / 或上方形成另一个金属互连和 / 或层间电介质。

附图说明

[0012] 示例性图 1 至图 6 是示出根据实施例的制造图像传感器的方法的剖视图。

[0013] 示例性图 7 是在光电二极管上和 / 或上方形成接触插塞时对光接收区进行比较的平面图。

[0014] 示例性图 8 是示出在过蚀刻硬掩模之后形成的接触插塞的剖视图。

具体实施方式

[0015] 本发明的实施例涉及一种制造图像传感器的方法。参照示例性图 1 至图 6,多个剖视图示出根据实施例的制造图像传感器的方法。参照图 1,可将半导体衬底 100 制为包括互连 150 和电路 120。根据实施例,可在第二传导型半导体衬底 100 上和 / 或上方形成器件隔离层 110,以限定有源区。在实施例中,可在有源区上和 / 或上方形成电路 120,和 / 或该电路 120 可包括晶体管。

[0016] 根据实施例,电路 120 可包括传输晶体管 (Tx) 121、复位晶体管 (Rx) 123、驱动晶体管 (Dx) 125 和 / 或选择晶体管 (Sx) 127。在实施例中,可形成离子注入区 130,针对每个晶体管,该离子注入区 130 可包括浮置扩散区 (FD) 131 和源极 / 漏极区 133、135 和 / 或 137。在实施例中,电学结区 140 可包括第二传导型离子注入层 143,该第二传导型离子注入层 143 形成在第一传导型阱 141 和 / 或第一传导型外延层上和 / 或上方。在实施例中,电学结区 140 可包括第一传导型离子注入层 145,该第一传导型离子注入层 145 形成在第二传导型离子注入层 143 上和 / 或上方。在实施例中,如图 2 所示,电学结区 140 可由 P-N 结形成,和 / 或由 P0(145)/N-(143)/P-(141) 结形成,但是实施例不限于此。

[0017] 根据实施例,可在半导体衬底 100 上和 / 或上方形成 P0/N-/P- 结 140,该 P0/N-/

P-结 140 在 4T CIS 结构中充当光电二极管。与浮置扩散区 (FD) 131 的节点 (可以是 N+ 结) 不同, 该 P/N-/P- 结 140 (在其上施加的电压实质上没有全部传输到位) 可在预定电压处夹断 (pinched-off)。该电压与钉扎 (pinning) 电压相关, 该钉扎电压取决于 P0145 和 / 或 N-143 的掺杂浓度。当传输晶体管 (Tx) 121 导通时, 从光电二极管 210 产生的电子会移动到 P0/N-/P- 结 140, 并传输到浮置扩散区 (FD) 131 的节点和 / 或被转化为电压。

[0018] 根据实施例, 因为 P0/N-/P- 结 140 的最大电压值可包括钉扎电压, 和 / 或浮置扩散区 (FD) 131 的节点的最大电压值可包括 V_{dd-Rx} 123 的阈值电压 V_{th} , 所以从位于芯片上部中的光电二极管 210 产生的电子会通过传输晶体管 (Tx) 121 两端之间的电势差实质上全部堆积 (dump) 到浮置扩散区 (FD) 131 的节点, 基本上没有电荷共享。因此, 与只将光电二极管连接到 N+ 结的情况不同, 像饱和信号减少和 / 或灵敏度下降这样的局限性得以最小化。

[0019] 根据实施例, 可在半导体衬底 100 上和 / 或上方形成层间电介质和 / 或互连 150。在实施例中, 互连 150 可包括第一金属接触件 151a、第一金属 151、第二金属 152、第三金属 153 和 / 或第四金属接触件 154a, 但是实施例不限于此。

[0020] 参照图 2, 可在半导体衬底 100 的层间电介质 160 上和 / 或上方形成光电二极管 200。在实施例中, 光电二极管 200 可包括 P-N 结的光电二极管结构, 该 P-N 结的光电二极管结构包括第一掺杂层 (N-) 210 和 / 或第二掺杂层 (P+) 220。在实施例中, 在第一掺杂层 210 下方形成欧姆接触层 (N+) 230 (例如为第三掺杂层)。如图所示, 图 2 所示的互连 150 的第三金属 153 和 / 或层间电介质 160 可代表图 1 所示的互连 150 和 / 或层间电介质 160 的一部分, 并且为了简明起见, 有部分电路 120 和 / 或互连 150 未示出。

[0021] 根据实施例, 例如通过在晶体结构的 P 型载流子衬底上和 / 或上方依次离子注入 N 型杂质 (N-) 和 / 或 P 型杂质 (P+), 光电二极管 200 可形成为包含有第一掺杂层 210 和 / 或第二掺杂层 220 的堆叠结构。在实施例中, 可在第一掺杂层 210 下方离子注入较高浓度的 N 型杂质 (N+), 以形成欧姆接触层 230。在实施例中, 欧姆接触层 230 可将光电二极管 200 与互连 150 之间的接触电阻最小化。在实施例中, 第一掺杂层 210 可形成为具有比第二掺杂层 220 更大的区域。在实施例中, 可相对扩张耗尽区, 以将光电子的产生最大化。

[0022] 根据实施例, 在将载流子衬底的欧姆接触层 230 设置在层间电介质 160 上和 / 或上方之后, 可执行接合工艺, 以将半导体衬底 100 与载流子衬底接合起来。在实施例中, 通过劈分工艺 (cleaving process) 将载流子衬底 (其上方形成有氢层) 去除, 可暴露出第二掺杂层 220 的表面, 从而暴露出在层间电介质 160 上和 / 或上方接合的光电二极管 200。在实施例中, 可在电路 120 上和 / 或上方形成光电二极管 200, 这样能相对增加填充因数和 / 或实质上防止光电二极管 200 的缺陷。在实施例中, 因为可将光电二极管 200 接合在具有基本一致的表面轮廓的层间电介质 160 上和 / 或上方, 所以接合强度可物理地最大化。

[0023] 参照图 3, 可形成穿过光电二极管 200 和 / 或层间电介质 160 的通孔 240。根据实施例, 通孔 240 可以是较深的通孔, 且能暴露出第三金属 153 的表面。在实施例中, 可在与光电二极管 200 的第一掺杂层 210 和 / 或第二掺杂层 220 的一部分对应的通孔 240 的侧壁上和 / 或上方形成阻挡图案 260。在实施例中, 阻挡图案 260 可由氧化物和 / 或氮化物形成。在实施例中, 位于通孔 240 侧壁上和 / 或上方的第二掺杂层 220 可实质上被阻挡图案 260 全部覆盖。在实施例中, 与第二掺杂层 220 相邻的第一掺杂层 210 可被阻挡图案 260 部分覆盖。在实施例中, 第一掺杂层 210 和 / 或欧姆接触层 230 的另一部分可被通孔 240 暴

露。

[0024] 根据实施例,如图 4 所示,阻挡图案 260 实质上能防止第二掺杂层 220 接触到在通孔 240 上和 / 或上方形成的接触插塞。在实施例中,阻挡图案 260 可允许光电二极管 200 中产生的电子沿着第三掺杂层 230 和 / 或接触插塞进行电移动。在实施例中,阻挡图案 260 可实质上防止形成了光电二极管 200 上部的第二掺杂层 220 电连接到接触插塞。在实施例中,阻挡图案 260 可允许形成了光电二极管 200 下部的第三掺杂层 230 接触到接触插塞。阻挡图案 260 可如图 3 所示那样形成。

[0025] 根据实施例,形成通孔 240 和 / 或阻挡图案 260 的方法可包括针对每个单位像素而在光电二极管 200 上和 / 或上方形成硬掩模图案 250。在实施例中,使用硬掩模图案 250 作为蚀刻掩模,可蚀刻光电二极管 200 的一部分,从而在第三金属 153 上方的区域上和 / 或上方形成通孔。在实施例中,通孔可部分暴露位于第三金属 153 上和 / 或上方的第二掺杂层 220 和 / 或第一掺杂层 210。根据实施例,可在通孔上和 / 或上方形成阻挡层。在实施例中,可执行蚀刻工艺,以将阻挡层从通孔底面去除,从而允许阻挡图案 260 保留在通孔侧壁上和 / 或上方。

[0026] 根据实施例,可执行使用硬掩模 250 和 / 或阻挡图案 260 作为蚀刻掩模的蚀刻工艺,以形成通孔 240,该通孔 240 可贯穿光电二极管 200 和 / 或层间电介质 160。在实施例中,通孔 240 可暴露出第三金属 153 上表面的一部分。在实施例中,硬掩模 250 可由 ONO 层形成,在该 ONO 层中,氧化物和氮化物交替堆叠。在实施例中,ONO 层可包括第一氧化物 251、氮化物 252 和 / 或第二氧化物 253。

[0027] 根据实施例,在形成通孔 240 的蚀刻工艺中,由于蚀刻工艺的特性,实质上所有的硬掩模 250、光电二极管 200 和 / 或层间电介质 160 可能都不会具有一致的轮廓。如图所示,根据蚀刻工艺中蚀刻选择性的不同,硬掩模 250 的开口可被形成为大于在光电二极管 200 上和 / 或上方形成的通孔。

[0028] 参照图 4,可形成接触插塞 270,该接触插塞 270 可与光电二极管 200 和 / 或电路 120 电连接。根据实施例,接触插塞 270 可包括诸如 Cu、Al、Ti、Ta、Ti、TiN 和 / 或 W 等金属材料。在实施例中,通过间隙填充工艺在硬掩模的开口和 / 或通孔 240 上和 / 或上方填充金属材料,可形成接触插塞 270。在实施例中,可执行平坦化工艺。在实施例中,位于通孔 240 上和 / 或上方的接触插塞 270 可通过光电二极管 200 和 / 或和 / 或层间电介质 160 电连接到第三金属 153。

[0029] 根据实施例,阻挡图案 260 可部分形成在接触插塞的侧壁上和 / 或上方,以将接触插塞 270 与第二掺杂层 220 电隔离。在实施例中,光电二极管 200 中产生的光电荷可通过接触插塞而被传递到电路 120。在实施例中,因为阻挡图案 260 可将接触插塞 270 与第二掺杂层 220 电隔离,所以光电二极管 200 可以相对正常地工作。

[0030] 参照图 5,可执行回蚀工艺 (etch-back process),以蚀刻接触插塞 270 上部的一部分。根据实施例,可执行蚀刻位于硬掩模 250 上和 / 或上方的接触插塞的一部分的工艺。如图 4 所示,当位于硬掩模 250 开口处的接触插塞 270 的尺寸可与位于通孔 240 上和 / 或上方的接触插塞 270 的尺寸不同时,会出现以下情况。如果用 ONO 层作为硬掩模,则形成 ONO 层的上层的第二氧化物 253 会被过蚀刻。当接触插塞 270 形成为使得位于光电二极管 200 上和 / 或上方的第二氧化物 253 的开口大于通孔的开口时,会导致如示例性图 8 所示的局

部形状。

[0031] 参照图 8, 剖视图示出当 ONO 层的第二氧化物 253 被过蚀刻之后形成接触插塞的结果。接触插塞 270 可形成为使得 ONO 层的一部分可用作硬掩模。如图所示, 位于第二氧化物层的开口上和 / 或上方的接触插塞的尺寸 8a 可形成为大于位于光电二极管的通孔上和 / 或上方的接触插塞的尺寸 8b。当接触插塞 270 形成为上部尺寸较大时, 光电二极管 200 接收的光量有可能被最小化。当试图将接触插塞的尺寸最小化从而将半导体器件最小化时, 设置在光电二极管区上和 / 或上方的接触插塞的较大尺寸会导致光接收效率的最小化。

[0032] 参照示例性图 7, 平面图示出在光电二极管区上和 / 或上方形成的接触插塞的比较结果。参照图 7A, 例如根据在光电二极管区上和 / 或上方形成通孔 240 时的蚀刻选择性差异, 接触插塞的上部因硬掩模的过蚀刻而可以形成较大尺寸。参照图 7B, 根据实施例, 可蚀刻接触插塞上部的一部分。两个光接收区之间的比较结果示出接触插塞的上部尺寸的相对减少。

[0033] 重新参照图 5 并根据实施例, 可在通孔 240 上和 / 或上方形成接触插塞 270。在实施例中, 可在衬底表面 (实质上可以是衬底 100 的整个表面) 上和 / 或上方执行回蚀工艺, 以去除在硬掩模上和 / 或上方形成的接触插塞上部的一部分。在实施例中, 可用第二氧化物 253 作为硬掩模, 并将它部分地蚀刻掉, 以减少其厚度。在实施例中, 接触插塞 270 可具有基本一致的轮廓。

[0034] 参照图 6, 可在光电二极管 200 和 / 或硬掩模 250 上和 / 或上方沉积氧化物 280。根据实施例, 可在接触插塞 270 和 / 或硬掩模 250 上和 / 或上方形成氧化物 280。在实施例中, 氧化物 280 可由与已经用作硬掩模的第二氧化物 253 基本相同的材料形成。在实施例中, 如果硬掩模的第二氧化物 253 由四乙基原硅酸盐 (TEOS) 形成, 则氧化物 280 也可由 TEOS 形成。在实施例中, 在接触插塞 270 和 / 或硬掩模 250 上和 / 或上方形成氧化物 280 可使得作为后续工艺的形成滤色镜和 / 或微透镜的工艺相对更容易进行。

[0035] 根据实施例, 可在氧化物层 280 和 / 或接触插塞 270 上和 / 或上方形成绝缘层。在实施例中, 可在绝缘层和 / 或氧化物层 280 上和 / 或上方形成第二通孔。在实施例中, 在第二通孔上和 / 或上方可形成第二接触插塞, 并且该第二接触插塞可电连接到光电二极管 200 的第二掺杂层 220。在实施例中, 可对光电二极管施加反向偏置。在实施例中, 可形成金属互连 (其可以电连接到第二接触插塞)。在实施例中, 可在光电二极管 200 上和 / 或上方形成滤色镜和 / 或微透镜。

[0036] 对本领域普通技术人员而言, 显然可以对所公开的实施例进行各种修改和变化。因此, 所公开的实施例应该能涵盖显而易见的修改和变化, 只要它们落入所附权利要求书及其等同物的范围内即可。

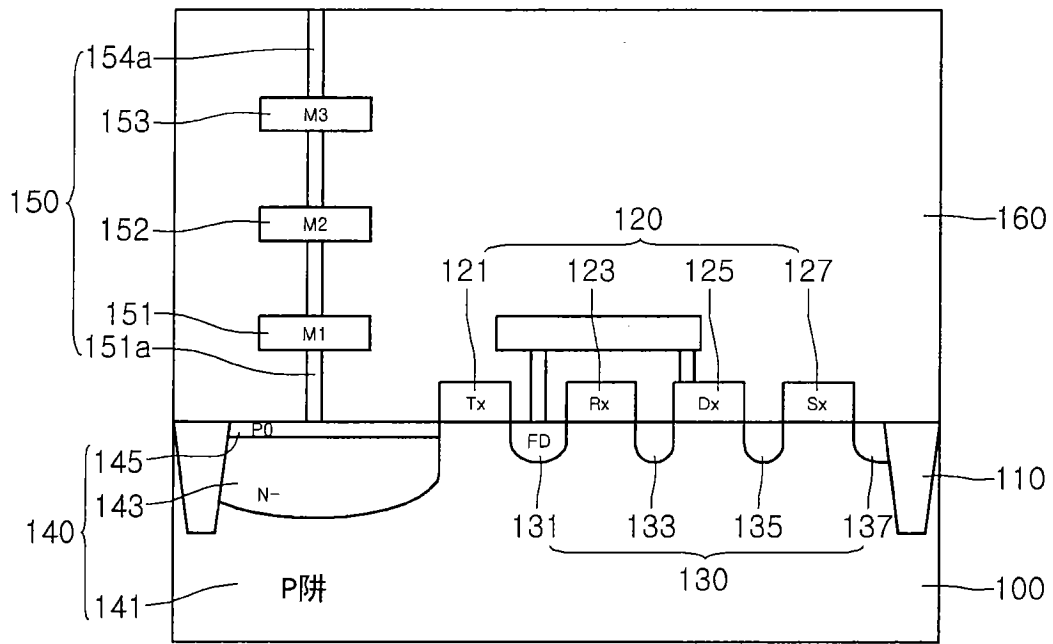


图 1

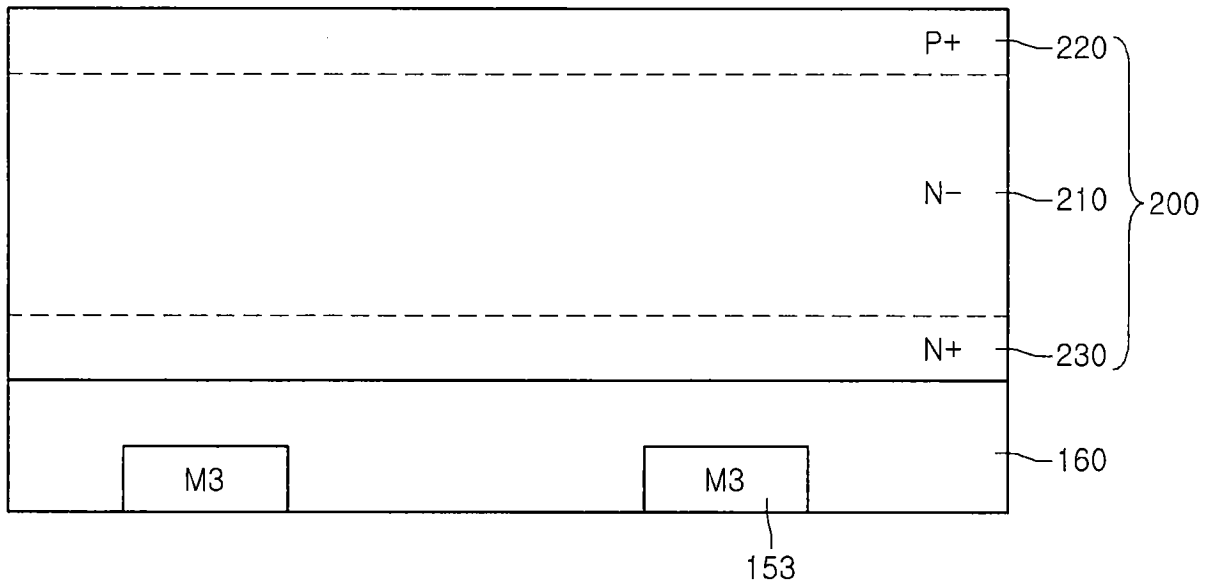


图 2

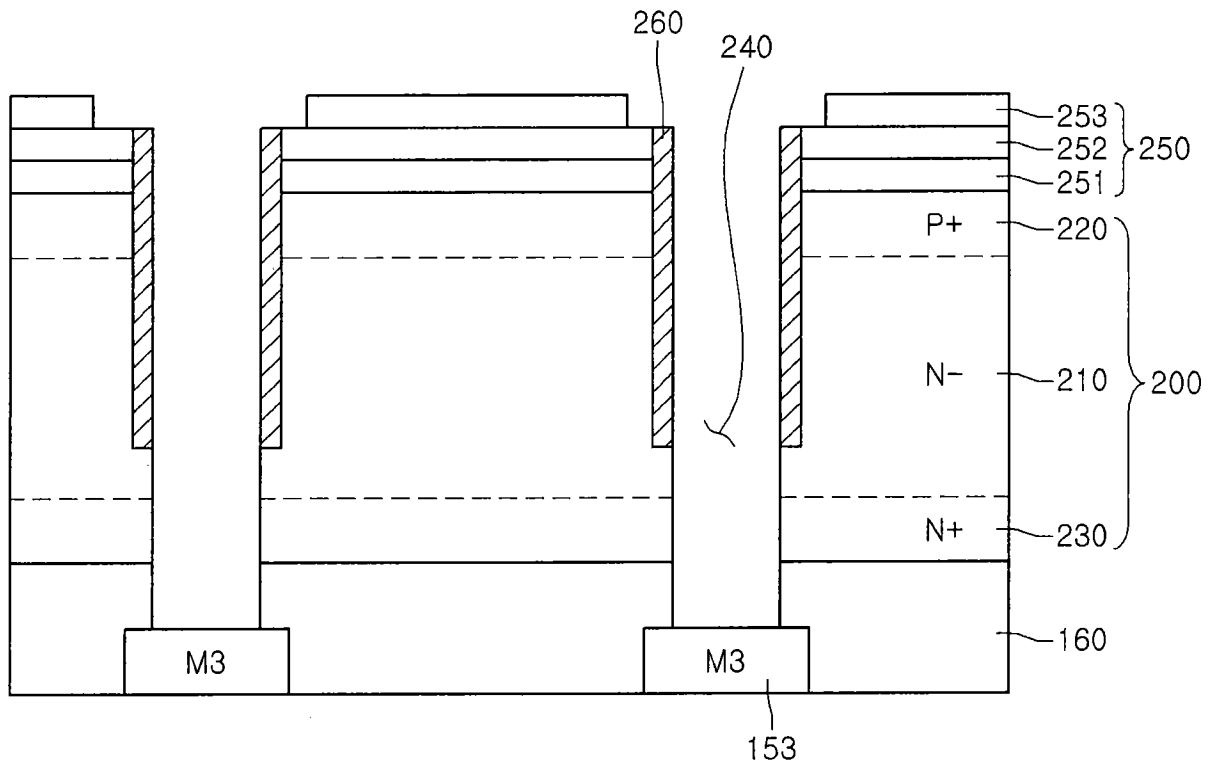


图 3

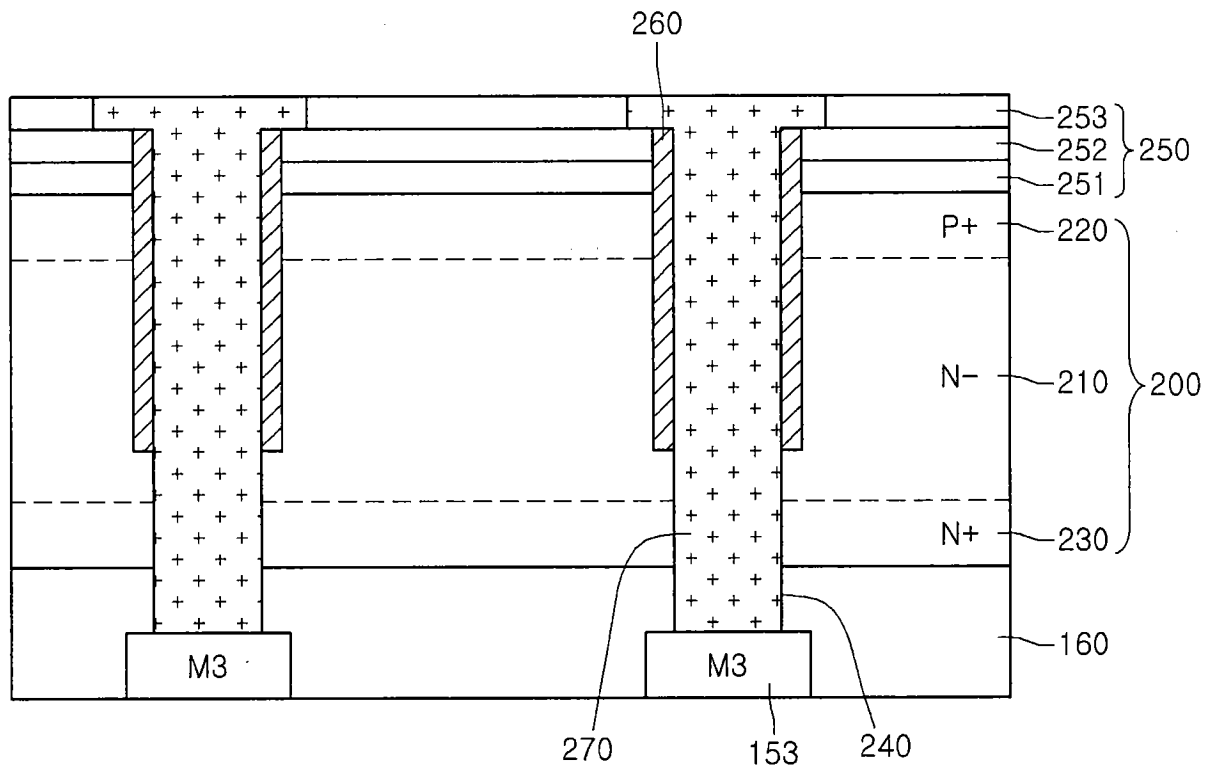


图 4

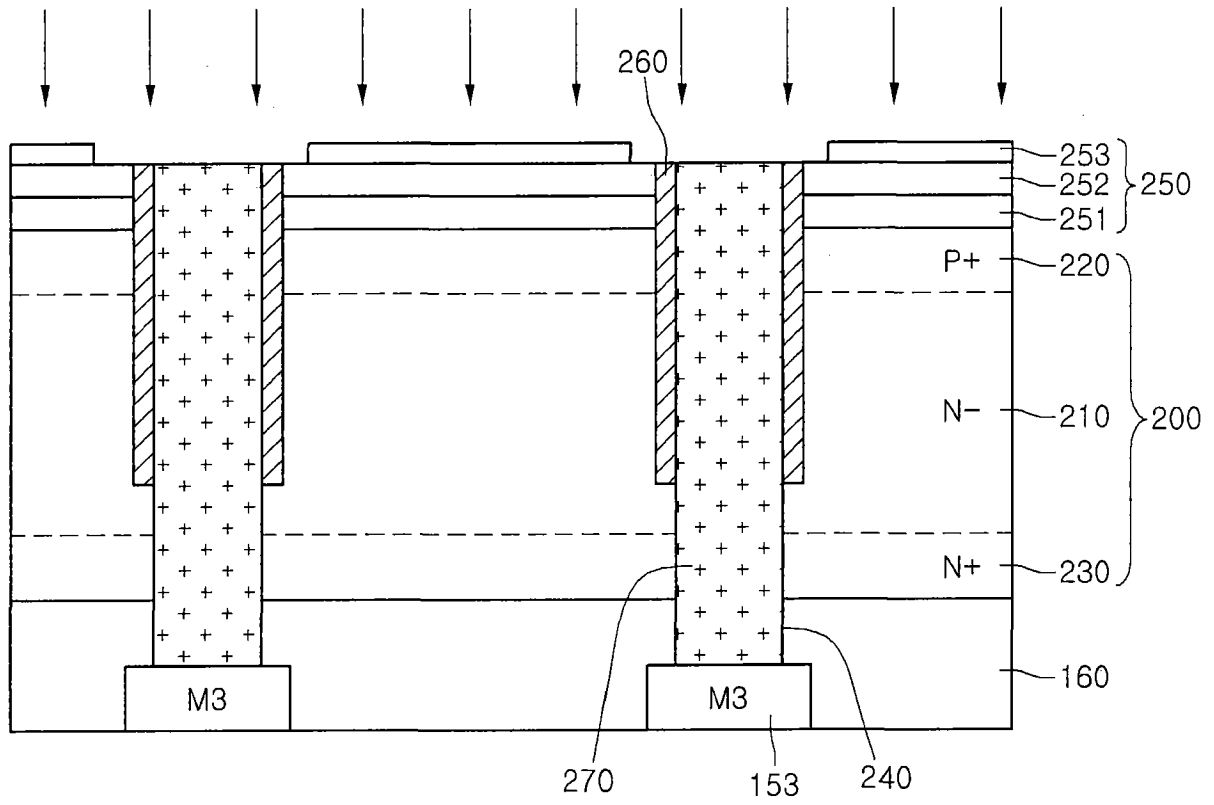


图 5

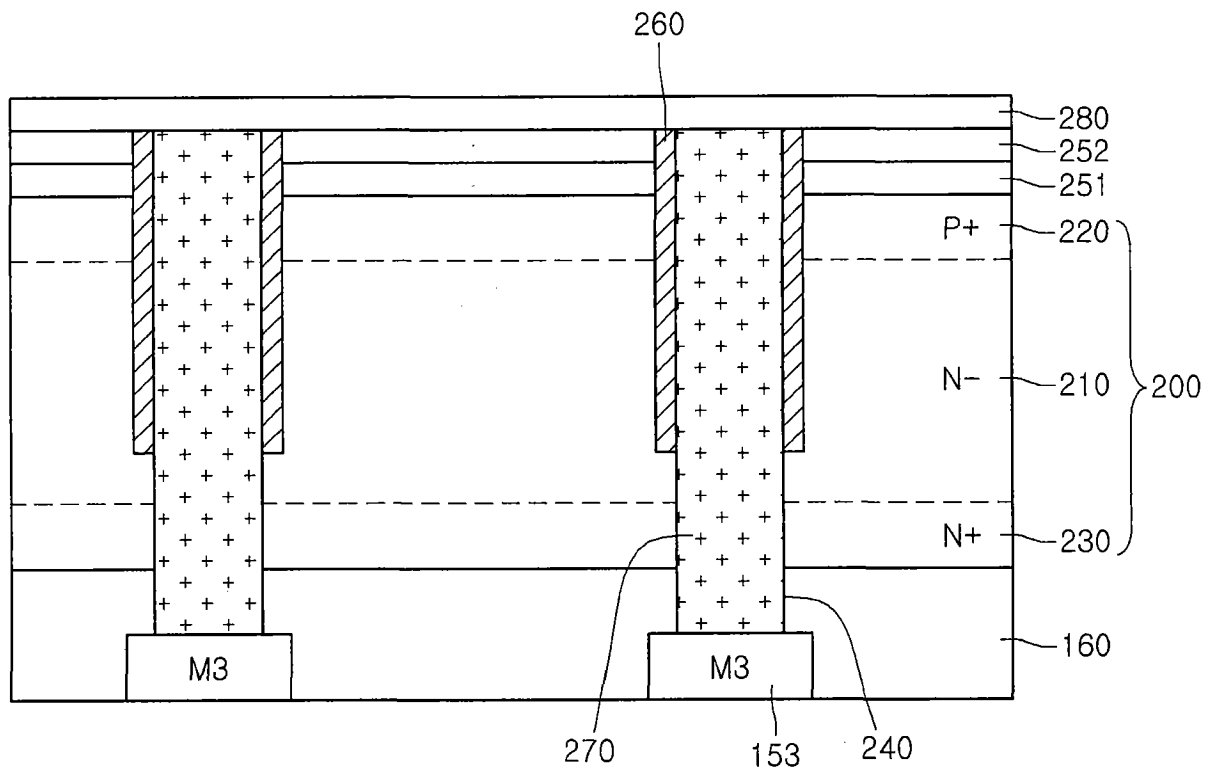


图 6

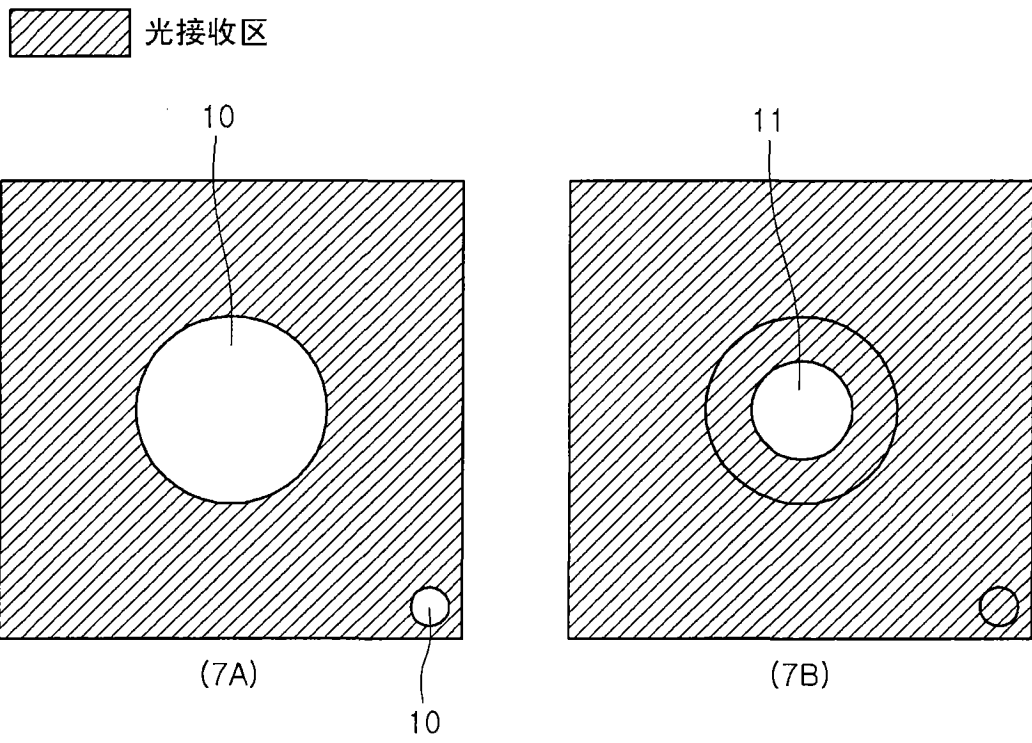


图 7

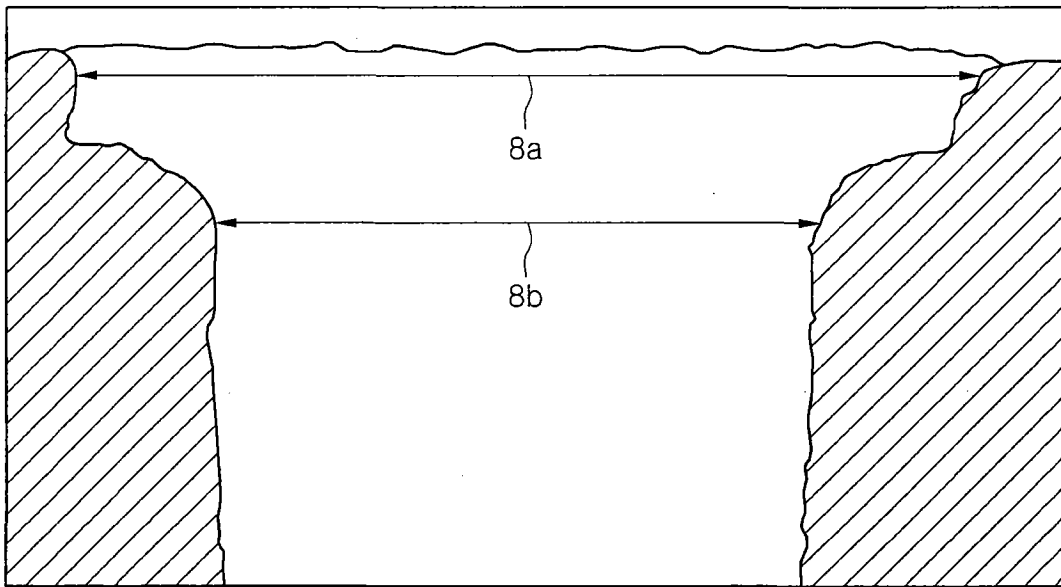


图 8