

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4127562号
(P4127562)

(45) 発行日 平成20年7月30日(2008.7.30)

(24) 登録日 平成20年5月23日(2008.5.23)

(51) Int.Cl. F I
G 0 6 F 15/78 (2006.01) G O 6 F 15/78 5 1 0 C
G 1 1 C 16/02 (2006.01) G 1 1 C 17/00 6 1 1 Z

請求項の数 5 (全 29 頁)

(21) 出願番号	特願2006-313715 (P2006-313715)	(73) 特許権者	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成18年11月21日(2006.11.21)		
(62) 分割の表示	特願2004-127603 (P2004-127603) の分割	(73) 特許権者	000233169 株式会社日立超エル・エス・アイ・システムズ 東京都小平市上水本町5丁目2番1号
原出願日	平成4年3月17日(1992.3.17)		
(65) 公開番号	特開2007-95093 (P2007-95093A)	(74) 代理人	100089071 弁理士 玉村 静世
(43) 公開日	平成19年4月12日(2007.4.12)		
審査請求日	平成18年12月18日(2006.12.18)	(72) 発明者	松原 清 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
		(72) 発明者	屋鋪 直樹 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内 最終頁に続く

(54) 【発明の名称】 マイクロコンピュータ

(57) 【特許請求の範囲】

【請求項1】

ＣＰＵ、Ｉ／Ｏポート、ランダムアクセスメモリ及びフラッシュメモリが１の樹脂パッケージ内に封止され、前記フラッシュメモリは一括消去の対象とされる複数の記憶領域に分割され、前記樹脂パッケージの外部にあるプログラムをＰＲＯＭライタにより該フラッシュメモリに書き込みを行う第１のモードと、前記ランダムアクセスメモリに格納されているデータを前記中央処理装置が書き換え制御プログラムを実行することにより該フラッシュメモリに書き換え行う第２のモードとを有し、前記第１モードの指定に呼応して前記中央処理装置及びランダムアクセスメモリが低消費電力モードに設定される、情報処理装置であって、

前記フラッシュメモリは前記第１のモードによってＰＲＯＭライタで書き込まれた書き換え制御プログラムを有し、

前記ＣＰＵは、前記第２モードにおいて、予めフラッシュメモリに書き込まれている転送制御プログラムを実行して、前記ＰＲＯＭライタによりフラッシュメモリに書き込まれた前記書き換え制御プログラムを前記フラッシュメモリから前記ランダムアクセスメモリに転送し、転送された書き換え制御プログラムを前記ランダムアクセスメモリから読み出して実行することにより、前記フラッシュメモリの一括消去の対象とされる所定の記憶領域を、前記ランダムアクセスメモリに格納されているデータで書き換え可能である、情報処理装置。

【請求項2】

前記ランダムアクセスメモリに格納されているデータは、前記情報処理装置を動作させることによってチューニングが行われたデータである、請求項1記載の情報処理装置。

【請求項3】

前記複数の一括消去可能な記憶領域は、記憶容量が大きな記憶領域と記憶容量が小さな記憶領域を有し、前記チューニングが行われたデータで書き換えられる前記一括消去の対象とされる所定の記憶領域は記憶容量が小さな記憶領域である請求項2記載の情報処理装置。

【請求項4】

前記I/Oポートは、前記第1のモードで、前記外部のPROMライタとインタフェースされ、前記フラッシュメモリとの間でデータの入出力を行うことが可能である請求項1乃至3の何れか1項に記載の情報処理装置。

10

【請求項5】

前記第1のモードと第2のモードとは、モード信号入力端子に与えられる動作モード信号によって選択的に指定可能である請求項1乃至4の何れか1項に記載の情報処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気的な消去・書込みによって情報を書換え可能な不揮発性のフラッシュメモリを備えたマイクロコンピュータに関する。

【背景技術】

20

【0002】

特開平1-161469号公報には、プログラム可能な不揮発性メモリとしてEPROM(イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)またはEEPROM(エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)を単一の半導体チップに搭載したマイクロコンピュータについて記載されている。そのようなマイクロコンピュータにオン・チップ化された不揮発性メモリにはプログラムやデータが保持される。EPROMは紫外線により記憶情報を消去するものであるから、それを実装システムから取り外さなければ書き換えを行うことができない。EEPROMは電氣的に消去・書込みを行うことができるので、システムに実装された状態でその記憶情報を書換えることができるが、それを構成するメモリセルは、MNOS(メタル・ナイトライド・オキサイド・セミコンダクタ)のような記憶素子のほかに選択トランジスタを必要とするため、EPROMに比べて例えば2.5倍から5倍程度の大きさになり、相対的に大きなチップ占有面積を必要とする。

30

【0003】

特開平2-289997号公報には一括消去型EEPROMについて記載されている。この一括消去型EEPROMは本明細書におけるフラッシュメモリと同意義に把握することができる。フラッシュメモリは、電気的な消去・書込みによって情報を書換え可能であって、EPROMと同様にそのメモリセルを1個のトランジスタで構成することができ、メモリセルの全てを一括して、またはメモリセルのブロックを一括して電氣的に消去する機能を持つ。したがって、フラッシュメモリは、システムに実装された状態でその記憶情報を書換えることができると共に、その一括消去機能により書き換え時間の短縮を図ることができ、さらに、チップ占有面積の低減にも寄与する。

40

【0004】

【特許文献1】特開平1-161469号公報

【特許文献2】特開平2-289997号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明者はマイクロコンピュータにフラッシュメモリを搭載することについて検討し、これにより以下の点をみい出した。

50

【 0 0 0 6 】

(1) マイクロコンピュータの内蔵 R O M にはプログラム及びデータが格納される。更にデータには大容量データと小容量データがある。これらプログラム及びデータを書き換える場合、通常前者については数十 K B (キロバイト) の大きな単位で、後者については数十 B (バイト) の小さな単位で書換が行われる。このとき、フラッシュメモリの消去単位がチップ一括または同一サイズのメモリブロック単位で行われるのでは、プログラム領域にはちょうど良いがデータ領域には消去単位が大きすぎて使いにくかったり、或はその逆のケースも起こり得る。

【 0 0 0 7 】

(2) マイクロコンピュータをシステムに実装した後にフラッシュメモリの保持情報の一部を書き換えるような場合には、当該情報を保有している一部のメモリブロックを書き換え対象とすればよいが、一括消去可能なメモリブロックの記憶容量が全てのメモリブロックで等しくされているならば、メモリブロックの記憶容量よりも情報量の少ない情報だけを書き換えればよい場合にも比較的記憶容量の大きなメモリブロックを一括消去した後に当該メモリブロック全体に対して順次書込みを行わなければならない、実質的に書き換えを要しない情報のための書き換えに無駄な時間を費やすことになる。

10

【 0 0 0 8 】

(3) フラッシュメモリに書き込むべき情報はそのマイクロコンピュータが適用されるシステムにしたがって決定されるが、当該マイクロコンピュータをシステムに実装した状態で最初から全ての情報を書込んでいたのでは非能率的な場合がある。

20

【 0 0 0 9 】

(4) マイクロコンピュータの実装状態でフラッシュメモリを書き換えるとき、書き換え対象メモリブロックの一部の情報だけを書き換えればよくても、一括消去した後のメモリブロックの全体に書き込むべき情報の全てをマイクロコンピュータの外部から順次もらいながら書込みを行っていたのでは、書き換え対象メモリブロックの一部の情報だけを書き換えればよくても、当該メモリブロック全体に書き込むべき情報の全てを外部から受け取らなくてはならず、実質的に書き換えを要しない情報、すなわち書き換え前に内部で保持している情報も重ねて外部から転送されなければならない、メモリブロックの一部書き換のための情報転送に無駄がある。

【 0 0 1 0 】

(5) フラッシュメモリを一括消去で書き換える時間はその情報記憶形式故に R A M (ランダム・アクセス・メモリ) などのメモリに比べて相当長い時間、マイクロコンピュータによる機器制御動作に同期してリアルタイムにフラッシュメモリを書き換えることができない。

30

【 0 0 1 1 】

本発明の目的は、使い勝手の良好なフラッシュメモリを内蔵したマイクロコンピュータを提供することにある。更に詳しく言えば、本発明の第 1 の目的は、内蔵フラッシュメモリに対して行われる最初の情報書込み処理の高効率化を図ることができるマイクロコンピュータを提供することである。本発明の第 2 の目的は、フラッシュメモリの一部のメモリブロックが保持する情報の一部を書き換えに対して、当該メモリブロックを一括消去した後の書込み動作の無駄をなくして、書き換え効率を向上させることである。本発明の第 3 の目的は、メモリブロックの一部書き換のために必要な外部からの書込み情報の転送動作の無駄をなくして、書き換え効率を向上させることである。本発明の第 4 の目的は、マイクロコンピュータの制御動作に同期してリアルタイムにフラッシュメモリの保持情報を変更できるようにすることである。

40

【 0 0 1 2 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 課題を解決するための手段 】

【 0 0 1 3 】

50

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】

すなわち、単一の半導体チップ上に、中央処理装置と、この中央処理装置によってアクセス可能なRAMと、前記中央処理装置が処理すべき情報を電気的な消去・書込みによって書換え可能な不揮発性のフラッシュメモリとを備えたマイクロコンピュータに対して、前記フラッシュメモリに対する書換えを前記半導体チップの内蔵回路例えば中央処理装置に制御させる第1動作モードと前記半導体チップの外部装置に制御させる第2動作モードとを選択的に指定するための動作モード信号の入力端子を設ける。

【0015】

前記第1動作モードの指定に応じて中央処理装置が書換え制御を行うとき、当該中央処理装置が実行すべき書換え制御プログラムはマスクROMに保有させ、或はフラッシュメモリに予め格納しておいた書換制御プログラムをRAMに転送して、これを実行させることができる。

【0016】

用途に応じてフラッシュメモリに格納すべき情報量がその情報の種類例えばプログラム、データテーブル、制御データなどに応じて相違されることを考慮した場合に、フラッシュメモリの一部のメモリブロックが保持する情報の一部の書換えに対して、当該メモリブロックを一括消去した後の書込み動作の無駄をなくして、書換え効率を向上させるために、前記フラッシュメモリにおける一括消去可能な単位として、相互に記憶容量の相違される複数個のメモリブロックを割当てる。

【0017】

マイクロコンピュータの内外からフラッシュメモリの書換えを制御する場合に、一括消去すべきメモリブロックを容易に指定できるようにするには、一括消去すべきメモリブロックの指定情報を書換え可能に保持するためのレジスタをフラッシュメモリに内蔵させるとよい。

【0018】

内蔵フラッシュメモリが、一括消去可能な単位として相互に記憶容量の相違される複数個のメモリブロックを有するとき、内蔵RAMをメモリブロック書換えのための作業領域もしくはデータバッファ領域として利用可能にするために、内蔵RAMの記憶容量以下に設定されたメモリブロックを設けておく。このとき、メモリブロックの一部書換のために必要な外部からの書込み情報の転送動作の無駄をなくして、書換え効率を向上させるには、前記内蔵RAMよりも記憶容量の小さなメモリブロックの保持情報を内蔵RAMに転送し、転送された情報の全部又は一部をそのRAM上で更新して、その更新された情報で当該メモリブロックを書換えるようにするとよい。また、フラッシュメモリが保持する制御データなどのチューニングを行うような場合に、マイクロコンピュータの制御動作に同期してリアルタイムにフラッシュメモリの保持情報を変更できるようにするには内蔵RAMの特定アドレスの領域を、前記内蔵RAMよりも記憶容量の小さなメモリブロックのアドレスに重なる様に変更配置し、すなわちメモリブロックをアクセスした場合に重なったRAMがアクセスされる様に、変更配置し、そのRAMの特定アドレスで作業を行った後でRAMの配置アドレスを元の状態に復元し、メモリブロックの内容を前記RAMの特定アドレスの情報で書換える処理を行うようにするとよい。

【0019】

上記した手段によれば、本発明に係るマイクロコンピュータをシステムに実装する前のような段階で最初にそのフラッシュメモリに情報を書き込むようなときは、第2動作モードを指定することにより、PROMライタのような外部書き込み装置の制御によって能率的に情報の書き込みが行われる。

【0020】

フラッシュメモリにおける一括消去可能な単位として相互に記憶容量の相違される複数個のメモリブロックには夫々の記憶容量に応じて例えばプログラム、データテーブル、制

10

20

30

40

50

御データなどが書き込まれる。

【 0 0 2 1 】

システムにマイクロコンピュータを実装した後でフラッシュメモリを書換える場合には、第1動作モードを指定することにより、書換え制御をマイクロコンピュータ内蔵の中央処理装置などに実行させる。このとき、相対的に情報量の大きなデータは相対的に記憶容量の大きなメモリブロックに、相対的に情報量の小さなデータは相対的に記憶容量の小さなメモリブロックに書き込んでおくことができる。すなわち記憶すべき情報量に見合う記憶容量のメモリブロックを利用することができる。したがって、フラッシュメモリの保持情報の一部書換えのために所要のメモリブロックを一括消去しても、実質的に書換えを要しない情報群も併せて消去した後で再び書き戻すと言うような無駄が極力防止される。

10

【 0 0 2 2 】

特に、複数個のメモリブロックのうち内蔵RAMの記憶容量以下に設定されたメモリブロックを設けておくことは、内蔵RAMをメモリブロック書換えのための作業領域若しくはデータバッファ領域として利用可能にする。すなわち、マイクロコンピュータの実装状態でフラッシュメモリを書換えるとき、書換対象メモリブロックの情報を内蔵RAMに転送し、書換えるべき一部の情報だけを外部からもらってそのRAM上で書換を行ってから、フラッシュメモリの書換を行えば、書換え前に内部で保持されている書換を要しない情報を重ねて外部から転送を受けなくても済み、メモリブロックの一部書換のための情報転送の無駄を省く。また、フラッシュメモリの一括消去時間は小メモリブロックに対してもさほど短くならないから、マイクロコンピュータによる制御動作に同期してリアルタイムにフラッシュメモリそれ自体を書換えることはできないが、内蔵RAMをメモリブロック書換えのための作業領域若しくはデータバッファ領域として利用することにより、リアルタイムに書換えたのと同じデータを結果的にメモリブロックに得ることができる。

20

【 発明の効果 】

【 0 0 2 3 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 2 4 】

すなわち、本発明に係るマイクロコンピュータは第1動作モードと第2動作モードとを有するから、マイクロコンピュータをシステムに実装する前の初期データ、又は初期プログラムなどの比較的大量の情報を、汎用PROMライターなどで能率的に書込むことができる。更に、マイクロコンピュータが実装されたシステムを動作させながらデータのチューニングをする場合、またプログラムのバグ対策、若しくはシステムのバージョンアップに伴うプログラムの変更等、マイクロコンピュータがシステムに実装された状態でデータやプログラムの変更が必要になった時に、マイクロコンピュータを実装システムから取り外すことなくフラッシュメモリを書換えることができる。

30

【 0 0 2 5 】

フラッシュメモリにおける一括消去可能な単位として相互に記憶容量の相違される複数個のメモリブロックを設けておくことにより、相対的に情報量の大きなデータは相対的に記憶容量の大きなメモリブロックに、相対的に情報量の小さなデータは相対的に記憶容量の小さなメモリブロックに書き込んでおくことができ、記憶すべき情報量に見合う記憶容量のメモリブロックを利用することができる。したがって、プログラム領域にはちょうど良いがデータ領域には消去単位が大きすぎて使いにくかったりする事態を防止することができる。また、フラッシュメモリの保持情報の一部書換えのために所要のメモリブロックを一括消去しても、実質的に書換えを要しない情報群も併せて消去した後で再び書き戻すと言うような無駄を極力防止することができる。

40

【 0 0 2 6 】

複数個のメモリブロックのうち内蔵RAMの記憶容量以下に設定されたメモリブロックを設けておくことにより、内蔵RAMをメモリブロック書換えのための作業領域若しくはデータバッファ領域として利用できるようになる。このような条件の下で、マイクロコン

50

コンピュータの実装状態でフラッシュメモリを書換えるとき、書換対象メモリブロックの情報を内蔵RAMに転送し、書換えるべき一部の情報だけを外部からもらってそのRAM上で書換を行ってから、フラッシュメモリの書換を行うことにより、書換え前に内部で保持されている書換を要しない情報を重ねて外部から転送を受けなくても済み、メモリブロックの一部書換のための情報転送の無駄を省くことができる。また、フラッシュメモリが保持するデータのチューニングなどに際して、前記内蔵RAMのアドレスを当該フラッシュメモリのメモリブロックのアドレスにオーバーラップさせてそのRAM上でチューニングを行い、チューニング結果をフラッシュメモリの該当メモリブロックに転送することにより、マイクロコンピュータによる制御動作に同期してリアルタイムにフラッシュメモリそれ自体を書換えることはできなくても、リアルタイムに書換えたのと同じデータを結果的にメモリブロックに得ることができる。

10

【0027】

一括消去すべきメモリブロックの指定情報を書換え可能に保持するためのレジスタをフラッシュメモリに内蔵させることにより、一括消去すべきメモリブロックをマイクロコンピュータの内外から同じ様な手順で容易に指定できるようになる。

【0028】

上記夫々の効果によって、マイクロコンピュータに内蔵されたフラッシュメモリの使い勝手を向上させることができるという効果を得る。

【発明を実施するための最良の形態】

【0029】

以下本発明に係るマイクロコンピュータを項目を分けて順次説明する。

20

【0030】

〔1〕全面フラッシュメモリ採用のマイクロコンピュータ

図1には全面フラッシュメモリを採用したマイクロコンピュータの一実施例ブロック図が示される。同図に示されるマイクロコンピュータMCUは、中央処理装置CPU、及びこの中央処理装置CPUが処理すべき情報を電気的な消去・書込みによって書換え可能な不揮発性のフラッシュメモリFMRY、並びにタイマTMR、シリアル・コミュニケーション・インタフェースSCI、ランダム・アクセス・メモリRAM、その他の入出力回路I/Oなどの周辺回路、そして制御回路CONTが、公知の半導体集積回路製造技術によって、シリコンのような単一の半導体チップCHP上に形成されて成る。前記フラッシュメモリFMRYは、電気的な消去・書込みによって情報を書換え可能であって、EPROMと同様にそのメモリセルを1個のトランジスタで構成することができ、更にメモリセルの全てを一括して、またはメモリセルのブロック(メモリブロック)を一括して電気的に消去する機能を持つ。フラッシュメモリFMRYは、一括消去可能な単位として複数個のメモリブロックを有する。図1において、LMBは相対的に記憶容量の大きな大メモリブロックであり、SMBは相対的に記憶容量の小さな小メモリブロックである。小メモリブロックSMBの記憶容量はランダム・アクセス・メモリRAMの記憶容量よりも小さくされる。したがって、ランダム・アクセス・メモリRAMは、小メモリブロックSMBからデータ転送を受けてその情報を一時的に保持することができ、書換えのための作業領域も若しくはデータバッファ領域として利用可能になる。このフラッシュメモリFMRYには

30

40

【0031】

フラッシュメモリFMRYは、マイクロコンピュータMCUがシステムに実装された状態で中央処理装置CPUの制御に基づいてその記憶情報を書換え可能にされると共に、汎用PROMライタのような前記半導体チップCHPの外部装置の制御に基づいてその記憶情報を書換え可能にされる。図においてMODEは、前記フラッシュメモリFMRYを中央処理装置CPUに書換え制御させる第1動作モードと前記外部装置に制御させる第2動作モードとを選択的に指定するための動作モード信号であり、半導体チップCHP上のモード信号入力端子Pmodeに与えられる。

50

【 0 0 3 2 】

〔 2 〕 マスクROM, フラッシュメモリ採用のマイクロコンピュータ

図2にはフラッシュメモリと共にマスクROMを採用したマイクロコンピュータの一実施例ブロック図が示される。同図に示されるマイクロコンピュータMCUにおいては、図1のフラッシュメモリFMRYの一部がマスク・リード・オンリ・メモリMASKROMに置換えられている。マスク・リード・オンリ・メモリMASKROMには書換を要しないデータやプログラムが保持されている。図2に示されるフラッシュメモリFMRYは、一括消去可能な単位として前記小メモリブロックSMBを複数個有する。

【 0 0 3 3 】

〔 3 〕 汎用PROMライタによる情報書き込み

図3には汎用PROMライタによるフラッシュメモリFMRYの書換えに着目したブロック図が示される。同図には前記モード信号MODEの一例としてMD0, MD1, MD2が示される。モード信号MD1乃至MD3は前記制御回路CONTに供給される。制御回路CONTに含まれるデコーダは、特に制限されないが、モード信号MD1乃至MD3を解読して、フラッシュメモリFMRYに対して書き込みを要しない動作モードが指示されているか、又は前記第1動作モード若しくは第2動作モードが指示されているかを判定する。このとき第2動作モードの指示が判断されると、制御回路CONTは、汎用PROMライタPRWとインタフェースされるべきI/Oポートを指定して、内蔵フラッシュメモリFMRYを直接外部の汎用PROMライタPRWでアクセス可能に制御する。すなわち、フラッシュメモリFMRYとの間でデータの入出力を行うためのI/OポートPORTdataと、フラッシュメモリFMRYにアドレス信号を供給するためのI/OポートPORTaddrと、フラッシュメモリFMRYに各種制御信号を供給するためのI/OポートPORTcontとが指定される。更に、汎用PROMライタPRWによる書換え制御とは直接関係ない中央処理装置CPU, ランダム・アクセス・メモリRAM, マスク・リード・オンリ・メモリMASKROMなどの内蔵機能ブロックの実質的な動作が抑制される。例えば、図3に例示的に示されるようにデータバスDBUSとアドレスバスABUSの夫々に配置されたスイッチ手段SWITCHを介して前記中央処理装置CPUなどの内蔵機能ブロックとフラッシュメモリFMRYとの接続を切離す。前記スイッチ手段SWITCHは、前記CPUなどの内蔵機能ブロックからデータバスDBUSにデータを出力する回路や、アドレスバスABUSにアドレスを出力する回路に配置された、トライステート(3ステート)形式の出力回路として把握することもできる。このようなトライステート出力回路は、第2動作モードに呼応して高出力インピーダンス状態に制御される。図3の例では汎用PROMライタによる書換え制御とは直接関係ない中央処理装置CPU, ランダム・アクセス・メモリRAM, マスク・リード・オンリ・メモリMASKROMなどの内蔵機能ブロックは、スタンバイ信号STBY*(記号*はそれが付された信号がロウ・アクティブ信号であることを意味する)により低消費電力モードにされている。低消費電力モードにおいて前記トライステート出力回路が高出力インピーダンス状態に制御されるなら、モード信号でMD0乃至MD2による第2動作モードの指定に呼応してそれらの機能ブロックに低消費電力モードを設定して、汎用PROMライタPRWによる書換え制御とは直接関係ないCPU, RAM, ROMなどの内蔵機能ブロックの実質的な動作を抑制してもよい。

【 0 0 3 4 】

第2動作モードが設定されるマイクロコンピュータMCUの前記I/OポートPORTdata, PORTaddr, PORTcontは変換ソケットSOCKETを介して汎用PROMライタPRWに結合される。変換ソケットSOCKETは、一方においてI/OポートPORTdata, PORTaddr, PORTcontの端子配置を有し、他方において標準メモリの端子配置を有し、相互に同一機能端子が内部で接続されている。

【 0 0 3 5 】

〔 4 〕 CPU制御による書き込み制御プログラム

図4にはCPU制御によるフラッシュメモリFMRYの書換えに着目したブロック図が

10

20

30

40

50

示される。図1のマイクロコンピュータMCUにおいて中央処理装置CPUが実行すべき書換え制御プログラムは予め汎用PROMライタPRWにてフラッシュメモリFMRYに書き込まれている。図2のマイクロコンピュータMCUでは、中央処理装置CPUが実行すべき書換え制御プログラムをマスク・リード・オンリ・メモリMASKROMに保持しておくことができる。前記モード信号MD0乃至MD2によって第1動作モードが指示され、制御回路CONTがこれを認識することにより、中央処理装置CPUは、既にフラッシュメモリFMRYに書き込まれた書き込み制御プログラム、或はマスク・リード・オンリ・メモリMASKROMが保持する書換え制御プログラムにしたがってフラッシュメモリFMRYにデータの書き込みを行っていく。

【0036】

10

図5には全面フラッシュメモリとされるマイクロコンピュータ(図1参照)のメモリマップが示される。同図においてフラッシュメモリの所定の領域には書換え制御プログラムと、転送制御プログラムが予め書き込まれている。中央処理装置CPUは、第1動作モードが指示されると、転送制御プログラムを実行して書換え制御プログラムをランダム・アクセス・メモリRAMに転送する。転送終了後、中央処理装置CPUの処理は、そのランダム・アクセス・メモリRAM上の書換え制御プログラムの実行に分岐され、これによって、フラッシュメモリFMRYに対する消去並びに書き込み(ベリファイを含む)が繰返される。

【0037】

20

図6にはフラッシュメモリと共にマスクROMを有するマイクロコンピュータ(図2参照)のメモリマップが示される。この場合には図5で説明したような転送制御プログラムは不要とされる。中央処理装置CPUは、第1動作モードが指示されると、マスク・リード・オンリ・メモリMASKROMが保持する書換え制御プログラムを順次実行し、これにより、フラッシュメモリFMRYに対する消去並びに書き込みが繰返される。

【0038】

図7には中央処理装置CPUによる消去の一例制御手順が示される。先ず中央処理装置CPUは、前記書換え制御プログラムにしたがって、消去を行うべきアドレス範囲のメモリセルに対してプレライトを行う。これによって消去前のメモリセルの状態は全て書き込み状態にそろえられる。次いで、消去対象メモリセルに対して、少しずつ消去を行いながらその都度消去の度合をベリファイし(イレース/ベリファイ)、過消去を防止して消去動作を完了する。汎用PROMライタPRWによる消去も同様に行われる。なお、フラッシュメモリの消去シーケンスについては後で詳述する。

30

【0039】

図8には中央処理装置CPUによる書き込みの一例制御手順が示される。先ず中央処理装置CPUは、フラッシュメモリFMRYの書き込みスタートアドレスを設定する。次いで、書換え制御プログラムによって指定された周辺回路例えばシリアル・コミュニケーション・インタフェースSCI若しくはI/Oポートを介して、外部から送られるデータを読み込む。このようにして読み込んだデータをフラッシュメモリFMRYに所定時間書き込み、書込んだデータを読み出して正常に書き込まれたかをベリファイをする(ライト/ベリファイ)。以下、上記データの読み込み、書き込み、及びベリファイを書き込み終了アドレスまで繰返していく。汎用PROMライタPRWによる書き込みも同様に行われる。但しこの場合には、書き込むべきデータはPROMライタPRWから所定のポートを介して与えられる。なお、フラッシュメモリの書き込みシーケンスについては後で詳述する。

40

【0040】

〔5〕汎用PROMライタによる書き込みとCPU制御の書き込みの使い分け

汎用PROMライタによる書き込みは、主にマイクロコンピュータMCUのオンボード前すなわちマイクロコンピュータMCUをシステムに実装する前の初期データ、又は初期プログラムの書き込みに適用される。これにより、比較的大量の情報を能率的に書き込むことができる。

【0041】

50

CPU制御の書込みは、マイクロコンピュータMCUが実装されたシステム（実装機とも称する）を動作させながらデータのチューニングをする場合、またプログラムのバグ対策、若しくはシステムのバージョンアップに伴うプログラムの変更等、マイクロコンピュータMCUがシステムに実装された状態（オンボード状態）でデータやプログラムの変更が必要になった場合に適用される。これにより、マイクロコンピュータMCUを実装システムから取り外すことなくフラッシュメモリFMR Yを書換えることができる。

【0042】

〔6〕リアルタイム書換えへの対応

図9にはフラッシュメモリのリアルタイム書換えへの対応手法の一例が示される。フラッシュメモリFMR Yは、その記憶形式故に、一括消去単位としてのメモリブロックの記憶容量を小さくしても消去に要する時間は短縮されず、例えば数10msec～数秒かかる。これにより、マイクロコンピュータMCUが実装されたシステムを動作させながら、フラッシュメモリFMR Yが保持する制御データなどをリアルタイムで書換えてデータのチューニングを行うことは難しい。これに対処するため、前記内蔵RAMをメモリブロック書換えのための作業領域若しくはデータバッファ領域として利用する。すなわち、先ず、チューニングされるべきデータを保持する所定の小メモリブロックSMBのデータをランダム・アクセス・メモリRAMの特定アドレスに転送する。次に前記ランダム・アクセス・メモリRAMの特定アドレス領域を所定の小メモリブロックSMBのアドレスにオーバーラップさせる。このようなアドレス配置の変更は、所定の制御ビット若しくはフラグの設定に呼応して、ランダム・アクセス・メモリRAMのデコード論理を切替え可能にしておくことによって実現することができる。そして、制御データなどのチューニングは、所定のメモリブロックSMBのアドレスがオーバーラップされたランダム・アクセス・メモリRAMを用いて行われる。チューニングを完了した後は、ランダム・アクセス・メモリRAMとメモリブロックSMBのアドレスオーバーラップを解除して、ランダム・アクセス・メモリRAMの配置アドレスを元の状態に復元する。最後に、ランダム・アクセス・メモリRAMが保持するチューニングされたデータを用いて、フラッシュメモリのメモリブロックSMBを書換える。これにより、マイクロコンピュータMCUが実装されたシステムを動作させながら、フラッシュメモリが保持する制御データなどをリアルタイムで書換えたのと同じデータを、結果的にメモリブロックSMBに得ることができる。

【0043】

〔7〕メモリブロックの一部書換えの能率化

図10にはフラッシュメモリのメモリブロックの一部書換えを能率化する手法の一例が示される。プログラムのバグの修正若しくはバージョンアップなどに際して、フラッシュメモリFMR Yの所定メモリブロックSMBが保持している情報の一部を書換える場合は、前記RAMよりも記憶容量の小さなメモリブロックSMBの保持情報を内蔵RAMに転送し、転送された情報の一部をそのRAM上で更新して、その更新された情報で当該メモリブロックを書換えるようにする。これにより、メモリブロックSMBの一つを一括消去しても、当該メモリブロックSMBの保持情報はRAMに保存されているため、書換えるべきデータだけを外部から受け取ってそのRAM上で書換を行えば、書換え前にフラッシュメモリFMR Yが保持している書換を要しない情報を重ねて外部から転送を受けなくても済み、メモリブロックの一部書換のための情報転送の無駄を省くことができる。

【0044】

〔8〕フラッシュメモリの原理

図11にはフラッシュメモリの原理が示される。同図(A)に例示的に示されたメモリセルは、2層ゲート構造の絶縁ゲート型電界効果トランジスタにより構成されている。同図において、1はP型シリコン基板、2は上記シリコン基板1に形成されたP型拡散層、4はN型拡散層である。5は薄い酸化膜6（例えば厚さ10nm）を介して上記P型シリコン基板1上に形成されたフローティングゲート、7は酸化膜8を介して上記フローティングゲート5上に形成されたコントロールゲート、9はソース、10はドレインである。このメモリセルに記憶される情報は、実質的にしきい値電圧の変化としてトランジスタに

10

20

30

40

50

保持される。以下、特に述べないかぎり、メモリセルにおいて、情報を記憶するトランジスタ（以下、記憶トランジスタと称する）がNチャンネル型の場合について述べる。

【0045】

メモリセルへの情報の書き込み動作は、例えばコントロールゲート7及びドレイン10に高圧を印加して、アバランシェ注入によりドレイン10側からフローティングゲート5に電子を注入することで実現される。この書き込み動作により記憶トランジスタは、図11の(B)に示されるように、そのコントロールゲート7からみたしきい値電圧が、書き込み動作を行わなかった消去状態の記憶トランジスタに比べて高くなる。

【0046】

一方、消去動作は、例えばソースに高圧を印加して、トンネル現象によりフローティングゲート7からソース9側に電子を引き抜くことによって実現される。図11の(B)に示されるように、消去動作により記憶トランジスタはそのコントロールゲート7からみたしきい値電圧が低くされる。図11の(B)では、書き込み並びに消去状態の何れにおいても記憶トランジスタのしきい値は正の電圧レベルにされる。すなわちワード線からコントロールゲートに与えられるワード線選択レベルに対して、書き込み状態のしきい値電圧は高くされ、消去状態のしきい値電圧は低くされる。双方のしきい値電圧とワード線選択レベルとがそのような関係を持つことによって、選択トランジスタを採用することなく1個のトランジスタでメモリセルを構成することができる。記憶情報を電気的に消去する場合においては、フローティングゲートに蓄積された電子をソース電極に引く抜くことにより、記憶情報の消去が行われるため、比較的長い時間、消去動作を続けると、書き込み動作の際にフローティングゲートに注入した電子の量よりも多くの電子が引く抜かれることになる。そのため、電気的消去を比較的長い時間続けるような過消去を行うと、記憶トランジスタのしきい値電圧は例えば負のレベルになって、ワード線の非選択レベルにおいても選択されるような不都合を生ずる。尚、書き込みも消去と同様にトンネル電流を利用して行うこともできる。

【0047】

読み出し動作においては、上記メモリセルに対して弱い書き込み、すなわち、フローティングゲート5に対して不所望なキャリアの注入が行われないように、ドレイン10及びコントロールゲート7に印加される電圧が比較的低い値に制限される。例えば、1V程度の低電圧がドレイン10に印加されるとともに、コントロールゲート7に5V程度の低電圧が印加される。これらの印加電圧によって記憶トランジスタを流れるチャンネル電流の大小を検出することにより、メモリセルに記憶されている情報の“0”、“1”を判定することができる。

【0048】

図12は前記記憶トランジスタを用いたメモリセルアレイの構成原理を示す。同図には代表的に4個の記憶トランジスタ（メモリセル）Q1乃至Q4が示される。X，Y方向にマトリクス配置されたメモリセルにおいて、同じ行に配置された記憶トランジスタQ1，Q2（Q3，Q4）のコントロールゲート（メモリセルの選択ゲート）は、それぞれ対応するワード線WL1（WL2）に接続され、同じ列に配置された記憶トランジスタQ1，Q3（Q2，Q4）のドレイン領域（メモリセルの入出力ノード）は、それぞれ対応するデータ線DL1，DL2に接続されている。上記記憶トランジスタQ1，Q3（Q2，Q4）のソース領域は、ソース線SL1（SL2）に結合される。

【0049】

図13にはメモリセルに対する消去動作並びに書き込み動作のための電圧条件の一例が示される。同図においてメモリ素子はメモリセルを意味し、ゲートはメモリセルの選択ゲートとしてのコントロールゲートを意味する。同図において負電圧方式の消去はコントロールゲートに例えば-10Vのような負電圧を印加することによって消去に必要な高電界を形成する。同図に例示される電圧条件から明らかなように、正電圧方式の消去にあっては少なくともソースが共通接続されたメモリセルに対して一括消去を行うことができる。したがって図12の構成において、ソース線SL1，SL2が接続されていれば、4個のメ

10

20

30

40

50

メモリセルQ1乃至Q4は一括消去可能にされる。この場合、同一ソース線につながるメモリビットの数をえることによりメモリブロックのサイズを任意に設定することができる。ソース線分割方式の場合には最小の一括消去単位とされるメモリブロックはデータ線一本分となる。一方、負電圧方式の消去にあっては少なくともコントロールゲートが共通接続されたメモリセルに対して一括消去を行うことができる。

【0050】

〔9〕記憶容量を相違させた複数メモリブロック化

図14には一括消去可能なメモリブロックの記憶容量を相違させたフラッシュメモリの一例回路ブロック図が示される。

【0051】

同図に示されるフラッシュメモリFMR Yは、8ビットのデータ入出力端子D0～D7を有し、各データ入出力端子毎にメモリアレイARY0～ARY7を備える。メモリアレイARY0～ARY7は、相対的に記憶容量の大きなメモリブロックLMBと相対的に記憶容量の小さなメモリブロックSMBとに2分割されている。図には代表的にメモリアレイARY0の詳細が示されているが、その他のメモリアレイARY1～ARY7も同様に構成されている。

【0052】

夫々のメモリアレイARY0～ARY7には前記図11で説明した2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成されたメモリセルMCがマトリクス配置されている。同様同図においてWL0～WLnは全てのメモリアレイARY0～ARY7に共通のワード線である。同一行に配置されたメモリセルのコントロールゲートは、それぞれ対応するワード線に接続される。夫々のメモリアレイARY0～ARY7において、同一列に配置されたメモリセルMCのドレイン領域は、それぞれ対応するデータ線DL0～DL7に接続されている。メモリブロックSMBを構成するメモリセルMCのソース領域はソース線SL1に共通接続され、メモリブロックLMBを構成するメモリセルMCのソース領域はソース線SL2に共通接続されている。

【0053】

前記ソース線SL1, SL2には電圧出力回路VOUT1, VOUT2から消去に利用される高電圧Vppが供給される。電圧出力回路VOUT1, VOUT2の出力動作は、消去ブロック指定レジスタのビットB1, B2の値によって選択される。例えば消去ブロック指定レジスタのビットB1に"1"が設定されることによって各メモリアレイARY0～ARY7のメモリブロックSMBだけが一括消去可能にされる。消去ブロック指定レジスタのビットB2に"1"が設定された場合は、各メモリアレイARY0～ARY7のメモリブロックLMBだけが一括消去可能にされる。双方のビットB1, B2に"1"が設定されたときはフラッシュメモリ全体が一括消去可能にされる。

【0054】

前記ワード線WL0～WLnの選択は、ロウアドレスバッファXABUFF及びロウアドレスラッチXALATを介して取り込まれるロウアドレス信号AXをロウアドレスデコーダXADECが解読することによって行われる。ワードドライバWDRVはロウアドレスデコーダXADECから出力される選択信号に基づいてワード線を駆動する。データ読出し動作においてワードドライバWDRVは電圧選択回路VSELから供給される5Vのような電圧Vccと0Vのような接地電位とを電源として動作され、選択されるべきワード線を電圧Vccによって選択レベルに駆動し、非選択とされるべきワード線を接地電位のような非選択レベルに維持させる。データの書き込み動作においてワードドライバWDRVは、電圧選択回路VSELから供給される12Vのような電圧Vppと0Vのような接地電位とを電源として動作され、選択されるべきワード線を12Vのような書き込み用高電圧レベルに駆動する。データの消去動作においてワードドライバWDRVの出力は0Vのような低い電圧レベルにされる。

【0055】

夫々のメモリアレイARY0～ARY7において前記データ線DL0～DL7はカラム

10

20

30

40

50

選択スイッチ Y S 0 ~ Y S 7 を介して共通データ線 C D に共通接続される。カラム選択スイッチ Y S 0 ~ Y S 7 のスイッチ制御は、カラムアドレスバッファ Y A B U F F 及びカラムアドレスラッチ Y A L A T を介して取り込まれるカラムアドレス信号 A Y をカラムアドレスデコード Y A D E C が解読することによって行われる。カラムアドレスデコード Y A D E C の出力選択信号は全てのメモリアレイ A R Y 0 ~ A R Y 7 に共通に供給される。したがって、カラムアドレスデコード Y A D E C の出力選択信号のうちの何れか一つが選択レベルにされることにより、各メモリアレイ A R Y 0 ~ A R Y 7 において共通データ線 C D には 1 本のデータ線が接続される。

【 0 0 5 6 】

メモリセル M C から共通データ線 C D に読出されたデータは選択スイッチ R S を介してセンスアンプ S A M P に与えられ、ここで増幅されて、データ出力バッファ D O B U F F から外部に出力される。前記選択スイッチ R S は読出し動作に同期して選択レベルにされる。外部から供給される書き込みデータはデータ入力バッファ D I B U F F を介してデータ入力ラッチ回路 D I L A T に保持される。データ入力ラッチ回路 D I L A T に保持されたデータが " 0 " のとき、書き込み回路 W R I T は選択スイッチ W S を介して共通データ線 C D に書き込み用の高電圧を供給する。この書き込み用高電圧はカラムアドレス信号 A Y によって選択されたデータ線を通して、ロウアドレス信号 A X でコントロールゲートに高電圧が印加されるメモリセルのドレインに供給され、これによって当該メモリセルが書き込みされる。前記選択スイッチ W S は書き込み動作に同期して選択レベルにされる。書き込み消去の各種タイミングや電圧の選択制御は書き込み消去制御回路 W E C O N T が生成する。

【 0 0 5 7 】

〔 1 0 〕 図 1 に対応されるマイクロコンピュータの詳細

図 1 5 には図 1 のマイクロコンピュータに対応される更に詳細なマイクロコンピュータの実施例ブロック図が示される。同図に示されるマイクロコンピュータ M C U は、図 1 に示される機能ブロックと同一機能ブロックとして、中央処理装置 C P U 、フラッシュメモリ F M R Y 、シリアル・コミュニケーション・インタフェース S C I 、制御回路 C O N T 、及びランダム・アクセス・メモリ R A M を含む。図 1 のタイマに相当するものとして、16 ビット・インテグレートド・タイマ・パルスユニット I P U と、ウォッチドッグタイマ W D T M R を備える。また、図 1 の入出力回路 I / O に相当するものとして、ポート P O R T 1 乃至 P O R T 1 2 を備える。更にその他の機能ブロックとして、クロック発振器 C P G 、割り込みコントローラ I R C O N T 、アナログ・デジタル変換器 A D C 、及びウェイトステートコントローラ W S C O N T が設けられている。前記中央処理装置 C P U 、フラッシュメモリ F M R Y 、ランダム・アクセス・メモリ R A M 、及び 16 ビット・インテグレートド・タイマ・パルスユニット I P U は、アドレスバス A B U S 、下位データバス L D B U S (例えば 8 ビット) 、及び上位データバス H D B U S (例えば 8 ビット) に接続される。前記シリアル・コミュニケーション・インタフェース S C I 、ウォッチドッグタイマ W D T M R 、割り込みコントローラ I R C O N T 、アナログ・デジタル変換器 A D C 、ウェイトステートコントローラ W S C O N T 、及びポート P O R T 1 乃至 P O R T 1 2 は、アドレスバス A B U S 、及び上位データバス H D B U S に接続される。

【 0 0 5 8 】

図 1 5 において、V p p はフラッシュメモリ F M R Y の書換え用高電圧である。E X T A L 及び X T A L はマイクロコンピュータのチップに外付けされる図示しない振動子から前記クロック発振器 C P G に与えられる信号である。はクロック発振器 C P G から外部に出力される同期クロック信号である。M D 0 乃至 M D 2 はフラッシュメモリ F M R Y の書換えに際して第 1 動作モード又は第 2 動作モードを設定するために制御回路 C O N T に供給されるモード信号であり、図 1 のモード信号 M O D E に対応される。R E S * はリセット信号、S T B Y * はスタンバイ信号であり、中央処理装置 C P U 並びにその他の回路ブロックに供給される。N M I はノン・マスクابل・インタラプト信号であり、マスク不可能な割り込みを前記割り込みコントローラ I C O N T に与える。図示しないその他の割

10

20

30

40

50

り込み信号はポート P O R T 8 , P O R T 9 を介して割り込みコントローラ I C O N T に与えられる。A S * は外部に出力されるアドレス信号の有効性を示すアドレスストロブ信号、R D * はリードサイクルであることを外部に通知するリード信号、H W R * は上位 8 ビットのライトサイクルであることを外部に通知するアッパーバイト・ライト信号、L W R * は下位 8 ビットのライトサイクルであることを外部に通知するローアバイト・ライト信号であり、それらはマイクロコンピュータ M C U の外部に対するアクセス制御信号とされる。

【 0 0 5 9 】

外部の P R O M ライタでフラッシュメモリ F M R Y を直接書換え制御する第 2 動作モード以外において、マイクロコンピュータ M C U が外部をアクセスするためのデータ B D 0 乃至 B D 1 5 の入出力には、特に制限されないが、前記ポート P O R T 1 , P O R T 2 が割当てられる。このときのアドレス信号 B A 0 乃至 B A 1 9 の出力には、特に制限されないが、前記ポート P O R T 3 乃至 P O R T 5 が割当てられる。

【 0 0 6 0 】

一方、マイクロコンピュータ M C U に第 2 動作モードが設定されたとき、そのフラッシュメモリ F M R Y を書換え制御する P R O M ライタとの接続には、特に制限されないが、前記ポート P O R T 2 乃至 P O R T 5 及び P O R T 8 が割当てられる。すなわち、書込み並びにベリファイのためのデータ E D 0 乃至 E D 7 入出力には前記ポート P O R T 2 が割当てられ、アドレス信号 E A 0 ないし E A 1 6 の入力並びにアクセス制御信号 C E * (チップイネーブル信号) , O E * (アウトプットイネーブル信号) , W E * (ライトイネーブル信号) の入力には前記ポート P O R T 3 乃至 P O R T 5 及び P O R T 8 が割当てられる。前記チップイネーブル信号 C E * は P R O M ライタからのフラッシュメモリ F M R Y の動作選択信号であり、アウトプットイネーブル信号 O E * はフラッシュメモリ F M R Y に対する出力動作の指示信号であり、ライトイネーブル信号 W E * はフラッシュメモリ F M R Y に対する書込み動作の指示信号である。尚、アドレス信号 E A 0 ないし E A 1 6 のうちの 1 ビット E A 9 の入力には前記信号 N M I の入力端子が割当てられる。このようにして割当てられたポートの外部端子、並びに高電圧 V p p の印加端子などのその他必要な外部端子は、図 3 で説明した変換ソケット S O C K E T を介して汎用 P R O M ライタ P R W に接続される。このときの斯る外部端子の割り当ては、マイクロコンピュータ M C U を変換ソケット S O C K E T を介して P R O M ライタ P R W に接続し易い端子配列になるように考慮することができる。上記第 2 動作モードにおいて P R O M ライタ P R W との接続に割当てられる外部端子群には、マイクロコンピュータ M C U のその他の動作モードにおいては他の機能が割当てられることになる。

【 0 0 6 1 】

図 1 6 には図 1 5 のマイクロコンピュータ M C U を、例えば、樹脂によって封止することによって得られた 4 方向に外部端子を有するフラットパッケージの上面を示す。図 1 6 に示された信号は図 1 5 と共通である。信号名の示されていない外部端子(ピン)は、ウェート信号の入力ピン、バスリクエスト信号の入力ピン、バスアクノレッジ信号の出力ピン、シリアル・コミュニケーション・インタフェース S C I などの周辺回路と外部との信号入出力ピンなどに利用される。

【 0 0 6 2 】

図 1 6 に示されるパッケージ F P において、上記パッケージ F P から導出される各端子(ピン)の間隔は、0.5 mm 以下とされても良い。すなわち、マイクロコンピュータ M C U のユーザが上記マイクロコンピュータ M C U 内のフラッシュメモリ F M R Y を変換ソケット S O C K E T を介して P R O M ライタ P R W に接続し、上記フラッシュメモリ F M R Y にデータを書き込む場合、パッケージ F P の各端子間隔(ピンピッチ) P P が 0.5 mm 以下とされると、上記変換ソケット S O C K E T へ、上記パッケージ F P を挿入する時に、変換ソケット S O C K E T と上記パッケージ F P の外部端子との不所望な接触に起因するピン曲りが発生しやすくなる。この様なピン曲りが発生すると、上記変換ソケット S O C K E T の各端子と上記パッケージ F P の各端子との電氣的接続が、ピン曲りの発生

10

20

30

40

50

している端子に関して、行われなくなる。その結果、PROMライタPRWで上記フラッシュメモリFMRYにデータを書き込めなくなる。

【0063】

この点に関し本発明においては、中央処理装置CPUがフラッシュメモリFMRYにデータを書き込み可能とされているので、ユーザは、上記フラッシュメモリFMRYへのデータ書き込みに外部PROMライタPRWを使用せず、上記マイクロコンピュータMCUのパッケージを実装基板（プリント基板）に実装した後、中央処理装置CPUで上記フラッシュメモリFMRYにデータを書き込むようにすれば、上記マイクロコンピュータMCUが、ピンピッチPPが0.5mm以下のパッケージに封止されても、ユーザはパッケージから導出される外部端子のリード曲りを防止できる。尚、半導体メーカーは、自動ハン

10

【0064】

〔11〕フラッシュメモリFMRYの書換え用制御回路

図17には図15のマイクロコンピュータMCUに内蔵されるフラッシュメモリFMRYの全体的なブロック図が示される。同図においてARYは前記図11で説明した2層ゲート構造の絶縁ゲート型電界効果トランジスタによって構成されたメモリセルをマトリクス配置したメモリアレイである。このメモリアレイARYは図14で説明した構成と同様に、メモリセルのコントロールゲートはそれぞれ対応するワード線に接続され、メモリセルのドレイン領域はそれぞれ対応するデータ線に接続され、メモリセルのソース領域はメモリブロック毎に共通のソース線に接続されているが、メモリブロックの分割態様は図14とは相違される。例えば、図18に示されるように、相対的にそれぞれの記憶容量が大きな7個の大メモリブロック（大ブロック）LMB0乃至LMB6と、相対的にそれぞれの記憶容量が小さな8個の小メモリブロック（小ブロック）SMB0乃至SMB7とに分割されている。大メモリブロックはプログラム格納領域又は大容量データ格納領域などに利用される。小メモリブロックは小容量データ格納領域などに利用される。

20

【0065】

図17において、ALATはアドレス信号PAB0乃至PAB15のラッチ回路である。第1動作モードにおいてそのアドレス信号PAB0乃至PAB15は中央処理装置CPUの出力アドレス信号に対応される。第2動作モードではアドレス信号PAB0乃至PAB15はPROMライタPRWの出力アドレス信号EA0乃至EA15に対応される。XADCはアドレスラッチALATを介して取り込まれるロウアドレス信号を解読するロウアドレスデコーダである。WDRVはロウアドレスデコーダXADCから出力される選択信号に基づいてワード線を駆動するワードドライバである。データ読出し動作においてワードドライバWDRVは5Vのような電圧でワード線を駆動し、データの書き込み動作では12Vのような高電圧でワード線を駆動する。データの消去動作においてワードドライバWDRVの全ての出力は0Vのような低い電圧レベルにされる。YADCはアドレスラッチYALATを介して取り込まれるカラムアドレス信号を解読するカラムアドレスデコーダである。YSELはカラムアドレスデコーダYADCの出力選択信号に従ってデータ線を選択するカラムアドレスデコーダである。SAMPはデータ読出し動作においてカラム選択回路YSELで選択されたデータ線からの読出し信号を増幅するセンスアンプである。DOLATはセンスアンプの出力を保持するデータ出力ラッチである。DOBUFFはデータ出力ラッチDOLATが保持するデータを外部に出力するためのデータ出力バッファである。図においてPDB0乃至PDB7は下位8ビット（1バイト）データであり、PDB8乃至PDB15は上位8ビット（1バイト）データである。この例に従えば出力データは最大2バイトとされる。DIBUFFは外部から供給される書き込みデータを取り込むためのデータ入力バッファである。データ入力バッファDIBUFFから取り込まれたデータはデータ入力ラッチ回路DILATに保持される。データ入力ラッチ回路DILATに保持されたデータが"0"のとき、書き込み回路WRITはカラム選

30

40

50

択回路 YSEL で選択されたデータ線に書き込み用高電圧を供給する。この書き込み用高電圧はロウアドレス信号に従ってコントロールゲートに高電圧が印加されるメモリセルのドレインに供給され、これによって当該メモリセルが書き込みされる。ERASEC は指定されたメモリブロックのソース線に消去用高電圧を供給してメモリブロックの一括消去を行うための消去回路である。

【0066】

FCONT は、フラッシュメモリ FMRY におけるデータ読出し動作のタイミング制御、及び書き込み消去のための各種タイミングや電圧の選択制御などを行う制御回路である。この制御回路 FCONT は、コントロールレジスタ CREG を備える。

【0067】

図19にはコントロールレジスタ CREG の一例が示される。コントロールレジスタ CREG は、それぞれ8ビットのプログラム/イレース制御レジスタ PEREG と、消去ブロック指定レジスタ MBREG1 および MBREG2 によって構成される。プログラム/イレース制御レジスタ PEREG において、Vpp は書換え用高電圧印加に応じて "1" にされる高電圧印加フラグである。Eビットは消去動作を指示するビットとされ、EVビットは消去におけるペリファイ動作の指示ビットとされる。Pビットは書込み動作(プログラム動作)の指示ビットとされ、PVビットは書込みにおけるペリファイ動作の指示ビットとされる。消去ブロック指定レジスタ MBREG1 および MBREG2 は、それぞれ7分割された大ブロックと8分割された小ブロックに含まれる何れのメモリブロックを消去するかを指定するレジスタであり、その第0ビットから第7ビットは各メモリブロックの指定用ビットとされ、例えばビット "1" は対応メモリブロックの選択を意味し、ビット "0" は対応メモリブロックの非選択を意味する。例えば、消去ブロック指定レジスタ MBREG2 の第7ビットが "1" のときは、小メモリブロック SMB7 の消去が指定される。

【0068】

上記コントロールレジスタ CREG は外部からリード・ライト可能にされている。制御回路 FCONT は、そのコントロールレジスタ CREG の設定内容を参照し、それにしたがって消去・書込みなどの制御を行う。外部においては、そのコントロールレジスタ CREG の内容を書換えることによって、消去・書込み動作の状態を制御することができる。

【0069】

図17において、制御回路 FCONT には、制御信号として FLM, MS-FLN, MS-MISN, M2RDN, M2WRN, MRDN, MWRN, IOWORDN, 及び RST が供給され、更に、上位1バイトのデータ PDB8 乃至 PDB15 と、アドレス信号 PAB0 乃至 PAB15 の所定ビットが与えられる。

【0070】

制御信号 FLM は、フラッシュメモリ FMRY の動作モードを指定する信号であり、その "0" が第1動作モードを指定し、"1" が第2動作モードを指定する。この信号 FLM は、例えば前記モード信号 MD0 乃至 MD2 に基づいて形成される。

【0071】

制御信号 MS-FLN は、フラッシュメモリ FMRY の選択信号であり、その "0" が選択を指示し、"1" が非選択を指示する。第1動作モードでは中央処理装置 CPU がその制御信号 MS-FLN を出力し、第2動作モードにおいてその制御信号 MS-FLN は、PROMライタ PRW から供給されるチップ・イネーブル信号 CE* に対応される。

【0072】

制御信号 MS-MISN はコントロールレジスタ CREG の選択信号である。このとき、プログラム/イレース制御レジスタ PEREG と消去ブロック指定レジスタ MBREG1 および MBREG2 の何れを選択するかは、アドレス信号 PAB0 乃至 PAB15 の所定ビットを参照して決定される。第1動作モードでは中央処理装置 CPU がその制御信号 MS-MISN を出力する。第2動作モードでは、特に制限されないが、PROMライタ PRW が出力する最上位アドレスビット EA16 がその制御信号 MS-MISN とみなさ

10

20

30

40

50

れる。

【 0 0 7 3 】

M 2 R D N はメモリリードストロープ信号、M 2 W R N はメモリライトストロープ信号、M R D N はコントロールレジスタ C R E G のリード信号、M W R N はコントロールレジスタ C R E G のライト信号である。第 1 動作モードでは中央処理装置 C P U がそれら制御信号を出力する。第 2 動作モードでは、特に制限されないが、P R O M ライタ P R W から供給されるライトイネーブル信号 W E * が前記信号 M 2 W R N , M W R N とみなされ、P R O M ライタから供給されるアウトプットイネーブル信号 O E * が前記信号 M 2 R D N , M R D N とみなされる。尚、メモリライトストロープ信号 M 2 W R N は、メモリセルに書込むべきデータをデータ入力ラッチ回路 D I L A T に書込むためのストロープ信号とみなされる。メモリセルへの実際の書込みは前記コントロールレジスタ C R E G の P ビットをセットすることによって開始される。

10

【 0 0 7 4 】

I O W O R D N はフラッシュメモリ F M R Y に対する 8 ビットリードアクセスと 1 6 ビットリードアクセスとの切換え信号とされる。第 2 動作モードにおいては当該制御信号 I O W O R D N は 8 ビットリードアクセスを指示する論理値に固定される。

【 0 0 7 5 】

R S T はフラッシュメモリ F M R Y のリセット信号である。この信号 R S T によってフラッシュメモリ F M R Y がリセットされることにより、或は前記プログラム / イレーズ制御レジスタ P E R E G の V p p フラグが " 0 " にされることにより、前記プログラム / イレーズ制御レジスタ P E R E G における E V , P V , E , P の各モード設定ビットがクリアされる。

20

【 0 0 7 6 】

図 2 0 にはフラッシュメモリ F M R Y におけるメモリリード動作の一例タイミングチャートが示される。同図において C K 1 M , C K 2 M はノン・オーバーラップ 2 相のクロック信号であり、動作基準クロック信号とみなされる。t C Y C はサイクルタイムであり、R A M に対するアクセスタイムと大差ない。コントロールレジスタ C R E G に対するリード動作もこれと同様のタイミングで行われる。

【 0 0 7 7 】

図 2 1 にはフラッシュメモリ F M R Y におけるメモリライト動作の一例タイミングチャートが示される。同図に示されるライトストロープ信号 M 2 W R N によって指示されるメモリライト動作では、前述のように、メモリセルに対する実際の書込みは行われず、入力アドレス信号 P A B 0 乃至 P A B 1 5 がアドレスラッチ回路 A L A T に保持されるとともに、入力データ P B 8 乃至 P B 1 5 がデータ入力ラッチ D I L A T に保持されて、そのライトサイクルが終了される。コントロールレジスタ C R E G に対するライト動作もこれと同様のタイミングで行われるが、この場合にはコントロールレジスタ C R E G への実際のデータ書込みが行われる。

30

【 0 0 7 8 】

〔 1 2 〕フラッシュメモリ F M R Y の書換え制御手順の詳細

この項目では、中央処理装置 C P U 又は P R O M ライタが前記制御回路 F C O N T を介してフラッシュメモリの書込み、消去を行う制御手順の詳細な一例について説明する。フラッシュメモリに対する情報の書込みは、基本的に消去状態のメモリセルに対して行われる。マイクロコンピュータがシステムに実装された状態でフラッシュメモリの書換えを行う第 1 動作モードにおいて、中央処理装置 C P U が実行すべき書換え制御プログラムは、消去用プログラムと、書込み用プログラムを含む。第 1 動作モードの指定に従って、最初に消去の処理ルーチンを実行し、ひき続いて自動的に書込みの処理ルーチンを実行するように書換え制御プログラムを構成することができる。或は消去と書込みを分けて別々に第 1 動作モードを指定するようにしてもよい。P R O M ライタによる書換え制御も第 1 動作モードの場合と同様のオペレーションによって実行される。以下、書込み制御手順と消去制御手順とをそれぞれ説明する。

40

50

【 0 0 7 9 】

図 2 2 には書込み制御手順の詳細な一例が示される。同図に示される手順は、例えば 1 バイトのデータを書込むための手順であり、第 1 動作モードにおける中央処理装置 CPU の制御と、第 2 動作モードにおける PROM ライタの制御との双方に共通とされる。例えば制御主体を中央処理装置 CPU として説明する。

【 0 0 8 0 】

バイト単位でのデータ書込みの最初のステップでは、中央処理装置 CPU はその内蔵カウンタ n に 1 をセットする (ステップ S 1)。次に、中央処理装置 CPU は、図 2 1 で説明したメモリライト動作を行って、フラッシュメモリ F M R Y に書込むべきデータを図 1 7 のデータ入力ラッチ回路 D I L A T にセットするとともに、データを書込むべきアドレスをアドレスラッチ回路 A L A T にセットする (ステップ S 2)。そして中央処理装置 CPU は、コントロールレジスタ C R E G に対するライトサイクルを発行して、プログラムビット P をセットする (ステップ 3)。これにより制御回路 F C O N T は、前記ステップ 2 でセットされたデータ及びアドレスに基づいて、そのアドレスで指定されるメモリセルのコントロールゲートとドレインとに高圧を印加して書込みを行う。このフラッシュメモリ側での書込み処理時間として中央処理装置 CPU は例えば 1 0 μ s e c 待ち (ステップ S 4)、次いでプログラムビット P をクリアする (ステップ S 5)。

【 0 0 8 1 】

その後、中央処理装置 CPU は書込み状態を確認するために、コントロールレジスタ C R E G に対するライトサイクルを発行して、プログラムベリファイビット P V をセットする (ステップ 6)。これにより制御回路 F C O N T は、前記ステップ 2 でセットされたアドレスを利用して、そのアドレスで選択されるべきワード線にベリファイ用電圧を印加して、前記書込みを行ったメモリセルのデータを読み出す。ここで前記ベリファイ用電圧は、十分な書込みレベルを保証するため、例えば 5 V のような電源電圧 V c c よりもレベルの高い 7 V のような電圧レベルとされる。中央処理装置 CPU はそれによって読み出されたデータと書込みに利用したデータとの一致を確かめる (ステップ S 7)。中央処理装置 CPU は、ベリファイによって一致を確認すると、プログラムベリファイビット P V をクリアし (ステップ S 8)、これにより当該 1 バイトデータの書込みが完了される。

【 0 0 8 2 】

一方、中央処理装置 CPU は、ステップ S 7 のベリファイによって不一致を確認すると、ステップ S 9 でプログラムベリファイビット P V をクリアした後、前記カウンタ n の値が、書込みリトライ上限回数 N に到達しているかの判定を行う (ステップ S 1 0)。この結果、書込みリトライ上限回数 N に到達している場合には書込み不良として処理が終了される。書込みリトライ上限回数 N に到達していない場合には、中央処理装置 CPU は、カウンタ n の値を 1 だけインクリメントして (ステップ S 1 1)、前記ステップ S 3 から処理を繰返していく。

【 0 0 8 3 】

図 2 3 には消去制御手順の詳細な一例が示される。同図に示される手順は、第 1 動作モードにおける中央処理装置 CPU の制御と、第 2 動作モードにおける PROM ライタの制御との双方に共通とされる。例えば制御主体を中央処理装置 CPU として説明する。

【 0 0 8 4 】

中央処理装置 CPU は、消去を行うに当たりその内蔵カウンタ n に 1 をセットする (ステップ S 2 1)。次に中央処理装置 CPU は、消去対象領域のメモリセルに対してプレライトを行う (ステップ S 2 2)。すなわち、消去対象アドレスのメモリセルに対してデータ " 0 " を書込む。このプレライトの制御手順は前記図 2 2 で説明した書込み制御手順を流用することができる。このプレライトの処理は、消去前のフローティングゲート内の電荷量を全ビット均一にして、消去状態を均一化するために行われる。

【 0 0 8 5 】

次に、中央処理装置 CPU は、コントロールレジスタ C R E G に対するライトサイクルを発行して、一括消去対象メモリブロックを指定する (ステップ S 2 3)。すなわち、消

10

20

30

40

50

去ブロック指定レジスタMBREG1およびMBREG2に消去対象メモリブロック番号を指定する。消去対象メモリブロックを指定した後、中央処理装置CPUは、コントロールレジスタCREGに対するライトサイクルを発行して、イレーズビットEをセットする(ステップ24)。これにより制御回路FCONTは、前記ステップ23で指定されたメモリブロックのソース線に高圧を印加させて、当該メモリブロックを一括消去する。このフラッシュメモリ側での一括消去の処理時間として中央処理装置CPUは例えば10msec待つ(ステップ25)。この10msecという時間は、1回で消去動作を完了することができる時間に比べて短い時間とされている。そして、次いでイレーズビットEをクリアする(ステップ26)。

【0086】

その後、中央処理装置CPUは消去状態を確認するために、先ず一括消去対象メモリブロックの先頭アドレスをベリファイすべきアドレスとして内部にセットし(ステップ27)、次いで、ベリファイアドレスにダミーライトを行う(ステップ28)。すなわち、ベリファイすべきアドレスに対してメモリライトサイクルを発行する。これにより、ベリファイすべきメモリアドレスがアドレスラッチ回路ALATに保持される。その後中央処理装置CPUは、コントロールレジスタCREGに対するライトサイクルを発行して、イレーズベリファイビットEVをセットする(ステップ29)。これにより制御回路FCONTは、前記ステップ28でセットされたアドレスを利用して、そのアドレスで選択されるべきワード線に消去ベリファイ用電圧を印加して、前記消去されたメモリセルのデータを読み出す。ここで前記消去ベリファイ用電圧は、十分な消去レベルを保証するため、例えば5Vのような電源電圧Vccよりもレベルの低い3.5Vのような電圧レベルとされる。中央処理装置CPUはそれによって読み出されたデータが消去完了状態のデータに一致するかをベリファイする(ステップ30)。中央処理装置CPUは、ベリファイによって一致を確認すると、イレーズベリファイビットEVをクリアし(ステップ31)、次いで今回のベリファイアドレスが消去したメモリブロックの最終アドレスか否かを判定し(ステップ32)、最終アドレスであれば一連の消去動作を終了する。最終アドレスに至っていないと判定されたときは、ベリファイアドレスを1だけインクリメントして(ステップ33)、再びステップ29からの処理を繰返していく。

【0087】

一方、中央処理装置CPUは、ステップ30のベリファイによって不一致を確認すると、ステップ34でイレーズベリファイビットEVをクリアした後、前記カウンタnの値が、漸次消去上限回数Nに到達しているかの判定を行う(ステップ35)。この結果、漸次消去上限回数Nに到達している場合には消去不良として処理が終了される。漸次消去上限回数Nに到達していない場合には、中央処理装置CPUは、カウンタnの値を1だけインクリメントして(ステップ36)、前記ステップ24から処理を繰返していく。実際には、消去し過ぎによってメモリセルのしきい値電圧が負の値になってしまうような過消去を防止するために、1回毎にベリファイを行いながら10msecというような短時間ずつ徐々に消去がくり返し行われていく。

【0088】

上記実施例によれば以下の作用効果がある。

【0089】

(1) マイクロコンピュータMCUを所要のシステムに実装する前のような段階で最初に当該マイクロコンピュータMCUが内蔵するフラッシュメモリFMRYに情報を書き込むようなときは、第2動作モードを指定することにより、PROMライタPRWのような外部書き込み装置の制御によって能率的に情報の書き込みを行うことができる。また、マイクロコンピュータMCUに第1動作モードを指定することにより、当該マイクロコンピュータMCUがシステムに実装された状態でそのフラッシュメモリFMRYの記憶情報を書換えることができる。このとき、一括消去機能により書換え時間の短縮を図ることができる。

【0090】

(2) フラッシュメモリ F M R Y における一括消去可能な単位として相互に記憶容量の相違される複数個のメモリブロック (L M B , S M B) を設けておくことにより、夫々のメモリブロックにはその記憶容量に応じて例えばプログラム、データテーブル、制御データなどを保持させることができる。すなわち、相対的に情報量の大きなデータは相対的に記憶容量の大きなメモリブロックに、相対的に情報量の小さなデータは相対的に記憶容量の小さなメモリブロックに書き込んでおくことができる。換言すれば、記憶すべき情報量に見合う記憶容量のメモリブロックを利用することができる。したがって、プログラム領域にはちょうど良いがデータ領域には消去単位が大きすぎて使いにくかったりする事態を防止することができる。また、フラッシュメモリの保持情報の一部書換えのために所要のメモリブロックを一括消去しても、実質的に書換えを要しない情報群も併せて消去した後で再び書き戻すと言うような無駄を極力防止することができる。

10

【 0 0 9 1 】

(3) 複数個のメモリブロックのうち内蔵 R A M の記憶容量以下に設定されたメモリブロックを設けておくことにより、内蔵 R A M をメモリブロック書換えのための作業領域若しくはデータバッファ領域として利用できるようになる。

【 0 0 9 2 】

(4) 上記(3)において、マイクロコンピュータの実装状態でフラッシュメモリを書換えるとき、書換対象メモリブロックの情報を内蔵 R A M に転送し、書換えるべき一部の情報だけを外部からもらってその R A M 上で書換を行ってから、フラッシュメモリの書換を行うことにより、書換え前に内部で保持されている書換を要しない情報を重ねて外部から転送を受けなくても済み、メモリブロックの一部書換のための情報転送の無駄を省くことができる。

20

【 0 0 9 3 】

(5) フラッシュメモリの一括消去時間は小メモリブロックに対してもさほど短くならないから、マイクロコンピュータ M C U による制御動作に同期してリアルタイムにフラッシュメモリそれ自体を書換えることはできないが、内蔵 R A M をメモリブロック書換えのための作業領域若しくはデータバッファ領域として利用することにより、リアルタイムに書換えたのと同じデータを結果的にメモリブロックに得ることができる。

【 0 0 9 4 】

(6) 一括消去すべきメモリブロックの指定情報を書換え可能に保持するためのレジスタ M B R E G をフラッシュメモリ F M R Y に内蔵させることにより、一括消去すべきメモリブロックをマイクロコンピュータ M C U の内外 (内蔵中央処理装置 , 外部 P R O M ライタ) から同じ様な手順で容易に指定できる。

30

【 0 0 9 5 】

(7) 上記夫々の作用効果によって、マイクロコンピュータ M C U に内蔵されたフラッシュメモリ F M R Y の使い勝手を向上させることができる。

【 0 0 9 6 】

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

40

【 0 0 9 7 】

例えば、マイクロコンピュータに内蔵される周辺回路は上記実施例に限定されず適宜変更することができる。フラッシュメモリのメモリセルトランジスタは上記実施例のスタックドゲート構造の M O S トランジスタに限定されず、書込み動作にもトンネル現象を用いた F L O T O X 型のメモリセルトランジスタを用いることも可能である。上記実施例では、フラッシュメモリに対する消去並びに書込みの双方の制御を図 2 2 及び図 2 3 に示したようなソフトウェア的な手段を介して実現したが、本発明はそれに限定されるものではなく、例えば、比較的時間のかかる一括消去を、フラッシュメモリの内蔵専用ハードウェアによって制御させるようにしてもよい。例えばその専用ハードウェアは、 E ビットや E V ビットのセット及びクリア制御をしたり、消去状態のベリファイを行ったりする制御論理

50

を備えることになる。この一括消去の制御論理をフラッシュメモリに内蔵させる構成は、一括消去に関するソフトウェア的な負担が軽減されるという点においてユーザによる使い勝手を向上させるが、その制御論理は面積を増大させる。また、一括消去の単位はソース線を共通にするメモリブロックのほか、消去においてワード線を共通化できるメモリブロックとすることもできるが、その何れを選択するかは、消去電圧の極性をどうするか、或は、一括消去単位の記憶容量を極力小さくしようとする場合に単一のワード線に接続するメモリセルの数と単一のデータ線に接続されるメモリセルの数との何れの方が少ないかなどの事情を考慮して決定することができる。メモリブロックのサイズについては上記実施例のようなサイズ固定に限定されない。例えば、コントロールレジスタの設定又はモード信号の指示にしたがってそのサイズを可変にすることができる。例えば、ワード線を最小単位として一括消去電圧を印加する場合には、ワード線を消去電圧で駆動するドライバの動作をそのコントロールレジスタの設定又はモード信号の指示にしたがって選択させればよい。更にメモリブロックの分割態様としては、図24に示される様に、全体を複数個の大ブロックLMB0~7に分割し、更にその各大ブロックの中を複数個の小ブロックSMB0~SMB7に分けて、大ブロック単位又は小ブロック単位で一括消去できるようにすることも可能である。また、フラッシュメモリのメモリセルトランジスタにおいて、そのソース及びドレインは、印加される電圧によって定まる相対的なものとして把握されるものもある。

10

【0098】

本発明は、少なくとも単一の半導体チップ上に中央処理装置と電気的な消去・書込みによって書換え可能な不揮発性のフラッシュメモリとを備えた条件のマイクロコンピュータに広く適用することができる。

20

【図面の簡単な説明】

【0099】

【図1】図1は全面フラッシュメモリを採用したマイクロコンピュータの一実施例ブロック図である。

【図2】図2はフラッシュメモリと共にマスクROMを採用したマイクロコンピュータの一実施例ブロック図である。

【図3】図3は汎用PROMライターによるフラッシュメモリの書換えに着目したブロック図である。

30

【図4】図4にCPU制御によるフラッシュメモリの書換えに着目したブロック図である。

【図5】図5は全面フラッシュメモリとされるマイクロコンピュータの一例メモリマップである。

【図6】図6はフラッシュメモリと共にマスクROMを有するマイクロコンピュータの一例メモリマップである。

【図7】図7は消去の概略的な一例制御手順説明図である。

【図8】図8は書き込みの概略的な一例制御手順説明図である。

【図9】図9はフラッシュメモリのリアルタイム書換えへの対応手法の一例説明図である。

40

【図10】図10はフラッシュメモリのメモリブロックの一部書換えを能率化する手法の一例説明図である。

【図11】図11はフラッシュメモリの原理説明図である。

【図12】図12は図11の記憶トランジスタを用いたメモリセルアレイの構成原理説明図である。

【図13】図13はメモリセルに対する消去動作並びに書込み動作のための電圧条件の一例説明図である。

【図14】図14は一括消去可能なメモリブロックの記憶容量を相違させたフラッシュメモリの一例回路ブロック図である。

【図15】図15は図1のマイクロコンピュータに対応される更に詳細なマイクロコンピ

50

ユータの実施例ブロック図である。

【図16】図16は図15のマイクロコンピュータがパッケージされた状態を示す平面図である。

【図17】図17は図15のマイクロコンピュータに内蔵されるフラッシュメモリの全体的なブロック図である。

【図18】図18はメモリブロックの分割態様の一例説明図である。

【図19】図19はコントロールレジスタの一例説明図である。

【図20】図20はフラッシュメモリにおけるメモリリード動作の一例タイミングチャートである。

【図21】図21はフラッシュメモリにおけるメモリライト動作の一例タイミングチャートである。 10

【図22】図22は書込み制御手順の詳細な一例フローチャートである。

【図23】図23は消去制御手順の詳細な一例フローチャートである。

【図24】図24はメモリブロック分割態様の別の例を示す説明図である。

【符号の説明】

【0100】

MCU マイクロコンピュータ

CHP 半導体チップ

FMRY フラッシュメモリ

LNB 大メモリブロック

SMB 小メモリブロック

CPU 中央処理装置

RAM ランダム・アクセス・メモリ

CONT 制御回路

MASKROM マスク・リード・オンリ・メモリ

MODE モード信号

Pmode モード信号入力端子

MD0乃至MD2 モード信号

PORTdata ポート

PORTaddr ポート

PORTcont ポート

socket ソケット

PRW 汎用PROMライタ

ABUS アドレスバス

DBUS データバス

5 フローティングゲート

7 コントロールゲート

9 ソース

10 ドレイン

ARY1乃至ARY7 メモリアレイ

MC メモリセル

WL0乃至WLn ワード線

DL0乃至DL7 データ線

SL1, SL2 ソース線

B1, B2 消去ブロック指定レジスタのビット

PORT1乃至PORT12 ポート

ED0乃至ED7 PROMライタとの入出力データ

EA0乃至EA16 PROMライタからの入力アドレス信号

CE* チップイネーブル信号

OE* アウトプットイネーブル信号

20

30

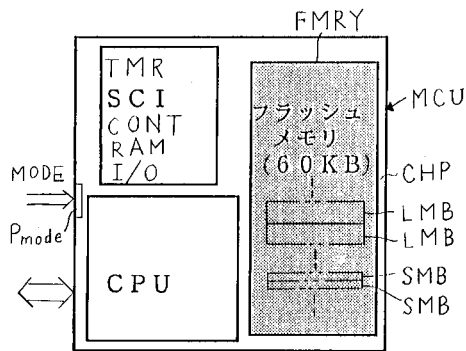
40

50

- WE* ライトイネーブル信号
- FCONT 制御回路
- CREG コントロールレジスタ
- NBREG 消去ブロック指定レジスタ
- PEREG プログラム/イレーズ制御レジスタ
- E イレーズビット
- EV イレーズベリファイビット
- P プログラムビット
- PE プログラムベリファイビット
- ERASEC 消去回路
- LMB0乃至LMB6 大メモリブロック
- SMB0乃至SMB7 小メモリブロック

【図1】

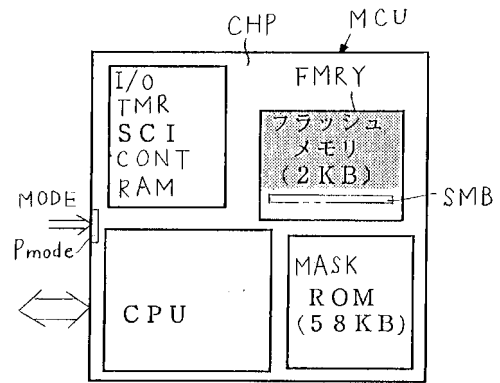
【図1】



全面フラッシュメモリ

【図2】

【図2】

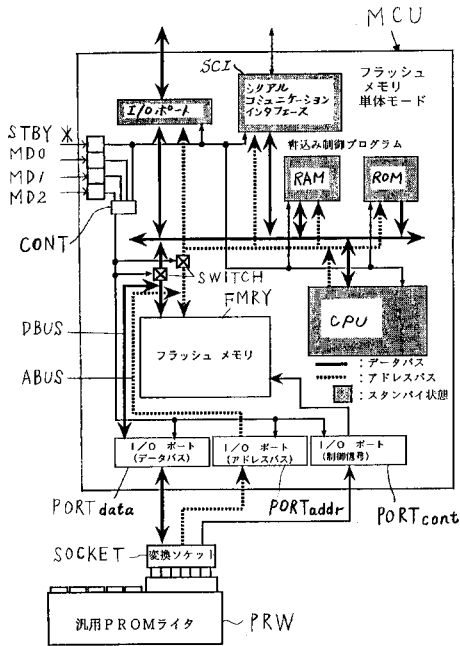


マスクROM +
フラッシュメモリ

【図3】

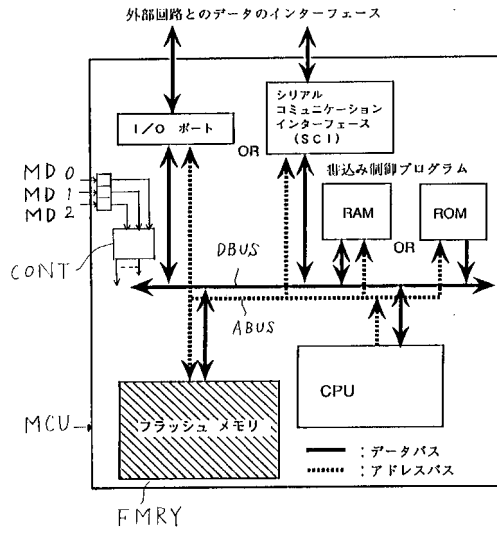
【図3】

汎用PROMライターによる書き込み



【図4】

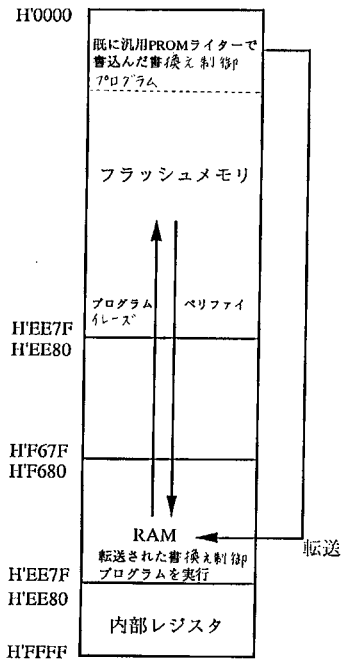
【図4】



【図5】

【図5】

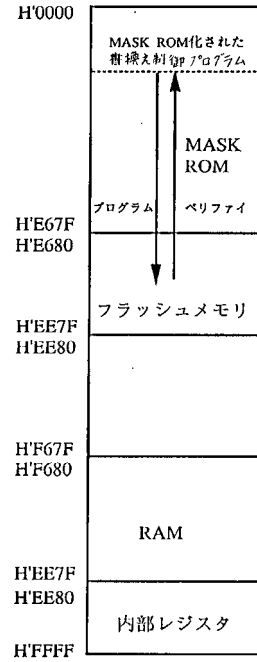
全面フラッシュメモリの場合



【図6】

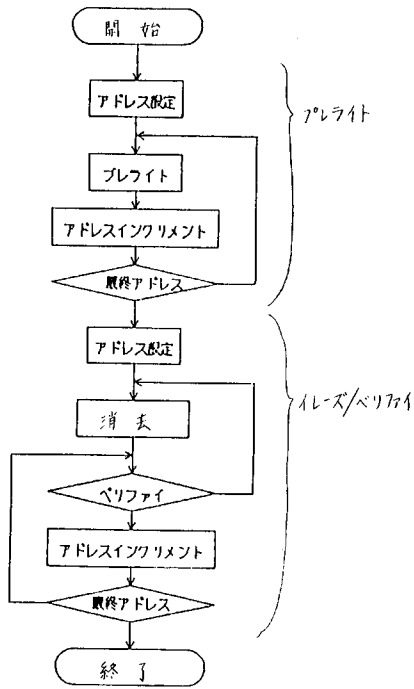
【図6】

MASK ROM+フラッシュメモリの場合



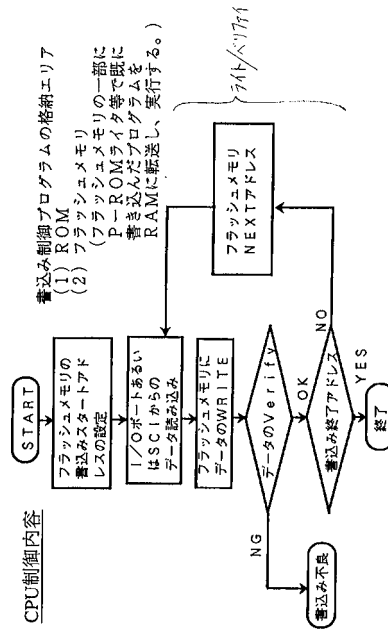
【図7】

【図7】



【図8】

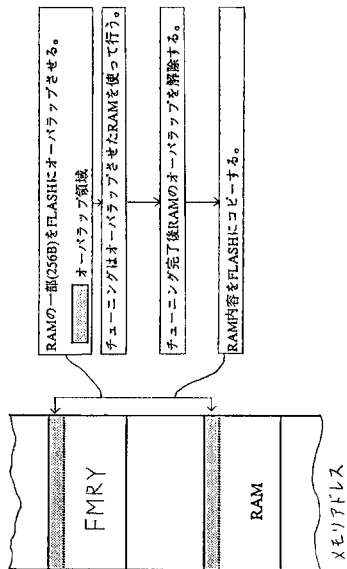
【図8】



【図9】

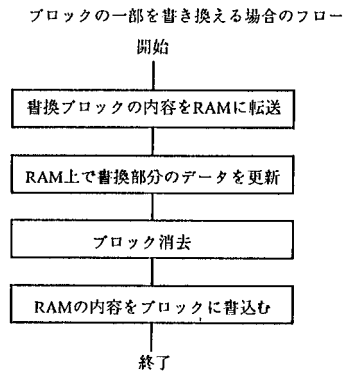
【図9】

リアルタイム書き換えのフェーズ



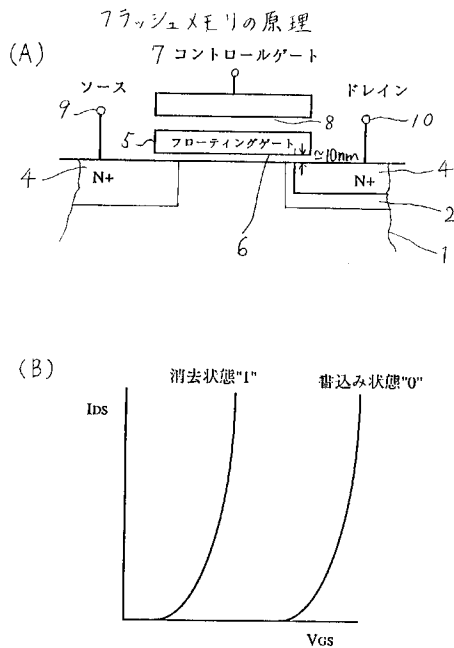
【図10】

【図10】



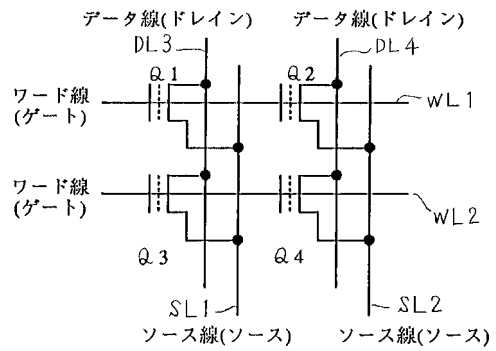
【図11】

【図11】



【図12】

【図12】



【図13】

【図13】

書き込み

メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1	選択	0v	6v	12v
Q2	非選択	0v	0v	12v
Q3	非選択	0v	6v	0v
Q4	非選択	0v	0v	0v

消去(正電圧方式)

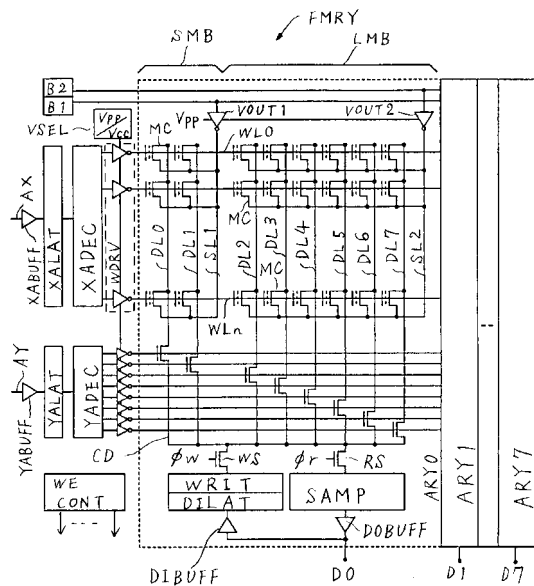
メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1, Q3	選択	12v	0v	0v
Q2, Q4	非選択	0v	0v	0v

消去(負電圧方式)

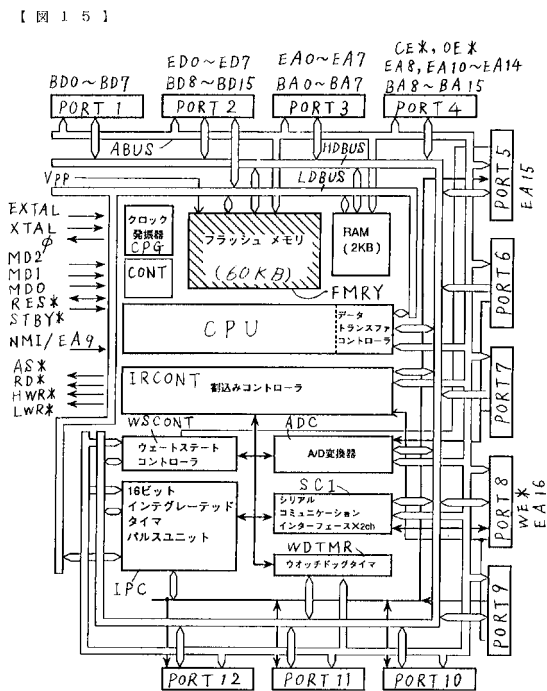
メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1, Q2	選択	5v	0v	-10v
Q3, Q4	非選択	5v	0v	0v

【図14】

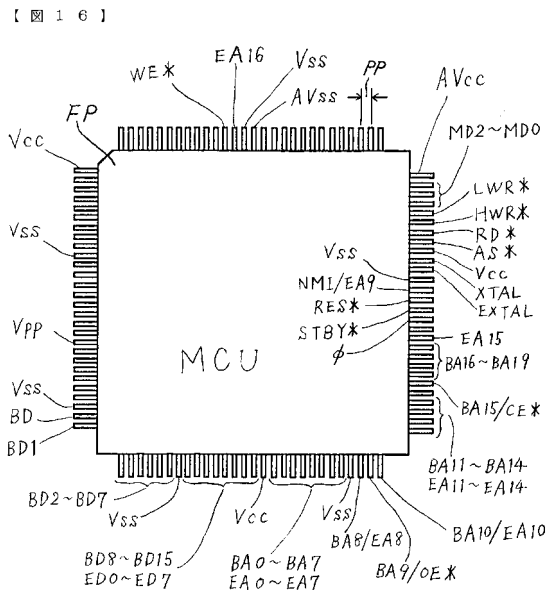
【図14】



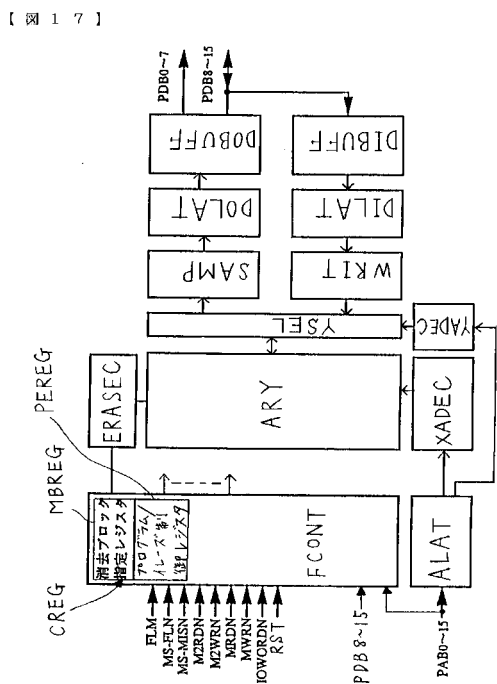
【図15】



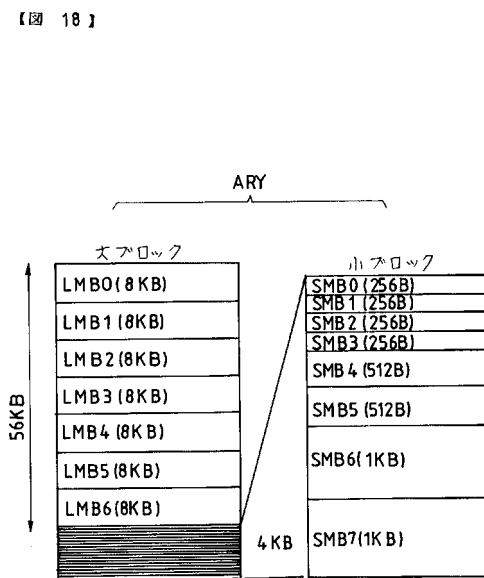
【図16】



【図17】

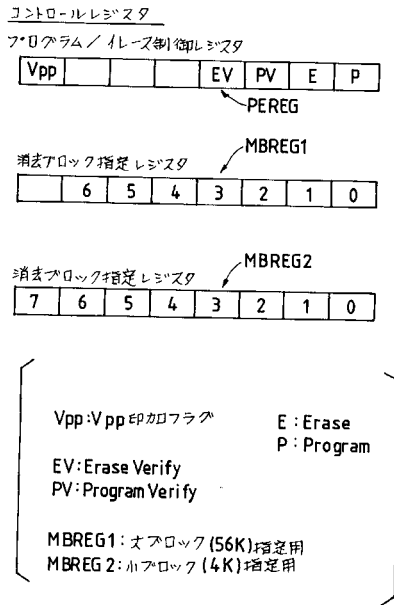


【図18】



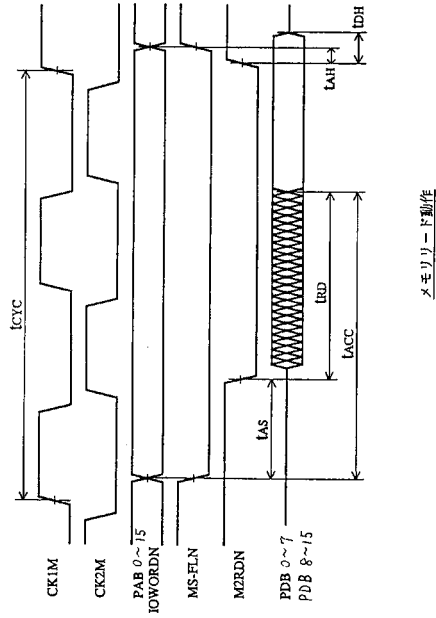
【図 19】

【図 19】



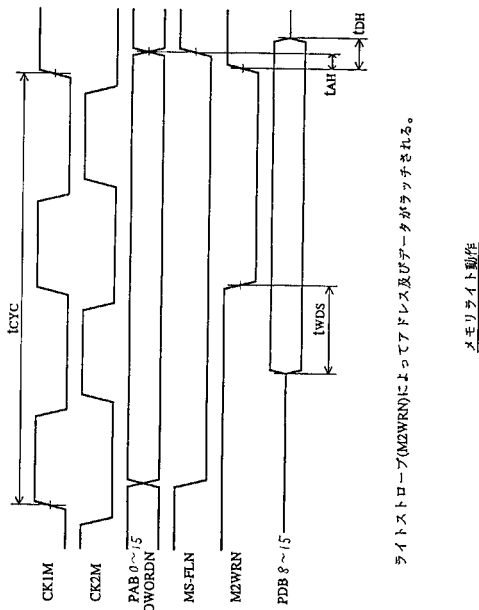
【図 20】

【図 20】



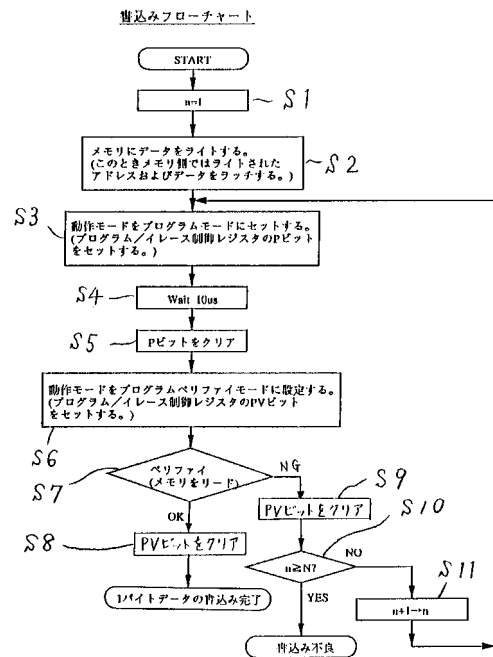
【図 21】

【図 21】



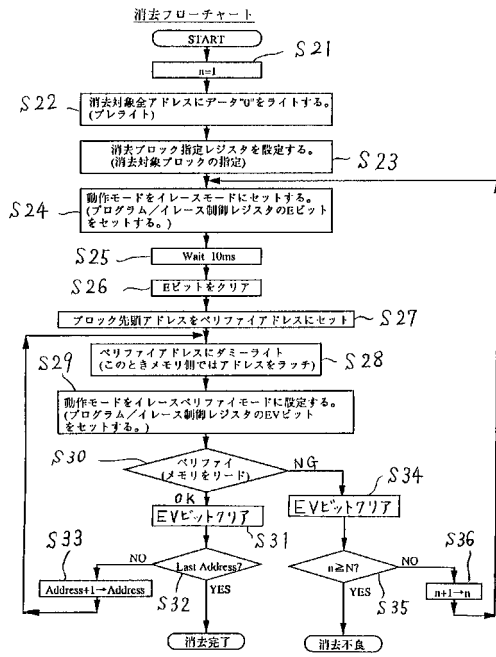
【図 22】

【図 22】



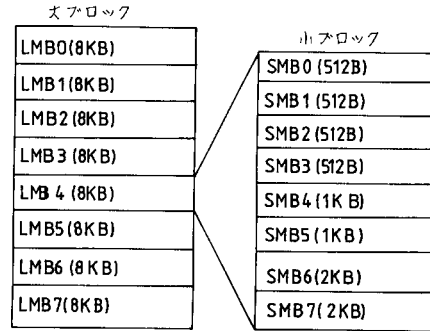
【図 23】

【図 23】



【図 24】

【図 24】



フロントページの続き

- (72)発明者 馬場 志朗
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
- (72)発明者 伊藤 高志
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
- (72)発明者 向井 浩文
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
- (72)発明者 佐藤 齊尚
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内
- (72)発明者 寺沢 正明
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 須田 勝巳

- (56)参考文献 特開平03-229955(JP,A)
特開昭63-286922(JP,A)
特開昭62-099856(JP,A)
Russell Clayton, "Block structures in flash memory", Electronic Engineering, Vol.63,
No.775, p.49, (1991)
Larry Goss, et al., "On-chip EEPROM makes μ C easy to reprogram", Electronic Design
, VOL.31, NO.5, pp.123 - 128, (1983)

(58)調査した分野(Int.Cl., DB名)

G 0 6 F 1 5 / 7 8

G 1 1 C 1 6 / 0 2