

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4562468号  
(P4562468)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年8月6日(2010.8.6)

(51) Int. Cl.	F I
G 1 1 C 11/403 (2006.01)	G 1 1 C 11/34 3 7 1 J
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 A
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S
G 1 1 C 11/406 (2006.01)	G 1 1 C 11/34 3 6 3 Z
G 1 1 C 29/50 (2006.01)	G 1 1 C 29/00 6 7 1 M
請求項の数 6 (全 38 頁) 最終頁に続く	

(21) 出願番号	特願2004-265338 (P2004-265338)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成16年9月13日(2004.9.13)	(74) 代理人	100064746 弁理士 深見 久郎
(65) 公開番号	特開2006-79780 (P2006-79780A)	(74) 代理人	100085132 弁理士 森田 俊雄
(43) 公開日	平成18年3月23日(2006.3.23)	(74) 代理人	100083703 弁理士 仲村 義平
審査請求日	平成19年6月22日(2007.6.22)	(74) 代理人	100096781 弁理士 堀井 豊
		(74) 代理人	100109162 弁理士 酒井 将行
		(74) 代理人	100111246 弁理士 荒川 伸夫
		最終頁に続く	

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

テストモードを有する半導体記憶装置であって、  
行列状に配置された複数のダイナミックランダムアクセスメモリのメモリセルを有するメモリアレイと、

前記メモリアレイのセルフリフレッシュを制御するリフレッシュ制御回路と、  
前記セルフリフレッシュの非実行中に読出し指示を受けた場合に、正常の動作によれば、前記読出し指示を受けた時から所定の期間経過後にウエイト信号を非活性化し、前記セルフリフレッシュの実行中に読出し指示を受けた場合に、正常の動作によれば、前記セルフリフレッシュの終了後所定の期間経過後に前記ウエイト信号を非活性化するウエイト制御回路と、

テストモード時に、同一の論理レベルを記憶している複数個のメモリセルの各々からデータを同時に読出す読出回路と、

前記読出回路によって読み出された複数個のメモリセルのデータの論理レベルがすべて一致するかどうかを判定し、前記判定の結果を表わすレベル判定信号を生成するレベル判定回路と、

前記複数個のメモリセルのデータの論理レベルが一致し、かつ前記ウエイト信号が非活性化されるタイミングと前記レベル判定信号が変化するタイミングとの間にずれがない正常の動作であるかどうかを判定し、前記判定の結果を表わすテスト結果信号を生成するテスト結果判定回路とを備えた半導体記憶装置。

## 【請求項 2】

前記メモリアレイは、接続されるワード線が相違する複数個のサブメモリアレイに分割され、

前記読出回路は、テストモード時に、同一の論理レベルを記憶している前記複数個のサブメモリアレイに属する複数個のメモリセルの各々からデータを同時に読出し、

前記レベル判定回路は、前記読出回路によって読出された複数個のサブメモリアレイに属する複数個のメモリセルの論理レベルが一致するか否かを判定し、前記判定の結果を表わすレベル判定信号を出力し、

前記テスト結果判定回路は、前記複数個のサブメモリアレイに属する複数個のメモリセルのデータの論理レベルが一致し、かつ前記ウエイト信号が非活性化されるタイミングと前記レベル判定信号が変化するタイミングとの間にずれがない正常の動作であるかどうかを判定する、請求項 1 記載の半導体記憶装置。

10

## 【請求項 3】

前記半導体記憶装置は、クロックに同期して動作し、

前記テスト結果判定回路は、クロックの立ち上がり同期したタイミングにおいて、前記ウエイト信号のレベルが非活性を示し、かつ前記レベル判定信号のレベルが一致を示すときに、正常の判定結果を表すテスト結果信号を生成する、請求項 1 記載の半導体記憶装置。

## 【請求項 4】

前記半導体記憶装置は、さらに、

各メモリセルから読出されたデータをいずれかのデータ出力端子を通じて外部に出力するための出力バッファを備え、

前記出力バッファは、前記テスト結果信号を受けて、前記テスト結果信号をいずれかの前記データ出力端子に出力する、請求項 1 記載の半導体記憶装置。

20

## 【請求項 5】

前記半導体記憶装置は、さらに、

各メモリセルから読出されたデータをいずれかのデータ出力端子を通じて外部に出力するための出力バッファを備え、

前記テスト結果判定回路は、前記出力バッファを経由して前記レベル判定信号を受け、前記レベル判定信号に基づき前記テスト結果信号を生成し、前記テスト結果信号をいずれかの前記データ出力端子またはウエイト出力端子に出力する、請求項 1 記載の半導体記憶装置。

30

## 【請求項 6】

前記半導体記憶装置は、さらに、

通常時に、前記ウエイト制御回路とウエイト出力端子とを接続し、テストモード時に、前記ウエイト制御回路と前記テスト結果判定回路とを接続するスイッチを備える請求項 1 記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体記憶装置に関し、特に、テストモードを有する半導体記憶装置に関する。

40

## 【背景技術】

## 【0002】

携帯電話などの携帯端末において用いられる半導体記憶装置は、大容量および制御の簡易性を実現するために、擬似 S R A M が用いられている。擬似 S R A M (Static Random Access Memory) では、内部のメモリセルとしては D R A M (Dynamic Random Access Memory) セルが用いられ、入力される制御信号およびアドレス信号などを規定する外部インタフェースとしては、S R A M と類似のクロックに同期しない非同期のインタフェースが用いられている。そして、リフレッシュ動作は、外部からの信号によって制御されるのではな

50

く、内部で自動的に行なわれる。これをセルフリフレッシュという。

【0003】

さらに、より高速化を実現するために、たとえば、擬似SRAMに、同期式のインタフェースを追加した同期式擬似SRAMが実用化されている。この同期式擬似SRAMでは、SRAM類似のクロックに同期しない非同期式のインタフェースに加えて、クロックに同期した同期式のインタフェースを備える。

【0004】

ところで、特許文献1には、セルフリフレッシュを行なうDRAMにおいて、ウエイト信号により、コマンドおよびアドレスの取込みを行なわないようにする機能をチップ内部に持たせる構成が開示されている。

10

【0005】

すなわち、DRAMは、リフレッシュを自己管理し、リフレッシュ時期になると、BUSY信号線にWAIT信号を出力し、リフレッシュが終了したときは、WAIT信号を解除するように構成し、コントローラは、DRAMからBUSY信号線に出力されたWAIT信号を受信したときは、ビジー信号が解除されるまで、擬似SRAMに対するアクセスを停止するように構成する。

【特許文献1】特開2000-353382号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

20

ところで、DRAMは、メモリセルからのデータの読出しの指示を受けたときにも、WAIT信号を出力する。そして、DRAMは、読出し指示を受けてから所定の期間経過後にWAIT信号を解除するとともに、データを外部に出力する。また、リフレッシュ中に読出し指示を受けたときには、リフレッシュ終了後もWAIT信号の出力を継続し、リフレッシュ終了後所定の期間経過後にWAIT信号を出力するとともに、データを外部に出力する。

【0007】

したがって、DRAMでは、メモリセルから書込んだデータが正しく読出されるだけでなく、メモリセルからデータが読み出されて外部に出力されるタイミングと、WAIT信号が解除されるタイミングとの間にずれがないことが必要となる。したがって、両者のタイミングの間にずれがなく、かつメモリセルからデータが正しく読出されたかどうかのテストができることが重要となる。

30

【0008】

しかしながら、特許文献1に記載のDRAMは、そのようなテストを行なうことができない。なぜなら、上述のように、読出し指示を受けてからWAIT信号が解除されるタイミングが、リフレッシュの実行中に読出し指示を受けたか否かにより相違するからである。

【0009】

したがって、テストは、BUSY信号線と接続される端子から出力されるWAIT信号が解除されるタイミングを検出して、検出したタイミングでデータ入出力端子から出力されるメモリセルのデータと期待値とを比較する機能が必要となるが、テストはそのような機能を有しない。

40

【0010】

それゆえに、本発明の目的は、メモリセルから読出されたデータが正しく、かつメモリセルからデータが読み出されて外部に出力されるタイミングとWAIT信号が解除されるタイミングとの間にずれがないかのテストを可能とする半導体記憶装置を提供することである。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明に係る半導体記憶装置は、テストモードを有する半

50

導体記憶装置であって、行列状に配置された複数のダイナミックランダムアクセスメモリのメモリセルを有するメモリアレイと、メモリアレイのセルフリフレッシュを制御するリフレッシュ制御回路と、セルフリフレッシュの非実行中に読出し指示を受けた場合に、正常の動作によれば、読出し指示を受けた時から所定の期間経過後にウエイト信号を非活性化し、セルフリフレッシュの実行中に読出し指示を受けた場合に、正常の動作によれば、セルフリフレッシュの終了後所定の期間経過後にウエイト信号を非活性化するウエイト制御回路と、テストモード時に、同一の論理レベルを記憶している複数個のメモリセルの各々からデータを同時に読出す読出回路と、読出回路によって読み出された複数個のメモリセルのデータの論理レベルがすべて一致するかどうかを判定し、判定の結果を表わすレベル判定信号を生成するレベル判定回路と、複数個のメモリセルのデータの論理レベルが一致し、かつウエイト信号が非活性化されるタイミングとレベル判定信号が変化するタイミングとの間にずれがない正常の動作であるかどうかを判定し、判定の結果を表わすテスト結果信号を生成するテスト結果判定回路とを備える。

10

【発明の効果】

【0012】

本発明に係る半導体記憶装置によれば、メモリセルから読出されたデータが正しく、かつメモリセルからデータが読み出されて外部に出力されるタイミングと、WAIT信号が解除されるタイミングとが同一であるか否かのテストを行なうことができる。

【発明を実施するための最良の形態】

【0013】

20

以下、本発明の実施の形態について、図面を用いて説明する。

【0014】

[第1の実施形態]

本実施の形態は、テスト機能を有する同期式擬似SRAMに関する。

【0015】

(従来のテスト機能を有する同期式擬似SRAM1の構成)

図1は、従来のテスト機能を有する同期式擬似SRAM1の構成を示す図である。

【0016】

同図を参照して、この同期式擬似SRAM1は、DRAMセルメモリアレイ+周辺回路群101と、アドレスバッファ111と、BCR(Burst Configuration Register)112と、ロウデコーダ102と、カラムデコーダ103と、読出/書込回路105と、入出力バッファ104と、制御回路120とを備える。

30

【0017】

DRAMセルメモリアレイ+周辺回路群101は、行および列状に配置された複数のダイナミックランダムアクセスメモリ(DRAM)のメモリセルMCで構成されるメモリアレイと、行に対応して配置された複数のワード線WLと、列に対応して配置された複数のビット線対BL、/BLとを含む。

【0018】

DRAMセルメモリアレイ+周辺回路群101は、図示しないが、さらに各列に対応して設けられた列選択線、列選択ゲート、およびセンスアンプなどを含む。

40

【0019】

アドレスバッファ111は、外部アドレス信号ADD[21:0]を受けて、内部アドレス信号を生成する。同期式擬似SRAMでは、アドレスバッファ111は、外部アドレス取込み信号ADV#が「L」のときに、外部アドレス信号ADD[21:0]を取込む。外部アドレス取込み信号ADV#が「L」となるタイミングは、読出し信号READまたは書込み信号WRITEが生成されるタイミングよりも早い。そして、このとき与えられる外部アドレス信号ADD[21:0]は、ロウアドレスだけでなくコラムアドレスも含む。

【0020】

BCR(Burst Configuration Register)112は、外部のシステムとのインターフェー

50

ス、たとえばバーストレンジス B L およびコマンドレイテンシ C L などを記憶する。

【 0 0 2 1 】

ロウデコーダ 1 0 2 は、後述するシフトロウ活性化信号 A C T F が活性化されると、アドレスバッファ 1 1 1 から送られる行アドレスにしたがって、複数のワード線 W L のうちのいずれかのワード線 W L を選択し、選択したワード線 W L を活性化することによって、そのワード線 W L に対応する複数のメモリセル M C を活性化させる。

【 0 0 2 2 】

カラムデコーダ 1 0 3 は、カラムデコーダ活性信号 C D が活性化されると、カラムアドレスバッファ 1 1 1 から送られる列アドレスにしたがって、複数のビット線対 B L , / B L のうちのいずれかのビット線対を選択する。

10

【 0 0 2 3 】

グローバル入出力線対 G I O P は、メモリアレイを 1 6 個に分割した単位ごとに設けられており、カラムデコーダ 1 0 3 によって選択されたビット線対 B L , / B L と読出 / 書込回路 1 0 5 とを結びつける。

【 0 0 2 4 】

読出 / 書込回路 1 0 5 は、各データ入出力線対 G P I O に対して設けられたプリアンプおよびライトドライバを含む。

【 0 0 2 5 】

ライトドライバは、メモリセル M C へのデータの書込み時に、ライト動作指示信号 / W R が活性化されると、入出力バッファ 1 0 4 から送られるデータをグローバル入出力線対 G P I O に接続されたビット線対 B L および / B L に出力する。

20

【 0 0 2 6 】

プリアンプは、メモリセル M C からのデータの読出し時に、リード動作指示信号 / R E が活性化されると、グローバル入出力線対 G P I O に接続されたビット線対のセンスアンプ 1 2 で増幅されたメモリセル M C からのデータを、さらに増幅して、入出力バッファ 1 0 4 に出力する。

【 0 0 2 7 】

入出力バッファ 1 0 4 は、データ入出力端子 D Q 0 ~ D Q 1 5 を通じて、外部のシステム側との間でデータの入出力を行なう。すなわち、入出力バッファ 1 0 4 は、入出力制御回路 1 2 3 から与えられる出力イネーブル信号 O E が「 H 」レベルに活性化されている場合に、読出 / 書込回路 1 0 5 から受けた各メモリセル M C からのデータをデータ入出力端子 D Q 0 ~ D Q 1 5 の対応する端子に出力する。

30

【 0 0 2 8 】

制御回路 1 2 0 は、コマンドデコーダ 1 2 1 と、リフレッシュタイマ 1 2 4 と、リフレッシュ制御回路 1 2 6 と、コマンドシフト回路 1 2 2 と、W A I T 制御回路 1 2 5 と、入出力制御回路 1 2 3 とを含む。

【 0 0 2 9 】

コマンドデコーダ 1 2 1 は、外部からの制御信号より内部制御信号を生成し、内部制御信号の論理レベルの組合せに従って、ロウ活性化信号 A C T 、読出し信号 R E A D 、およびテストモード信号 T M O D E などを生成する。

40

【 0 0 3 0 】

リフレッシュタイマ 1 2 4 は、リング発振器で構成され周期的に活性化されたリフレッシュサイクル信号 / R e f c y c をリフレッシュ制御回路 1 2 6 に出力する。

【 0 0 3 1 】

リフレッシュ制御回路 1 2 6 は、リフレッシュサイクル信号 / R e f c y c を受けて、メモリセル M C のセルフリフレッシュの制御を行なう。

【 0 0 3 2 】

図 2 は、リフレッシュ制御回路 1 2 6 の詳細な構成を示す図である。

【 0 0 3 3 】

同図を参照して、リフレッシュ制御回路 1 2 6 は、指令信号活性化回路 5 0 と、判定回

50

路60と、NANDゲート41, 44と、インバータ42と、バッファ48と、遅延回路43, 49と、フリップフロップ45とを含む。

【0034】

指令信号活性化回路50は、反転リフレッシュ指令信号/REFRを活性化させるためにリフレッシュフラグ信号Refflagを出力する。判定回路60は、リフレッシュフラグ信号Refflagにより活性化された反転リフレッシュ指令信号/REFRを出力するか否かを判定するために判定信号Refwinを出力する。

【0035】

NANDゲート41は、リフレッシュフラグ信号Refflagと判定信号Refwinを受け、リフレッシュフラグ信号Refflagと判定信号Refwinとの論理積を演算し、その演算結果を反転した信号を反転論理積信号/REFSFとして出力する。

10

【0036】

インバータ42は、NANDゲート41から出力された信号/REFSFを受けて反転した信号A1を出力する。また、遅延回路43は、反転論理積信号/REFSFを受けて一定時間遅延させる。

【0037】

NANDゲート44は、インバータ42の出力信号A1と遅延回路43の出力信号を受け、信号A1と遅延回路43の出力信号との論理積を演算し、その演算結果を反転した信号/REFSを出力する。

20

【0038】

フリップフロップ45は、NANDゲート46および47で構成される。NANDゲート46は、信号/REFSとNANDゲート47から出力された出力信号A3を受け、信号/REFSと信号A3との論理積を演算し、その演算結果を反転した信号A2を出力する。NANDゲート47は、NANDゲート46から出力された信号A2と遅延回路49から出力された信号A4を受け、信号A2と信号A4との論理積を演算し、その演算結果を反転した信号を反転リフレッシュ指令信号/REFRとして出力する。反転リフレッシュ指令信号/REFRの活性化に応じて、リフレッシュ動作が行なわれる。

【0039】

遅延回路49は、フリップフロップ45から出力された反転リフレッシュ指令信号/REFRを受けて一定時間遅延させた信号A4を出力する。

30

【0040】

バッファ48は、信号A3を受けて反転リフレッシュ指令信号/REFRを出力する。

【0041】

インバータ51は、反転リフレッシュ指令信号/REFRを反転して、リフレッシュ指令信号REFRを出力する。

【0042】

指令信号活性化回路50は、フリップフロップ52と、NANDゲート55と、インバータ56および57と、遅延回路58とを含む。

40

【0043】

フリップフロップ52は、NANDゲート53および54で構成される。NANDゲート53はリフレッシュサイクル信号/RefcycとNANDゲート54の出力信号A11を受け、リフレッシュサイクル信号/Refcycと信号A11との論理積を演算し、その演算結果を反転した信号A10を出力する。また、NANDゲート54は、NANDゲート53から出力された出力信号A10と、NANDゲート55から出力された出力信号A12を受け、信号A10と信号A12との論理積を演算し、その演算結果を反転した信号A11を出力する。

【0044】

50

インバータ56は、フリップフロップ52から出力された信号A11を受け、反転し、反転した信号をリフレッシュフラグ信号Refflagとして出力する。

【0045】

インバータ57は、反転リフレッシュ指令信号/REFRを受け、反転する。また、遅延回路58は、インバータ57によりリフレッシュ指令信号REFRを受け、リフレッシュ指令信号REFRを一定時間遅延させた信号A13を出力する。

【0046】

NANDゲート55は、反転リフレッシュ指令信号/REFRと遅延回路58から出力された信号A13とを受け、反転リフレッシュ指令信号/REFRと信号A13との論理積を演算し、その演算結果を反転した信号A12を出力する。

10

【0047】

判定回路60は、バッファ回路61で構成される。バッファ回路61は、内部チップイネーブル信号ZINTCEを受け、判定信号Refwinを出力する。

【0048】

再び、図1を参照して、コマンドシフト回路122は、コマンドデコーダ121から読出し信号READおよびロウ活性化信号ACTを受けるとともに、リフレッシュ制御回路126からリフレッシュ指令信号REFRを受けて、シフト読出し信号READFおよびシフトロウ活性化信号ACTFを生成する。

【0049】

コマンドシフト回路122は、シフト読出し信号READFを生成する回路122aと、シフトロウ活性化信号ACTFを生成する回路122bとを含む。

20

【0050】

図3は、シフト読出し信号READFを生成する回路122aの構成を示す図である。なお、シフトロウ活性化信号ACTFを生成する回路122bもこれと同様である。

【0051】

図3を参照して、リフレッシュ指令信号REFRを受ける反転論理積回路NAND81と、読出し信号READを受ける反転論理積回路NAND82とは、フリップフロップを構成する。インバータIV81は、リフレッシュ指令信号REFRを反転する。

【0052】

インバータIV81の出力を受ける反転論理積回路NAND83と、読出し信号READを受ける反転論理積回路NAND84とは、フリップフロップを構成する。

30

【0053】

反転論理積回路NAND83の出力およびリセット信号ZPORを受ける反転論理積回路NAND85と、反転論理積回路NAND82の出力および反転論理積回路NAND84の出力とを受ける反転論理積回路NAND86とは、フリップフロップを構成する。リセット信号ZPORは、電源がオンにされると「H」に活性化される。

【0054】

インバータIV82は、反転論理積回路NAND86の出力を受ける。インバータIV83は、インバータIV82の出力を受ける。反転論理和回路NOR81は、反転論理積回路NAND86の出力とインバータIV83の出力とを受ける。

40

【0055】

反転論理積回路NAND87は、反転論理和回路NOR81の出力とインバータIV82の出力とを受ける。遅延回路DL81は、反転論理積回路NAND87の出力を遅延させる。反転論理和回路NOR82は、インバータIV83の出力と遅延回路DL81の出力とを受ける。遅延回路DL82は、反転論理和回路NOR82の出力を遅延させる。

【0056】

反転論理積回路NAND88は、遅延回路DL82の出力と反転論理和回路NOR81の出力とを受ける。遅延回路DL83は、反転論理積回路NAND88の出力を遅延させる。反転論理積回路NAND89は、遅延回路DL83の出力と反転論理和回路NOR81の出力とを受ける。

50

## 【 0 0 5 7 】

インバータ I V 8 4 は、反転論理積回路 N A N D 8 9 の出力を受ける。インバータ I V 8 5 は、インバータ I V 8 4 の出力を受ける。反転論理積回路 N A N D 9 0 は、インバータ I V 8 5 の出力と反転論理積回路 N A N D 8 9 の出力とを受ける。反転論理和回路 N O R 8 3 は、反転論理積回路 N A N D 9 0 の出力とインバータ I V 8 4 の出力とを受ける。インバータ I V 8 6 は、反転論理和回路 N O R 8 3 の出力を反転する。インバータ I V 8 7 は、インバータ I V 8 6 の出力を反転する。

## 【 0 0 5 8 】

反転論理積回路 N A N D 9 1 は、反転論理和回路 N O R 8 3 の出力とインバータ I V 8 7 の出力とを受ける。反転論理和回路 N O R 8 4 は、反転論理積回路 N A N D 9 1 の出力とインバータ I V 8 4 の出力とを受ける。インバータ I V 8 8 は、反転論理和回路 N O R 8 4 の出力を反転する。反転論理和回路 N A N D 8 5 は、インバータ I V 8 4 の出力とインバータ I V 8 8 の出力とを受ける。インバータ I V 8 9 は、反転論理和回路 N A N D 8 5 の出力を反転してシフト読出し信号 R E A D F を出力する。

10

## 【 0 0 5 9 】

図 4 ( a ) は、リフレッシュ動作が行なわれていないときに生成された読出し信号 R E A D から生成されるシフト読出し信号 R E A D F を表わす図である。

## 【 0 0 6 0 】

同図に示すように、リフレッシュ動作が行なわれていないときには、リフレッシュ指令信号 R E F R は「 L 」レベルである。この場合、シフト読出し信号 R E A D F が活性化されるタイミングは、読出し信号 R E A D が活性化されるタイミングとほぼ同一である。

20

## 【 0 0 6 1 】

図 4 ( b ) は、リフレッシュ動作が行なわれているときに生成された読出し信号 R E A D から生成されるシフト読出し信号 R E A D F を表す図である。

## 【 0 0 6 2 】

同図に示すように、リフレッシュ動作が行なわれているときには、リフレッシュ指令信号 R E F R は「 H 」レベルである。この場合、シフト読出し信号 R E A D F が活性化されるタイミングは、リフレッシュ指令信号 R E F R の立ち下り、つまりリフレッシュの終了直後となる。

## 【 0 0 6 3 】

再び、図 1 を参照して、W A I T 制御回路 1 2 5 は、正常に動作する場合には、以下のようにして W A I T 信号の活性化 / 非活性化を制御する。すなわち、W A I T 制御回路 1 2 5 は、リフレッシュ指令信号 R E F R が活性化されていない時、つまりリフレッシュ制御回路 1 2 6 の制御によりリフレッシュ制御が行なわれていない時で、かつ外部チップイネーブル信号 C E が「 L 」に活性化されている時に、「 H 」レベルのシフト読出し信号 R E A D F を受けると、W A I T 信号を「 L 」レベルに活性化する。

30

## 【 0 0 6 4 】

また、W A I T 制御回路 1 2 5 は、リフレッシュ指令信号 R E F R が活性化されているとき、つまりリフレッシュ制御回路 1 2 6 の制御によりリフレッシュ制御が行なわれている時に、W A I T 信号を「 L 」レベルに活性化する。また、W A I T 制御回路 1 2 5 は、リフレッシュ指令信号 R E F R が非活性化される時、つまりリフレッシュ制御が終了する時に、「 H 」レベルのシフト読出し信号 R E A D F を受けると、W A I T 信号のレベルを「 L 」に維持する。

40

## 【 0 0 6 5 】

また、W A I T 制御回路 1 2 5 は、シフト読出し信号 R E A D F を受けたときのクロック C L K を含むコマンドレイテンシ C L の個数のクロック C L K を受けた後、W A I T 信号を「 H 」レベルに非活性化する。

## 【 0 0 6 6 】

また、W A I T 制御回路 1 2 5 は、外部チップイネーブル信号 C E が「 H 」に非活性化されたことに応じて、W A I T 信号を H i - Z にする。

50



## 【 0 0 6 7 】

入出力制御回路 1 2 3 は、シフトロウ活性化信号 A C T F の活性化に応じて、センスアンプ活性化信号 S E を活性化する。

## 【 0 0 6 8 】

また、入出力制御回路 1 2 3 は、シフト読出し信号 R E A D F の活性化に応じて、コラムイネーブル信号 C D を活性化し、リード動作指示信号 / R E を活性化する。

## 【 0 0 6 9 】

また、入出力制御回路 1 2 3 は、シフト読出し信号 R E A D F を受けたときのクロック C L K の含むコマンドレイテンシ C L の個数のクロック C L K を受けた後から、バーストレングス B L のクロック数の期間、出力イネーブル信号 O E を「 H 」レベルに活性化する。

10

## 【 0 0 7 0 】

( 第 1 の実施形態に係るテスト機能を有する同期式擬似 S R A M 2 の構成 )

図 5 は、第 1 の実施形態に係るテスト機能を有する同期式擬似 S R A M 2 の構成を示す図である。

## 【 0 0 7 1 】

図 5 の同期式擬似 S R A M 2 が、図 1 の従来同期式擬似 S R A M 1 と相違する点は、図 5 の同期式擬似 S R A M 2 が、図 1 の同期式擬似 S R A M 1 には含まれないレベル判定回路 1 8 0 と、テスト結果判定回路 1 8 5 と、スイッチ 1 8 3 とを備える点と、図 5 の入出力バッファ 2 0 4 が図 1 の入出力バッファ 1 0 4 と相違する点である。

20

## 【 0 0 7 2 】

スイッチ 1 8 3 は、テストモード信号 T M O D E のレベルに応じて制御される。すなわち、スイッチ 1 8 3 は、通常時には、テストモード信号 T M O D E が「 L 」となり、スイッチ 1 8 3 は、W A I T 制御回路 1 2 5 と W A I T 出力端子とを接続する。この場合、W A I T 信号が W A I T 出力端子から出力される。また、テスト時にはテストモード信号 T M O D E が「 H 」となり、スイッチ 1 8 3 は、W A I T 制御回路 1 2 5 とテスト結果判定回路 1 8 5 とを接続する。この場合、W A I T 信号が W A I T 出力端子から出力されない。

## 【 0 0 7 3 】

レベル判定回路 1 8 0 は、たとえば、反転排他的論理和回路で構成されている。レベル判定回路 1 8 0 は、読出 / 書込回路 1 0 5 から出力された 1 6 ビットのテストデータを受けて、いわゆるマルチビットテストの結果を表わすレベル判定信号 E O R 1 を出力する。すなわち、レベル判定回路 1 8 0 は、受けた 1 6 ビットのテストデータのレベルがすべて同一のときには、「 H 」レベルのレベル判定信号 E O R 1 を出力し、1 6 ビットのテストデータのうち、他と同一のレベルでないものが存在するときには、「 L 」レベルのレベル判定信号 E O R 1 を出力する。

30

## 【 0 0 7 4 】

テスト結果判定回路 1 8 5 は、1 6 ビットのテストデータのレベルがすべて同一で、かつ W A I T 信号が解除される ( つまり、「 H 」レベルに非活性化される ) タイミングとレベル判定信号 E O R 1 が変化するタイミングとの間にずれがない正常の動作であるか否かを判定し、判定の結果を表わすテスト結果信号 T R 1 を出力する。以下、このテスト判定回路 1 8 5 の具体的な構成について詳説する。

40

## 【 0 0 7 5 】

図 6 は、テスト結果判定回路 1 8 5 の構成の一例を示す図である。

## 【 0 0 7 6 】

同図を参照して、テスト結果判定回路 1 8 5 は、遅延回路 3 0 1 と、インバータ 3 0 2 と、論理積回路 3 0 3 と、論理積回路 3 0 4 とを含む。

## 【 0 0 7 7 】

遅延回路 3 0 1 は、クロック C L K を所定の時間 だけ遅延させる。

## 【 0 0 7 8 】

50

インバータ302は、遅延回路301の出力を判定する。

【0079】

論理積回路303は、クロックCLKとインバータ302の出力との論理積を出力する。つまり、論理積回路303は、クロックCLKの立ち上がりに同期したワンショットパルス生成する。

【0080】

論理積回路304は、論理積回路303から出力されるワンショットパルスと、WAIT信号と、レベル判定信号EOR1との論理積を出力する。つまり、論理積回路304は、クロックCLKに同期したタイミング(つまりクロックCLKの立ち上がりを中心とした所定時間の期間)において、WAIT信号のレベルが「H」、かつレベル判定信号EOR1のレベルが「H」のときには、テスト結果が正常を表わす「H」レベルのテスト結果信号TR1(ワンショットパルス)を入出力バッファ204に出力する。

10

【0081】

一方、論理積回路304は、上記の場合以外で、WAIT信号およびレベル判定信号EOR1がHi-zでないときには、テスト結果が異常を表わす「L」レベルのテスト結果信号TR1を入出力バッファ204に出力する。

【0082】

入出力バッファ204は、データ入出力端子DQ0~DQ15を通じて、外部のシステム側との間でデータの入出力を行なう。すなわち、入出力バッファ204は、入出力制御回路123から与えられる出力イネーブル信号OEが「H」レベルに活性化されている場合に、読出/書込回路105から受けた各メモリセルMCからの読出しデータをデータ入出力端子DQ0~DQ15の対応する端子に出力する。また、入出力バッファ204は、出力イネーブル信号OEが「H」レベルに活性化されている場合に、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

20

【0083】

(従来のテスト機能を有する同期式擬似SRAM1の動作の一例)

次に、従来の同期式擬似SRAM1の動作の一例として、リフレッシュが行なわれていない時に、外部からの制御信号によって読出し信号READが生成された場合の動作を説明する。

【0084】

図7は、従来の同期式擬似SRAM1の動作の一例を表わすタイミングチャートである。同図において、コマンドレイテンシCL=3とし、バーストレングスBL=2とする。

30

【0085】

図7で示されるタイミングに先立って、コマンドデコーダ121は、外部からの制御信号を受け、それに基づきテストモード信号TMODEを生成する。

【0086】

次に、メモリアレイへのテストデータの書込み処理が以下のようにして行なわれる。

【0087】

外部からデータ入出力端子DQ0~DQ15を通じて、16ビットのテストデータが入出力バッファ104に入力される。このテストデータは、すべてのビットのレベルが同一である。

40

【0088】

ロウデコーダ102は、1個のワード線WLを選択する。カラムデコーダ103は、16個のビット線対BL, /BLを選択する。これにより、選択されたワード線WLと、選択された16対のビット線対BL, /BLの交点に位置する16個のメモリセルMCが選択される。

【0089】

読出/書込回路105は、入出力バッファ104から16ビットのテストデータを受けて、16ビットのグローバル入出力線対GPIOおよび選択された16対のビット線対BL, /BLを通じて、16ビットのテストデータを選択された16個のメモリセルMCに

50

書込む。

【 0 0 9 0 】

選択するワード線 W L および、ビット線対 B L , / B L を変えて、以上の処理を繰り返すことにより、D R A M のすべてのメモリセル M C に同一のレベルを書込む。

【 0 0 9 1 】

次に、メモリアレイからのテストデータの読出し処理が以下のようにして行なわれる。ここで、メモリセル M C からのテストデータの読出しは、正しく行なわれるとする。すなわち、メモリセル M C から読出されたテストデータのレベルは、メモリセル M C に書込んだテストデータのレベルと同一のレベルとする。

【 0 0 9 2 】

図 7 を参照して、第 0 番目のクロック C L K において、コマンドデコーダ 1 2 1 は、外部からの制御信号を受け、それに基づきロウ活性化信号 A C T および読出し信号 R E A D を生成する。

【 0 0 9 3 】

コマンドシフト回路 1 2 2 は、リフレッシュ指令信号 R E F R が「 L 」レベルの非活性なので、読出し信号 R E A D とほぼ同一のタイミングのシフト読出し信号 R E A D F を生成し、ロウ活性化信号 A C T とほぼ同一のタイミングのシフトロウ活性化信号 A C T F を生成する。

【 0 0 9 4 】

W A I T 制御回路 1 2 5 は、外部チップイネーブル信号 C E が「 L 」レベルに活性化されているときに、「 H 」レベルのシフト読出し信号 R E A D F を受けると、W A I T 信号を「 L 」レベルに活性化する。

【 0 0 9 5 】

次に、「 H 」レベルに非活性化された W A I T 信号が出力されるタイミング（つまり、W A I T 信号が解除されるタイミング）とメモリセル M C からのテストデータが出力されるタイミングとがずれない場合（図 7 の（ 1 ）に示す場合）と、ずれる場合（図 7 の（ 2 ）に示す場合）について説明する。

【 0 0 9 6 】

（ 1 ） まず、「 H 」レベルに非活性化された W A I T 信号が出力されるタイミングとメモリセル M C からのテストデータが出力されるタイミングのずれがない場合（図 7 の（ 1 ）に示す場合）について説明する。

【 0 0 9 7 】

W A I T 制御回路 1 2 5 は、シフト読出し信号 R E A D F を受けたタイミングである第 0 番目のクロック C L K を含むコマンドレイテンシ C L ( = 3 ) の個数のクロック C L K を受けた後（つまり、第 2 番目のクロック C L K を受けた後）、W A I T 信号のレベルを「 H 」に非活性化する。

【 0 0 9 8 】

入出力制御回路 1 2 3 は、シフトロウ活性化信号 A C T F 、シフト読出し信号 R E A D F の活性化に応じて、センスアンプ活性化信号 S E 、カラムデコーダ活性化信号 C D 、および読出し動作指示信号 / R E を活性化する。

【 0 0 9 9 】

また、入出力制御回路 1 2 3 は、シフト読出し信号 R E A D F を受けたときの第 0 番目のクロック C L K を含むコマンドレイテンシ C L ( = 3 ) の個数のクロック C L K を受けた後（つまり、第 2 番目のクロック C L K を受けた後）から、バーストレンジス B L ( = 2 ) のクロック数の期間（つまり、2 個のクロックの期間）、出力イネーブル信号 O E を「 H 」レベルに活性化する。

【 0 1 0 0 】

ロウデコーダ 1 0 2 は、シフトロウ活性化信号 A C T F の活性化に応じて、1 個のワード線 W L を選択する。

【 0 1 0 1 】

10

20

30

40

50

次に、以下のようにして、バースト読出しの第0ビット目が行なわれる。

【0102】

カラムデコーダ103は、カラムデコーダ活性化信号CDの活性化に応じて、16対のビット線対BL, /BLを選択する。これにより、選択されたワード線WLと、選択された16対のビット線対BL, /BLの交点に位置する16個のメモリセルMCが選択される。

【0103】

読出/書込回路105は、読出し動作指示信号/REの活性化に応じて、選択された16個のメモリセルMCのテストデータ(D0)を読出して、入出力バッファ104に出力する。入出力バッファ104は、「H」レベルに活性化された出力イネーブル信号OEを受けて、読出/書込回路105から受けた各メモリセルMCからのテストデータ(D0)をデータ入出力端子DQ0~DQ15の対応する端子に出力する。

10

【0104】

次に、以下のようにバースト読出しの第1ビット目が行なわれる。

【0105】

カラムデコーダ103は、カラムデコーダ活性化信号CDの活性化に応じて、16対のビット線対BL, /BLを選択する。これにより、選択されたワード線WLと、選択された16対のビット線対BL, /BLの交点に位置する16個のメモリセルMCが選択される。

【0106】

20

読出/書込回路105は、読出し動作指示信号/REの活性化に応じて、選択された16個のメモリセルMCのテストデータ(D1)を読出して、入出力バッファ104に出力する。

【0107】

入出力バッファ104は、「H」レベルに活性化された出力イネーブル信号OEを受けて、読出/書込回路105から受けた各メモリセルMCからのテストデータ(D1)をデータ入出力端子DQ0~DQ15の対応する端子に出力する。

【0108】

外部のテストは、WAIT出力端子を通じてWAIT信号を受け、データ入出力端子DQ0~DQ15を通じてテストデータを受ける。もし、テストに、WAIT信号が「H」に非活性化されたタイミングで、メモリセルMCからのテストデータ(D0, D1)と期待値とを比較する機能があれば、図7の(1)に示す場合には、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングのずれがなく、かつメモリセルMCからのテストデータと期待値とが同一であり、テスト結果が正常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が正常であることを検出することができない。

30

【0109】

(2) 次に、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがある場合(図7の(2)に示す場合)について説明する。

40

【0110】

入出力制御回路123、ロウデコーダ102、カラムデコーダ103、読出/書込回路105、および入出力バッファ104は、上述の両者のタイミングにずれがない場合と同様に動作する。

【0111】

WAIT制御回路125は、上述の両者のタイミングにずれがない場合とは異なり、異常動作する。つまり、WAIT制御回路125は、シフト読出し信号READFを受けたタイミングである第0番目のクロックCLKを含むコマンドレイテンシCL(=3)の個数のクロックCLKを受けた後(つまり、第2番目のクロックCLKを受けた後)ではなく、第2番目のクロックCLKを受けた後よりも遅いタイミングで、WAIT信号のレベ

50

ルを「H」に活性化する。

【0112】

外部のテストは、WAIT出力端子を通じてWAIT信号を受け、データ入出力端子DQ0～DQ15を通じてテストデータを受ける。もし、テストに、WAIT信号が「H」に非活性化されたタイミングで、メモリセルMCからのテストデータ(D0, D1)と期待値とを比較する機能があれば、図7の(2)に示す場合には、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングのずれがあり、テスト結果が異常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が異常であることを検出することができない。

10

【0113】

(第1の実施形態に係るテスト機能を有する同期式擬似SRAM2の動作の一例)

次に、第1の実施形態に係る同期式擬似SRAM2の動作の一例として、リフレッシュが行なわれていない時に、外部からの制御信号によって読出し信号READが生成された場合の動作を説明する。

【0114】

図8は、第1の実施形態に係る同期式擬似SRAM2の動作の一例を表わすタイミングチャートである。同図において、コマンドレイテンシCL=3とし、バーストレンクスBL=2とする。

【0115】

同図を参照して、図7のタイミングチャートに追加された点について説明する。

20

【0116】

(1) まず、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがない場合(図8の(1)に示す場合)について説明する。

【0117】

スイッチ183は、テストモード信号TMODEを受けて、WAIT制御回路125とテスト結果判定回路185とを接続する。

【0118】

レベル判定回路180は、バースト読出しの第0ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D0)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D0)を出力する。

30

【0119】

テスト結果判定回路185は、第3番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR1が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR1を入出力バッファ204に出力する。

【0120】

入出力バッファ204は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

40

【0121】

次に、レベル判定回路180は、バースト読出しの第1ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D1)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D1)を出力する。

【0122】

テスト結果判定回路185は、第4番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR1が「H」

50

レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR1を入出力バッファ104に出力する。

【0123】

入出力バッファ204は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

【0124】

以上のように、メモリセルMCからテストデータが正しく読出され、かつ「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがない場合には、バーストレンジBL(=2)の個数分のテスト結果が正常であることを示す、レベルが「H」のワンショットパルスが出力される。したがって、テストは、データ入出力端子DQ0を通じてバーストレンジBLの個数の「H」レベルのワンショットパルスを受けることによって、バーストレンジBLの個数分のテスト結果が正常であると検出することができる。

10

【0125】

(2) 次に、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがある場合(図8の(2)に示す場合)について説明する。

【0126】

スイッチ183は、テストモード信号TMODEを受けて、WAIT制御回路125とテスト結果判定回路185とを接続する。

20

【0127】

レベル判定回路180は、バースト読出しの第0ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D0)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D0)を出力する。

【0128】

テスト結果判定回路185は、第3番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「L」レベル、かつレベル判定信号EOR1が「H」レベルを示すので、テスト結果が異常であることを示す、レベルが「L」のテスト結果信号TR1を入出力バッファ204に出力する。

30

【0129】

入出力バッファ204は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

【0130】

次に、レベル判定回路180は、バースト読出しの第1ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D1)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D1)を出力する。

40

【0131】

テスト結果判定回路185は、第4番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR1が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR1を入出力バッファ204に出力する。

【0132】

入出力バッファ204は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

【0133】

50

以上のように、データ入出力端子DQ0を通じて外部に出力される「H」レベルのワンショットパルスは1個のみである。つまり、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがある場合には、バーストレングスBL (= 2) の個数分のテスト結果が正常であることを示す、レベルが「H」のワンショットパルスが出力されない。したがって、テストは、データ入出力端子DQ0を通じてバーストレングスBLの個数の「H」レベルのワンショットパルスを受けず、バーストレングスBLの個数分のいずれかのテストの結果が異常であると検出することができる。

#### 【0134】

(従来のテスト機能を有する同期式擬似SRAM1の動作の別の例)

10

次に、従来の同期式擬似SRAM1の動作の別の例として、リフレッシュが行なわれている時に、外部からの制御信号によって読出し信号READが生成された場合の動作を説明する。

#### 【0135】

図9は、従来の同期式擬似SRAM1の動作の別の例を表わすタイミングチャートである。同図において、コマンドレイテンシCL = 3とし、バーストレングスBL = 2とする。

#### 【0136】

図7に示す場合と同様に、テストモード信号TMODEの生成、およびメモリアレイへのテストデータの書込み処理が行なわれる。

20

#### 【0137】

次に、メモリアレイからのテストデータの読出し処理が以下のようにして行なわれる。ここで、メモリセルMCからのテストデータの読出しは、正しく行なわれるとする。すなわち、メモリセルMCから読出されたテストデータのレベルは、メモリセルMCに書込んだテストデータのレベルと同一のレベルとする。

#### 【0138】

図9を参照して、第0番目のクロックCLKにおいて、コマンドデコーダ121は、外部からの制御信号を受け、それに基づきロウ活性化信号ACTおよび読出し信号READを生成する。

#### 【0139】

30

コマンドシフト回路122は、リフレッシュ指令信号REFRが「H」レベルに活性化されているので、リフレッシュ指令信号REFRの立ち下りのタイミングでシフト読出し信号READF、およびシフトロウ活性化信号ACTFを生成する。

#### 【0140】

WAIT制御回路125は、リフレッシュ指令信号REFRが非活性化される時、つまりリフレッシュ制御が終了する時に、「H」レベルのシフト読出し信号READFを受けて、WAIT信号のレベルを「L」に維持する。

#### 【0141】

次に、「H」レベルに非活性化されたWAIT信号が出力されるタイミング(つまり、WAIT信号が解除されるタイミング)とメモリセルMCからのテストデータが出力されるタイミングとがずれない場合(図9の(1)に示す場合)と、ずれる場合(図9の(2)に示す場合)について説明する。

40

#### 【0142】

(1) まず、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングのずれがない場合(図9の(1)に示す場合)について説明する。

#### 【0143】

WAIT制御回路125は、シフト読出し信号READFを受けたタイミングである第2番目のクロックCLKを含むコマンドレイテンシCL (= 3) の個数のクロックCLKを受けた後(つまり、第4番目のクロックCLKを受けた後)、WAIT信号のレベルを

50

「H」に非活性化する。

【0144】

入出力制御回路123は、シフトロウ活性化信号ACTF、およびシフト読出し信号READFの活性化に応じて、センスアンプ活性化信号SE、カラムデコーダ活性化信号CD、および読出し動作指示信号/REを活性化する。

【0145】

また、入出力制御回路123は、シフト読出し信号READFを受けたときの第2番目のクロックCLKを含むコマンドレイテンシCL(=3)の個数のクロックCLKを受けた後(つまり、第4番目のクロックCLKを受けた後)から、バーストレンジBL(=2)のクロック数の期間(つまり、2個のクロックの期間)、出力イネーブル信号OEを「H」レベルに活性化する。

10

【0146】

ロウデコーダ102は、シフトロウ活性化信号ACTFの活性化に応じて、1個のワード線WLを選択する。

【0147】

次に、以下のようにバースト読出しの第0ビット目が行なわれる。

【0148】

カラムデコーダ103は、カラムデコーダ活性化信号CDの活性化に応じて、16対のビット線対BL, /BLを選択する。これにより、選択されたワード線WLと、選択された16対のビット線対BL, /BLの交点に位置する16個のメモリセルMCが選択される。

20

【0149】

読出/書込回路105は、読出し動作指示信号/REの活性化に応じて、選択された16個のメモリセルMCのテストデータ(D0)を読出して、入出力バッファ104に出力する。

【0150】

入出力バッファ104は、「H」レベルに活性化された出力イネーブル信号OEを受けて、読出/書込回路105から受けた各メモリセルMCからのテストデータ(D0)をデータ入出力端子DQ0~DQ15の対応する端子に出力する。

【0151】

30

次に、以下のようにバースト読出しの第1ビット目が行なわれる。

【0152】

カラムデコーダ103は、カラムデコーダ活性化信号CDの活性化に応じて、16対のビット線対BL, /BLを選択する。これにより、選択されたワード線WLと、選択された16対のビット線対BL, /BLの交点に位置する16個のメモリセルMCが選択される。

【0153】

読出/書込回路105は、読出し動作指示信号/REの活性化に応じて、選択された16個のメモリセルMCのテストデータ(D1)を読出して、入出力バッファ104に出力する。

40

【0154】

入出力バッファ104は、「H」レベルに活性化された出力イネーブル信号OEを受けて、読出/書込回路105から受けた各メモリセルMCからのテストデータ(D1)をデータ入出力端子DQ0~DQ15の対応する端子に出力する。

【0155】

外部のテストは、WAIT出力端子を通じてWAIT信号を受け、データ入出力端子DQ0~DQ15を通じてテストデータを受ける。もし、テストに、WAIT信号が「H」に非活性化されたタイミングで、メモリセルMCからのテストデータ(D0, D1)と期待値とを比較する機能があれば、図9の(1)に示す場合には、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力

50



されるタイミングのずれがなく、かつメモリセルMCからのテストデータと期待値とが同一であり、テスト結果が正常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が正常であることを検出することができない。

【0156】

(2) 次に、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがある場合(図9の(2)に示す場合)について説明する。

【0157】

入出力制御回路123、ロウデコーダ102、カラムデコーダ103、読出/書込回路105、および入出力バッファ104は、上述の両者のタイミングにずれがない場合と同様に動作する。

10

【0158】

WAIT制御回路125は、上述の両者のタイミングにずれがない場合とは異なり、異常動作する。つまり、WAIT制御回路125は、シフト読出し信号READFを受けたタイミングである第2番目のクロックCLKを含むコマンドレイテンシCL(=3)の個数のクロックCLKを受けた後(つまり、第4番目のクロックCLKを受けた後)ではなく、第4番目のクロックCLKを受けた後よりも早いタイミングで、WAIT信号のレベルを「H」に活性化する。

【0159】

外部のテストは、WAIT出力端子を通じてWAIT信号を受け、データ入出力端子DQ0~DQ15を通じてテストデータを受ける。もし、テストに、WAIT信号が「H」に非活性化されたタイミングで、メモリセルMCからのテストデータ(D0, D1)と期待値とを比較する機能があれば、図9の(2)に示す場合には、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングのずれがあり、テスト結果が異常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が異常であることを検出することができない。

20

【0160】

(第1の実施形態に係るテスト機能を有する同期式擬似SRAM2の動作の別の例)

次に、第1の実施形態に係る同期式擬似SRAM2の動作の別の例として、リフレッシュが行なわれている時に、外部からの制御信号によって読出し信号READが生成された場合の動作を説明する。

30

【0161】

図10は、第1の実施形態に係る同期式擬似SRAM2の動作の別の例を表わすタイミングチャートである。同図において、コマンドレイテンシCL=3とし、バーストレンジスBL=2とする。

【0162】

同図を参照して、図9のタイミングチャートに追加された点について説明する。

【0163】

(1) まず、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがない場合(図10の(1)に示す場合)について説明する。

40

【0164】

レベル判定回路180は、バースト読出しの第0ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D0)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D0)を出力する。

【0165】

テスト結果判定回路185は、第5番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR1が「H」

50

レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR1を入出力バッファ204に出力する。

【0166】

入出力バッファ204は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

【0167】

次に、レベル判定回路180は、バースト読出しの第1ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D1)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D1)を出力する。

10

【0168】

テスト結果判定回路185は、第6番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR1が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR1を入出力バッファ204に出力する。

【0169】

入出力バッファ204は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

20

【0170】

以上のように、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがない場合には、バーストレンジBL(=2)の個数分のテスト結果が正常であることを示す、レベルが「H」のワンショットパルスが出力される。したがって、テストは、データ入出力端子DQ0を通じてバーストレンジBLの個数の「H」レベルのワンショットパルスを受けることによって、バーストレンジBLの個数分のテスト結果が正常であると検出することができる。

【0171】

(2) 次に、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとメモリセルMCからのテストデータが出力されるタイミングとにずれがある場合(図10の(2)に示す場合)について説明する。

30

【0172】

レベル判定回路180は、バースト読出しの第0ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D0)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D0)を出力する。

【0173】

テスト結果判定回路185は、第5番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR1が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR1を入出力バッファ204に出力する。

40

【0174】

入出力バッファ204は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路185から受けたテスト結果信号TR1をデータ入出力端子DQ0に出力する。

【0175】

次に、レベル判定回路180は、バースト読出しの第1ビット目につき読出/書込回路105から出力された16ビットのテストデータ(D1)を受けて、16ビットのテストデータのレベルがすべて同一であるので、「H」レベルのレベル判定信号EOR1(D1)を出力する。

50

) を出力する。

【 0 1 7 6 】

テスト結果判定回路 1 8 5 は、第 4 番目のクロック C L K の立ち上がりを中心とした所定時間の期間に、W A I T 信号が「 L 」レベル、かつレベル判定信号 E O R 1 が「 H 」レベルを示すので、テスト結果が異常であることを示す、レベルが「 L 」のテスト結果信号 T R 1 を入出力バッファ 2 0 4 に出力する。

【 0 1 7 7 】

入出力バッファ 2 0 4 は、「 H 」レベルに活性化された出力イネーブル信号 O E を受けて、テスト結果判定回路 1 8 5 から受けたテスト結果信号 T R 1 をデータ入出力端子 D Q 0 に出力する。

10

【 0 1 7 8 】

以上のように、データ入出力端子 D Q 0 を通じて外部に出力される「 H 」レベルのワンショットパルスは 1 個のみである。つまり、「 H 」レベルに非活性化された W A I T 信号が出力されるタイミングとメモリセル M C からのテストデータが出力されるタイミングとにずれがある場合には、バーストレンジス B L ( = 2 ) の個数分のテスト結果が正常であることを示す、レベルが「 H 」のワンショットパルスが出力されない。したがって、テストは、データ入出力端子 D Q 0 を通じてバーストレンジス B L の個数の「 H 」レベルのワンショットパルスを受けず、バーストレンジス B L の個数分のいずれかのテストの結果が異常であると検出することができる。

【 0 1 7 9 】

20

以上のように、第 1 の実施形態に係るテスト機能を有する同期式擬似 S R A M 2 によれば、メモリセルから読出されたデータが正しく、かつメモリセルからデータが読み出されて外部に出力されるタイミングと W A I T 信号が解除されるタイミングとの間にずれがないかどうかのテストを行なうことができる。

【 0 1 8 0 】

[ 第 2 の実施形態 ]

本実施の形態は、それぞれのワード線が異なる複数のサブアレイのメモリセルに共通のデータを書込み、これらのメモリセルから読出されるデータを読出すテストを行なう機能を有する同期式擬似 S R A M に関する。

【 0 1 8 1 】

30

( 従来 of テスト機能を有する同期式擬似 S R A M 3 の構成 )

図 1 1 は、従来 of 同期式擬似 S R A M 3 の構成を示す図である。図 1 1 の同期式擬似 S R A M 3 が、図 1 の従来 of 同期式擬似 S R A M 1 と相違する点は以下である。

【 0 1 8 2 】

図 1 1 の同期式擬似 S R A M 3 は、図 1 の同期式擬似 S R A M 1 には含まれないレベル判定回路 2 4 0 を備える。また、図 1 1 の同期式擬似 S R A M 3 は、D R A M セルメモリサブアレイ + 周辺回路群 1 0 1 a , 1 0 1 b を含み、それぞれに対応して、カラムデコーダ 1 0 3 a , 1 0 3 b と、読出 / 書込回路 1 0 5 a , 1 0 5 b を備える。また、図 1 1 の同期式擬似 S R A M 3 のロウデコーダ 2 0 2、入出力バッファ 2 4 1 は、図 1 の同期式擬似 S R A M 1 のロウデコーダ 1 0 2、入出力バッファ 1 0 4 と相違する。

40

【 0 1 8 3 】

ロウデコーダ 2 0 2 は、D R A M セルメモリサブアレイ + 周辺回路群 1 0 1 a 内のメモリサブアレイ ( 以下、メモリサブアレイ a とする ) に配置された 1 個のワード線 W L、および D R A M セルメモリサブアレイ + 周辺回路群 1 0 1 b 内のメモリサブアレイ ( 以下、メモリサブアレイ b とする ) に配置された 1 個のワード線を選択し、選択したワード線 W L を活性化し、それらのワード線 W L に対応する複数のメモリセル M C を活性化させる。

【 0 1 8 4 】

レベル判定回路 2 4 0 は、たとえば、反転排他的論理和回路で構成されている。レベル判定回路 2 4 0 は、読出 / 書込回路 1 0 5 a から出力された 1 6 ビットのテストデータと、読出 / 書込回路 1 0 5 b から出力された 1 6 ビットのテストデータとを受けて、いわゆ

50

るマルチビットテストの結果を表わすレベル判定信号EOR2を出力する。すなわち、レベル判定回路240は、受けた32ビットのテストデータのレベルがすべて同一のときには、「H」レベルのレベル判定信号EOR2を出力し、32ビットのテストデータのうち、他と同一のレベルでないものが存在するときには、「L」レベルのレベル判定信号EOR2を出力する。

【0185】

入出力バッファ241は、データ入出力端子DQ0～DQ15を通じて、外部のシステム側との間でデータの入出力を行なう。すなわち、入出力バッファ241は、入出力制御回路123から与えられる出力イネーブル信号OEが「H」レベルに活性化されている場合に、読出/書込回路105a, 105bから受けた各メモリセルMCからの読出しデータをデータ入出力端子DQ0～DQ15の対応する端子に出力する。また、入出力バッファ241は、出力イネーブル信号OEが「H」レベルに活性化されている場合に、レベル判定回路240から受けたレベル判定信号EOR2をデータ入出力端子DQ0に出力する。

10

【0186】

(第2の実施形態に係るテスト機能を有する同期式擬似SRAM4の構成)

図12は、第2の実施形態に係る同期式擬似SRAM4の構成を示す図である。

【0187】

図12の同期式擬似SRAM4が、図11の従来の同期式擬似SRAM3と相違する点は、図12の同期式擬似SRAM4が、図11の同期式擬似SRAM3には含まれない、テスト結果判定回路251と、スイッチ252とを備える点と、図12の入出力バッファ242が図11の入出力バッファ241と相違する点である。

20

【0188】

スイッチ252は、テストモード信号TMODEのレベルに応じて制御される。すなわち、通常時には、テストモード信号TMODEが「L」となり、スイッチ252は、WAIT制御回路125とWAIT出力端子とを接続する。この場合、WAIT信号がWAIT出力端子から出力される。また、テスト時にはテストモード信号TMODEが「H」となり、スイッチ252は、WAIT制御回路125とテスト結果判定回路251とを接続する。この場合、WAIT信号がWAIT出力端子から出力されない。

【0189】

テスト結果判定回路251は、32ビットのテストデータのレベルがすべて同一で、かつWAIT信号が解除される(つまり、「H」レベルに非活性化される)タイミングとレベル判定信号EOR2が変化するタイミングとの間にずれがない正常の動作であるか否かを判定し、判定の結果を表わすテスト結果信号TR2を出力する。以下、このテスト判定回路251の具体的な構成について詳説する。

30

【0190】

図13は、テスト結果判定回路251の構成の一例を示す図である。

【0191】

同図を参照して、テスト結果判定回路251は、遅延回路311と、インバータ312と、論理積回路313と、論理積回路314とを含む。

40

【0192】

遅延回路311は、クロックCLKを所定の時間だけ遅延させる。

【0193】

インバータ312は、遅延回路311の出力を反転する。

【0194】

論理積回路313は、クロックCLKとインバータ312の出力との論理積を出力する。つまり、論理積回路313は、クロックCLKの立ち上がり同期したワンショットパルス生成する。

【0195】

論理積回路314は、論理積回路313から出力されるワンショットパルスと、WAIT

50

T信号と、レベル判定信号EOR2との論理積を出力する。つまり、論理積回路314は、クロックCLKに同期したタイミング(つまりクロックCLKの立ち上がりを中心とした所定時間の期間)において、WAIT信号のレベルが「H」、かつレベル判定信号EOR2のレベルが「H」のときには、テスト結果が正常を表わす「H」レベルのテスト結果信号TR2(ワンショットパルス)を入出力バッファ242に出力する。

【0196】

一方、論理積回路314は、上記の場合以外で、WAIT信号およびレベル判定信号EOR2がHi-zでないときには、テスト結果が異常を表わす「L」レベルのテスト結果信号TR2を入出力バッファ242に出力する。

【0197】

入出力バッファ242は、データ入出力端子DQ0~DQ15を通じて、外部のシステム側との間でデータの入出力を行なう。すなわち、入出力バッファ242は、入出力制御回路123から与えられる出力イネーブル信号OEが「H」レベルに活性化されている場合に、読出/書込回路105a, 105bから受けた各メモリセルMCからの読出しデータをデータ入出力端子DQ0~DQ15の対応する端子に出力する。また、入出力バッファ242は、出力イネーブル信号OEが「H」レベルに活性化されている場合に、テスト結果判定回路251から受けたテスト結果信号TR2をデータ入出力端子DQ0に出力する。

【0198】

(従来のテスト機能を有する同期式擬似SRAM3の動作の一例)

次に、従来の同期式擬似SRAM3の動作の一例として、リフレッシュが行なわれていない時に、外部からの制御信号によって読出し信号READが生成された場合の動作を説明する。

【0199】

図14は、従来の同期式擬似SRAM3の動作の一例を表わすタイミングチャートである。同図において、コマンドレイテンシCL=3とし、バーストレングスBL=2とする。

【0200】

図14で示されるタイミングに先立って、コマンドデコーダ121は、外部からの制御信号を受け、それに基づきテストモード信号TMODEを生成する。

【0201】

次に、メモリアレイへのテストデータの書込み処理が以下のようにして行なわれる。

【0202】

外部からデータ入出力端子DQ0~DQ15を通じて、16ビットのテストデータが入出力バッファ104に入力される。このテストデータは、すべてのビットのレベルが同一である。

【0203】

ロウデコーダ202は、メモリサブアレイaに配置された1個のワード線WL、およびメモリサブアレイbに配置された1個のワード線を選択する。コラムデコーダ103aは、メモリサブアレイaに配置された16個のビット線対BL, /BLを選択し、コラムデコーダ103nは、メモリサブアレイbに配置された16個のビット線対BL, /BLを選択する。これにより、選択されたワード線WLと、選択された32対のビット線対BL, /BLの交点に位置する32個のメモリセルMCが選択される。

【0204】

読出/書込回路105aは、入出力バッファ241から16ビットのテストデータを受けて、16ビットのグローバル入出力線対GPIOおよび選択された16対のビット線対BL, /BLを通じて、16ビットのテストデータをメモリサブアレイa内の選択された16個のメモリセルMCに書込む。また、読出/書込回路105bは、入出力バッファ241から16ビットのテストデータを受けて、16ビットのグローバル入出力線対GPIOおよび選択された16対のビット線対BL, /BLを通じて、16ビットのテストデー

10

20

30

40

50

タをメモリサブアレイ b 内の選択された 16 個のメモリセル M C に書込む。

【0205】

選択するワード線 W L および、ビット線対 B L , / B L を変えて、以上の処理を繰り返すことにより、D R A M のすべてのメモリセル M C に同一のレベルを書込む。

【0206】

次に、メモリアレイからのテストデータの読出し処理が以下のようにして行なわれる。ここで、メモリセル M C からのテストデータの読出しは、正しく行なわれるとする。すなわち、メモリセル M C から読出されたテストデータのレベルは、メモリセル M C に書込んだテストデータのレベルと同一のレベルとする。

【0207】

図 14 を参照して、第 0 番目のクロック C L K において、コマンドデコーダ 121 は、外部からの制御信号を受け、それに基づきロウ活性化信号 A C T および読出し信号 R E A D を生成する。

【0208】

コマンドシフト回路 122 は、リフレッシュ指令信号 R E F R が「L」レベルの非活性なので、読出し信号 R E A D とほぼ同一のタイミングのシフト読出し信号 R E A D F を生成し、ロウ活性化信号 A C T とほぼ同一のタイミングのシフトロウ活性化信号 A C T F を生成する。

【0209】

W A I T 制御回路 125 は、外部チップイネーブル信号 C E が「L」レベルに活性化されているときに、「H」レベルのシフト読出し信号 R E A D F を受けると、W A I T 信号を「L」レベルに活性化する。

【0210】

次に、「H」レベルに非活性化された W A I T 信号が出力されるタイミング（つまり、W A I T 信号が解除されるタイミング）とマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングとがずれない場合（図 14 の（1）に示す場合）と、ずれる場合（図 14 の（2）に示す場合）について説明する。

【0211】

（1） まず、「H」レベルに非活性化された W A I T 信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングのずれがない場合（図 14 の（1）に示す場合）について説明する。

【0212】

W A I T 制御回路 125 は、シフト読出し信号 R E A D F を受けたタイミングである第 0 番目のクロック C L K を含むコマンドレイテンシ C L (= 3) の個数のクロック C L K を受けた後（つまり、第 2 番目のクロック C L K を受けた後）、W A I T 信号のレベルを「H」に非活性化する。

【0213】

入出力制御回路 123 は、シフトロウ活性化信号 A C T F、およびシフト読出し信号 R E A D F の活性化に応じて、センスアンプ活性化信号 S E、カラムデコーダ活性化信号 C D、および読出し動作指示信号 / R E を活性化する。

【0214】

また、入出力制御回路 123 は、シフト読出し信号 R E A D F を受けたときの第 0 番目のクロック C L K を含むコマンドレイテンシ C L (= 3) の個数のクロック C L K を受けた後（つまり、第 2 番目のクロック C L K を受けた後）から、バーストレンジ S B L (= 2) のクロック数の期間（つまり、2 個のクロックの期間）、出力イネーブル信号 O E を「H」レベルに活性化する。

【0215】

ロウデコーダ 202 は、シフトロウ活性化信号 A C T F の活性化に応じて、メモリサブアレイ a に配置された 1 個のワード線 W L と、メモリサブアレイ b に配置された 1 個のワード線 W L とを選択する。

10

20

30

40

50

## 【 0 2 1 6 】

次に、以下のようにして、バースト読出しの第 0 ビット目が行なわれる。

## 【 0 2 1 7 】

カラムデコーダ 1 0 3 a は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ a 内の 1 6 対のビット線対 B L , / B L を選択する。カラムデコーダ 1 0 3 b は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ b 内の 1 6 対のビット線対 B L , / B L を選択する。これにより、選択されたワード線 W L と、選択された 3 2 対のビット線対 B L , / B L の交点に位置する 3 2 個のメモリセル M C が選択される。

## 【 0 2 1 8 】

読出 / 書込回路 1 0 5 a は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ a 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。読出 / 書込回路 1 0 5 b は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ b 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。

## 【 0 2 1 9 】

レベル判定回路 2 4 0 は、読出 / 書込回路 1 0 5 a から出力された 1 6 ビットのテストデータと、読出 / 書込回路 1 0 5 b から出力された 1 6 ビットのテストデータとを受けて、これら 3 2 ビットのテストデータ ( D 0 ) のレベルがすべて同一なので、「 H 」レベルのレベル判定信号 E O R 2 ( D 0 ) を出力する。

## 【 0 2 2 0 】

入出力バッファ 2 4 1 は、「 H 」レベルに活性化された出力イネーブル信号 O E を受けて、レベル判定回路 2 4 0 から受けたレベル判定信号 E O R 2 ( D 0 ) をデータ入出力端子 D Q 0 に出力する。

## 【 0 2 2 1 】

次に、以下のようにバースト読出しの第 1 ビット目が行なわれる。

## 【 0 2 2 2 】

カラムデコーダ 1 0 3 a は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ a 内の 1 6 対のビット線対 B L , / B L を選択する。カラムデコーダ 1 0 3 b は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ b 内の 1 6 対のビット線対 B L , / B L を選択する。これにより、選択されたワード線 W L と、選択された 3 2 対のビット線対 B L , / B L の交点に位置する 3 2 個のメモリセル M C が選択される。

## 【 0 2 2 3 】

読出 / 書込回路 1 0 5 a は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ a 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。読出 / 書込回路 1 0 5 b は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ b 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。

## 【 0 2 2 4 】

レベル判定回路 2 4 0 は、読出 / 書込回路 1 0 5 a から出力された 1 6 ビットのテストデータと、読出 / 書込回路 1 0 5 b から出力された 1 6 ビットのテストデータとを受けて、これら 3 2 ビットのテストデータ ( D 1 ) のレベルがすべて同一なので、「 H 」レベルのレベル判定信号 E O R 2 ( D 1 ) を出力する。

## 【 0 2 2 5 】

入出力バッファ 2 4 1 は、「 H 」レベルに活性化された出力イネーブル信号 O E を受けて、レベル判定回路 2 4 0 から受けたレベル判定信号 E O R 2 ( D 1 ) をデータ入出力端子 D Q 0 に出力する。

## 【 0 2 2 6 】

外部のテストは、 W A I T 出力端子を通じて W A I T 信号を受け、データ入出力端子 D

10

20

30

40

50

Q0を通じてレベル判定信号EOR2(D0, D1)を受ける。もし、テストに、WAIT信号が「H」に非活性化されたタイミングで、「H」レベルのレベル判定信号EOR2(D0, D1)が出力されたことを識別する機能があれば、図14の(1)に示す場合には、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとレベル判定信号EOR2が出力されるタイミングのずれがなく、かつメモリセルMCから読出されたテストデータが正しいデータであり、テスト結果が正常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が正常であることを検出することができない。

【0227】

(2) 次に、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号EOR2が出力されるタイミングとにずれがある場合(図14の(2)に示す場合)について説明する。

【0228】

入出力制御回路123、ロウデコーダ202、カラムデコーダ103a, 103b、読出/書込回路105a, 105b、および入出力バッファ241は、上述の両者のタイミングにずれがない場合と同様に動作する。

【0229】

WAIT制御回路125は、上述の両者のタイミングにずれがない場合とは異なり、異常動作する。つまり、WAIT制御回路125は、シフト読出し信号READFを受けたタイミングである第0番目のクロックCLKを含むコマンドレイテンシCL(=3)の個数のクロックCLKを受けた後(つまり、第2番目のクロックCLKを受けた後)ではなく、第2番目のクロックCLKを受けた後よりも遅いタイミングで、WAIT信号のレベルを「H」に活性化する。

【0230】

外部のテストは、WAIT出力端子を通じてWAIT信号を受け、データ入出力端子DQ0を通じてレベル判定信号EOR2(D0, D1)を受ける。もし、テストに、WAIT信号が「H」に非活性化されたタイミングで、「H」レベルのレベル判定信号EOR2(D0, D1)が出力されたことを識別する機能があれば、図14の(2)に示す場合には、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとレベル判定信号EOR2が出力されるタイミングのずれがあり、テスト結果が異常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が異常であることを検出することができない。

【0231】

(第2の実施形態に係るテスト機能を有する同期式擬似SRAM4の動作の一例)

次に、第2の実施形態に係る同期式擬似SRAM4の動作の一例として、リフレッシュが行なわれていない時に、外部からの制御信号によって読出し信号READが生成された場合の動作を説明する。

【0232】

図15は、第2の実施形態に係る同期式擬似SRAM4の動作の一例を表わすタイミングチャートである。同図において、コマンドレイテンシCL=3とし、バーストレングスBL=2とする。

【0233】

同図を参照して、図14のタイミングチャートに追加された点について説明する。

【0234】

(1) まず、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号EOR2が出力されるタイミングとにずれがない場合(図15の(1)に示す場合)について説明する。

【0235】

スイッチ252は、テストモード信号TMODEを受けて、WAIT制御回路125とテスト結果判定回路251とを接続する。

10

20

30

40

50



## 【 0 2 3 6 】

レベル判定回路 2 4 0 は、バースト読出しの第 0 ビット目につき「H」レベルのレベル判定信号 E O R 2 ( D 0 ) をテスト結果判定回路 2 5 1 に出力する。

## 【 0 2 3 7 】

テスト結果判定回路 2 5 1 は、第 3 番目のクロック C L K の立ち上がりを起点とした所定時間 の期間に、W A I T 信号が「H」レベル、かつレベル判定信号 E O R 2 が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号 T R 2 を入出力バッファ 2 4 2 に出力する。

## 【 0 2 3 8 】

入出力バッファ 2 4 2 は、「H」レベルに活性化された出力イネーブル信号 O E を受けて、テスト結果判定回路 2 5 1 から受けたテスト結果信号 T R 2 をデータ入出力端子 D Q 0 に出力する。

10

## 【 0 2 3 9 】

次に、レベル判定回路 2 4 0 は、バースト読出しの第 1 ビット目につき「H」レベルのレベル判定信号 E O R 2 ( D 1 ) をテスト結果判定回路 2 5 1 に出力する。

## 【 0 2 4 0 】

テスト結果判定回路 2 5 1 は、第 3 番目のクロック C L K の立ち上がりを起点とした所定時間 の期間に、W A I T 信号が「H」レベル、かつレベル判定信号 E O R 2 が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号 T R 2 を入出力バッファ 2 4 2 に出力する。

20

## 【 0 2 4 1 】

入出力バッファ 2 4 2 は、「H」レベルに活性化された出力イネーブル信号 O E を受けて、テスト結果判定回路 2 5 1 から受けたテスト結果信号 T R 2 をデータ入出力端子 D Q 0 に出力する。

## 【 0 2 4 2 】

以上のように、「H」レベルに非活性化された W A I T 信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングが出力されるタイミングとにずれがない場合には、バーストレンジス B L ( = 2 ) の個数分のテスト結果が正常であることを示す、レベルが「H」のワンショットパルスが出力される。

30

したがって、テストは、データ入出力端子 D Q 0 を通じてバーストレンジス B L の個数の「H」レベルのワンショットパルスを受けることによって、バーストレンジス B L の個数分のテスト結果が正常であると検出することができる。

## 【 0 2 4 3 】

( 2 ) 次に、「H」レベルに非活性化された W A I T 信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングとにずれがある場合 ( 図 1 5 の ( 2 ) に示す場合 ) について説明する。

## 【 0 2 4 4 】

スイッチ 2 5 2 は、テストモード信号 T M O D E を受けて、W A I T 制御回路 1 2 5 とテスト結果判定回路 2 5 1 とを接続する。

40

## 【 0 2 4 5 】

レベル判定回路 2 4 0 は、バースト読出しの第 0 ビット目につき「H」レベルのレベル判定信号 E O R 2 ( D 0 ) をテスト結果判定回路 2 5 1 に出力する。

## 【 0 2 4 6 】

テスト結果判定回路 2 5 1 は、第 3 番目のクロック C L K の立ち上がりを起点とした所定時間 の期間に、W A I T 信号が「L」レベル、かつレベル判定信号 E O R 2 が「H」レベルを示すので、テスト結果が異常であることを示す、レベルが「L」のテスト結果信号 T R 2 を入出力バッファ 2 4 2 に出力する。

## 【 0 2 4 7 】

入出力バッファ 2 4 2 は、「H」レベルに活性化された出力イネーブル信号 O E を受け

50

て、テスト結果判定回路 2 5 1 から受けたテスト結果信号 T R 2 をデータ入出力端子 D Q 0 に出力する。

【 0 2 4 8 】

次に、レベル判定回路 2 4 0 は、バースト読出しの第 1 ビット目につき「H」レベルのレベル判定信号 E O R 2 ( D 1 ) をテスト結果判定回路 2 5 1 に出力する。

【 0 2 4 9 】

テスト結果判定回路 2 5 1 は、第 3 番目のクロック C L K の立ち上がりを起点とした所定時間 の期間に、W A I T 信号が「H」レベル、かつレベル判定信号 E O R 2 が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号 T R 2 を入出力バッファ 2 4 2 に出力する。

10

【 0 2 5 0 】

入出力バッファ 2 4 2 は、「H」レベルに活性化された出力イネーブル信号 O E を受けて、テスト結果判定回路 2 5 1 から受けたテスト結果信号 T R 2 をデータ入出力端子 D Q 0 に出力する。

【 0 2 5 1 】

以上のように、データ入出力端子 D Q 0 を通じて外部に出力される「H」レベルのワンショットパルスは 1 個のみである。つまり、「H」レベルに非活性化された W A I T 信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングとにずれがある場合には、バーストレンジス B L ( = 2 ) の個数分のテスト結果が正常であることを示す、レベルが「H」のワンショットパルスが出力されない。したがって、テストは、データ入出力端子 D Q 0 を通じてバーストレンジス B L の個数の「H」レベルのワンショットパルスを受けず、バーストレンジス B L の個数分のいずれかのテストの結果が異常であると検出することができる。

20

【 0 2 5 2 】

( 従来 of テスト機能を有する同期式擬似 S R A M 3 の動作の別の例 )

次に、従来 of 同期式擬似 S R A M 3 の動作の別の例として、リフレッシュが行なわれている時に、外部からの制御信号によって読出し信号 R E A D が生成された場合の動作を説明する。

【 0 2 5 3 】

図 1 6 は、従来 of 同期式擬似 S R A M 3 の動作の別の例を表わすタイミングチャートである。同図において、コマンドレイテンシ C L = 3 とし、バーストレンジス B L = 2 とする。

30

【 0 2 5 4 】

図 1 4 に示す場合と同様に、テストモード信号 T M O D E の生成、およびメモリアレイへのテストデータの書込み処理が行なわれる。

【 0 2 5 5 】

次に、メモリアレイからのテストデータの読出し処理が以下のようにして行なわれる。ここで、メモリセル M C からのテストデータの読出しは、正しく行なわれたとする。すなわち、メモリセル M C から読出されたテストデータのレベルは、メモリセル M C に書込んだテストデータのレベルと同一のレベルとする。

40

【 0 2 5 6 】

図 1 6 を参照して、第 0 番目のクロック C L K において、コマンドデコーダ 1 2 1 は、外部からの制御信号を受け、それに基づきロウ活性化信号 A C T および読出し信号 R E A D を生成する。

【 0 2 5 7 】

コマンドシフト回路 1 2 2 は、リフレッシュ指令信号 R E F R が「H」レベルに活性化されているので、リフレッシュ指令信号 R E F R の立ち下りのタイミングでシフト読出し信号 R E A D F、およびシフトロウ活性化信号 A C T F を生成する。

【 0 2 5 8 】

W A I T 制御回路 1 2 5 は、リフレッシュ指令信号 R E F R が非活性化される時、つま

50

リフレッシュ制御が終了する時に、「H」レベルのシフト読出信号 R E A D F を受けて、W A I T 信号のレベルを「L」に維持する。

【 0 2 5 9 】

次に、「H」レベルに非活性化された W A I T 信号が出力されるタイミング（つまり、W A I T 信号が解除されるタイミング）とマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングとがずれない場合（図 1 6 の（ 1 ）に示す場合）と、ずれる場合（図 1 6 の（ 2 ）に示す場合）について説明する。

【 0 2 6 0 】

（ 1 ） まず、「H」レベルに非活性化された W A I T 信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングのずれがない場合（図 1 6 の（ 1 ）に示す場合）について説明する。

10

【 0 2 6 1 】

W A I T 制御回路 1 2 5 は、シフト読出し信号 R E A D F を受けたタイミングである第 2 番目のクロック C L K を含むコマンドレイテンシ C L ( = 3 ) の個数のクロック C L K を受けた後（つまり、第 4 番目のクロック C L K を受けた後）、W A I T 信号のレベルを「H」に非活性化する。

【 0 2 6 2 】

入出力制御回路 1 2 3 は、シフトロウ活性化信号 A C T F、およびシフト読出し信号 R E A D F の活性化に応じて、センスアンプ活性化信号 S E、カラムデコーダ活性化信号 C D、および読出し動作指示信号 / R E を活性化する。

20

【 0 2 6 3 】

また、入出力制御回路 1 2 3 は、シフト読出し信号 R E A D F を受けたときの第 2 番目のクロック C L K を含むコマンドレイテンシ C L ( = 3 ) の個数のクロック C L K を受けた後（つまり、第 4 番目のクロック C L K を受けた後）から、バーストレンジス B L ( = 2 ) のクロック数の期間（つまり、2 個のクロックの期間）、出力イネーブル信号 O E を「H」レベルに活性化する。

【 0 2 6 4 】

ロウデコーダ 2 0 2 は、シフトロウ活性化信号 A C T F の活性化に応じて、メモリサブアレイ a に配置された 1 個のワード線 W L と、メモリサブアレイ b に配置された 1 個のワード線 W L とを選択する。

30

【 0 2 6 5 】

次に、以下のようにして、バースト読出しの第 0 ビット目が行なわれる。

【 0 2 6 6 】

カラムデコーダ 1 0 3 a は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ a 内の 1 6 対のビット線対 B L , / B L を選択する。カラムデコーダ 1 0 3 b は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ b 内の 1 6 対のビット線対 B L , / B L を選択する。これにより、選択されたワード線 W L と、選択された 3 2 対のビット線対 B L , / B L の交点に位置する 3 2 個のメモリセル M C が選択される。

【 0 2 6 7 】

40

読出 / 書込回路 1 0 5 a は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ a 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。読出 / 書込回路 1 0 5 b は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ b 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。

【 0 2 6 8 】

レベル判定回路 2 4 0 は、読出 / 書込回路 1 0 5 a から出力された 1 6 ビットのテストデータと、読出 / 書込回路 1 0 5 b から出力された 1 6 ビットのテストデータとを受けて、これら 3 2 ビットのテストデータ ( D 0 ) のレベルがすべて同一なので、「H」レベルのレベル判定信号 E O R 2 ( D 0 ) を出力する。

50

## 【 0 2 6 9 】

入出力バッファ 2 4 1 は、「H」レベルに活性化された出力イネーブル信号 O E を受けて、レベル判定回路 2 4 0 から受けたレベル判定信号 E O R 2 ( D 0 ) をデータ入出力端子 D Q 0 に出力する。

## 【 0 2 7 0 】

次に、以下のようにバースト読出しの第 1 ビット目が行なわれる。

## 【 0 2 7 1 】

カラムデコーダ 1 0 3 a は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ a 内の 1 6 対のビット線対 B L , / B L を選択する。カラムデコーダ 1 0 3 b は、カラムデコーダ活性化信号 C D の活性化に応じて、メモリサブアレイ b 内の 1 6 対の 10  
ビット線対 B L , / B L を選択する。これにより、選択されたワード線 W L と、選択された 3 2 対のビット線対 B L , / B L の交点に位置する 3 2 個のメモリセル M C が選択される。

## 【 0 2 7 2 】

読出 / 書込回路 1 0 5 a は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ a 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。読出 / 書込回路 1 0 5 b は、読出し動作指示信号 / R E の活性化に応じて、メモリサブアレイ b 内の選択された 1 6 個のメモリセル M C のテストデータを読出して、レベル判定回路 2 4 0 に出力する。

## 【 0 2 7 3 】

レベル判定回路 2 4 0 は、読出 / 書込回路 1 0 5 a から出力された 1 6 ビットのテストデータと、読出 / 書込回路 1 0 5 b から出力された 1 6 ビットのテストデータとを受けて、これら 3 2 ビットのテストデータ ( D 1 ) のレベルがすべて同一なので、「H」レベルのレベル判定信号 E O R 2 ( D 1 ) を出力する。

## 【 0 2 7 4 】

入出力バッファ 2 4 1 は、「H」レベルに活性化された出力イネーブル信号 O E を受けて、レベル判定回路 2 4 0 から受けたレベル判定信号 E O R 2 ( D 1 ) をデータ入出力端子 D Q 0 に出力する。

## 【 0 2 7 5 】

外部のテストは、W A I T 出力端子を通じて W A I T 信号を受け、データ入出力端子 D Q 0 を通じてレベル判定信号 E O R 2 ( D 0 , D 1 ) を受ける。もし、テストに、W A I T 信号が「H」に非活性化されたタイミングで、「H」レベルのレベル判定信号 E O R 2 ( D 0 , D 1 ) が出力されたことを識別する機能があれば、図 1 6 の ( 1 ) に示す場合には、「H」レベルに非活性化された W A I T 信号が出力されるタイミングとレベル判定信号 E O R 2 が出力されるタイミングのずれがなく、かつメモリセル M C から読出されたテストデータが正しいデータであり、テスト結果が正常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が正常であることを検出することができない。

## 【 0 2 7 6 】

( 2 ) 次に、「H」レベルに非活性化された W A I T 信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号 E O R 2 が出力されるタイミングとにずれがある場合 ( 図 1 6 の ( 2 ) に示す場合 ) について説明する。

## 【 0 2 7 7 】

入出力制御回路 1 2 3、ロウデコーダ 2 0 2、カラムデコーダ 1 0 3 a , 1 0 3 b、読出 / 書込回路 1 0 5 a , 1 0 5 b、および入出力バッファ 2 4 1 は、上述の両者のタイミングにずれがない場合と同様に動作する。

## 【 0 2 7 8 】

W A I T 制御回路 1 2 5 は、上述の両者のタイミングにずれがない場合とは異なり、異常動作する。その結果、W A I T 制御回路 1 2 5 は、シフト読出し信号 R E A D F を受けたタイミングである第 2 番目のクロック C L K を含むコマンドレイテンシ C L ( = 3 ) の 50

個数のクロックCLKを受けた後（つまり、第4番目のクロックCLKを受けた後）ではなく、第4番目のクロックCLKを受けた後よりも早いタイミングで、WAIT信号のレベルを「H」に活性化する。

【0279】

外部のテストは、WAIT出力端子を通じてWAIT信号を受け、データ入出力端子DQ0を通じてレベル判定信号EOR2(D0, D1)を受ける。もし、テストに、WAIT信号が「H」に非活性化されたタイミングで、「H」レベルのレベル判定信号EOR2(D0, D1)が出力されたことを識別する機能があれば、図16の(2)に示す場合には、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとレベル判定信号EOR2が出力されるタイミングのずれがあり、テスト結果が異常であることを検出することができる。しかし、テストにはそのような機能がないため、テスト結果が異常であることを検出することができない。

10

【0280】

(第2の実施形態に係るテスト機能を有する同期式擬似SRAM4の動作の別の例)

次に、第2の実施形態に係る同期式擬似SRAM4の動作の別の例として、リフレッシュが行なわれている時に、外部からの制御信号によって読出し信号READが生成された場合の動作を説明する。

【0281】

図17は、第2の実施形態に係る同期式擬似SRAM4の動作の別の例を表わすタイミングチャートである。同図において、コマンドレイテンシCL=3とし、バーストレンジスBL=2とする。

20

【0282】

同図を参照して、図16のタイミングチャートに追加された点について説明する。

【0283】

(1) まず、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号EOR2が出力されるタイミングとにずれがない場合(図17の(1)に示す場合)について説明する。

【0284】

レベル判定回路240は、バースト読出しの第0ビット目につき「H」レベルのレベル判定信号EOR2(D0)をテスト結果判定回路251に出力する。

30

【0285】

テスト結果判定回路251は、第5番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR2が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR2を入出力バッファ242に出力する。

【0286】

入出力バッファ242は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路251から受けたテスト結果信号TR2をデータ入出力端子DQ0に出力する。

【0287】

次に、レベル判定回路240は、バースト読出しの第1ビット目につき「H」レベルのレベル判定信号EOR2(D1)をテスト結果判定回路251に出力する。

40

【0288】

テスト結果判定回路251は、第6番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR2が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR2を入出力バッファ242に出力する。

【0289】

入出力バッファ242は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路251から受けたテスト結果信号TR2をデータ入出力端子DQ

50

0 に出力する。

【0290】

以上のように、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号EOR2が出力されるタイミングとにずれがない場合には、バーストレンジスBL (= 2) の個数分のテスト結果が正常であることを示す、レベルが「H」のワンショットパルスが出力される。したがって、テストは、データ入出力端子DQ0を通じてバーストレンジスBLの個数の「H」レベルのワンショットパルスを受けることによって、バーストレンジスBLの個数分のテスト結果が正常であると検出することができる。

【0291】

(2) 次に、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号EOR2が出力されるタイミングとにずれがある場合(図17の(2)に示す場合)について説明する。

【0292】

レベル判定回路240は、バースト読出しの第0ビット目につき「H」レベルのレベル判定信号EOR2(D0)をテスト結果判定回路251に出力する。

【0293】

テスト結果判定回路251は、第5番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「H」レベル、かつレベル判定信号EOR2が「H」レベルを示すので、テスト結果が正常であることを示す、レベルが「H」であるワンショットパルスのテスト結果信号TR2を入出力バッファ242に出力する。

【0294】

入出力バッファ242は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路251から受けたテスト結果信号TR2をデータ入出力端子DQ0に出力する。

【0295】

次に、レベル判定回路240は、バースト読出しの第1ビット目につき「H」レベルのレベル判定信号EOR2(D1)をテスト結果判定回路251に出力する。

【0296】

テスト結果判定回路251は、第6番目のクロックCLKの立ち上がりを起点とした所定時間の期間に、WAIT信号が「L」レベル、かつレベル判定信号EOR2が「H」レベルを示すので、テスト結果が異常であることを示す、レベルが「L」であるテスト結果信号TR2を入出力バッファ242に出力する。

【0297】

入出力バッファ242は、「H」レベルに活性化された出力イネーブル信号OEを受けて、テスト結果判定回路251から受けたテスト結果信号TR2をデータ入出力端子DQ0に出力する。

【0298】

以上のように、データ入出力端子DQ0を通じて外部に出力される「H」レベルのワンショットパルスは1個のみである。つまり、「H」レベルに非活性化されたWAIT信号が出力されるタイミングとマルチビットテストの結果を表わすレベル判定信号EOR2が出力されるタイミングとにずれがある場合には、バーストレンジスBL (= 2) の個数分のテスト結果が正常であることを示す、レベルが「H」のワンショットパルスが出力されない。したがって、テストは、データ入出力端子DQ0を通じてバーストレンジスBLの個数の「H」レベルのワンショットパルスを受けず、バーストレンジスBLの個数分のいずれかのテストの結果が異常であると検出することができる。

【0299】

以上のように、第2の実施形態に係る同期式擬似SRAM4によれば、第1の実施形態と同様に、メモリセルから読出されたデータが正しく、かつメモリセルからデータが読み出されて外部に出力されるタイミングとWAIT信号が解除されるタイミングとの間にず

10

20

30

40

50

れがないかどうかのテストを行なうことができる。

【0300】

本発明は、上記の実施形態に限定されるものではなく、以下のような変形例も含む。

【0301】

(変形例)

(1) レベル判定回路およびテスト結果判定回路の配置

本発明の実施形態では、レベル判定回路180, 240は、レベル判定信号EOR1, EOR2をテスト結果判定回路185, 251に出力し、WAIT制御回路125は、WAIT信号をテスト結果判定回路185, 251に出力し、テスト結果判定回路185, 251は、テスト結果信号TR1, TR2を生成して、入出力バッファ204, 242に出力し、入出力バッファ204, 242は、テスト結果信号TR1, TR2をデータ入出力端子DQ0を通じて外部に出力したが、このような構成および処理の流れに限定するものではない。

10

【0302】

図18は、第1の実施形態の変形例に係る同期式擬似SRAMの構成を示す図である。第2の実施形態の変形例に係る同期式擬似SRAMの構成もこれと同様である。

【0303】

同図に示すように、レベル判定回路190は、レベル判定信号EOR1を入出力バッファ99に出力する。入出力バッファ99は、レベル判定信号EOR1をテスト結果判定回路97に出力する。WAIT制御回路125は、WAIT信号をテスト結果判定回路97に出力する。テスト結果判定回路97は、テスト結果信号TR1を出力する。スイッチ98は、通常時およびテストモードの書込み時には、入出力バッファ99とデータ入出力端子DQ0とを接続し、テストモードの読出し時には、テスト結果判定回路97とデータ入出力端子DQ0とを接続する。

20

【0304】

また、その他の変形例として、たとえば、レベル判定回路およびテスト結果判定回路を入出力バッファよりもデータ入出力端子に近い側に配置するものとしてもよい。すなわち、読出/書込回路105, 105a, 105bが、テストデータを入出力バッファに出力し、入出力バッファがテストデータをレベル判定回路に出力し、レベル判定回路がレベル判定信号EOR1, EOR2をテスト結果判定回路に出力し、テスト結果判定回路がテスト結果信号TR1, TR2をデータ入出力端子DQ0を通じて外部に出力するものであってもよい。

30

【0305】

(2) コマンドシフト回路

本発明の実施形態では、コマンドシフト回路122は、リフレッシュ動作が行なわれているとき読出し信号が生成された場合には、リフレッシュの終了直後にシフト読出し信号READFを活性化することによってWAIT信号を非活性化するタイミングおよびメモリセルからのデータを出力するタイミングを遅らせたが、これに限定するものではない。たとえば、コマンドシフト回路は、リフレッシュ動作が行なわれているときに読出し信号が生成された場合には、一定のクロック数分の期間経過後にシフト読出し信号READFを活性化することによってWAIT信号を非活性化するタイミングおよびメモリセルからのデータを出力するタイミングを遅らせるものとしてもよい。

40

【0306】

(3) テスト結果信号TR1およびTR2を出力する端子

本発明の実施形態では、テスト結果信号TR1およびTR2は、データ入出力端子DQ0から出力されるものとしたが、これに限定されるものではない。データ入出力端子DQ0~DQ15のいずれか、WAIT出力端子、またはその他の端子から出力されるものであってもよい。

【0307】

(4) 同期式擬似SRAM

50

本発明は、同期式擬似SRAMに限定して適用されるものではなく、セルフリフレッシュ機能を有するDRAMであれば、どのようなものにも適用することができる。

【0308】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0309】

【図1】従来の同期式擬似SRAMの構成を示す図である。

10

【図2】リフレッシュ制御回路126の詳細な構成を示す図である。

【図3】シフト読出し信号READFを生成する回路122aの構成を示す図である。

【図4】(a)は、リフレッシュ動作が行なわれていないときに入力された読出し信号READから生成されるシフト読出し信号READFを表わす図であり、(b)は、リフレッシュ動作が行なわれているときに生成された読出し信号READから生成されるシフト読出し信号READFを表す図である。

【図5】第1の実施形態に係る同期式擬似SRAMの構成を示す図である。

【図6】テスト結果判定回路185の構成の一例を示す図である。

【図7】従来の同期式擬似SRAMの動作の一例を表わすタイミングチャートである。

【図8】第1の実施形態に係る同期式擬似SRAMの動作の一例を表わすタイミングチャートである。

20

【図9】従来の同期式擬似SRAMの動作の別の例を表わすタイミングチャートである。

【図10】第1の実施形態に係る同期式擬似SRAMの動作の別の例を表わすタイミングチャートである。

【図11】従来の同期式擬似SRAMの構成を示す図である。

【図12】第2の実施形態に係る同期式擬似SRAMの構成を示す図である。

【図13】テスト結果判定回路251の構成を示す図である。

【図14】従来の同期式擬似SRAMの動作の一例を表わすタイミングチャートである。

【図15】第2の実施形態に係る同期式擬似SRAMの動作の一例を表わすタイミングチャートである。

30

【図16】従来の同期式擬似SRAMの動作の別の例を表わすタイミングチャートである。

【図17】第2の実施形態に係る同期式擬似SRAMの動作の別の例を表わすタイミングチャートである。

【図18】第1の実施形態の変形例に係る同期式擬似SRAMの構成を示す図である。

【符号の説明】

【0310】

1, 2, 3, 4, 5 同期式擬似SRAM、41, 44, 46, 47, 53~55, NAND81~NAND91 反転論理積回路、42, 56, 57, 302, 312, IV81~IV89 インバータ、43, 49, 58, 301, 311, DL81~DL83 遅延回路、45, 52 フリップフロップ、50 指令信号活性化回路、60 判定回路、48, 61 バッファ回路、97, 185, 251 テスト結果判定回路、98, 183, 252 スイッチ、99, 104, 204, 241, 242 入出力バッファ、101 DRAMセルメモリアレイ+周辺回路群、101a, 101b DRAMセルメモリアレイ+周辺回路群、102, 202 ロウデコーダ、103, 103a, 103b カラムデコーダ、105, 105a, 105b 読出/書込回路、111 アドレスバッファ、112 BCR、120 制御回路、121 コマンドデコーダ、122 コマンドシフト回路、123 入出力制御回路、124 リフレッシュタイマ、125 WAIT制御回路、126 リフレッシュ制御回路、180, 190, 240 レベル判定回路、303, 304, 313, 314 論理積回路、NOR81~NOR85 反転論

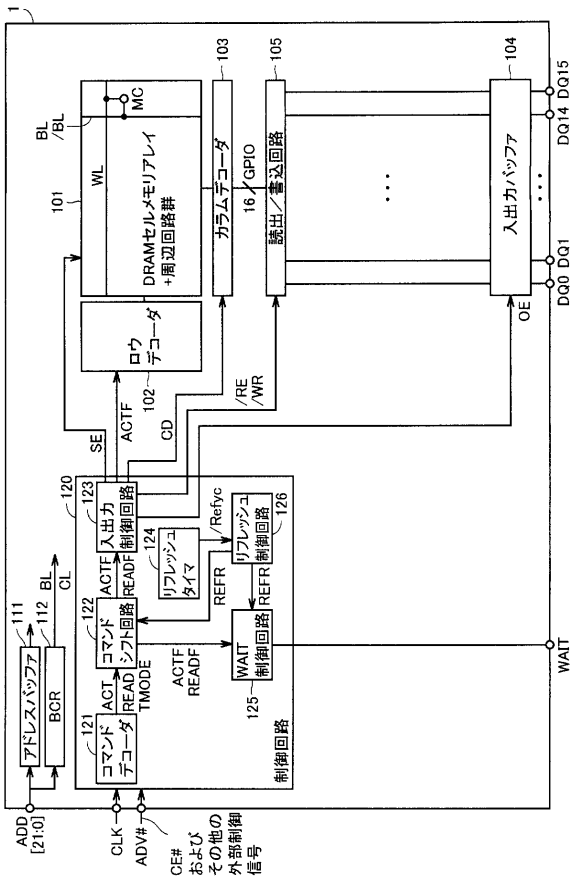
40

50

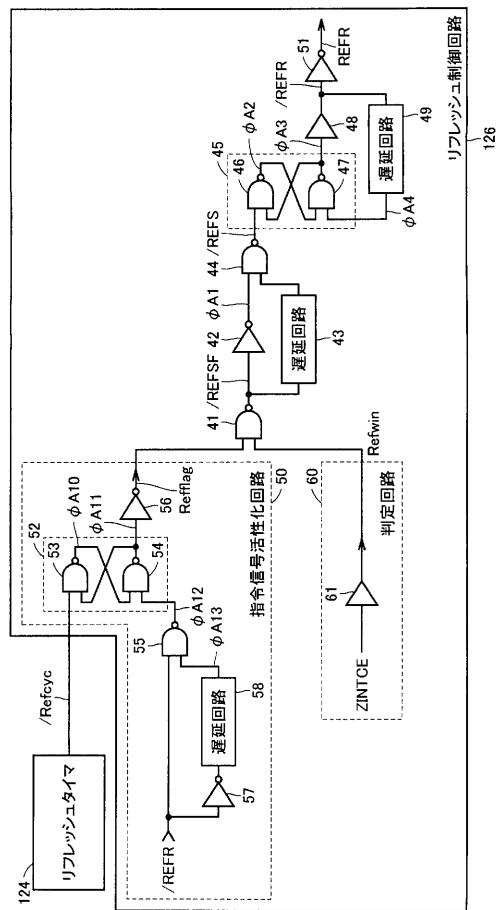


理和回路。

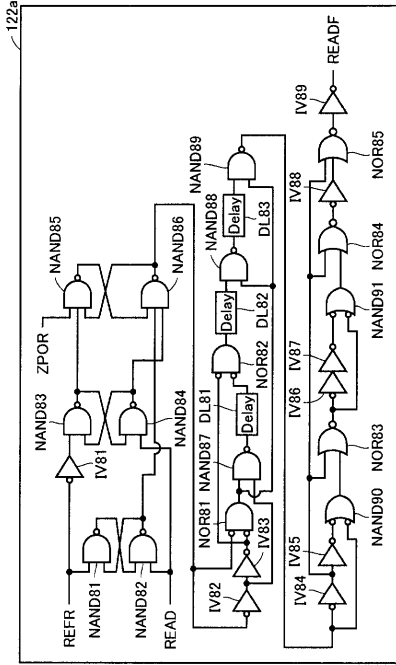
【図1】



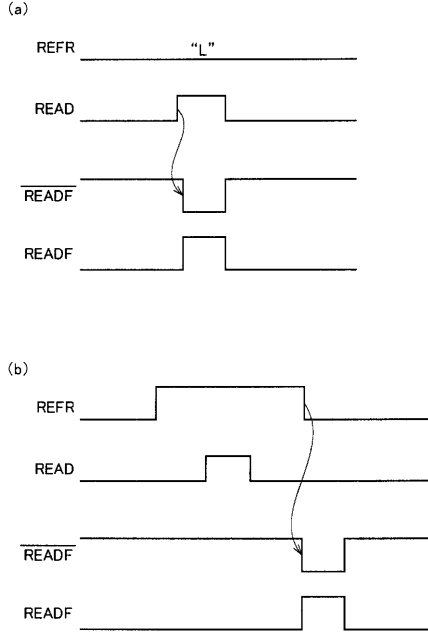
【図2】



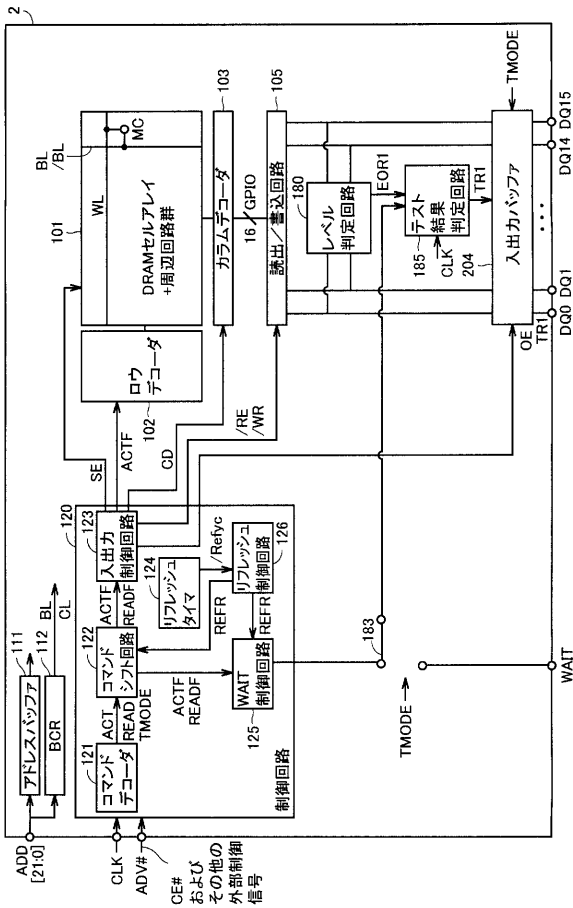
【図3】



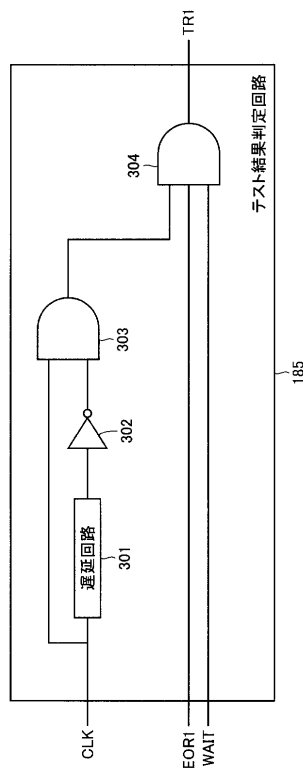
【図4】



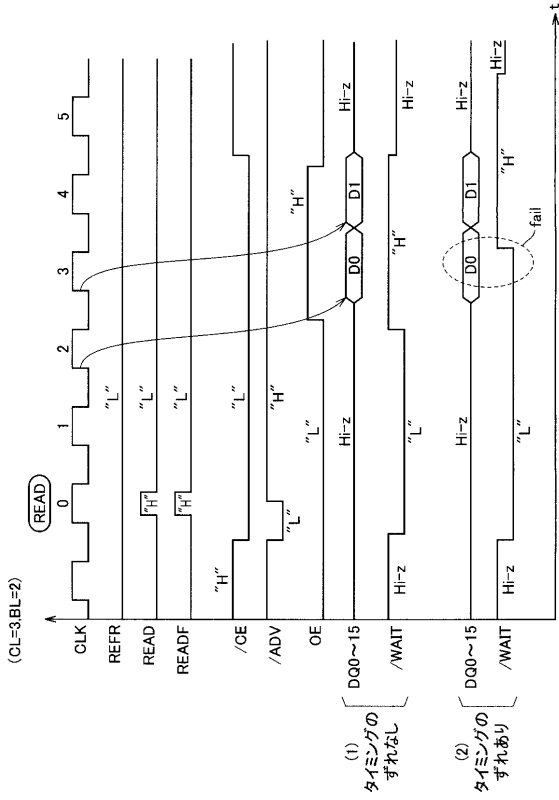
【図5】



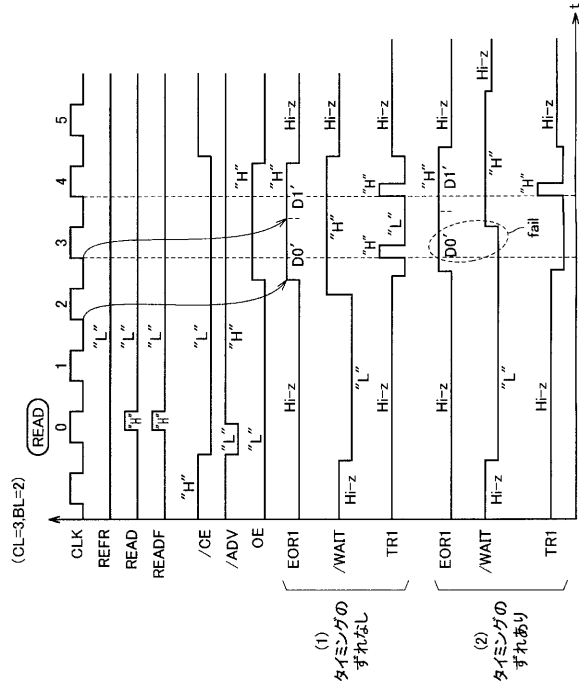
【図6】



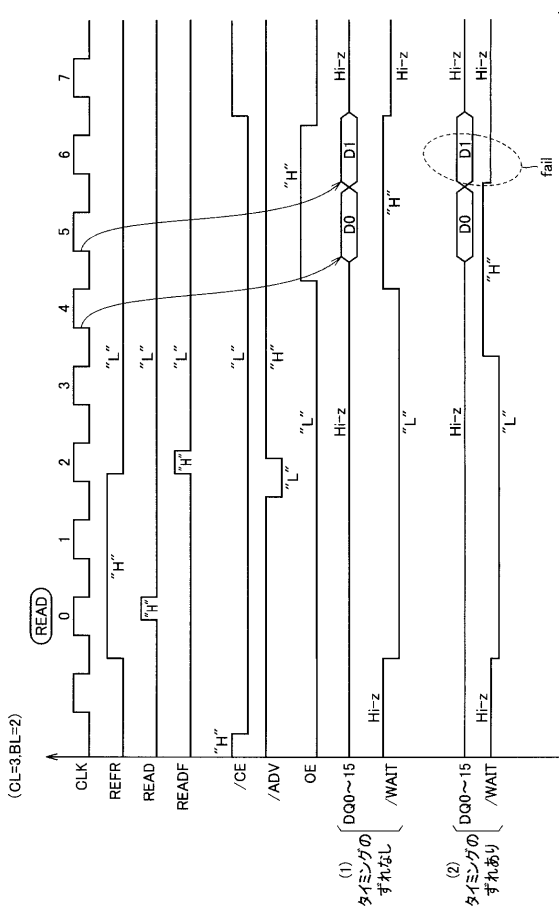
【 図 7 】



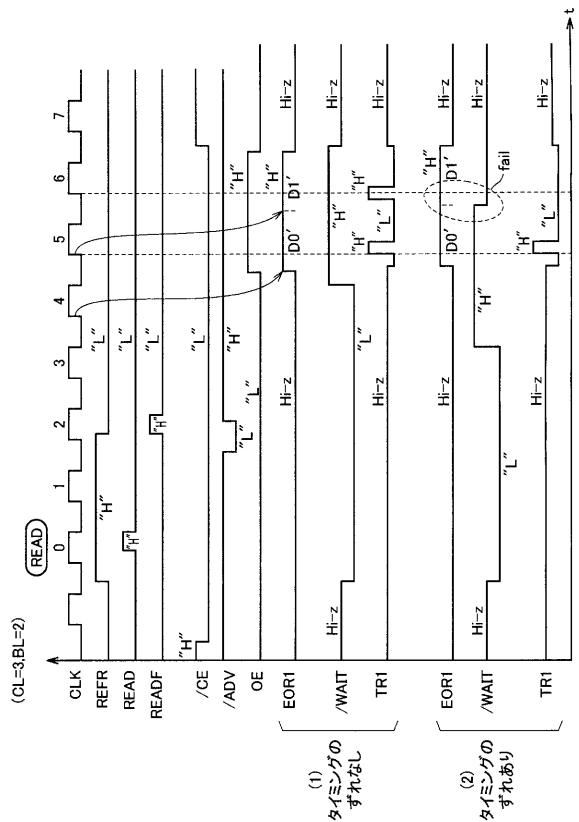
【 図 8 】



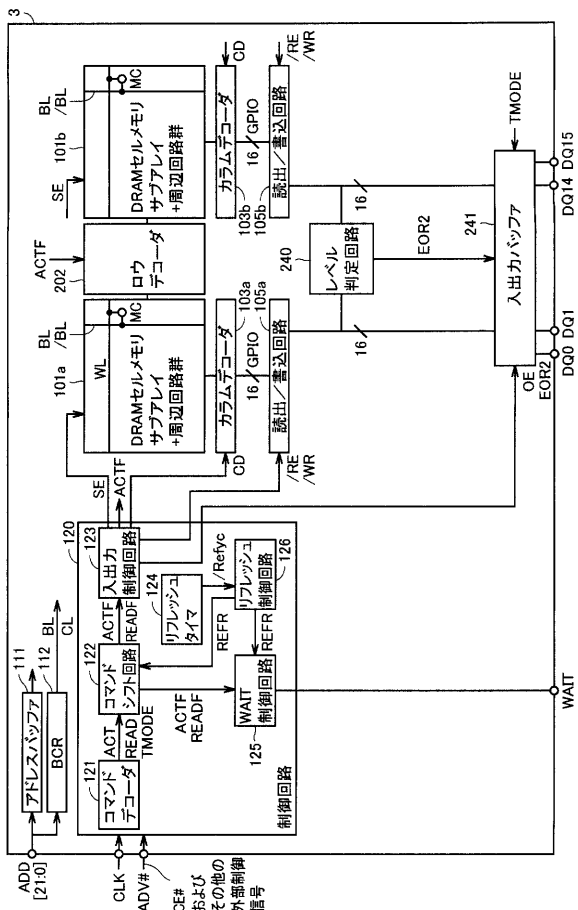
【 図 9 】



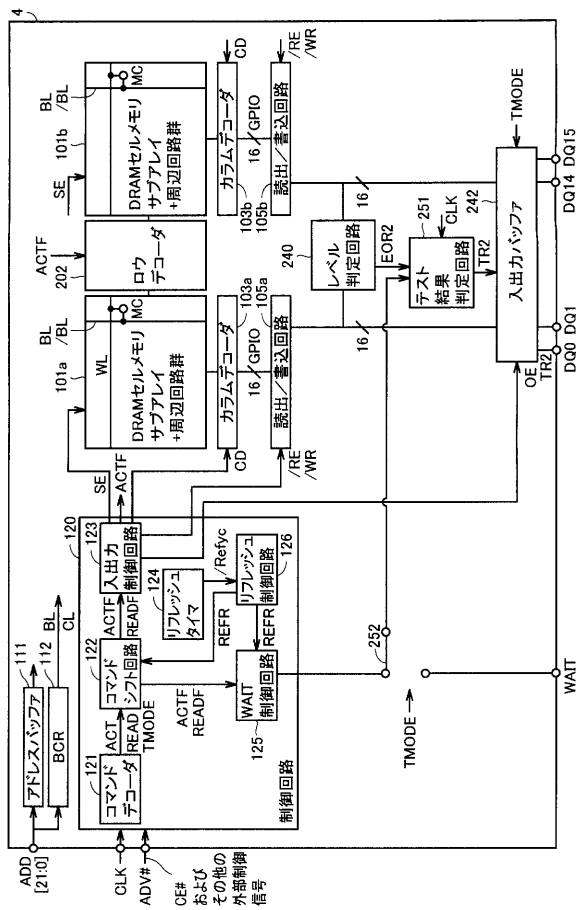
【 図 10 】



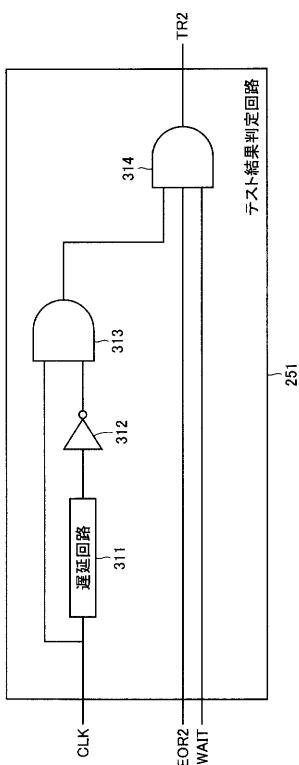
【図 1 1】



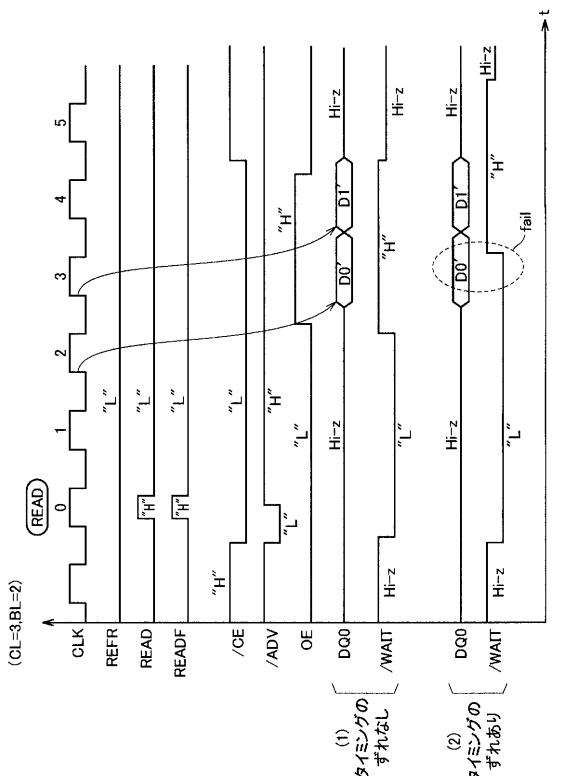
【図 1 2】



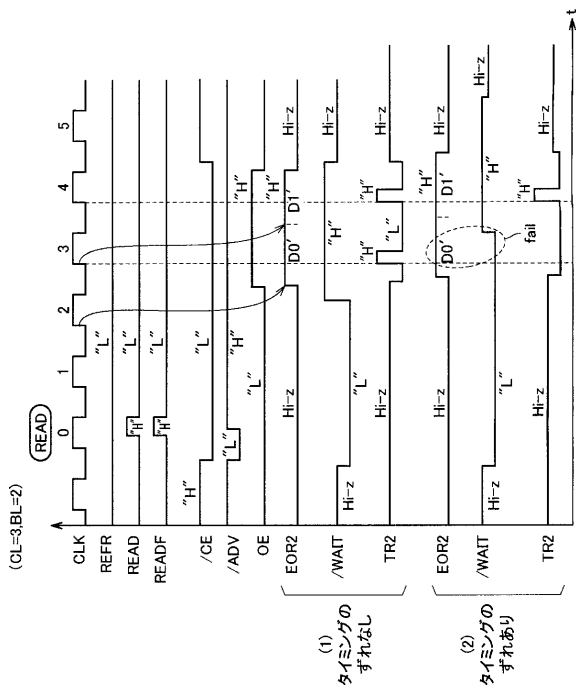
【図 1 3】



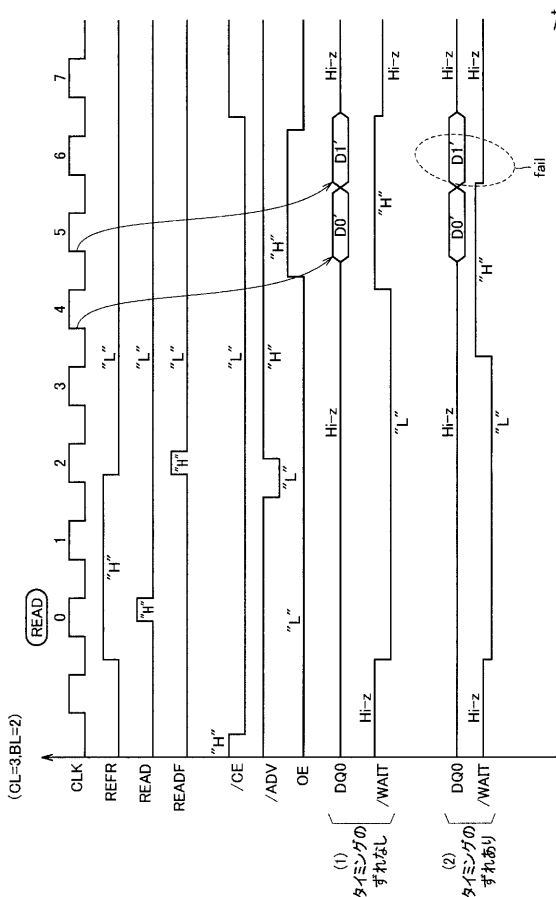
【図 1 4】



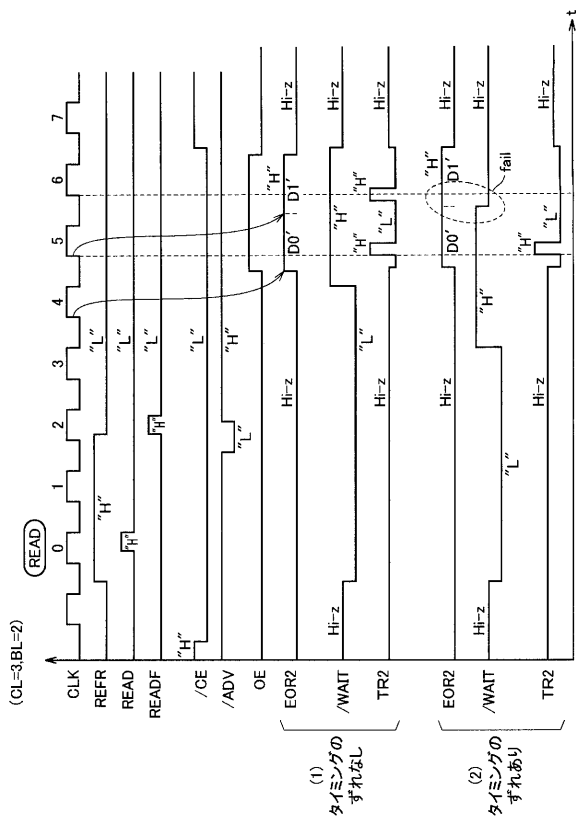
【図15】



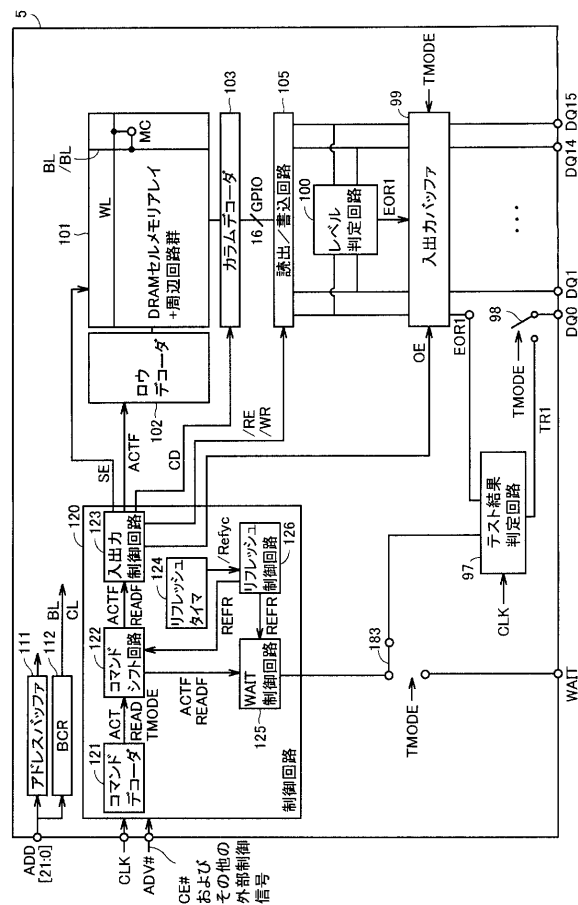
【図16】



【図17】



【図18】



## フロントページの続き

(51)Int.Cl. F I  
G 1 1 C 29/34 (2006.01) G 1 1 C 29/00 6 7 1 Q  
G 1 1 C 29/00 6 7 1 R

(74)代理人 100124523  
弁理士 佐々木 真人

(74)代理人 100098316  
弁理士 野田 久登

(72)発明者 築出 正樹  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 園田 康弘

(56)参考文献 特開2004-005780(JP,A)  
特開2001-291399(JP,A)  
特開2002-237200(JP,A)  
特開平07-169271(JP,A)  
特開平03-207083(JP,A)  
特開平09-091998(JP,A)  
特開2002-237199(JP,A)  
特開2000-353382(JP,A)  
特開2003-317490(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 1 1 C 1 1 / 4 0 3  
G 1 1 C 1 1 / 4 0 1  
G 1 1 C 1 1 / 4 0 6  
G 1 1 C 1 1 / 4 0 7  
G 1 1 C 2 9 / 3 4  
G 1 1 C 2 9 / 5 0