

公告本

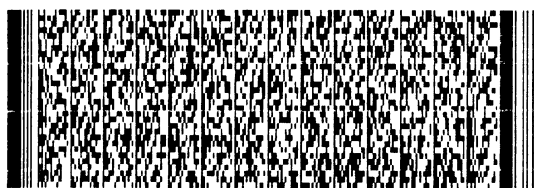
申請日期: 90. 7. 20 案號: 90117752
類別: Hoik 21/70

(以上各欄由本局填註)

發明專利說明書

495940

一、 發明名稱	中文	格陣列封裝之積體電路及其相關方法
	英文	METHOD FOR FORMING A GRID ARRAY PACKAGED INTEGRATED CIRCUIT.
二、 發明人	姓名 (中文)	1. 廖元滄 2. 張文遠 3. 蔡鴻寅
	姓名 (英文)	1. Liaw, Yuang-Tsang 2. Chang, Wen-Yuan 3. Tsai, Hung-Yin
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 台北縣新店市華城二路八巷十二號 2. 台北縣新店市中正路五三三號八樓 3. 台北縣新店市中正路五三三號八樓
三、 申請人	姓名 (名稱) (中文)	1. 威盛電子股份有限公司
	姓名 (名稱) (英文)	1. VIA TECHNOLOGIES, INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路535號8樓
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

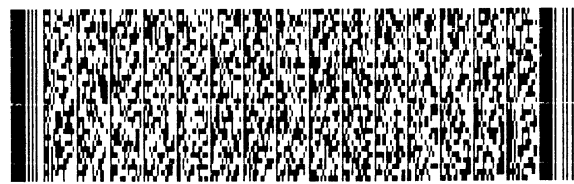
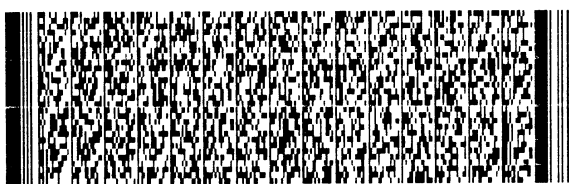
發明之領域

本發明提供一種利用格陣列 (grid array, GA) 方式封裝之積體電路 (IC)，尤指一種可降低接地通路之電感並提高金屬連線製程良率的 GA 封裝積體電路。

背景說明

隨著各種電子產品已經走向輕薄短小的趨勢，積體電路 (IC) 內部的各種元件亦不斷在設計與製造上被小尺寸化，但是在設計的同時，又必須同時注意晶片內部以及封裝打線之線路的阻抗，以避免信號產生失真、遲誤或彼此影響等現象。而且，小尺寸的設計，往往容易增加製程的難度，並造成良率下降。因此，如何發展出具低線路阻抗，且不降低製程良率的晶片，已成為晶片設計製造上的重要課題。

請參考圖一，圖一為習知利用格陣列 (GA) 方式封裝之積體電路的示意圖。習知積體電路包含有一基板 (未顯示) 以及一晶片 (chip) 10，設於該基板之上，且晶片 10 包含有一核心 (core) 電路 11，核心電路 11 的周圍部份，包含複數個輸入/輸出 (I/O) 裝置 12，且每一個輸入/輸出裝置，其內部的最高層金屬佈局方式，由內而外分為四種，而晶片四週之輸入/輸出裝置相接排列後，這四種最高金

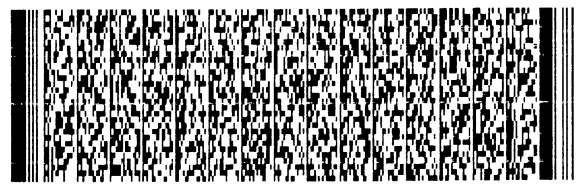
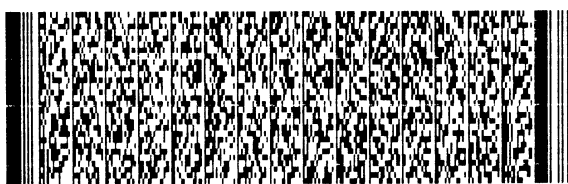


五、發明說明 (2)

屬層 (top metal layer), 即可環繞成四圈金屬電源環 (metal power ring)。這四圈電源環由內而外分別為: 核心電路接地源環 (GND)14、核心電路電壓源環 (V_{DD})16、輸入/輸出緩衝電路電壓源環 (V_{CC})18以及輸入/輸出緩衝電路接地源環 (V_{SS})22。此四段金屬層, 係由晶片 10 的中央部位向外, 依序排列成一個長條狀的輸入/輸出裝置 12, 以提供電壓源與接地源給輸入/輸出裝置內部之電路使用。應用上電壓源與接地的內外次序, 可隨輸入/輸出緩衝電路之佈局 (layout) 不同而適當調整。

換句話說, 每一輸入/輸出裝置具有四個不同的輸入/輸出單元: 核心電路接地源 (GND) I/O、核心電路電壓源 (V_{DD}) I/O、輸入/輸出緩衝電路電壓源 (V_{CC}) I/O 以及輸入/輸出緩衝電路接地源 (V_{SS}) I/O。而且此四個輸入/輸出單元係由晶片的中央部位向外, 依序排列成一個長條狀的輸入/輸出裝置。

在複數個輸入/輸出裝置 12 外圍的晶片 10 表面, 包含有複數個接合墊 26。習知應用於格陣列封裝積體電路中之複數個接合墊 26 係以兩層錯疊 (staggered) 的方式排列, 其中位於內圈、靠近晶片 10 中央部位的為第一圈接合墊 28, 並且定義為訊號 (Signal) 接合墊, 而位於外圈的則為第二圈接合墊 32, 可依其電路設計的特性而定義為接地 (Ground) 以及電源 (Power) 接合墊, 有時亦可為訊號接合



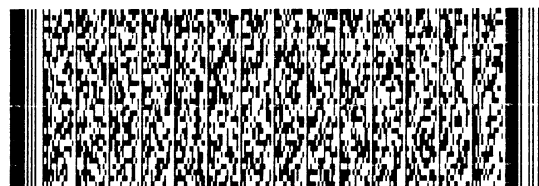
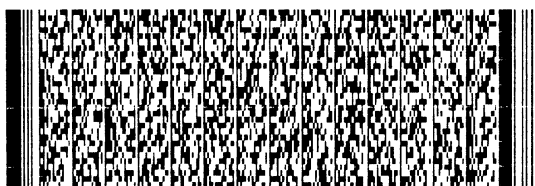
五、發明說明 (3)

墊。

習知積體電路在輸入/輸出裝置 12 與複數個接合墊 26 之間的排列設計為一對一之對應關係，亦即一個輸入/輸出裝置 12 便直接對應於一個接合墊 26，然後以金屬走線 (metal trace, 未顯示) 與導通孔 (via, 未顯示) 來形成兩者的電連接。如圖二所示，在晶片 10 之兩層接合墊 26 外圍的基板上，舉例而言，另設有一接地接環 34、一電源接環 36 以及訊號指狀接點 38。其中，舉例而言第一圈接合墊 28 可經由打焊接線 42 而連接至最外圈的訊號指狀接點 38，第二圈接合墊 32 可經由打焊接線 42 而分別連接至接地接環 34 以及電源接環 36。

由於習知積體電路晶片 10 的電源是經由電源接環 36、接合墊 26、輸入/輸出裝置 12 的通路傳輸至晶片 10 上，而且為了符合高密度化的要求，第一圈接合墊 28 與第二圈接合墊 32 係以交錯的方式排列 (如圖一所示)，以將接合墊與接合墊的墊間距 (pad pitch) 縮小 (例如 $40\mu\text{m}$)，進而匹配較多的晶片內部電路與輸入/輸出裝置 12。

然而，此種晶片設計結構僅能使第一圈接合墊 28 與第二圈接合墊 32 之墊間距 (pad pitch) 縮小，來容納較多之接合墊 26，但是卻無法有效縮小晶片 10 之尺寸。此外，由於輸入/輸出裝置 12 與接合墊 26 之間係採用一對一之對應



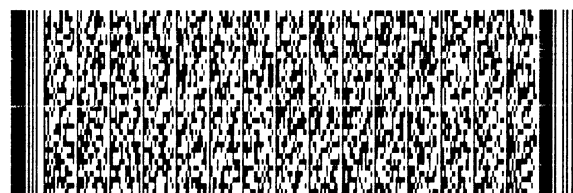
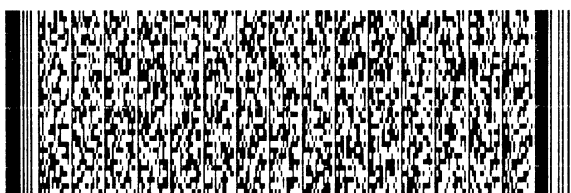
五、發明說明 (4)

的排列設計，因此相對地限制了形成於晶片 10 上之接合墊 26 的總數。而如圖三所示，在另一個先前技術中，接合墊 44 的排列方式被改變成為三層 (tri-tier) 的排列方式，但習知排列方式只能使接合墊數量稍微增加，仍無法解決晶片尺寸以及接合墊總數的問題，進而無法達到足夠的分流數目，以利用較多的分流並聯而達到降低電感 (inductance) 的目的。因為在高頻的操作範圍，電感控制著整個阻抗的大小 ($Z=R+jWL$)，而較大的阻抗值將會造成積體電路發生電源及接地反彈 (power/ground bounce) 或電壓下降等等現象。

因此本發明之主要目的在於提供一種可縮小晶片尺寸，並降低線路阻抗之格陣列 (GA) 封裝晶片，以解決前述習知問題。

發明之詳細說明

請參考圖四，圖四為本發明 GA 封裝之積體電路的一具體實施例。本發明之積體電路包含有一基板 (未顯示) 以及一晶片 (chip) 100，該晶片 100 係設於該基板之上，且晶片 100 包含有一核心電路 101 (core)。在核心電路 101 的周圍部分，包含複數個輸入/輸出裝置 102，而每一個輸入/輸出裝置，其內部的最高層金屬 (top layer) 的佈局方式，較佳地由內而外可分為四種用途，而晶片四週之輸入

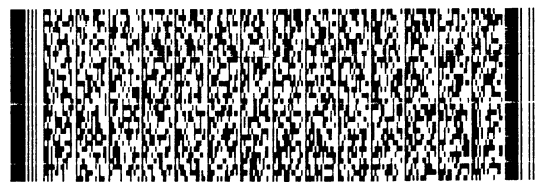
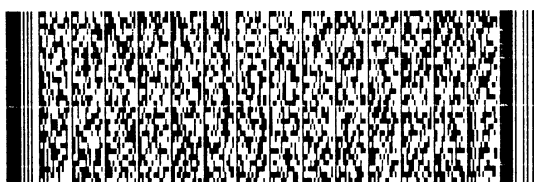


五、發明說明 (5)

/輸出裝置相接排列後，這四種不同用途的最高金屬層即可環繞成各自的金屬電源環 (metal power ring)。如圖示的四個金屬電源環，由內而外分別為：核心電路接地環 (GND)104、核心電路電壓源環 (V_{DD})106、輸入/輸出緩衝電路電壓源環 (V_{CC})108以及輸入/輸出緩衝電路接地環 (V_{SS})112。因應用之不同，接地環與電源環的次序可適當地對調。此四個輸入/輸出單元係由晶片100的中央向外，依序排列成一個長條狀的輸入/輸出裝置102，然後再重複排列每一輸入/輸出裝置102。其中，該積體電路係為一超大型積體電路 (very large scale integration, VLSI)或一極超大型積體電路 (ultra large scale integration, ULSI)等級以上之積體電路。

換句話說，每一輸入/輸出裝置較佳地包含四個不同的輸入/輸出單元：核心電路接地源 (GND) I/O、核心電路電壓源 (V_{DD}) I/O、輸入/輸出緩衝電路電壓源 (V_{CC}) I/O以及輸入/輸出緩衝電路接地源 (V_{SS}) I/O。於此實施例中，此四個輸入/輸出單元係由晶片的中央向外，依序排列成一個長條狀的輸入/輸出裝置，然後再重複排列每一輸入/輸出裝置。

在複數個輸入/輸出裝置102外圍的晶片100表面，包含有複數個接合墊116。於此實施例中，複數個接合墊116係以三層 (Tri-tier) 交錯的方式排列，其中位於最內

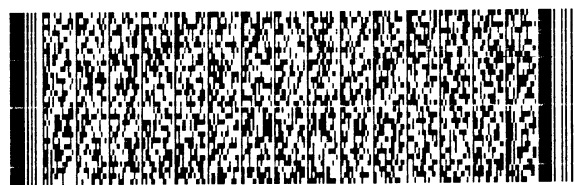
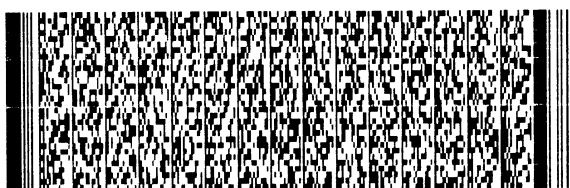


五、發明說明 (6)

圈，亦即最靠近晶片 100 中央部位的為第一圈接合墊 118，定義為訊號 (Signal) 接合墊；位於中間圈的則為第二圈接合墊 122，並且依其電路設計的特性可定義為一電源 (Power) 接合墊或訊號接合墊或接地接合墊；以 IC 封裝的打線觀點看，較佳地定義為電源接合墊。位於最外圈、靠近晶片 100 外圍部位的為第三圈接合墊 124，則定義為一接地 (Ground) 接合墊或輸入/輸出緩衝電路接地 (V_{ss}) 接合墊。因為，輸入/輸出裝置內最外圈之最高金屬層，係為 V_{ss} ，故較佳地將第三圈接合墊相應定義為 V_{ss} 接合墊，以達到減少習知 V_{ss} 所需佔用 I/O 裝置之空間的目的；其中這三層接合墊 116 會經由焊接線 134 分別連接至基板接地接環 126、基板電源接環 128 以及基板訊號指狀接點 132 (bonding finger)。

於本發明中，電源係經由電源接環 128、接合墊 116、輸入/輸出裝置 102 的通路傳輸至晶片 100 上。雖然路徑與先前技術相似，但是實際上輸入/輸出裝置 102 與接合墊 116 間的線路佈局與配置方式，以及接合墊 116 與接環 126、128 及訊號指狀接點 132 之線路佈局方式係完全不同。

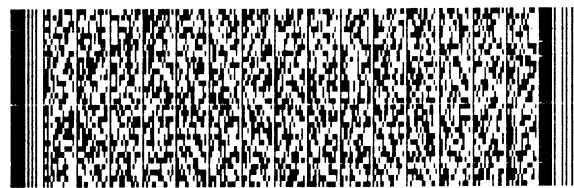
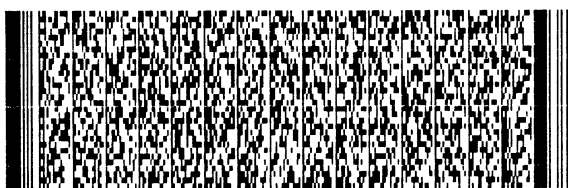
請參考圖五至圖八，圖五為圖四中沿 5-5 切線方向的剖面示意圖，用以說明本發明中金屬走線對應於三層金屬層的分布狀況；圖六為本發明中輸入/輸出裝置 102 與接合



五、發明說明 (7)

墊 116 間之俯視走線圖；圖七為圖六中沿 7-7 切線方向的剖面示意圖；圖八為本發明中接合墊 116、接環 126、128 及訊號指狀接點 132 電連接方式的示意圖。如圖五所示，本實施例中之金屬走線係分佈於三層金屬層之中，其中，輸入/輸出接地 (V_{SS}) 金屬走線 202 係佈局於最下面之第一金屬層 212；電源 (Power) 金屬走線 204 係透過導通孔 218 分別佈局於第一金屬層 212 與第二金屬層 214；訊號 (Signal) 金屬走線 206 係透過導通孔 218 分別佈局於第二金屬層 214 與第三金屬層 216。

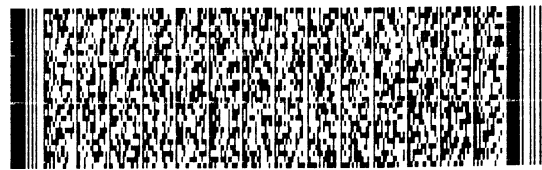
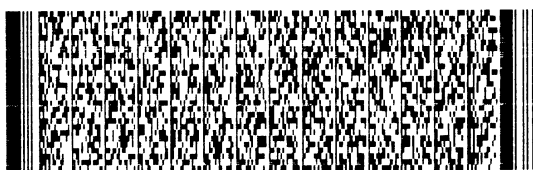
由於在佈局時，尤其是接地 (ground) 或電源 (power) 的金屬走線，為了使能承載足夠電流量以穩定整體之電源及訊號品質，需要較寬金屬走線寬度；訊號金屬走線 206 則不需要佔用整個通道寬度，故本發明中， V_{SS} 金屬走線 202 與 Signal 金屬走線 206 可各佔用金屬走線的一部份而形成共用通道。請參考圖五、圖六與圖七， V_{SS} 電壓由第三金屬層 216，透過具有複數個導通孔 (vias) 之導通孔區 218 被電連接至位於下方第一金屬層 212 之 V_{SS} 金屬走線 202，再藉由金屬走線 202 以及複數個導通孔 (vias, 未顯示) 被電連接至最外圈的第三圈接合墊 124 中之 V_{SS} 接合墊 124。訊號則直接被電連接至位於第二金屬層 214 之訊號金屬走線 206，然後藉由複數個導通孔 (未顯示) 電連接至位於最內圈之訊號接合墊 118。其中，請參見圖六，訊號金屬走線 206 與 V_{SS} 金屬走線 202 之間完全沒有電連接，故 V_{SS} 金屬走線 202 與訊



五、發明說明 (8)

號金屬走線 206 可共用同一個輸入/輸出裝置 102，換言之，在輸入/輸出裝置 102 與接合墊 116 電連接時，可節省一個為了電連接 V_{SS} 輸入/輸出單元 112 時，所佔的輸入/輸出裝置空間。

又如圖五、圖六所示， V_{SS} 金屬走線 202 與訊號金屬走線 206 自同一個輸入/輸出裝置 102 出發，分別被電連接至第三圈接合墊 124 與第一圈接合墊 118，亦即選擇性地 (selectively) 電連接至第三圈接合墊 124 與第一圈接合墊 118；Power 金屬走線 204 自另一個輸入/輸出裝置 102a 出發，然後被選擇性地電連接至第二圈接合墊 122；於同一個輸入/輸出裝置 102a 中， V_{SS} 金屬走線 208 自輸入/輸出裝置 102a 出發， V_{SS} 金屬走線 208 係位於第三金屬層 216，而不與位於第一金屬層 212 與第二金屬層 214 之 Power 金屬走線 204 有任何電連接，然後往晶片外圍方向延伸 (即走向第二接合墊 122)，轉彎並藉由複數個導通孔 (未顯示) 電連接至位於第一金屬層 212 之 V_{SS} 金屬走線 202，再被電連接至位於最外圈的第三圈接合墊 124 中之 V_{SS} 接合墊，此例中，第二圈接合墊 122 中之 Power 接合墊與相鄰但位於第三圈接合墊 124 中之 V_{SS} 接合墊，共用同一輸入/輸出裝置 102a，故不同接合墊可藉由不同形式之共用通道，以取得足夠的走線寬度；換句話說，不同接合墊可藉由不同形式之共用通道而選擇性地 (selectively) 共用相同一組輸入/輸出裝置。

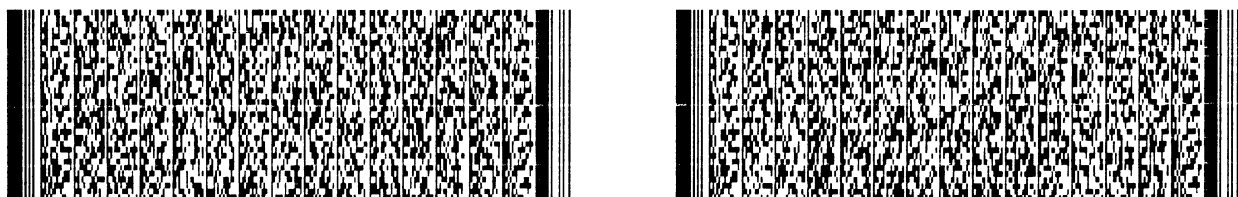


五、發明說明 (9)

進一步如圖八所示，第一圈接合墊 118 可經由打焊接線 134 連接至最外圈的訊號指狀接點 (fingers) 132，形成高線弧 (high loop)；第二圈接合墊 122 可經由打焊接線 134 而連接至電源接環 (power ring) 128，形成中線弧 (medium loop)；而第三圈接合墊 124 可經由打焊接線 134 而連接至接地環 (ground ring) 126，形成低線弧 (lowest loop)，但位於邊緣兩側的接合墊 116 (未顯示)，則不受此打線規則限制，藉由不同打線弧高可有效避免打線交錯之機會，而提高整個封裝件之良率。

本發明接合墊 116 所揭示之三層交錯 (tri-tier staggered) 的接合墊配置，此種方式可將 V_{SS} 電流分流成為較多並聯之分流。假設每一個小分流之電感均為 L ，現有 n 個電感互相並聯，則最後的總電感降為 L/n 。如此一來，因為 $\Delta V = L * di/dt$ ，故本發明積體電路之電壓下降的現象可獲得明顯改善。以下便利用一個簡化的模型來大略比較本發明以及先前技術的不同。

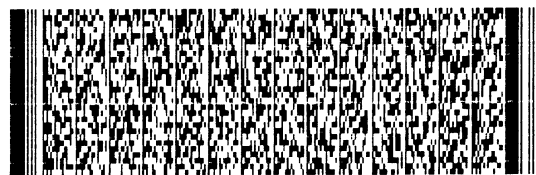
請參考表一與表二，表一與表二為習知利用 GA 方式封裝之晶片與本發明利用 GA 方式封裝之晶片輸入/輸出裝置與接合墊之總數之模擬結果表。因為只是大略比較，故數字上會有一些小誤差，但並不影響比較的結果。該模型假設在兩層交錯的接合墊 26 結構中，輸入/輸出裝置 12 之總數為 620 個，其中 Signal 輸入/輸出裝置之總數為 300 個，



五、發明說明 (10)

V_{DD} 輸入 / 輸出裝置之總數為 40 個，GND 輸入 / 輸出裝置之總數為 40 個， V_{CC} 輸入 / 輸出裝置之總數為 120 個， V_{SS} 輸入 / 輸出裝置之總數為 120 個。因為在習知技術中，輸入 / 輸出裝置 12 與接合墊 26 之對應關係係為一對一，故接合墊 26 之總數亦為 620 個，因此，晶片每一邊所排列之輸入 / 輸出裝置數目為 155 個。在本實施例中，因為接合墊 116 是三層交錯 (tri-tier staggered) 的結構，並且 V_{SS} 接合墊被移至最外一圈 (outer row)，故最內一圈 (inner row) 以及中間一圈 (middle row) 之接合墊總數變為 500 個，所需的輸入 / 輸出裝置也減為 500 個，如此，晶片每一邊所排列之輸入 / 輸出裝置數目為 125 個，晶片尺寸 (die size) 也可因此顯著變小。以此類推，最外一圈接合墊之總數亦約為 250 個，若以平均分佈於四邊計算，則為 248 個。最後，所有接合墊之總數成為 748 個，較習知技藝顯著地增加，此多出之接合墊可分配給電源及接地使用，並進而降低了電源及接地的電感。

	輸入 / 輸出裝置數目	接合墊數目
習	Signal	300
知	VDD	40
技	GND	40
術	VCC	120
	VSS	120



五、發明說明 (11)

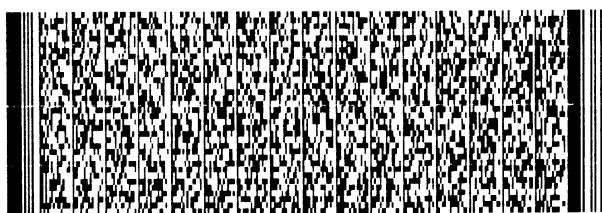
總數	620	總數	620
----	-----	----	-----

表 一

	輸入 / 輸出裝置數目	接合墊數目	
本 發 明 技 術	Signal	300	內圈接合墊 + 中間接合墊 = 500個
	VDD	40	
	GND	40	外圈接合墊 = 248個
	VCC	120	
	VSS	0	
總數	500	總數	748

表 二

由表一與表二的結果可看出，相較於習知利用 GA 方式封裝之晶片 10，本發明技術中由於接合墊 116 排列方式為三層交錯，故能容納之接合墊 116 總數較多，又因為 V_{SS} 輸入 / 輸出裝置 102 的數目可藉由共用而達完全簡省，故所有輸入 / 輸出裝置 102 所佔用的尺寸可明顯縮減。如圖四所示，本實施例中，因輸入 / 輸出裝置 102 係由四個不同的輸入 / 輸出單元，依序由內向外依序排列成一個長條狀的輸

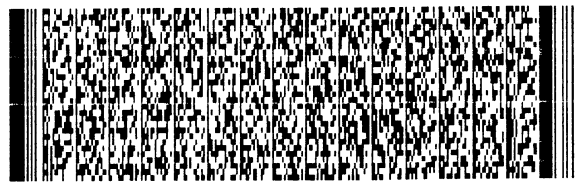
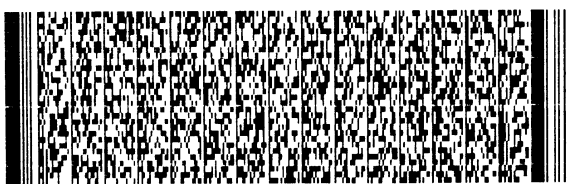


五、發明說明 (12)

入/輸出裝置 102，然後輸入/輸出裝置 102再重複排列，因此在對應到外面的接合墊 116時，輸入/輸出裝置中最高金屬層佈局時，最外一圈為輸入/輸出裝置電路接地環 (V_{SS})，故 V_{SS} 輸入/輸出裝置 112所佔的輸入/輸出裝置之空間數目實質上可視為 0，故可有效減小晶片 100的尺寸，十分符合目前輕薄短小的趨勢。

總言之，本發明晶片 100之優點在於：可有效增加 V_{SS} 接合墊的總數。以表一之模擬結果為例， V_{SS} 接合墊之總數增加了 128個，因此 V_{SS} 電流可被分為更多分流。而形成更多的並聯，以達到降低 V_{SS} 電感的目的，進而減少電源反彈之情形。而且，在本實施例中， V_{SS} 接合墊全位在最外面一圈，因此在打焊接線時，便得以連接至距離晶片最近的接地接環 (IO Ground ring)，形成最低弧，亦可有效降低電感。圖八中所示的打線方式之較佳實施例，揭示藉由前排弧高永遠大於後排弧高 (兩側之接合墊除外)，能有效地減少焊接線交錯的機會，進而提昇整個打線、封裝製程的良率。

以上所述僅本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖示之簡單說明

圖一為習知利用 GA 方式封裝之晶片的示意圖。

圖二為習知利用 GA 方式封裝之晶片之接合墊、接環及指狀接點之電連接方式之示意圖。

圖三為習知利用 GA 方式封裝之晶片的接合墊示意圖。

圖四為本發明利用 GA 方式封裝之晶片之示意圖。

圖五為本發明利用 GA 方式封裝之晶片金屬走線與導通孔剖面之示意圖。

圖六為本發明利用 GA 方式封裝之晶片輸入/輸出裝置與接合墊間之俯視走線圖。

圖七為本發明利用 GA 方式封裝之晶片金屬走線與導通孔剖面之示意圖。

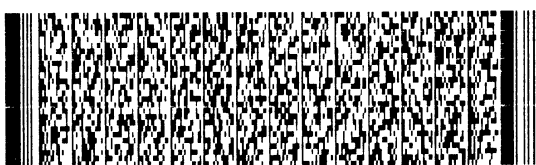
圖八為本發明利用 GA 方式封裝之晶片之接合墊、接環及指狀接點之電連接方式之示意圖。

表示之簡單說明

表一為習知利用 GA 方式封裝之晶片輸入/輸出裝置及接合墊總數之模擬結果表。

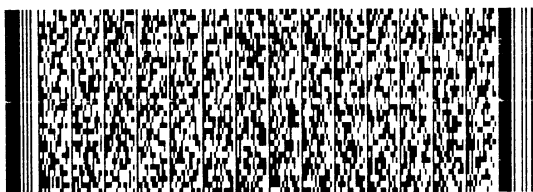
表二為本發明利用 GA 方式封裝之晶片輸入/輸出裝置及接合墊總數之模擬結果表。

圖示之符號說明



圖式簡單說明

- | | | | |
|------|-------------------|-----|----------|
| 10 | 積體電路晶片 | 11 | 核心電路 |
| 12 | 輸入/輸出裝置 | 14 | 核心電路接地源環 |
| 16 | 核心電路電壓源環 | | |
| 18 | 輸入/輸出緩衝電路電壓源環 | | |
| 22 | 輸入/輸出緩衝電路接地源環 | | |
| 26 | 接合墊 | 28 | 第一圈接合墊 |
| 32 | 第二圈接合墊 | | |
| 34 | 接地環 (ground ring) | | |
| 36 | 電源環 (power ring) | | |
| 38 | 訊號指狀接點 | 42 | 焊接線 |
| 44 | 接合墊 | 100 | 積體電路晶片 |
| 101 | 核心電路 | 102 | 輸入/輸出裝置 |
| 102a | 輸入/輸出裝置 | 104 | 核心電路接地源環 |
| 106 | 核心電路電壓源環 | | |
| 108 | 輸入/輸出緩衝電路電壓源環 | | |
| 112 | 輸入/輸出緩衝電路接地源環 | | |
| 116 | 接合墊 | 118 | 第一圈接合墊 |
| 122 | 第二圈接合墊 | 124 | 第三圈接合墊 |
| 126 | 接地環 | 128 | 電源環 |
| 132 | 訊號指狀接點 | 134 | 焊接線 |
| 202 | 輸入/輸出接地金屬走線 | | |
| 204 | 電源金屬走線 | 206 | 訊號金屬走線 |
| 208 | 輸入/輸出接地金屬走線 | | |



圖式簡單說明

212 第一金屬層

214 第二金屬層

216 第三金屬層

218 導通孔

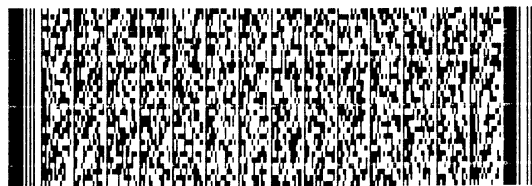
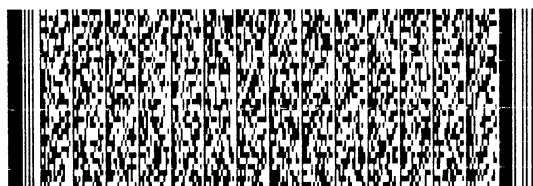


四、中文發明摘要 (發明之名稱：格陣列封裝之積體電路及其相關方法)

一種格陣列 (GA) 封裝的積體電路 (IC)。該積體電路包含有一基板以及一包含一核心電路 (core) 之晶片 (chip)，該晶片係設於該基板上。該晶片包含有複數個輸入/輸出裝置；複數個接合墊，設於各該輸入/輸出裝置之四週並以複數層的方式排列於該晶片表面；複數條金屬走線 (metal trace) 以及複數個導通孔 (vias)，設於該晶片內並分佈於該晶片之複數層金屬導電層之中，以電連接各該輸入/輸出裝置與各該接合墊；複數個接環以及複數個指狀接點，設於該基板上並環繞於該晶片外圍；以及複數條焊接線，用來電連接各該接合墊至其相對應之指狀接點或相對應之接環。其中電連接不同電壓之接合墊可共用同一個輸入/輸出裝置。

英文發明摘要 (發明之名稱：METHOD FOR FORMING A GRID ARRAY PACKAGED INTEGRATED CIRCUIT)

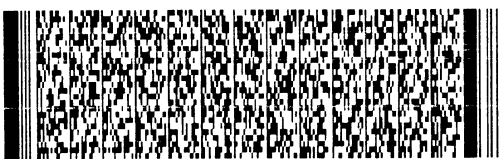
The present invention provides a grid array packaged integrated circuit. The integrated circuit includes a substrate and a chip including a core circuit, the chip is installed on the substrate. The chip includes a plurality of I/O devices; a plurality of bonding pad arranged in multilayer structure in the periphery of the I/O devices on the chip; a plurality of metal traces and a plurality of vias in a plurality of metal layers in the chip for electrically connecting



四、中文發明摘要 (發明之名稱：格陣列封裝之積體電路及其相關方法)

英文發明摘要 (發明之名稱：METHOD FOR FORMING A GRID ARRAY PACKAGED INTEGRATED CIRCUIT)

each I/O device and each bonding pad; a plurality of rings and a plurality of fingers surrounding the chip on the substrate; and a plurality of bonding wires for electrically connecting each bonding pad to its corresponding finger or corresponding ring. The bonding pad electrically connected to different voltage level can share a same I/O device.



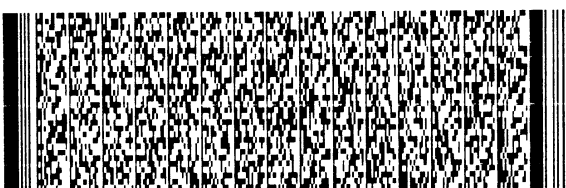
六、申請專利範圍

1. 一種格陣列 (grid array, GA) 封裝的積體電路 (integrated circuit, IC), 該積體電路包含有:
 - 一基板;
 - 一晶片 (chip), 設於該基板之上, 該晶片包含:
 - 一核心電路;
 - 複數個輸入/輸出裝置, 各該輸入/輸出裝置均包含有複數個輸入/輸出單元;
 - 複數個接合墊, 設於各該輸入/輸出裝置之四週, 且各該接合墊係排列為複數層方式;
 - 複數條金屬走線 (traces) 以及複數個導通孔 (vias), 設於該晶片內並分佈於該晶片之複數層金屬導電層之中, 以選擇性地 (selectively) 電連接各該輸入/輸出裝置與各該接合墊;
 - 複數個接環 (rings) 以及複數個指狀接點 (fingers), 設於該基板之上且環繞於該晶片外圍, 該等指狀接點係位於該等接環的外圍; 以及
 - 複數條焊接線 (bonding wires), 用以電連接各接合墊至其相對應之指狀接點或相對應之接環;
 - 其中不同接合墊藉由該等金屬走線而選擇性地 (selectively) 共用同一輸入/輸出裝置。
2. 如申請專利範圍第 1 項之積體電路, 其中各該輸入/輸出裝置係包含四個輸入/輸出單元, 其上方之金屬層相應形成四個金屬環 (metal ring)。



六、申請專利範圍

3. 如申請專利範圍第2項之積體電路，其中該等輸入/輸出單元係為核心電路接地(GND)輸入/輸出單元、核心電路電壓(V_{DD})輸入/輸出單元、輸入/輸出緩衝電路(I/O buffer)電壓(V_{CC})輸入/輸出單元以及輸入/輸出緩衝電路接地(V_{SS})輸入/輸出單元。
4. 如申請專利範圍第3項之積體電路，其中各該等輸入/輸出裝置之該 V_{SS} 輸入/輸出單元形成一距離晶片中心最遠的最高層金屬環。
5. 如申請專利範圍第3項之積體電路，其中電連接一接地電壓(V_{SS})之接合墊係與電連接一訊號(Signal)之接合墊共用該等輸入/輸出裝置之一。
6. 如申請專利範圍第3項之積體電路，其中電連接一 V_{SS} 電壓之接合墊係與電連接一電源(Power)之接合墊共用該等輸入/輸出裝置之一。
7. 如申請專利範圍第3項之積體電路，其中電連接該 V_{SS} 電壓之接合墊係與位在不同層的鄰近接合墊共用輸入/輸出裝置。
8. 如申請專利範圍第3項之積體電路，其中電連接一 V_{SS}



六、申請專利範圍

電壓之接合墊係與電連接一訊號 (Signal) 之接合墊共用該等輸入/輸出裝置之一。

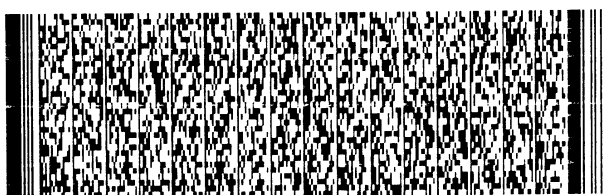
9. 如申請專利範圍第3項之積體電路，其中電連接一 V_{SS} 電壓之接合墊係與電連接一電壓源 (Power) 之接合墊共用該等輸入/輸出裝置之一。

10. 如申請專利範圍第3項之積體電路，其中在電連接複數個 V_{SS} 電壓之接合墊藉由與其他接合墊共用輸入/輸出裝置，使得最小化該等 V_{SS} 接合墊所佔用之輸入/輸出裝置數量。

11. 如申請專利範圍第3項之積體電路，其中三個相鄰之輸入/輸出裝置中的該等 V_{CC} 、 V_{DD} 或 GND 輸入/輸出單元係分別電連接一相對應之接合墊，而同時該等三個相鄰之輸入/輸出裝置中的 V_{SS} 輸入/輸出單元選擇性地電連接一個或一個以上 V_{SS} 電壓之接合墊。

12. 如申請專利範圍第3項之積體電路，其中各該 V_{SS} 輸入/輸出單元藉由共用，使得獨立佔用之輸入/輸出裝置之數目實質為零。

13. 如申請專利範圍第3項之積體電路，其中電連接該等 V_{SS} 輸入/輸出單元之接合墊係位於該複數層接合墊之一最



六、申請專利範圍

外圈。

14. 如申請專利範圍第13項之積體電路，其中電連接該等 V_s 輸入/輸出單元之接合墊，係分別經由複數條焊接線以一最短路徑電連接至一接地環，以最小化該等焊接線之總電感(L)。

15. 如申請專利範圍第3項之積體電路，其中電連接該等 V_c 輸入/輸出單元之接合墊係位於該複數層接合墊之一最外圈。

16. 如申請專利範圍第15項之積體電路，其中電連接該等 V_c 輸入/輸出單元之接合墊，係分別經由複數條焊接線以一最短路徑電連接至一電源環，以最小化該等焊接線之總電感(L)。

17. 如申請專利範圍第1項之積體電路，其中該等接合墊係呈一個三層交錯(tri-tier staggered)的方式排列。

18. 如申請專利範圍第1項之積體電路，其中該積體電路係為一超大型積體電路(very large scale integration, VLSI)或一極超大型積體電路(ultra large scale integration, ULSI)等級以上之積體電路。



六、申請專利範圍

19. 一種格陣列 (grid array, GA) 封裝的打線方法，該方法包含步驟有：

備置一晶片 (chip)，設於一基板之上，該晶片包含：

複數個輸入/輸出裝置；

複數個接合墊，設於該等輸入/輸出裝置之四週，並以複數層的方式排列於該晶片表面；

複數條金屬走線 (traces) 用以電連接各該輸入/輸出裝置與各該接合墊；以及

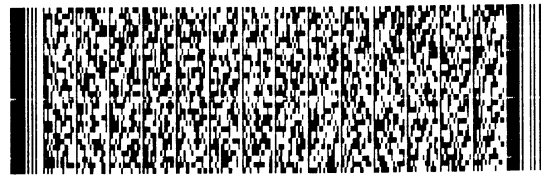
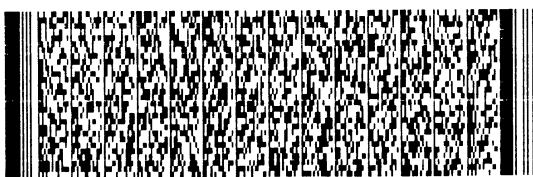
複數個接環 (rings) 以及複數個指狀接點 (fingers)，設於該基板之上且環繞於該晶片外圍，該複數個指狀接點係位於該等接環之外；以及

打線 (wire bond) 連接各接合墊至其相對應之指狀接點或相對應之接環；

其中除了位於邊緣兩側之接合墊外，一位於內圈之接合墊之打線弧高係實質大於一位於外圈之接合墊之打線弧高，使打線交錯的機會降低，並提高打線良率。

20. 如申請專利範圍第 19 項之方法，其中該等接合墊係以三層交錯 (tri-tier staggered) 的方式排列於晶片表面，位於最內圈的為一第一圈接合墊，位於中間圈的為一第二圈接合墊，位於最外圈的為一第三圈接合墊。

21. 如申請專利範圍第 20 項之方法，其中第一圈接合墊係經由打線而被電連接至位於最外圈之相對應之指狀接點，



六、申請專利範圍

而形成高弧 (high loop); 該第三圈接合墊經由打線而電連接至其位於最內圈之相對應之接環，形成低弧 (low loop); 而該第二圈接合墊經由打線電連接至其位於最外圈之指狀接點或接環，而形成中弧 (medium loop)，使得內圈之高弧弧度大於中圈之中弧弧度，而中圈之中弧弧度大於外圈之低弧弧度。

22. 一種格陣列 (grid array, GA) 封裝的積體電路，該積體電路包含有：

一基板；

一晶片 (chip)，設於該基板之上，該晶片包含：

一核心電路；

複數個輸入/輸出裝置；

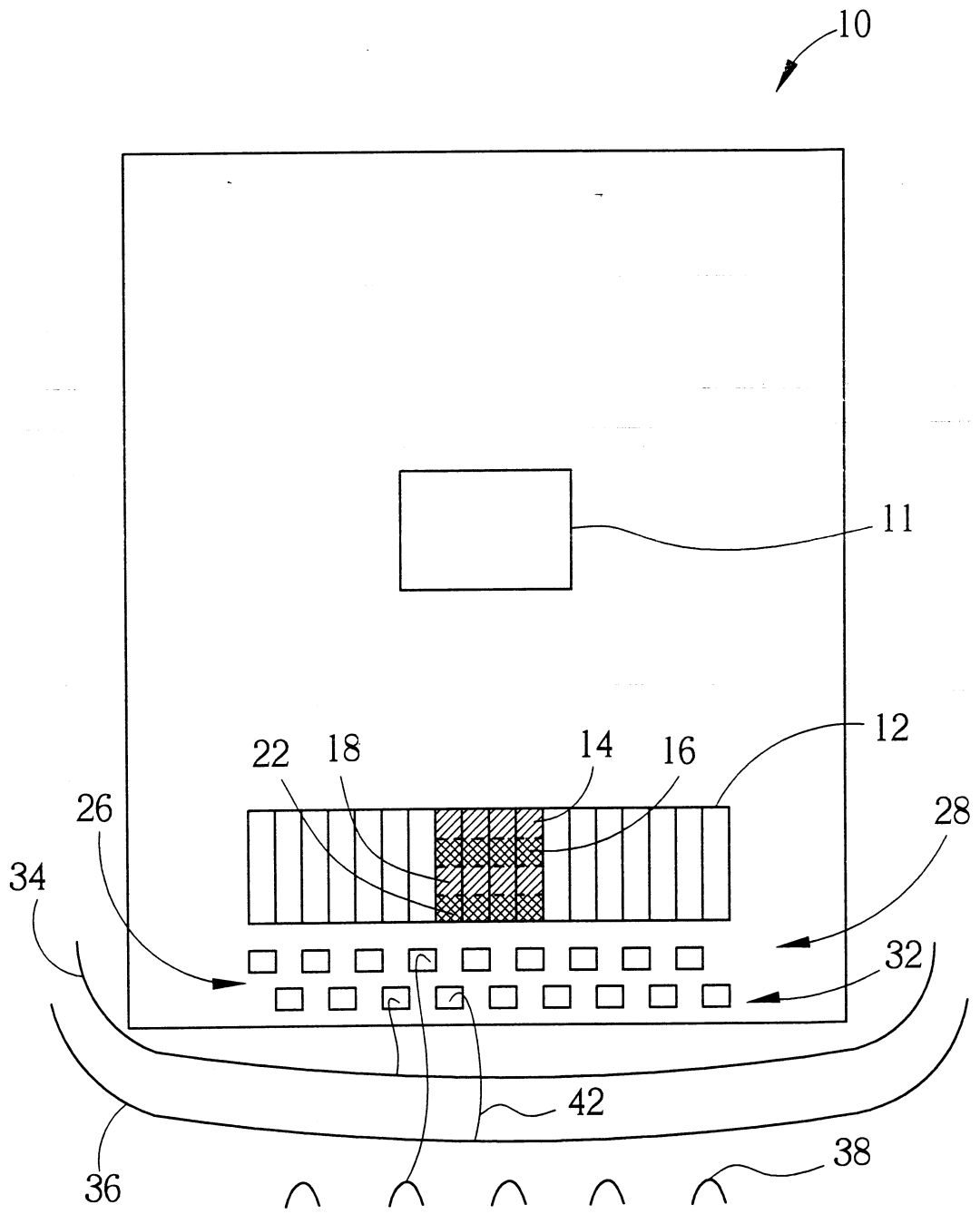
複數個接合墊，設於各該輸入/輸出裝置之四週，且各該接合墊係以三層交錯 (tri-tier staggered) 的方式排列於該晶片表面；

複數條金屬走線以及複數個導通孔 (via)，設於該晶片內並分佈於該晶片之複數層金屬導電層之中，以電連接各輸入/輸出裝置與各接合墊；

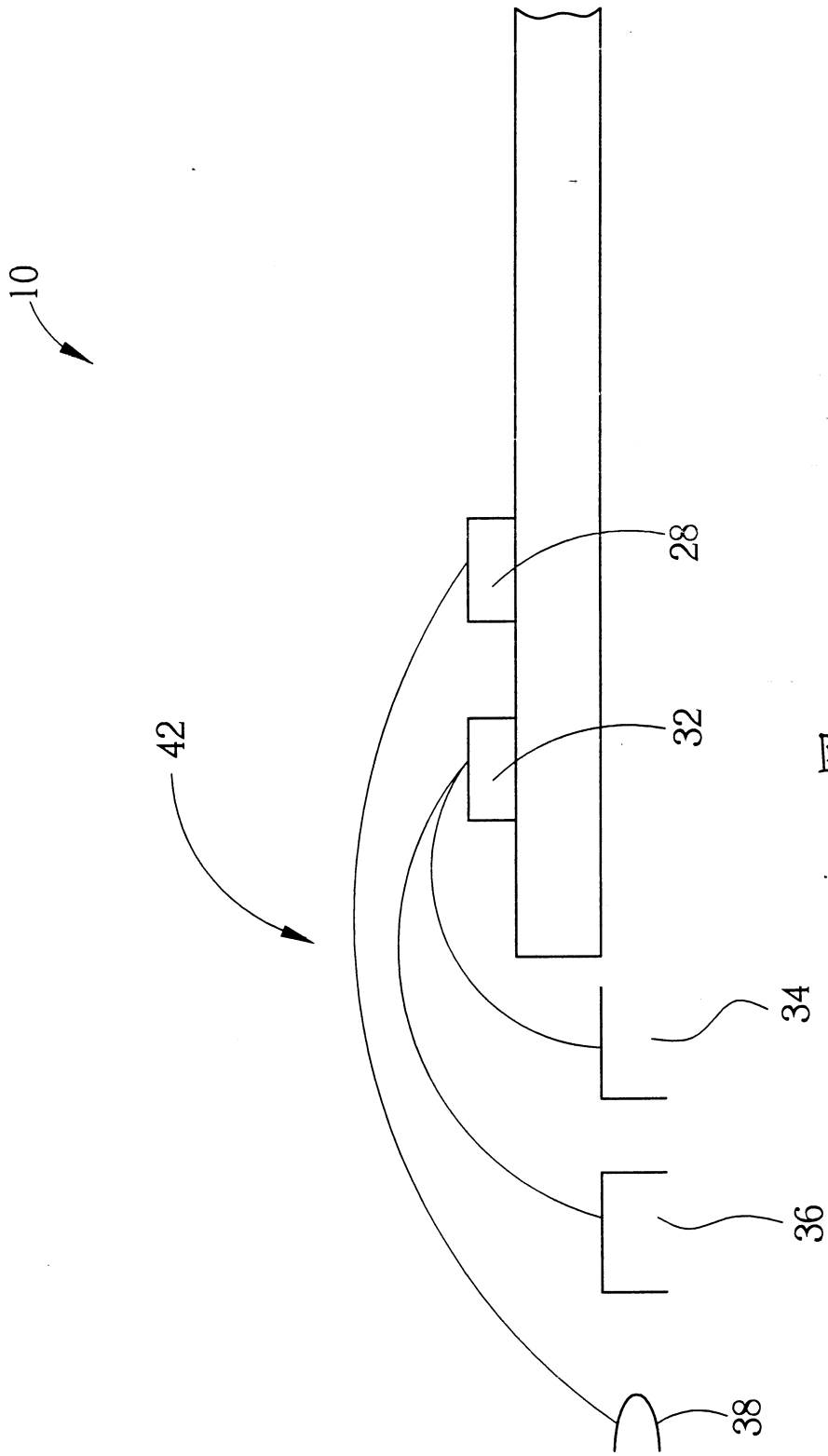
複數個接環 (rings) 以及複數個指狀接點 (fingers)，設於該基板之上且環繞於該晶片外圍，該等指狀接點係位於該等接環的外圍；以及

複數條焊接線 (bonding wires)，用以電連接各接合墊至其相對應之指狀接點或相對應之接環。

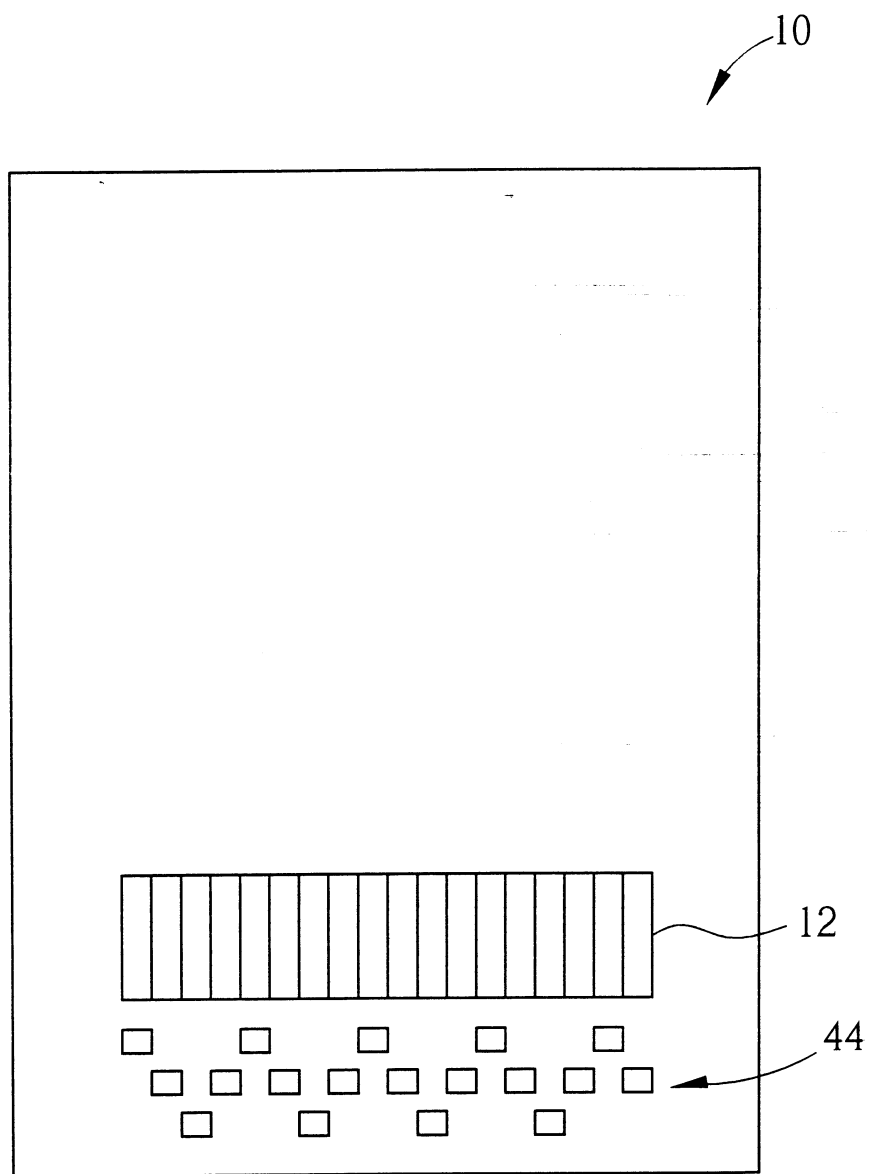




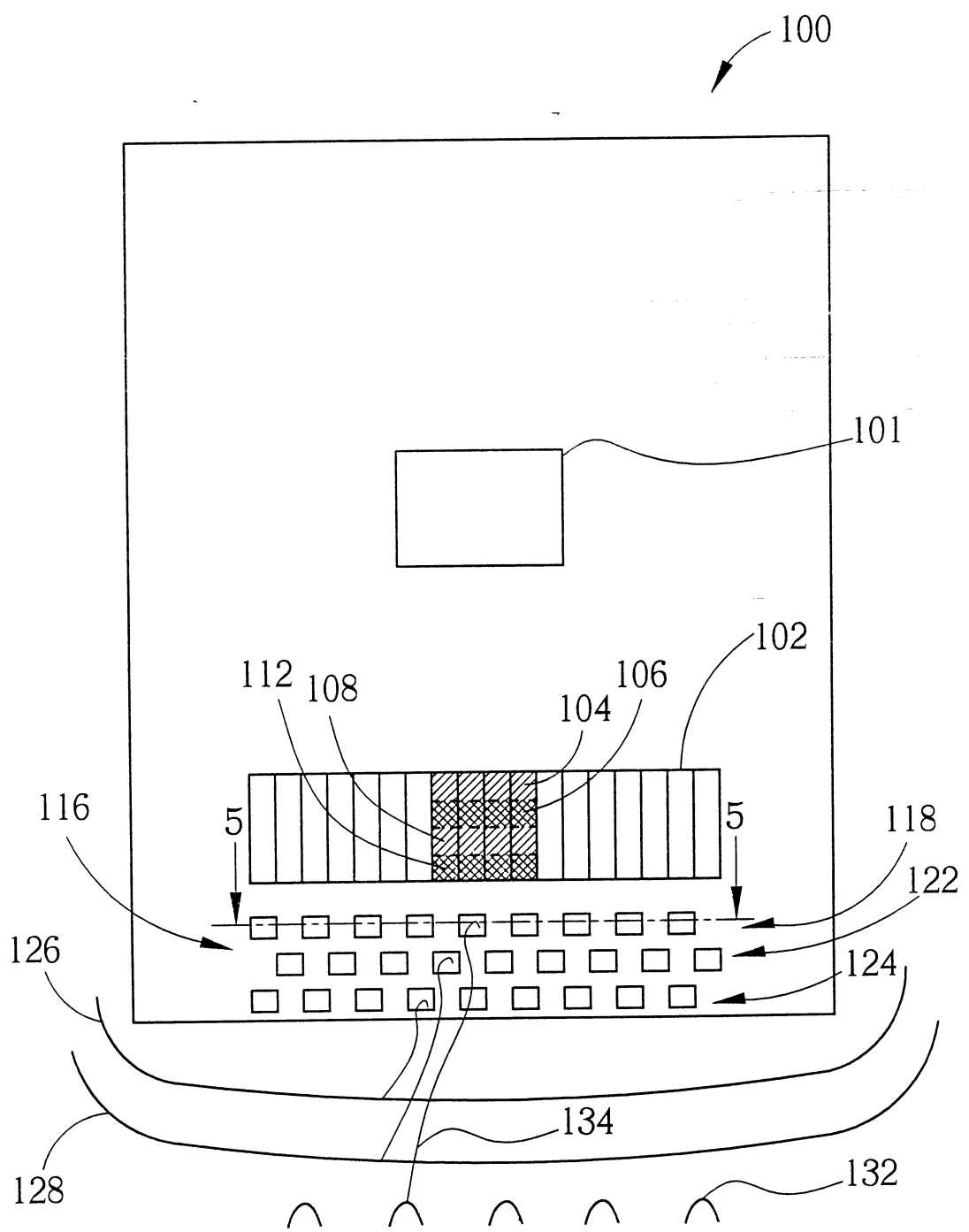
圖一



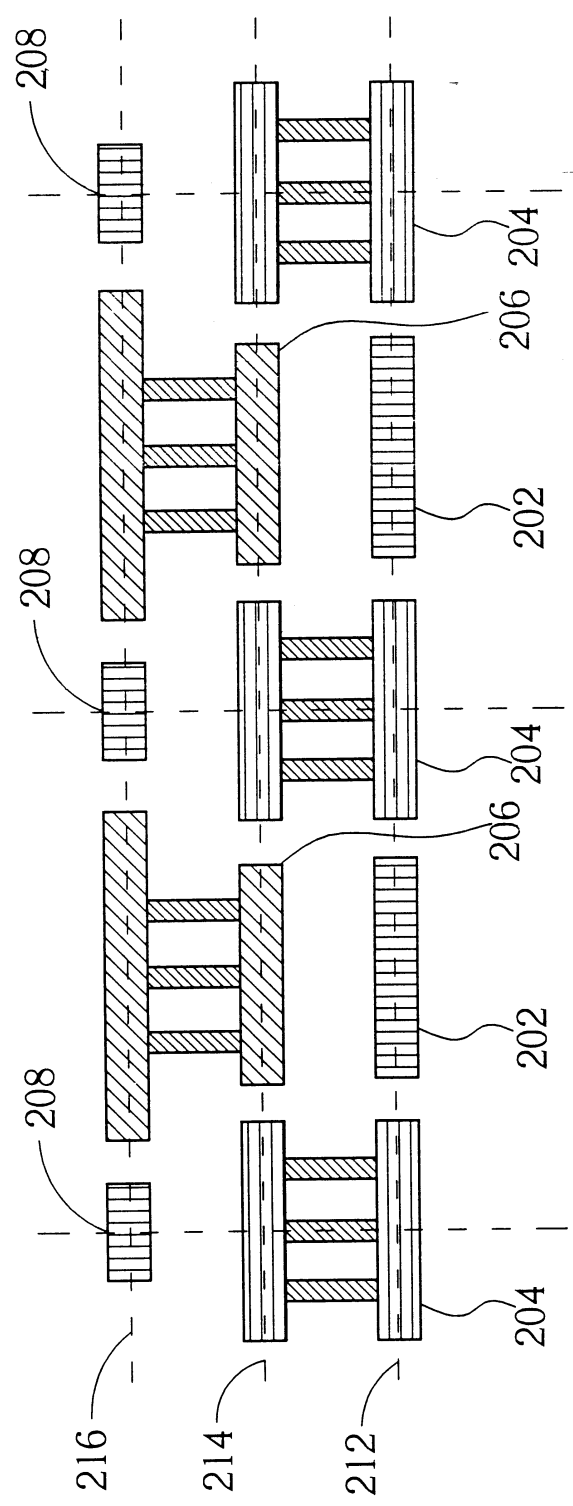
圖二



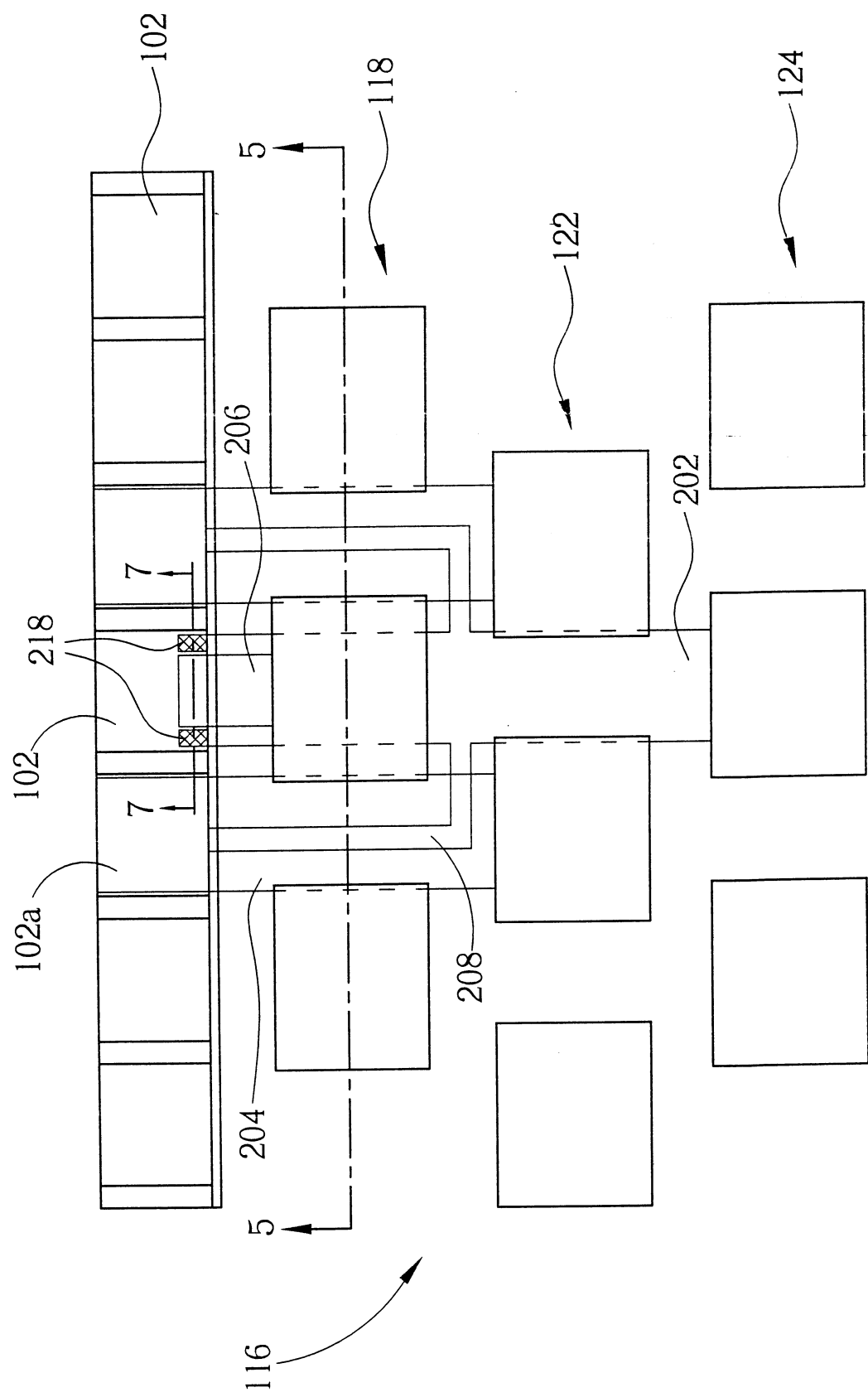
圖三



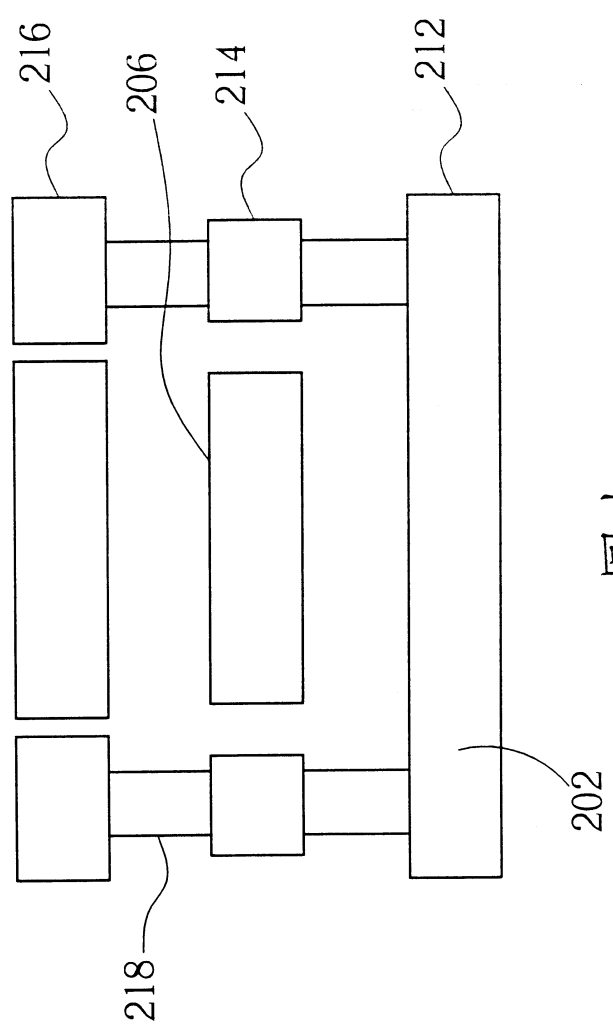
圖四



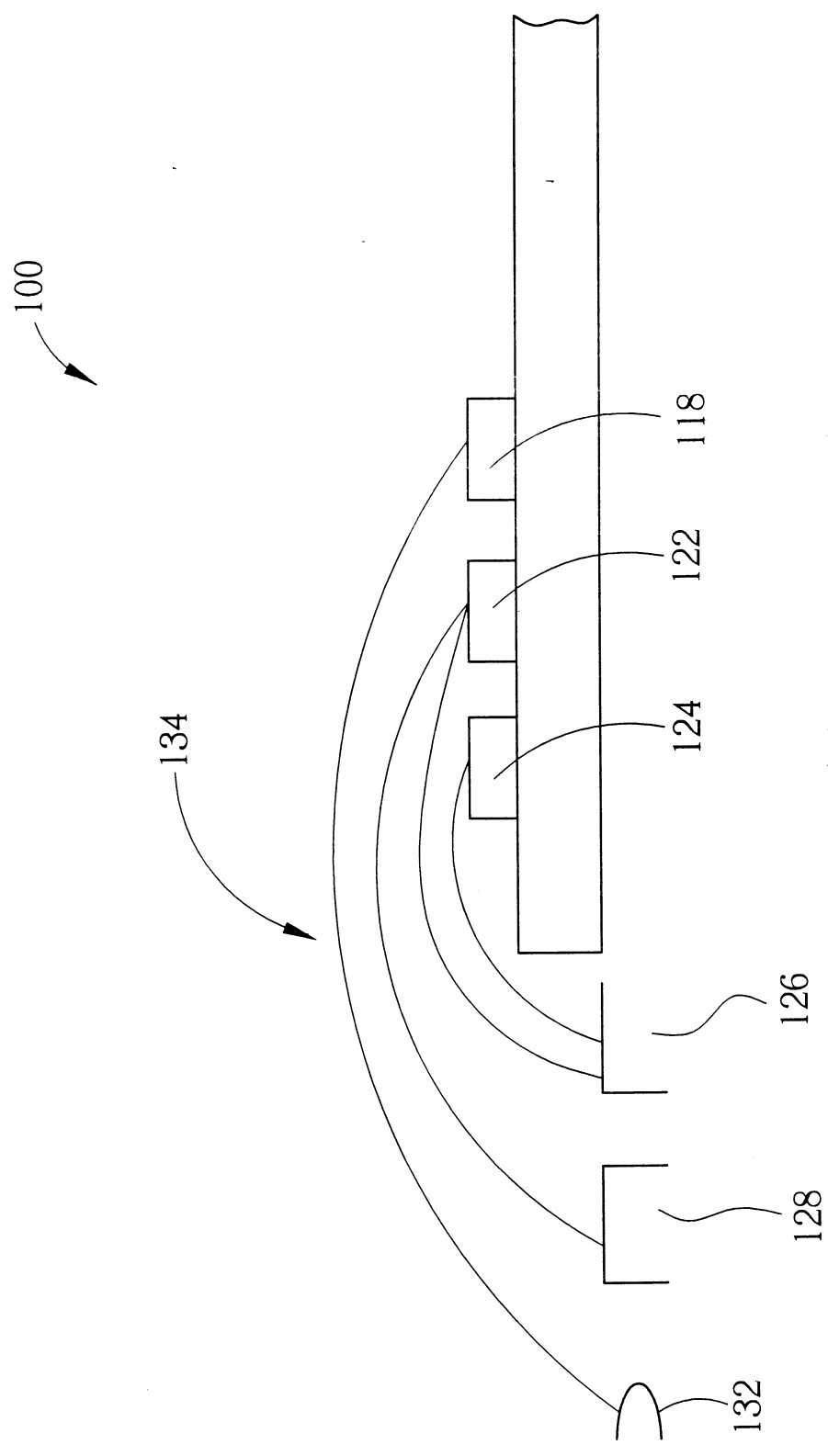
圖五



圖六



圖七



圖八