(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0026701
(43) 공개일자 2017년03월09일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) *H01L 21/02* (2006.01)
H01L 21/321 (2006.01) *H01L 23/00* (2006.01)
H01L 25/07 (2006.01)
(52) CPC특허분류
H01L 21/76897 (2013.01)
H01L 21/0242 (2013.01)
(21) 출원번호 10-2015-0120336
(22) 출원일자 2015년08월26일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
홍석우
경기도 성남시 분당구 수내로 174 105동 301호 (수내동,푸른마을벽산신성아파트)
김상기
경기도 용인시 수지구 죽전로193번길 35 105동 1401호 (죽전동,성현마을반도유보라아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

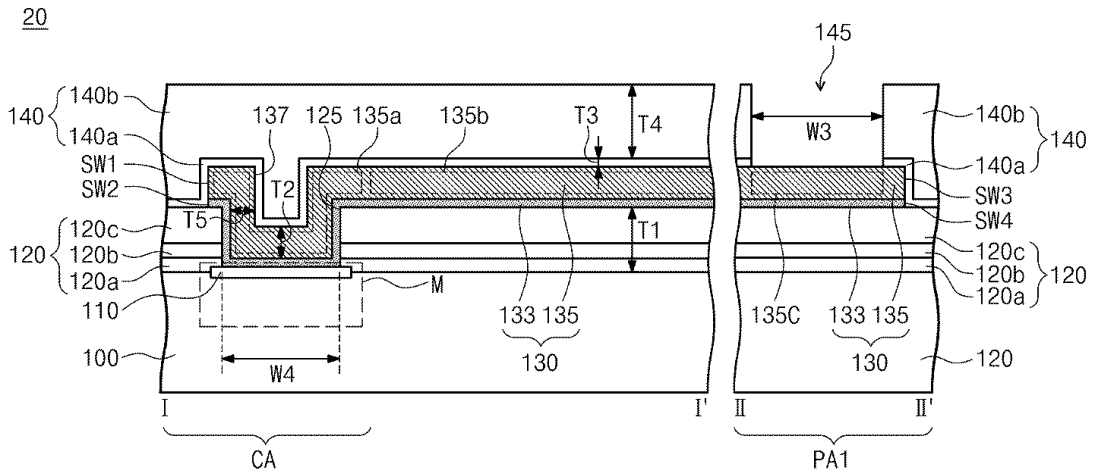
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 칩, 이의 제조방법, 및 이를 포함하는 반도체 패키지**

(57) 요 약

본 발명은 반도체 칩, 이의 제조방법, 및 이를 포함하는 반도체 패키지에 관한 것으로, 보다 상세하게는, 기판 상의 집적회로; 상기 집적회로와 전기적으로 연결되는 센터 패드; 상기 센터 패드를 노출하는 콘택 홀을 갖는 하부 절연 구조체, 상기 하부 절연 구조체는 순차적으로 적층된 복수개의 하부 절연막들을 포함하고; 도전 패턴 및 상기 하부 절연 구조체와 상기 도전 패턴 사이에 개재된 베리어 패턴을 포함하는 재배선, 상기 도전 패턴은 상기 콘택 홀을 채우는 콘택부, 상기 하부 절연 구조체 상에서 일 방향으로 연장되는 도전 라인부, 및 본딩 패드부를 갖고; 및 상기 본딩 패드부를 노출하는 제1 개구부를 갖는 상부 절연 구조체를 포함한다. 상기 상부 절연 구조체는 상기 하부 절연 구조체와 상기 재배선을 덮는 상부 절연막, 및 상기 상부 절연막 상의 고분자막을 포함한다.

대 표 도



(52) CPC특허분류
H01L 21/32105 (2013.01)
H01L 21/3211 (2013.01)
H01L 21/76852 (2013.01)
H01L 21/76877 (2013.01)
H01L 21/76885 (2013.01)
H01L 24/28 (2013.01)
H01L 24/31 (2013.01)
H01L 24/42 (2013.01)
H01L 25/074 (2013.01)

(72) 발명자
최교선
경기도 용인시 기흥구 농서로 84 남자기숙사동 1001호 (농서동,남자기숙사)

최애희
경기도 용인시 기흥구 흥덕2로75번길 10-1 201호 (영덕동)

명 세 서

청구범위

청구항 1

기판 상의 집적회로;

상기 집적회로와 전기적으로 연결되는 센터 패드;

상기 센터 패드를 노출하는 콘택 홀을 갖는 하부 절연 구조체, 상기 하부 절연 구조체는 순차적으로 적층된 복수개의 하부 절연막들을 포함하고;

도전 패턴 및 상기 하부 절연 구조체와 상기 도전 패턴 사이에 개재된 베리어 패턴을 포함하는 재배선, 상기 도전 패턴은 상기 콘택 홀을 채우는 콘택부, 상기 하부 절연 구조체 상에서 일 방향으로 연장되는 도전 라인부, 및 본딩 패드부를 갖고; 및

상기 본딩 패드부를 노출하는 제1 개구부를 갖는 상부 절연 구조체를 포함하되,

상기 상부 절연 구조체는 상기 하부 절연 구조체와 상기 재배선을 덮는 상부 절연막, 및 상기 상부 절연막 상의 고분자막을 포함하는 반도체 칩.

청구항 2

제1항에 있어서,

상기 콘택부는 제1 측벽을 갖고, 상기 콘택부와 인접하는 상기 베리어 패턴은 제2 측벽을 가지며,

상기 제1 측벽과 상기 제2 측벽은 서로 정렬되는 반도체 칩.

청구항 3

제1항에 있어서,

상기 상부 절연막은 상기 제1 및 제2 측벽들을 직접 덮는 반도체 칩.

청구항 4

제1항에 있어서,

상기 콘택부는, 상기 기판의 상면과 수직한 방향으로의 제1 두께, 및 상기 기판의 상면과 평행한 방향으로의 제2 두께를 갖고,

상기 제1 두께는 상기 제2 두께보다 더 큰 반도체 칩.

청구항 5

제1항에 있어서,

상기 상부 절연 구조체는 상기 콘택부를 노출하는 제2 개구부를 더 갖는 반도체 칩.

청구항 6

제1항에 있어서,

평면적 관점에서, 상기 센터 패드는 상기 반도체 칩의 중앙 영역에 배치되고,

상기 패드부는 상기 반도체 칩의 주변 영역에 배치되는 반도체 칩.

청구항 7

제1항에 있어서,

상기 하부 절연막들은, 상기 기판 상에 순차적으로 적층된 제1 내지 제3 하부 절연막들을 포함하고,

상기 제1 및 제3 하부 절연막들은 각각 실리콘 산화막을 포함하고,

상기 제2 하부 절연막은 실리콘 질화막을 포함하는 반도체 칩.

청구항 8

제1항에 있어서,

상기 도전 패턴은 알루미늄(Al)을 포함하는 반도체 칩.

청구항 9

제1항에 있어서,

상기 상부 절연막은 실리콘 질화막, 실리콘 산화막, 또는 실리콘 산화질화막을 포함하는 반도체 칩.

청구항 10

제1항에 있어서,

상기 고분자막은 폴리이미드, 플루오로 카본, 레진, 또는 합성 고무를 포함하는 반도체 칩.

청구항 11

제1항에 있어서,

상기 하부 절연 구조체의 두께는 1㎛ 내지 12㎛인 반도체 칩.

청구항 12

제1항에 있어서,

상기 도전 패턴의 두께는 1㎛ 내지 8㎛인 반도체 칩.

청구항 13

제1항에 있어서,

상기 재배선의 폭은 2㎛ 내지 200㎛인 반도체 칩.

청구항 14

제1항에 있어서,

상기 상부 절연막의 두께는 0.1㎛ 내지 3㎛인 반도체 칩.

청구항 15

제1항에 있어서,

상기 고분자막의 두께는 0.3㎛ 내지 6㎛인 반도체 칩.

청구항 16

패키지 기판; 및

상기 패키지 기판 상에, 와이어를 통해 상기 패키지 기판과 전기적으로 연결되는 반도체 칩을 포함하되,

상기 반도체 칩은:

상기 패키지 기판과 마주보는 제1 면, 및 상기 제1 면에 대향하는 제2 면;

상기 제2 면에 배치된 센터 패드;

상기 센터 패드를 노출하는 콘택 홀을 갖는 하부 절연 구조체, 상기 하부 절연 구조체는 순차적으로 적층된 복수개의 하부 절연막들을 포함하고;

상기 콘택 홀을 채우는 콘택부, 상기 하부 절연 구조체 상에서 일 방향으로 연장되는 도전 라인부, 및 상기 와이어와 접촉하는 본딩 패드부를 갖는 도전 패턴; 및

상기 본딩 패드부를 노출하는 개구부를 갖는 상부 절연 구조체를 포함하고,

상기 상부 절연 구조체는:

상기 하부 절연 구조체와 상기 재배선을 덮으며, 실리콘을 함유하는 무기 절연막; 및

상기 무기 절연막 상의 고분자막을 포함하는 반도체 패키지.

청구항 17

제16항에 있어서,

상기 반도체 칩은, 이의 내부에 상기 센터 패드와 전기적으로 연결되는 집적회로를 더 포함하고,

상기 집적회로는 상기 센터 패드, 상기 도전 패턴, 및 상기 와이어를 통해 상기 패키지 기판과 전기적으로 연결되는 반도체 패키지.

청구항 18

제16항에 있어서,

상기 반도체 칩은 복수개로 제공되어, 상기 패키지 기판 상에서 순차적으로 적층되고,

각각의 상기 반도체 칩들은, 상기 본딩 패드부 및 상기 와이어를 통해 상기 패키지 기판과 전기적으로 연결되는 반도체 패키지.

청구항 19

제16항에 있어서,

상기 반도체 칩은, 상기 하부 절연 구조체와 상기 도전 패턴 사이에 개재된 베리어 패턴을 더 포함하고,

상기 도전 패턴은 알루미늄(Al)을 포함하며,

상기 베리어 패턴은 Ti, TiN, 또는 이들의 조합을 포함하는 반도체 패키지.

청구항 20

제16항에 있어서,

상기 하부 절연막들은, 상기 센터 패드와 인접하는 제1 하부 절연막, 상기 상부 절연 구조체와 인접하는 제2 하부 절연막, 및 상기 제1 및 제2 하부 절연막들 사이에 개재된 제3 하부 절연막을 포함하는 반도체 패키지.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 칩, 이의 제조방법, 및 이를 포함하는 반도체 패키지에 관한 것으로, 보다 상세하게는 재배선을 포함하는 반도체 칩에 관한 것이다.

배 경 기 술

[0003] 반도체 소자는 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 많은 전자 산업에서 사용되고 있다. 반도체 소자는 데이터를 저장하는 기억 소자, 데이터를 연산처리 하는 논리 소자, 및 다양한 기능을 동시에 수행할 수 있는 하이브리드(hybrid) 소자 등을 포함할 수 있다.

[0004] 전자 산업이 고도로 발전함에 따라, 반도체 소자의 고집적화에 대한 요구가 점점 심화되고 있다. 이에 따라, 미세한 패턴들을 정의하는 노광 공정의 공정 마진 감소 등의 여러 문제점들이 발생되어 반도체 소자의 구현이 점점 어려워지고 있다. 또한, 전자 산업의 발전에 의하여 반도체 소자의 고속화에 대한 요구도 점점 심화되고 있다. 이러한 반도체 소자의 고집적화 및/또는 고속화에 대한 요구들을 충족시키기 위하여 다양한 연구들이 수행되고 있다.

[0005] 한편, 반도체 소자 및 이를 이용한 전자 제품의 고용량, 박형화, 소형화에 대한 수요가 많아져 이에 관련된 다양한 패키지 기술이 속속 등장하고 있다. 그 중의 하나가 여러 가지 반도체 칩을 수직 적층시켜 고밀도 칩 적층을 구현할 수 있는 패키지 기술이다. 이 기술은 하나의 반도체 칩으로 구성된 일반적인 패키지보다 적은 면적에 다양한 기능을 가진 반도체 칩들을 집적시킬 수 있다는 장점을 가질 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는, 증착 및 패터닝 공정을 이용하여 형성된 재배선을 포함하는 반도체 칩을 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 다른 과제는, 증착 및 패터닝 공정을 이용하여 재배선을 포함하는 반도체 칩을 형성하는 방법을 제공하는 것이다.

[0009] 본 발명이 해결하고자 하는 또 다른 과제는, 재배선을 갖는 반도체 칩을 포함하는 반도체 패키지를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명의 개념에 따른, 반도체 칩은, 기판 상의 집적회로; 상기 집적회로와 전기적으로 연결되는 센터 패드;

상기 센터 패드를 노출하는 콘택 홀을 갖는 하부 절연 구조체, 상기 하부 절연 구조체는 순차적으로 적층된 복수개의 하부 절연막들을 포함하고; 도전 패턴 및 상기 하부 절연 구조체와 상기 도전 패턴 사이에 개재된 베리어 패턴을 포함하는 재배선, 상기 도전 패턴은 상기 콘택 홀을 채우는 콘택부, 상기 하부 절연 구조체 상에서 일 방향으로 연장되는 도전 라인부, 및 본딩 패드부를 갖고; 및 상기 본딩 패드부를 노출하는 제1 개구부를 갖는 상부 절연 구조체를 포함할 수 있다. 상기 상부 절연 구조체는 상기 하부 절연 구조체와 상기 재배선을 덮는 상부 절연막, 및 상기 상부 절연막 상의 고분자막을 포함할 수 있다.

[0012] 상기 콘택부는 제1 측벽을 갖고, 상기 콘택부와 인접하는 상기 베리어 패턴은 제2 측벽을 가지며, 상기 제1 측벽과 상기 제2 측벽은 서로 정렬될 수 있다.

[0013] 상기 상부 절연막은 상기 제1 및 제2 측벽들을 직접 덮을 수 있다.

[0014] 상기 콘택부는, 상기 기판의 상면과 수직한 방향으로의 제1 두께, 및 상기 기판의 상면과 평행한 방향으로의 제2 두께를 갖고, 상기 제1 두께는 상기 제2 두께보다 더 클 수 있다.

[0015] 상기 콘택부는 상기 콘택 홀을 채우며 함몰 영역을 정의할 수 있다.

[0016] 상기 상부 절연 구조체는 상기 콘택부를 노출하는 제2 개구부를 더 가질 수 있다.

[0017] 상기 센터 패드는, 복수개의 메탈층들과 복수개의 비아들을 통해 이의 아래의 상기 집적회로와 전기적으로 연결될 수 있다.

[0018] 평면적 관점에서, 상기 센터 패드는 상기 반도체 칩의 중앙 영역에 배치되고, 상기 패드부는 상기 반도체 칩의 주변 영역에 배치될 수 있다.

[0019] 각각의 상기 하부 절연막들은 실리콘 질화막, 실리콘 산화막, 또는 실리콘 산화질화막을 포함할 수 있다.

[0020] 상기 하부 절연막들은, 상기 기판 상에 순차적으로 적층된 제1 내지 제3 하부 절연막들을 포함하고, 상기 제1 및 제3 하부 절연막들은 각각 실리콘 산화막을 포함하고, 상기 제2 하부 절연막은 실리콘 질화막을 포함할 수 있다.

[0021] 상기 제3 하부 절연막의 두께는 상기 제1 하부 절연막의 두께보다 크고, 상기 제3 하부 절연막의 두께는 상기 제2 하부 절연막의 두께보다 클 수 있다.

[0022] 상기 집적회로는 DRAM(Dynamic Random Access Memory) 셀을 포함할 수 있다.

[0023] 상기 도전 패턴은 알루미늄(Al)을 포함할 수 있다.

[0024] 상기 상부 절연막은 실리콘 질화막, 실리콘 산화막, 또는 실리콘 산화질화막을 포함할 수 있다.

[0025] 상기 고분자막은 폴리이미드, 플루오로 카본, 레진, 또는 합성 고무를 포함할 수 있다.

[0026] 상기 하부 절연 구조체의 두께는 1㎛ 내지 12㎛일 수 있다.

[0027] 상기 도전 패턴의 두께는 1㎛ 내지 8㎛일 수 있다.

[0028] 상기 재배선의 폭은 2㎛ 내지 200㎛일 수 있다.

[0029] 상기 상부 절연막의 두께는 0.1㎛ 내지 3㎛일 수 있다.

[0030] 상기 고분자막의 두께는 0.3㎛ 내지 6㎛일 수 있다.

[0031] 상기 콘택 홀의 상기 일 방향으로의 폭은, 상기 제1 개구부의 상기 일 방향으로의 폭보다 작을 수 있다.

[0032] 본 발명의 다른 개념에 따른, 반도체 패키지는, 패키지 기판; 및 상기 패키지 기판 상에, 와이어를 통해 상기 패키지 기판과 전기적으로 연결되는 반도체 칩을 포함할 수 있다. 상기 반도체 칩은: 상기 패키지 기판과 마주보는 제1 면, 및 상기 제1 면에 대향하는 제2 면; 상기 제2 면에 배치된 센터 패드; 상기 센터 패드를 노출하는 콘택 홀을 갖는 하부 절연 구조체, 상기 하부 절연 구조체는 순차적으로 적층된 복수개의 하부 절연막들을 포함하고; 상기 콘택 홀을 채우는 콘택부, 상기 하부 절연 구조체 상에서 일 방향으로 연장되는 도전 라인부, 및 상기 와이어와 접촉하는 본딩 패드부를 갖는 도전 패턴; 및 상기 본딩 패드부를 노출하는 개구부를 갖는 상부 절연 구조체를 포함할 수 있다. 상기 상부 절연 구조체는: 상기 하부 절연 구조체와 상기 재배선을 덮으며, 실리콘을 함유하는 무기 절연막; 및 상기 무기 절연막 상의 고분자막을 포함할 수 있다.

[0033] 상기 반도체 칩은, 이의 내부에 상기 센터 패드와 전기적으로 연결되는 집적회로를 더 포함하고, 상기 집적회로

는 상기 센터 패드, 상기 도전 패턴, 및 상기 와이어를 통해 상기 패키지 기판과 전기적으로 연결될 수 있다.

[0034] 상기 반도체 칩은 복수개로 제공되어, 상기 패키지 기판 상에서 순차적으로 적층되고, 각각의 상기 반도체 칩들은, 상기 본딩 패드부 및 상기 와이어를 통해 상기 패키지 기판과 전기적으로 연결될 수 있다.

[0035] 상기 반도체 칩은, 상기 하부 절연 구조체와 상기 도전 패턴 사이에 개재된 베리어 패턴을 더 포함하고, 상기 도전 패턴은 알루미늄(Al)을 포함하며, 상기 베리어 패턴은 Ti, TiN, 또는 이들의 조합을 포함할 수 있다.

[0036] 상기 하부 절연막들은, 상기 센터 패드와 인접하는 제1 하부 절연막, 상기 상부 절연 구조체와 인접하는 제2 하부 절연막, 및 상기 제1 및 제2 하부 절연막들 사이에 개재된 제3 하부 절연막을 포함할 수 있다.

[0037] 본 발명의 또 다른 개념에 따른, 반도체 칩의 제조 방법은, 기판 상에, 집적회로와 전기적으로 연결되는 센터 패드를 형성하는 것; 상기 기판의 전면 상에 상기 센터 패드를 덮는 하부 절연 구조체를 형성하는 것, 상기 하부 절연 구조체는 복수개의 하부 절연막들을 포함하고; 상기 하부 절연 구조체를 패터닝하여, 상기 센터 패드를 노출하는 콘택 홀을 형성하는 것; 상기 콘택 홀을 순차적으로 채우는 베리어막 및 도전막을 형성하는 것; 상기 도전막을 패터닝하여, 상기 하부 절연 구조체 상에서 일 방향으로 연장되는 도전 패턴을 형성하는 것, 상기 도전 패턴은 본딩 패드부를 포함하고; 상기 도전 패턴 및 상기 하부 절연 구조체 상에 상부 절연 구조체를 형성하는 것, 상기 상부 절연 구조체는 상기 하부 절연 구조체와 상기 도전 패턴을 덮는 상부 절연막, 및 상기 상부 절연막 상의 고분자막을 포함하고; 및 상기 상부 절연 구조체를 패터닝하여, 상기 본딩 패드부를 노출하는 개구부를 형성하는 것을 포함할 수 있다.

[0038] 상기 베리어막 및 상기 도전막을 형성하는 것은, 물리적 기상 증착(PVD)을 이용하는 것을 포함할 수 있다.

[0039] 상기 콘택 홀 내의 상기 도전막은, 상기 기판의 상면과 수직한 방향으로의 제1 두께, 및 상기 기판의 상면과 평행한 방향으로의 제2 두께를 갖고, 상기 제1 두께는 상기 제2 두께보다 더 클 수 있다.

[0040] 상기 도전막은 알루미늄(Al)을 포함하며, 상기 도전막을 패터닝 하는 것은: 상기 도전막 상에 포토레지스트 패턴을 형성하는 것; 및 상기 포토레지스트 패턴을 식각 마스크로 상기 도전막을 건식 식각하는 것을 포함할 수 있다.

[0041] 상기 제조 방법은, 상기 베리어막을 패터닝하여, 상기 도전 패턴과 수직적으로 중첩되는 베리어 패턴을 형성하는 것을 더 포함하되, 상기 도전 패턴은 제1 측벽을 갖고, 상기 제1 측벽과 인접하는 상기 베리어 패턴은 제2 측벽을 가지며, 상기 제1 측벽과 상기 제2 측벽은 서로 정렬될 수 있다.

발명의 효과

[0043] 본 발명에 따른 반도체 칩은, 도금 공정이 아닌 증착 및 패터닝 공정을 이용하므로, 보다 경제적으로 제조될 수 있다. 또한, 재배선과 이의 위 아래에 각각 위치하는 다층 구조의 절연 구조체들을 통해, 반도체 칩의 소자 특성을 높게 유지시킬 수 있다.

도면의 간단한 설명

[0045] 도 1은 본 발명의 실시예들에 따른 반도체 패키지에 관한 단면도이다.

도 2는 본 발명의 실시예들에 따른 제1 반도체 칩의 제2 면을 개략적으로 도시한 평면도이다.

도 3은 본 발명의 실시예들에 따른 제1 반도체 칩을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도이다.

도 4는 도 3의 M영역을 확대한 단면도이다.

도 5 내지 도 9는 본 발명의 실시예들에 따른 제1 반도체 칩을 제조하는 방법을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도들이다.

도 10은 본 발명의 실시예들에 따른 제1 반도체 칩을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도이다.

도 11은 본 발명의 실시예들에 따른 제1 반도체 칩을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도

이다.

도 12는 본 발명의 실시예들에 따른 반도체 패키지에 관한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0046] 본 발명의 구성 및 효과를 충분히 이해하기 위하여, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라, 여러가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다. 단지, 본 실시예들의 설명을 통해 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다.

[0047] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분은 동일한 구성요소들을 나타낸다.

[0048] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.

[0049] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

[0051] 도 1은 본 발명의 실시예들에 따른 반도체 패키지에 관한 단면도이다. 도 2는 본 발명의 실시예들에 따른 제1 반도체 칩의 제2 면을 개략적으로 도시한 평면도이다.

[0052] 도 1 및 도 2를 참조하면, 패키지 기판(10) 상에 제1 반도체 칩(20)이 실장될 수 있다. 일 예로, 상기 패키지 기판(10)은 인쇄회로기판(PCB)일 수 있다. 상기 패키지 기판(10)은, 이의 상면 및 바닥면에 각각 회로 패턴들(미도시)을 포함할 수 있다. 상기 회로 패턴들 중 일부는, 상기 패키지 기판(10)의 바닥면의 제1 외부 패드들(2)과 전기적으로 연결될 수 있다. 상기 패키지 기판(10)을 외부장치에 전기적으로 연결할 수 있는 솔더범프 또는 솔더볼과 같은 외부 단자들(4)이 상기 제1 외부 패드들(2)에 각각 부착될 수 있다. 한편, 상기 회로 패턴들 중 다른 일부는, 상기 패키지 기판(10)의 상면의 제2 외부 패드들(6)과 전기적으로 연결될 수 있다.

[0053] 상기 제1 반도체 칩(20)은 상기 패키지 기판(10)과 마주보는 제1 면(20a) 및 상기 제1 면(20a)에 대향하는 제2 면(20b)을 가질 수 있다. 상기 제1 반도체 칩(20)은 중앙 영역(CA) 및 제1 및 제2 주변 영역들(PA1, PA2)을 포함할 수 있다. 상기 중앙 영역(CA)은 상기 제1 반도체 칩(20)의 상기 제2 면(20b)의 중심에 위치할 수 있다. 상기 제1 및 제2 주변 영역들(PA1, PA2)은 상기 제1 반도체 칩(20)의 서로 대향하는 측벽들에 각각 인접하게 위치할 수 있다. 상기 중앙 영역(CA)은 상기 제1 및 제2 주변 영역들(PA1, PA2) 사이에 배치될 수 있다.

[0054] 상기 제1 반도체 칩(20)은 제1 집적회로(IC1), 센터 패드들(110) 및 재배선들(130)을 포함할 수 있다. 상기 제1 집적회로(IC1)는 상기 제2 면(20b)에 인접한 상기 제1 반도체 칩(20)의 내부에 형성될 수 있다. 상기 센터 패드들(110)은 상기 제1 집적회로(IC1)와 전기적으로 연결될 수 있다. 평면적 관점에서, 상기 센터 패드들(110)은 상기 중앙 영역(CA)에 배치될 수 있다.

[0055] 상기 재배선들(130)은 상기 센터 패드들(110) 상에 배치될 수 있다. 상기 재배선들(130)은 본딩 패드부들(135c)을 포함할 수 있다. 상기 본딩 패드부들(135c)은 상기 센터 패드들(110)을 통해 상기 제1 집적회로(IC1)와 전기적으로 연결될 수 있다. 상기 본딩 패드부들(135c)은 상기 제1 및 제2 주변 영역들(PA1, PA2)에 배치될 수 있다. 상기 본딩 패드부들(135c)은 외부로 노출될 수 있다. 즉, 상기 재배선들(130)은 상기 본딩 패드부들(135c)을 통해, 상기 제1 및 제2 주변 영역들(PA1, PA2)에서 상기 중앙 영역(CA)의 상기 센터 패드들(110)로 신호를

인가할 수 있도록 해준다.

[0056] 상기 센터 패드들(110) 및 상기 재배선들(130)의 수 및 배치는 예시적으로 도시된 것일 뿐 도면에 도시된 것으로 제한되지 않는다. 나아가, 반도체 패키지의 종류 및 용도에 따라서 적절하게 변형될 수 있다.

[0057] 상기 제1 반도체 칩(20)은 DRAM이나 플래시와 같은 메모리 칩들일 수 있다. 상기 제1 집적회로(IC1)는 데이터를 저장하기 위한 메모리 셀들, 상기 메모리 셀들의 동작을 제어하기 위한 제어회로 및/또는 전원회로를 포함할 수 있다.

[0058] 상기 제1 반도체 칩(20)은 제1 접착층(15)을 통해 상기 패키지 기판(10)에 부착될 수 있다. 상기 제1 접착층(15)은 에폭시, 실리콘 재질의 절연성 막, 또는 테이프일 수 있다.

[0059] 와이어들(8)이 상기 제1 반도체 칩(20)의 상기 본딩 패드부들(135c)과 상기 패키지 기판(10)의 상기 제2 외부 패드들(6)을 각각 전기적으로 연결할 수 있다. 상기 제1 반도체 칩(20)은 상기 와이어들(8)를 통하여 외부의 콘트롤러(미도시)와 통신할 수 있다. 상기 콘트롤러로부터의 어드레스 및 커맨드 등을 포함하는 제어신호, 전압신호 및 기록 데이터 등은 상기 와이어들(8)을 통하여 상기 제1 반도체 칩(20)으로 제공될 수 있다. 상기 제1 반도체 칩(20)의 상기 메모리 셀들로부터 독출된 데이터는 상기 와이어들(8)를 통하여 상기 콘트롤러로 제공될 수 있다.

[0060] 상기 패키지 기판(10) 상의 몰딩막(9)이 상기 제1 반도체 칩(20) 및 상기 와이어들(8)을 덮을 수 있다. 상기 몰딩막(9)은 외부 환경으로부터 상기 제1 반도체 칩(20) 및 상기 와이어들(8)을 보호할 수 있다. 상기 몰딩막(9)은 에폭시 몰딩 컴파운드(Epoxy Molding Compound: EMC)를 포함할 수 있다.

[0062] 도 3은 본 발명의 실시예들에 따른 제1 반도체 칩을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도이다. 도 4는 도 3의 M영역을 확대한 단면도이다. 본 실시예에서는, 앞서 도 1 및 도 2를 참조하여 설명한 반도체 패키지와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 제1 반도체 칩에 대하여 보다 상세히 설명한다.

[0063] 도 2, 도 3, 및 도 4를 참조하면, 반도체 기판(100)의 중앙 영역(CA) 상에 센터 패드들(110)이 배치될 수 있다. 상기 반도체 기판(100)은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판일 수 있다. 상기 센터 패드들(110)은 상기 중앙 영역(CA) 내에서 2열로 배열될 수 있으나, 특별히 제한되는 것은 아니다. 상기 센터 패드들(110)은 알루미늄(Al)과 같은 도전 물질을 포함할 수 있다. 적어도 하나의 상기 센터 패드(110)는, 상기 반도체 기판(100)의 상면에 평행한 제1 방향(D1)으로의 제1 폭(W1)을 가질 수 있다. 상기 제1 폭(W1)은 5㎛ 내지 50㎛일 수 있다. 이하, 상기 센터 패드들(110) 중 어느 하나의 센터 패드(110)를 중심으로 설명한다.

[0064] 상기 센터 패드(110)는 상기 제1 반도체 칩(20) 내부의 제1 집적회로(IC1)와 전기적으로 연결될 수 있다. 도 4를 다시 참조하면, 상기 제1 집적회로(IC1)가 상기 반도체 기판(100) 상에 배치될 수 있다. 상기 제1 집적회로(IC1)는 복수개의 트랜지스터들(TR), 복수개의 금속층들(M1~M3) 및 복수개의 비아들(V1~V3)을 포함할 수 있다.

[0065] 각각의 상기 트랜지스터들(TR)은 게이트 전극, 및 이의 양 측에 배치된 불순물 영역들을 포함할 수 있다. 상기 불순물 영역들은 상기 반도체 기판(100) 내에 불순물로 도핑된 영역들일 수 있다. 상기 트랜지스터들(TR)은, 메모리 셀들의 일부, 또는 상기 메모리 셀들의 동작을 제어하기 위한 제어회로 및/또는 전원회로의 일부일 수 있다.

[0066] 제1 내지 제7 층간 절연막들(ILD1~ILD7)이 상기 반도체 기판(100) 상에 순차적으로 적층될 수 있다. 상기 제1 층간 절연막(ILD1)은 상기 트랜지스터들(TR)을 덮을 수 있다. 콘택(CNT)이 상기 제1 층간 절연막(ILD1)을 관통하여 상기 트랜지스터들(TR)의 상기 불순물 영역들 중 어느 하나와 연결될 수 있다.

[0067] 제1 금속층(M1), 제2 금속층(M2) 및 제3 금속층(M3)이 각각 상기 제2 층간 절연막(ILD2), 상기 제4 층간 절연막(ILD4) 및 상기 제6 층간 절연막(ILD6) 내에 배치될 수 있다. 상기 제7 층간 절연막(ILD7) 상에 상기 센터 패드(110)가 배치될 수 있다. 상기 제1 및 제2 금속층들(M1, M2) 사이에 제1 비아(V1), 상기 제2 및 제3 금속층들(M2, M3) 사이에 제2 비아(V2), 및 상기 제3 금속층(M3) 및 상기 센터 패드(110) 사이에 제3 비아(V3)가 제공될 수 있다. 결과적으로, 상기 센터 패드(110)는 상기 금속층들(M1~M3) 및 상기 비아들(V1~V3)을 통해 상기 트랜지스터들(TR)과 전기적으로 연결될 수 있다.

[0068] 도 2 및 도 3을 다시 참조하면, 상기 반도체 기판(100)의 전면 상에 하부 절연 구조체(120)가 배치될 수 있다.

상기 하부 절연 구조체(120)는 상기 센터 패드(110)의 일부를 덮을 수 있다. 상기 하부 절연 구조체(120)는 제1 두께(T1)를 가질 수 있다. 일 예로, 상기 제1 두께(T1)는 0.1㎛ 내지 3㎛일 수 있다.

[0069] 상기 하부 절연 구조체(120)를 관통하는 콘택 홀(125)이 상기 센터 패드(110)의 나머지 일부를 노출할 수 있다. 상기 콘택 홀(125)은 상기 제1 방향(D1)으로의 제4 폭(W4)을 가질 수 있다. 상기 제4 폭(W4)은 상기 제1 폭(W1)보다 작을 수 있다. 구체적으로, 상기 제4 폭(W4)은 5㎛ 내지 50㎛일 수 있다.

[0070] 상기 하부 절연 구조체(120)는 순차적으로 적층된 제1 내지 제3 하부 절연막들(120a, 120b, 120c)을 포함할 수 있다. 즉, 상기 제2 하부 절연막(120b)은 상기 제1 및 제3 하부 절연막들(120a, 120c) 사이에 개재될 수 있다. 이때, 상기 제3 하부 절연막(120c)의 두께는 상기 제1 하부 절연막(120a)의 두께보다 클 수 있고, 또한 상기 제2 하부 절연막(120b)의 두께보다 클 수 있다.

[0071] 각각의 상기 제1 내지 제3 하부 절연막들(120a, 120b, 120c)은 무기 절연막으로서, 실리콘 질화막, 실리콘 산화막, 또는 실리콘 산화질화막을 포함할 수 있다. 후술할 도전 패턴(135)이 도금 공정으로 형성될 경우, 상기 하부 절연 구조체(120)는 폴리이미드와 같은 고분자막을 포함할 수 있다. 이는, 무기 절연막 상에 금속의 도금 공정을 수행하기가 어렵기 때문이다. 그러나, 본 발명의 실시예들에 따른 상기 도전 패턴(135)은 증착 및 패터닝 공정으로 형성되기 때문에, 상기 하부 절연 구조체(120)가 무기 절연막을 포함할 수 있다. 일 예로, 상기 제1 및 제3 하부 절연막들(120a, 120c)은 각각 실리콘 산화막을 포함하고, 상기 제2 하부 절연막(120b)은 실리콘 질화막을 포함할 수 있다. 이때, 상기 제1 반도체 칩(20)은 DRAM 칩일 수 있다.

[0072] 상기 하부 절연 구조체(120) 상에, 상기 콘택 홀(125)을 채우며 상기 센터 패드(110)와 전기적으로 연결되는 재배선(130)이 배치될 수 있다. 도 2를 다시 참조하면, 상기 재배선(130)은 복수개로 제공될 수 있다. 평면적 관점에서, 상기 재배선들(130)은 상기 센터 패드들(110)로부터 상기 제1 방향(D1)으로 연장되는 라인 형태일 수 있다. 상기 재배선들(130) 중 일부는 상기 제1 방향(D1)의 반대 방향으로 연장될 수 있다. 즉, 상기 재배선들(130)은 상기 중앙 영역(CA)으로부터 제1 주변 영역(PA1)으로 연장되거나, 또는 상기 중앙 영역(CA)으로부터 제2 주변 영역(PA2)으로 연장될 수 있다. 상기 재배선들(130) 중 일부는 상기 제1 방향(D1)과 교차하는 방향으로 연장되는 부분을 포함할 수 있다. 이로써, 상기 재배선들(130)의 말단들은 상기 제1 및 제2 주변 영역들(PA1, PA2) 상에 고르게 분포될 수 있다.

[0073] 적어도 하나의 상기 재배선(130)은, 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로의 제2 폭(W2)을 가질 수 있다. 상기 제2 방향(D2)은 상기 반도체 기판(100)의 상면에 평행할 수 있다. 일 예로, 상기 재배선들(130)은 각각 신호 라인, 파워 라인, 또는 접지 라인일 수 있다. 따라서, 상기 재배선들(130)의 폭들은 이들의 역할에 따라 다양하게 변화될 수 있다. 구체적으로, 상기 제2 폭(W2)은 2㎛ 내지 200㎛일 수 있다.

[0074] 상기 재배선(130)은 베리어 패턴(133), 및 상기 베리어 패턴(133) 상의 도전 패턴(135)을 포함할 수 있다. 상기 베리어 패턴(133)은 상기 하부 절연 구조체(120)와 상기 도전 패턴(135) 사이에 개재될 수 있다. 상기 베리어 패턴(133)은 상기 도전 패턴(135)과 수직적으로 중첩될 수 있다. 상기 베리어 패턴(133)은 상기 도전 패턴(135)으로부터 금속 물질이 상기 하부 절연 구조체(120)로 확산되는 것을 방지할 수 있으며, 구체적으로 Ti, TiN, 또는 이들의 조합을 포함할 수 있다. 나아가, 상기 베리어 패턴(133)은 이의 아래의 상기 하부 절연 구조체(120)와의 웨팅(wetting)을 용이하게 할 수 있다.

[0075] 상기 도전 패턴(135)은 상기 콘택 홀(125)을 채우는 콘택부(135a), 상기 하부 절연 구조체(120) 상에서 상기 제1 방향(D1)으로 연장되는 도전 라인부(135b), 및 본딩 패드부(135c)를 가질 수 있다. 상기 콘택부(135a), 상기 도전 라인부(135b) 및 상기 본딩 패드부(135c)는 일체로 연결되어, 상기 도전 패턴(135)을 구성할 수 있다.

[0076] 상기 콘택부(135a)는, 상기 반도체 기판(100)의 상면과 수직한 방향으로의 제2 두께(T2)를 가질 수 있다. 나아가, 상기 콘택 홀(125) 내의 상기 콘택부(135a)는, 상기 제1 방향(D1) 또는 상기 제2 방향(D2)으로의 제5 두께(T5)를 가질 수 있다. 이때, 상기 제2 두께(T2)는 상기 제5 두께(T5)보다 더 클 수 있다. 일 예로, 상기 제2 두께(T2)는 1㎛ 내지 8㎛일 수 있다. 상기 콘택 홀(125)을 채우는 상기 콘택부(135a)에 의해 함몰 영역(137)이 정의될 수 있다.

[0077] 상기 도전 라인부(135b)는 상기 콘택부(135a) 및 상기 본딩 패드부(135c) 사이에 위치할 수 있다. 앞서 도 2를 참조하여 설명한 재배선들(130)과 같이, 상기 도전 라인부(135b)는 상기 제1 방향(D1)으로 연장되는 라인 형태일 수 있다. 상기 도전 라인부(135b)를 통해, 상기 제1 주변 영역(PA1)에 배치된 상기 본딩 패드부(135c)와 상기 중앙 영역(CA)에 배치된 상기 콘택부(135a)가 서로 전기적으로 연결될 수 있다.

[0078] 상기 콘택부(135a)의 일단은 제1 측벽(SW1)을 가질 수 있다. 상기 콘택부(135a)와 인접하는 상기 베리어 패턴

(133)의 일단은 제2 측벽(SW2)을 가질 수 있다. 이때, 상기 제1 측벽(SW1)과 상기 제2 측벽(SW2)은 서로 정렬될 수 있다. 상기 본딩 패드부(135c)의 일단은 제3 측벽(SW3)을 가질 수 있다. 상기 본딩 패드부(135c)와 인접하는 상기 베리어 패턴(133)의 다른 일단은 제4 측벽(SW4)을 가질 수 있다. 이때, 상기 제3 측벽(SW3)과 상기 제4 측벽(SW4)은 서로 정렬될 수 있다.

[0079] 상기 도전 패턴(135)은, 증착 및 패터닝 공정이 가능한 금속 물질을 포함할 수 있다. 일 예로, 상기 도전 패턴(135)은 알루미늄(Al)을 포함할 수 있다.

[0080] 상기 재배선(130) 및 상기 하부 절연 구조체(120) 상에 상부 절연 구조체(140)가 배치될 수 있다. 상기 상부 절연 구조체(140)는 순차적으로 적층된 상부 절연막(140a) 및 고분자막(140b)을 포함할 수 있다. 상기 상부 절연막(140a)은 상기 재배선(130)을 직접 덮을 수 있다. 일 예로, 상기 상부 절연막(140a)은 상기 도전 패턴(135)의 상기 제1 및 제3 측벽들(SW1, SW3) 및 상기 베리어 패턴(133)의 상기 제2 및 제4 측벽들(SW2, SW4)을 직접 덮을 수 있다. 상기 고분자막(140b)은 상기 상부 절연막(140a)을 사이에 두고 상기 재배선(130)과 이격될 수 있다. 상기 상부 절연 구조체(140)는 외부 환경으로부터 상기 재배선(130)을 보호할 수 있고, 상기 재배선들(130) 사이의 쇼트(short)를 방지할 수 있다.

[0081] 상기 상부 절연 구조체(140)를 관통하는 제1 개구부(145)가 상기 본딩 패드부(135c)를 노출할 수 있다. 구체적으로, 도 2를 다시 참조하면, 상기 제1 개구부(145)는 상기 제1 및 제2 주변 영역들(PA1, PA2) 상에 복수개로 제공될 수 있으며, 상기 제1 개구부들(145)에 의해 상기 본딩 패드부들(135c)이 각각 노출될 수 있다.

[0082] 상기 제1 개구부(145)는 상기 제1 방향(D1)으로의 제3 폭(W3)을 가질 수 있다. 상기 제3 폭(W3)은 상기 제4 폭(W4)보다 더 클 수 있다. 상기 제3 폭(W3)은 상기 본딩 패드부(135c) 상에 와이어 본딩이 용이하게 수행될 수 있을 정도의 크기를 가질 수 있다. 일 예로, 상기 제3 폭(W3)은 100㎛ 내지 300㎛일 수 있다.

[0083] 상기 상부 절연막(140a)은 실리콘을 포함하는 무기 절연막일 수 있고, 일 예로 실리콘 질화막, 실리콘 산화막, 또는 실리콘 산화질화막을 포함할 수 있다. 반면, 상기 고분자막(140b)은 유기 절연막일 수 있고, 일 예로 폴리이미드, 플루오로 카본, 레진, 또는 합성 고무를 포함할 수 있다. 상기 상부 절연막(140a)은 제3 두께(T3)를 가질 수 있고, 상기 고분자막(140b)은 제4 두께(T4)를 가질 수 있다. 이때, 상기 제4 두께(T4)는 상기 제3 두께(T3)보다 더 클 수 있다. 일 예로, 상기 제3 두께(T3)는 0.1㎛ 내지 3㎛일 수 있고, 상기 제4 두께(T4)는 0.3㎛ 내지 6㎛일 수 있다.

[0085] 도 5 내지 도 9는 본 발명의 실시예들에 따른 제1 반도체 칩을 제조하는 방법을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도들이다.

[0086] 도 2 및 도 5를 참조하면, 반도체 기판(100)에 제1 집적회로(IC1)가 형성될 수 있다. 상기 제1 집적회로(IC1)는 복수개의 트랜지스터들(TR), 복수개의 금속층들(M1~M3) 및 복수개의 비아들(V1~V3)을 형성하는 것을 포함할 수 있으며, 이는 앞서 도 4에서 설명한 바와 동일할 수 있다.

[0087] 상기 반도체 기판(100)의 중앙 영역(CA) 상에 센터 패드들(110)이 형성될 수 있다. 상기 센터 패드들(110)은 상기 제1 집적회로(IC1)와 전기적으로 연결될 수 있다. 이하, 상기 센터 패드들(110) 중 어느 하나의 센터 패드(110)를 중심으로 설명한다.

[0088] 상기 센터 패드(110)를 덮는 하부 절연 구조체(120)가 형성될 수 있다. 상기 하부 절연 구조체(120)는 제1 두께(T1)를 갖도록 형성될 수 있다. 일 예로, 상기 제1 두께(T1)는 0.1㎛ 내지 3㎛일 수 있다.

[0089] 구체적으로, 상기 하부 절연 구조체(120)를 형성하는 것은, 상기 반도체 기판(100)의 전면 상에 제1 하부 절연막(120a), 제2 하부 절연막(120b), 및 제3 하부 절연막(120c)을 순차적으로 형성하는 것을 포함할 수 있다. 상기 제1 내지 제3 하부 절연막들(120a, 120b, 120c)은 각각 원자층 증착 공정(ALD) 또는 화학 기상 증착 공정(CVD)을 이용하여 형성될 수 있다. 일 예로, 상기 제1 및 제3 하부 절연막들(120a, 120c)은 각각 실리콘 산화막으로 형성될 수 있고, 상기 제2 하부 절연막(120b)은 실리콘 질화막으로 형성될 수 있다.

[0090] 도 2 및 도 6을 참조하면, 상기 하부 절연 구조체(120)를 패터닝하여, 상기 센터 패드(110)를 노출하는 콘택 홀(125)이 형성될 수 있다. 상기 하부 절연 구조체(120)를 패터닝 하는 것은, 상기 센터 패드(110)와 수직적으로 중첩되는 개구부를 갖는 제1 포토레지스트 패턴(미도시)을 형성하는 것, 및 상기 제1 포토레지스트 패턴을 식각 마스크로 상기 하부 절연 구조체(120)를 식각하는 것을 포함할 수 있다. 상기 콘택 홀(125)은 제4 폭(W4)을 가

질 수 있다. 일 예로, 상기 제4 폭(W4)은 5㎛ 내지 50㎛일 수 있다.

[0091] 도 2 및 도 7을 참조하면, 상기 하부 절연 구조체(120)의 전면 상에, 베리어막(132) 및 상기 베리어막(132) 상의 도전막(134)이 형성될 수 있다. 상기 베리어막(132) 및 상기 도전막(134)은 상기 콘택 홀(125)을 채울 수 있다. 따라서, 상기 베리어막(132)은 상기 센터 패드(110)를 직접 덮을 수 있다 그러나, 상기 도전막(134)이 상기 콘택 홀(125)을 완전히 채우지 못할 수 있고, 이로써 상기 도전막(134)에 의해 함몰 영역(137)이 정의될 수 있다.

[0092] 상기 베리어막(132) 및 상기 도전막(134)은 물리적 기상 증착 공정(PVD)을 이용해 형성될 수 있다. 한편, 상기 콘택 홀(125) 내의 상기 도전막(134)은, 상기 반도체 기판(100)의 상면과 수직한 방향으로의 제2 두께(T2)를 가질 수 있다. 상기 콘택 홀(125) 내의 상기 도전막(134)은, 제1 방향(D1) 또는 제2 방향(D2)으로의 제5 두께(T5)를 가질 수 있다. 상기 도전막(134)은 단차 도포성이 낮은 상기 물리적 기상 증착 공정(PVD)을 통해 형성되기 때문에, 상기 제2 두께(T2)가 상기 제5 두께(T5)보다 더 클 수 있다.

[0093] 구체적으로, 상기 베리어막(132)은 Ti, TiN, 또는 이들의 조합을 포함하는 금속 물질로 형성될 수 있다. 상기 도전막(134)은 알루미늄(Al)을 포함하는 금속 물질로 형성될 수 있다.

[0094] 도 2 및 도 8을 참조하면, 상기 도전막(134) 상에 제2 포토레지스트 패턴(PR)이 형성될 수 있다. 상기 제2 포토레지스트 패턴(PR)은 복수개로 제공될 수 있으며, 상기 제2 포토레지스트 패턴들(PR)은 앞서 도 2 및 도 3을 참조하여 설명한 재배선들(130)과 각각 겹쳐(superimposed)질 수 있다.

[0095] 상기 제2 포토레지스트 패턴(PR)을 마스크로 상기 도전막(134) 및 상기 베리어막(132)을 순차적으로 식각하여, 재배선(130)이 형성될 수 있다. 상기 도전막(134) 및 상기 베리어막(132)의 식각 공정은 건식 식각을 이용할 수 있다. 일 예로, 상기 건식 식각의 식각 가스로 BCl_3 및/또는 SF_6을 사용할 수 있으나, 특별히 제한되는 것은 아니다. 상기 재배선(130)은 베리어 패턴(133), 및 상기 베리어 패턴(133) 상의 도전 패턴(135)을 포함할 수 있다. 상기 도전 패턴(135)은 콘택부(135a), 도전 라인부(135b), 및 본딩 패드부(135c)를 포함할 수 있다.

[0096] 상기 도전 패턴(135)과 상기 베리어 패턴(133)은 모두 상기 제2 포토레지스트 패턴(PR)을 마스크로 형성되기 때문에, 이들은 서로 수직적으로 중첩될 수 있다. 따라서, 상기 콘택부(135a)의 제1 측벽(SW1)과 상기 콘택부(135a)와 인접하는 상기 베리어 패턴(133)의 제2 측벽(SW2)은 서로 정렬될 수 있다. 상기 본딩 패드부(135c)의 제3 측벽(SW3)과 상기 본딩 패드부(135c)와 인접하는 상기 베리어 패턴(133)의 제4 측벽(SW4)은 서로 정렬될 수 있다.

[0097] 도 2 및 도 9를 참조하면, 잔류하는 상기 제2 포토레지스트 패턴(PR)이 선택적으로 제거될 수 있다. 이어서, 상기 재배선(130) 및 상기 하부 절연 구조체(120) 상에 상부 절연 구조체(140)가 형성될 수 있다.

[0098] 구체적으로, 상기 상부 절연 구조체(140)를 형성하는 것은, 상기 반도체 기판(100)의 전면 상에 상부 절연막(140a), 및 고분자막(140b)을 순차적으로 형성하는 것을 포함할 수 있다. 상기 상부 절연막(140a)은 원자층 증착 공정(ALD) 또는 화학 기상 증착 공정(CVD)을 이용하여 형성될 수 있다. 상기 고분자막(140b)은 폴리이미드, 플루오로 카본, 레진, 또는 합성 고무와 같은 고분자 물질 또는 이의 전구체를 상기 상부 절연막(140a) 상에 코팅하여 형성될 수 있다. 상기 상부 절연막(140a)은 제3 두께(T3)를 가지도록 형성될 수 있고, 상기 고분자막(140b)은 제4 두께(T4)를 가지도록 형성될 수 있다. 이때, 상기 제4 두께(T4)는 상기 제3 두께(T3)보다 더 클 수 있다.

[0099] 도 2 및 도 3을 다시 참조하면, 상기 상부 절연 구조체(140)를 패터닝하여, 상기 본딩 패드부(135c)를 노출하는 제1 개구부(145)가 형성될 수 있다. 상기 상부 절연 구조체(140)를 패터닝 하는 것은, 상기 본딩 패드부(135c)와 수직적으로 중첩되는 개구부를 갖는 제3 포토레지스트 패턴(미도시)을 형성하는 것, 및 상기 제3 포토레지스트 패턴을 식각 마스크로 상기 상부 절연 구조체(140)를 식각하는 것을 포함할 수 있다. 상기 제1 개구부(145)는 제3 폭(W3)을 가질 수 있다. 일 예로, 상기 제3 폭(W3)은 100㎛ 내지 300㎛일 수 있다. 이후 패키지 공정 시, 상기 제1 개구부(145)를 통해 노출된 상기 본딩 패드부(135c) 상에 와이어 본딩이 수행될 수 있다.

[0100] 본 발명의 실시예들에 따른 제조 방법은, 금 또는 구리 대신 저렴한 알루미늄과 같은 금속을 이용하여 상기 재배선(130)을 형성하므로, 보다 경제적일 수 있다. 나아가, 상기 재배선(130)을 패터닝할 때 기존의 금속 패터닝 설비를 그대로 이용할 수 있으므로, 효율적인 공정 운영이 가능할 수 있다.

[0102] 도 10은 본 발명의 실시예들에 따른 제1 반도체 칩을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도이다. 본 실시예에서는, 앞서 도 2 내지 도 4를 참조하여 설명한 제1 반도체 칩과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대하여 보다 상세히 설명한다.

[0103] 도 2 및 도 10을 참조하면, 상부 절연 구조체(140)를 관통하는 제2 개구부(146)가 콘택부(135a)를 노출할 수 있다. 상기 제2 개구부(146)는 제5 폭(W5)을 가질 수 있다. 일 예로, 상기 제5 폭(W5)은 10㎛ 내지 100㎛일 수 있다.

[0104] 도시되진 않았지만, 별도의 외부 단자가 상기 제2 개구부(146)를 통해 상기 콘택부(135a)와 접속될 수 있다. 따라서, 상기 콘택부(135a)는, 제1 개구부(145)를 통해 노출되는 본딩 패드부(135c)와 함께 외부 콘트롤러(미도시)와의 라우팅 자유도를 높일 수 있다.

[0106] 도 11은 본 발명의 실시예들에 따른 제1 반도체 칩을 나타낸 것으로, 도 2의 I-I'선 및 II-II'선에 따른 단면도이다. 본 실시예에서는, 앞서 도 2 내지 도 4를 참조하여 설명한 제1 반도체 칩과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대하여 보다 상세히 설명한다.

[0107] 도 2 및 도 11을 참조하면, 하부 절연 구조체(120)는 순차적으로 적층된 제1 및 제2 하부 절연막들(120a, 120b)을 포함할 수 있다. 각각의 상기 제1 및 제2 하부 절연막들(120a, 120b)은 무기 절연막으로서, 실리콘 질화막, 실리콘 산화막, 또는 실리콘 산화질화막을 포함할 수 있다. 일 예로, 상기 제1 하부 절연막(120a)은 실리콘 질화막을 포함할 수 있고, 상기 제2 하부 절연막(120b)은 실리콘 산화막을 포함할 수 있다.

[0109] 도 12는 본 발명의 실시예들에 따른 반도체 패키지에 관한 단면도이다. 본 실시예에서는, 앞서 도 1 및 도 2를 참조하여 설명한 반도체 패키지와 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대하여 보다 상세히 설명한다.

[0110] 도 12를 참조하면, 패키지 기판(10) 상에 제1 반도체 칩(20), 및 상기 제1 반도체 칩(20) 상에 제2 반도체 칩(30)이 실장될 수 있다. 상기 제2 반도체 칩(30)은 상기 제1 반도체 칩(20)과 마주보는 제3 면(30a) 및 상기 제3 면(30a)에 대향하는 제4 면(30b)을 가질 수 있다.

[0111] 상기 제2 반도체 칩(30)은 앞서 설명한 상기 제1 반도체 칩(20)과 동일 또는 유사한 칩일 수 있다. 구체적으로, 상기 제2 반도체 칩(30)은 제2 집적회로(IC2), 센터 패드들(110) 및 재배선들(130)을 포함할 수 있다. 상기 재배선들(130)은 본딩 패드부들(135c)을 포함할 수 있다. 상기 제2 반도체 칩(30)은 DRAM이나 플래시와 같은 메모리 칩들일 수 있다. 상기 제2 집적회로(IC2)는 데이터를 저장하기 위한 메모리 셀들, 상기 메모리 셀들의 동작을 제어하기 위한 제어회로 및/또는 전원회로를 포함할 수 있다.

[0112] 상기 제2 반도체 칩(30)은 제2 접착층(25)을 통해 상기 제1 반도체 칩(20)에 부착될 수 있다. 상기 제2 접착층(25)은 에폭시, 실리콘 재질의 절연성 막, 또는 테이프일 수 있다. 상기 제2 접착층(25)의 상면은, 상기 제1 반도체 칩(20)에 연결된 와이어들(8)의 최상부보다 더 높은 레벨에 위치할 수 있다.

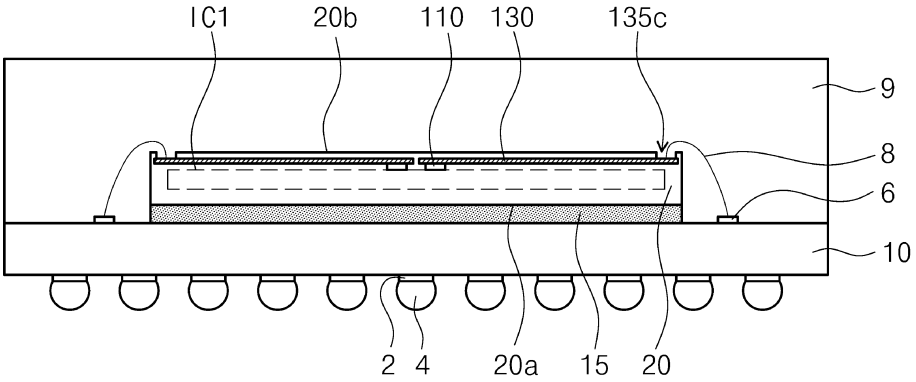
[0113] 와이어들(8)이 상기 제2 반도체 칩(30)의 상기 본딩 패드부들(135c)과 상기 패키지 기판(10)의 제2 외부 패드들(6)을 각각 전기적으로 연결할 수 있다. 상기 제2 반도체 칩(30)은 상기 와이어들(8)를 통하여 외부의 콘트롤러(미도시)와 통신할 수 있다.

[0114] 상기 패키지 기판(10) 상의 몰딩막(9)이 상기 제1 및 제2 반도체 칩들(20, 30) 및 상기 와이어들(8)을 덮을 수 있다. 상기 몰딩막(9)은 외부 환경으로부터 상기 제1 및 제2 반도체 칩들(20, 30) 및 상기 와이어들(8)을 보호할 수 있다.

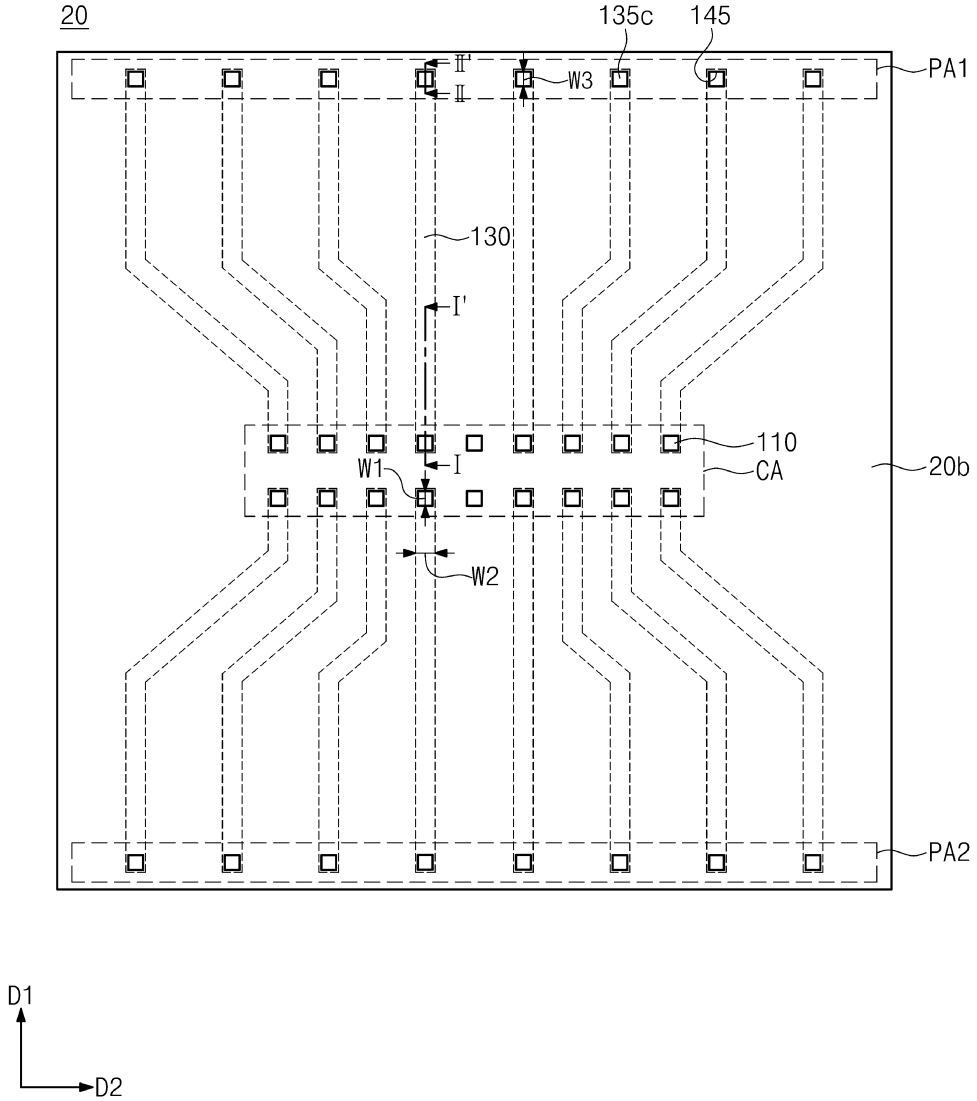
[0115] 다른 예로, 상기 제1 및 제2 반도체 칩들(20, 30)뿐만 아니라, 추가적인 반도체 칩들이 상기 제2 반도체 칩(30) 상에 순차적으로 적층될 수 있다.

도면

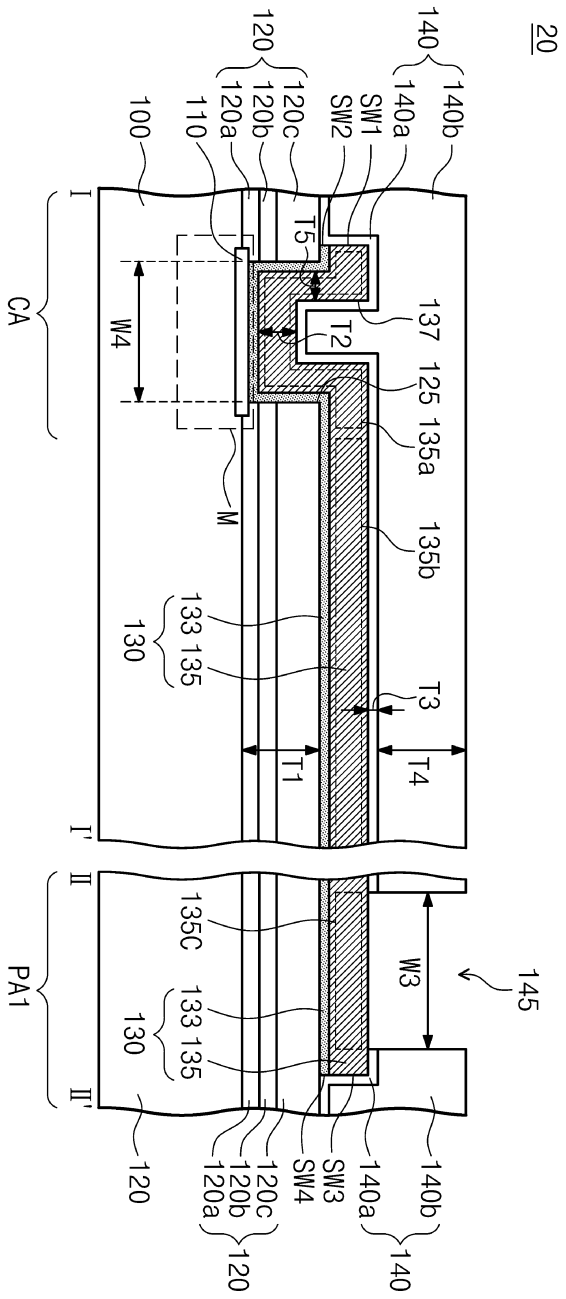
도면1


IC1
20b
110
130
135c
9
8
6
10
2
4
20a
15
20

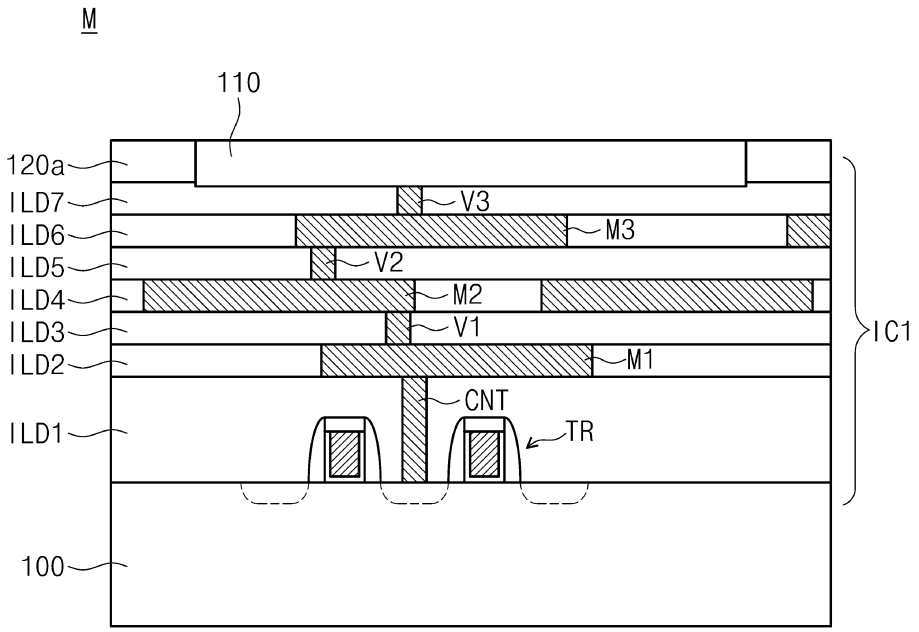
도면2


20
135c
145
PA1
II'
II
W3
130
I'
110
CA
20b
W1
I
W2
PA2
D1
D2

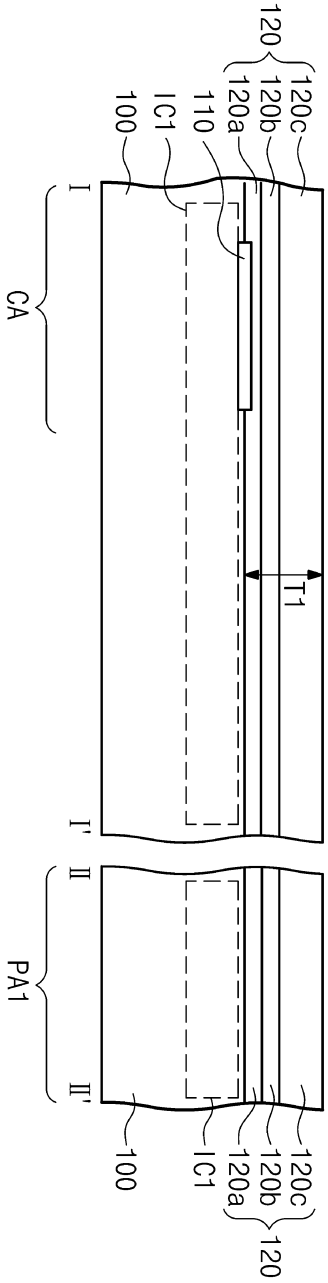
도면3


20
140
140b
140a
SW1
SW2
120
120c
120b
120a
110
100
I
CA
T5
T2
137
125
135a
135b
W4
M
133 135
130
T3
T1
T4
I'
II
PA1
135C
133 135
130
W3
145
II'
120
120a
120b
120c
SW4
SW3
140a
140
140b

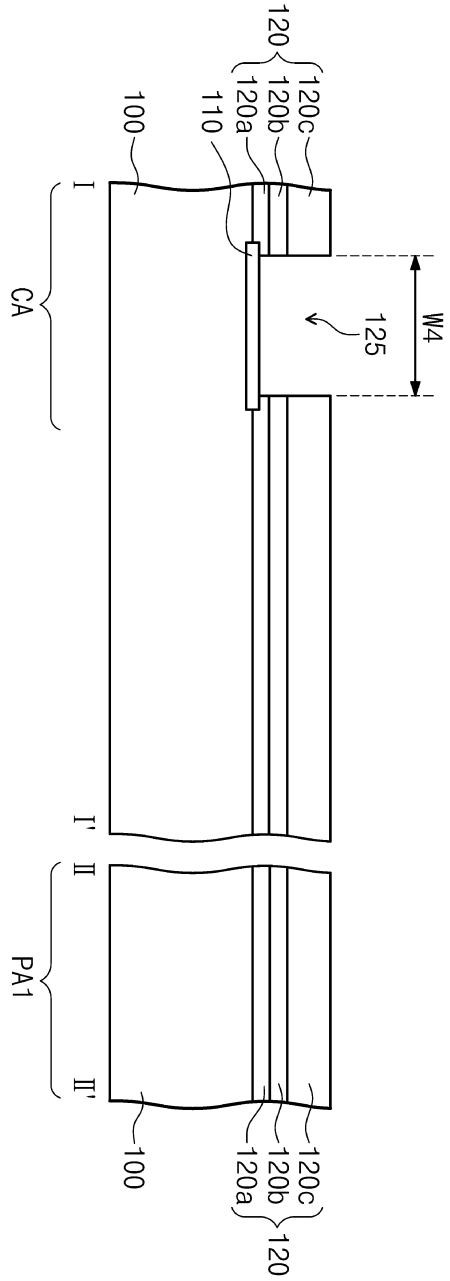
도면4


M
110
120a
ILD7
ILD6
ILD5
ILD4
ILD3
ILD2
ILD1
100
V3
M3
V2
M2
V1
M1
CNT
TR
IC1

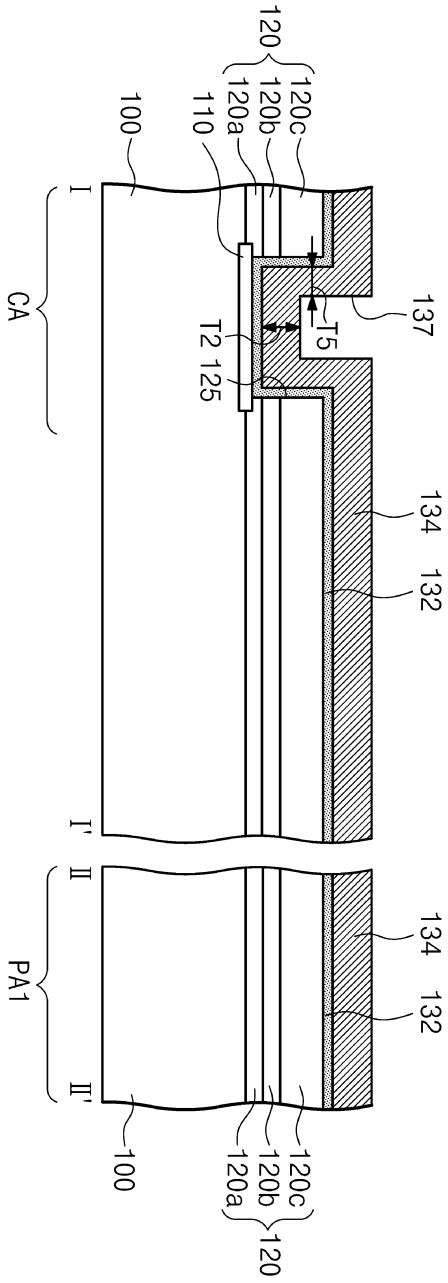
도면5


120c
120b
120a
120
110
IC1
100
I
I'
CA
T1
II
II'
PA1
100
IC1
120a
120b
120c
120

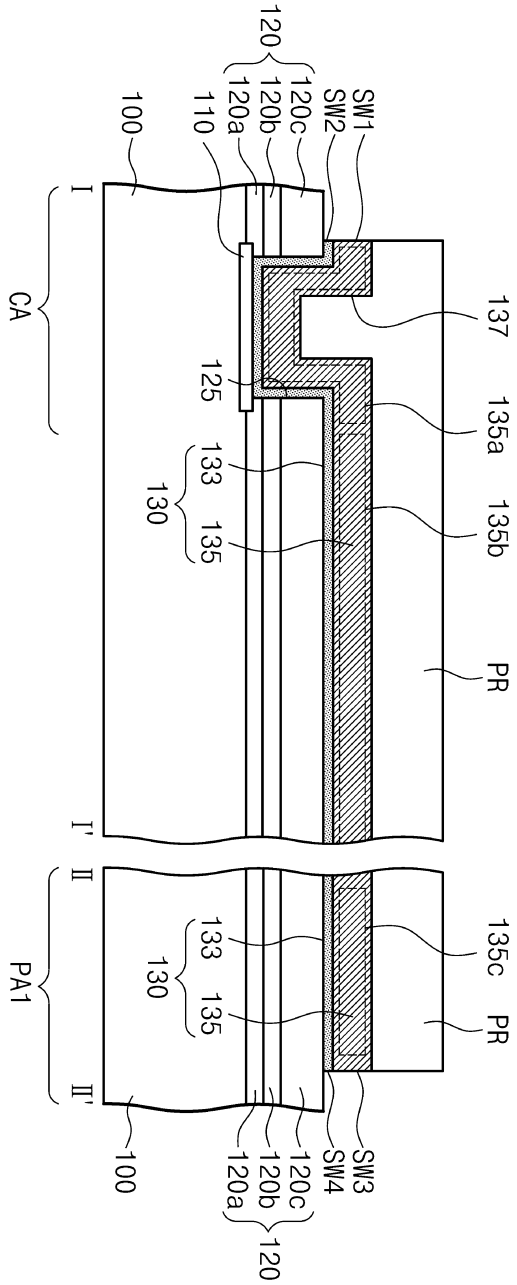
도면6


120c
120b
120a
120
W4
125
110
100
I
I'
CA
II
II'
PA1
100
120c
120b
120a
120

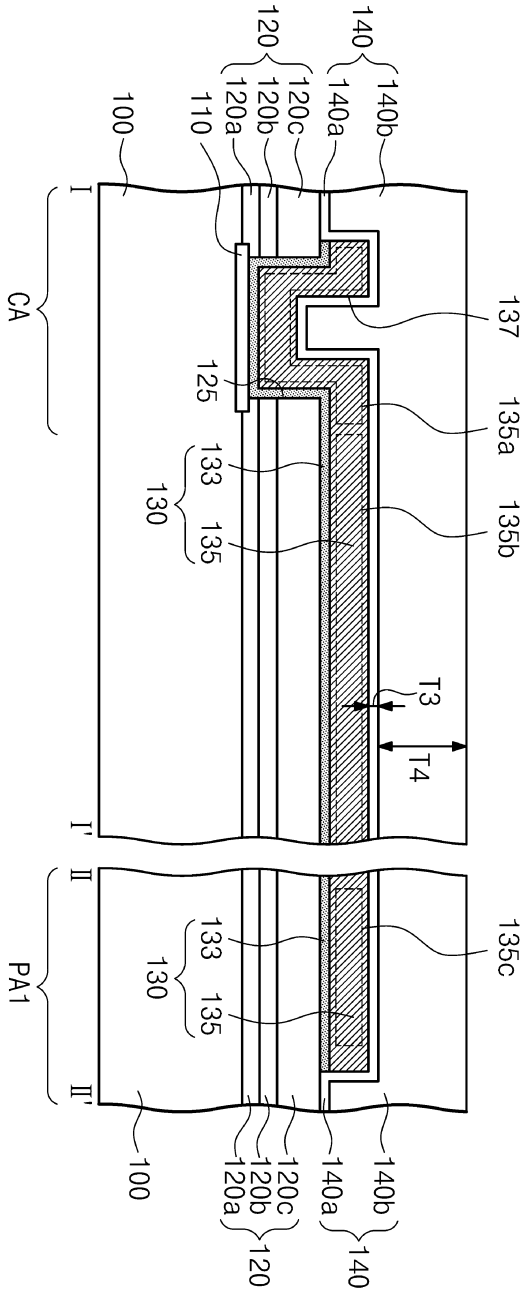
도면7


120
120c
120b
120a
110
100
I
CA
T2
125
T5
137
134
132
I'
II
PA1
II'
100
120a
120b
120c
120

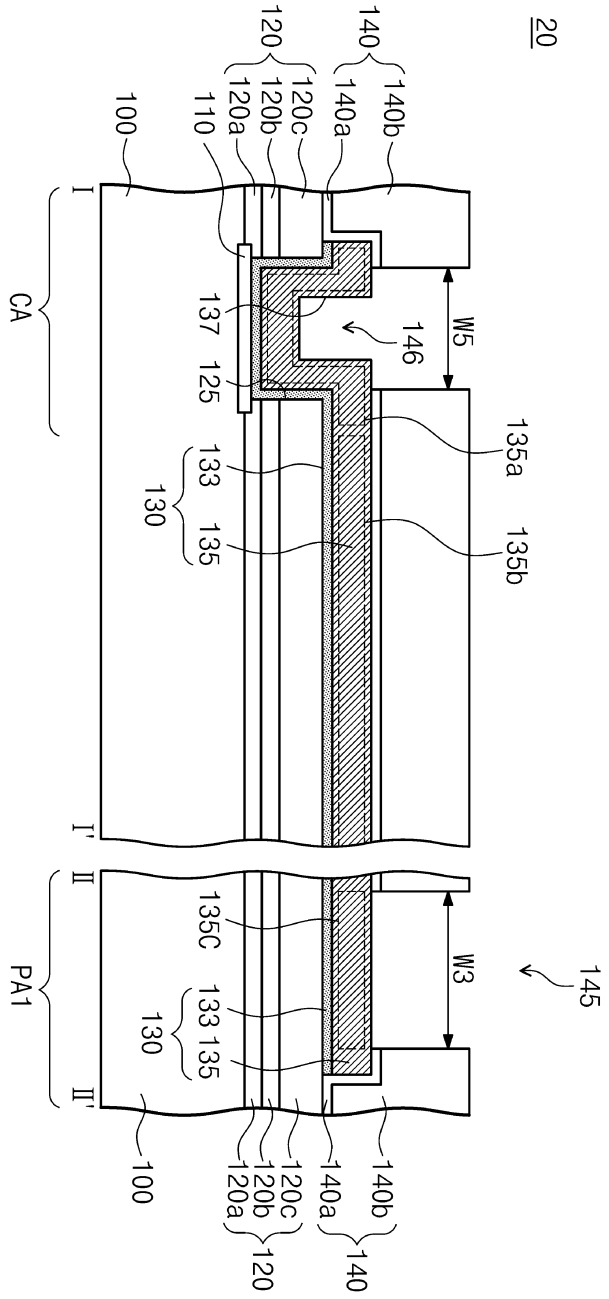
도면8


SW1
SW2
120
120c
120b
120a
110
100
I
CA
137
135a
135b
PR
125
133
130
135
I'
II
PA1
135c
PR
133
130
135
II'
SW3
SW4
120c
120b
120a
120
100

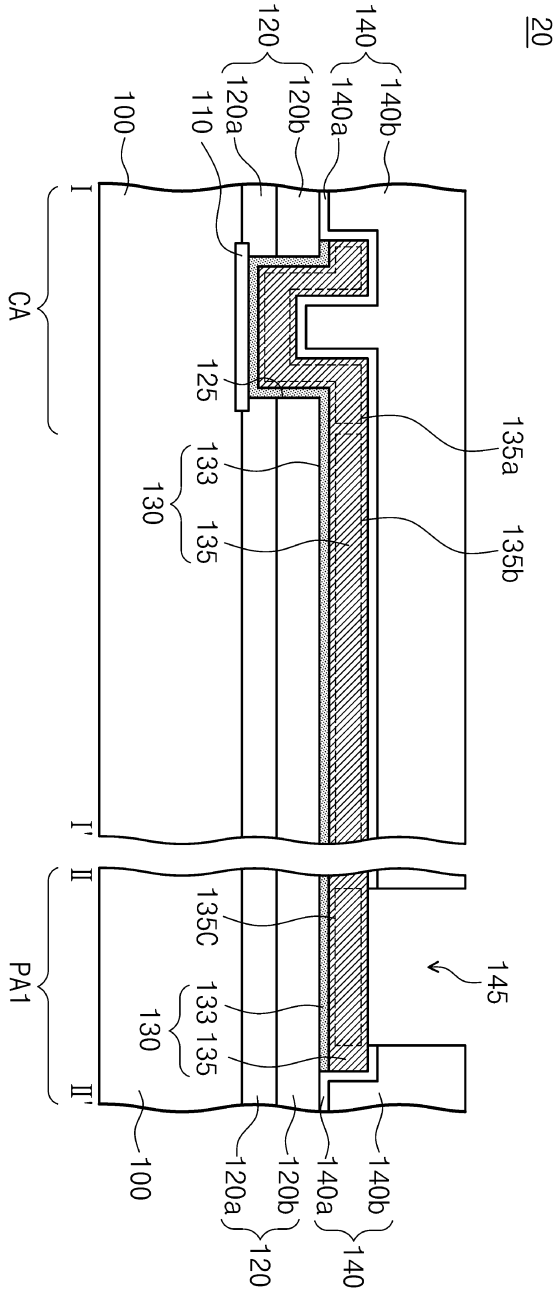
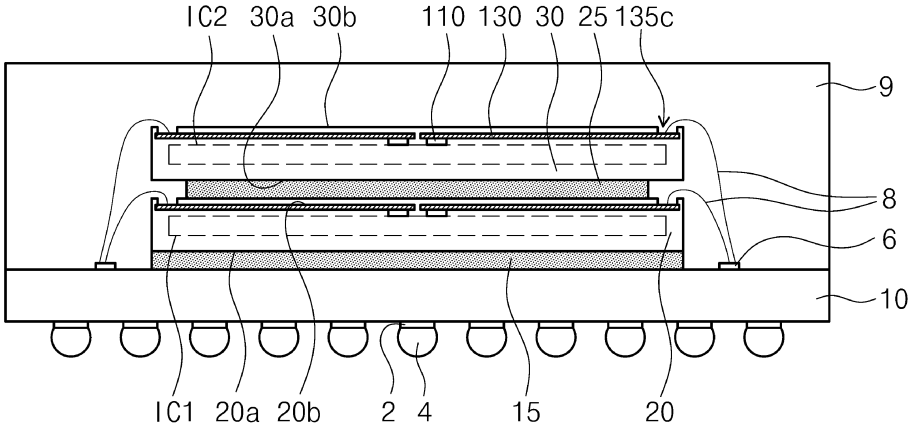
도면9


140
140b
140a
120
120c
120b
120a
110
100
I
CA
137
135a
135b
125
133
135
130
T3
T4
I'
II
PA1
135c
133
135
130
II'
100
120a
120b
120c
120
140a
140b
140

도면10


20
140
140b
140a
120
120c
120b
120a
110
100
I
CA
137
125
146
W5
135a
133
130
135
135b
I'
II
PA1
135C
133
130
135
W3
145
II'
100
120a
120b
120c
120
140a
140b
140

도면11


20
140
140b
140a
120
120b
120a
110
100
I
CA
125
133
130
135
135a
135b
I'
II
PA1
135C
133
130
135
145
II'
100
120a
120b
120
140a
140b
140

도면12