



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월15일  
(11) 등록번호 10-0821585  
(24) 등록일자 2008년04월04일

(51) Int. Cl.

G11C 7/10 (2006.01) G11C 7/20 (2006.01)  
G11C 5/14 (2006.01) G11C 29/04 (2006.01)

(21) 출원번호 10-2007-0023867

(22) 출원일자 2007년03월12일  
심사청구일자 2007년03월12일

(56) 선행기술조사문헌

JP2002150788 A  
KR1020030089314 A  
KR1020060038234 A

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박정훈

서울 양천구 신정6동 목동아파트 805동 708호

(74) 대리인

김성남

전체 청구항 수 : 총 26 항

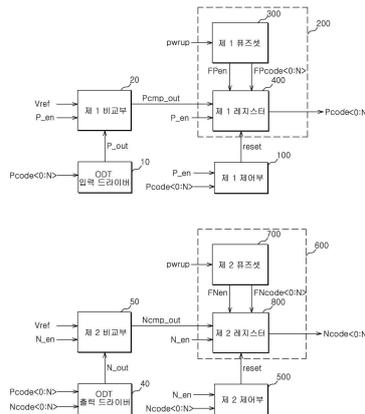
심사관 : 이강하

(54) 반도체 메모리 장치의 온 다이 터미네이션 회로

(57) 요약

본 발명은 노멀 코드에 상응하는 전압과 기준전압을 비교하여 그 비교결과 신호를 출력하는 비교부; 및 상기 비교결과 신호에 따라 상기 노멀 코드를 가변시켜 출력하고 리셋 신호에 따라 상기 노멀 코드를 기설정된 리셋 코드 또는 가변 가능한 퓨즈 코드 중 어느 하나로 리셋시키는 코드 조정부를 구비한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

노멀 코드에 상응하는 전압과 기준전압을 비교하여 그 비교결과 신호를 출력하는 비교부; 및

상기 비교결과 신호에 따라 상기 노멀 코드를 가변시켜 출력하고 리셋 신호에 따라 상기 노멀 코드를 기설정된 리셋 코드 또는 가변 가능한 퓨즈 코드 중 어느 하나로 리셋시키는 코드 조정부를 구비하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

### 청구항 2

제 1 항에 있어서,

상기 코드 조정부는

상기 퓨즈 코드가 설정되고 상기 퓨즈 코드의 사용 여부를 정의하기 위한 퓨즈 코드 인에이블 신호를 출력하는 코드 설정 수단, 및

상기 비교 결과신호에 따라 상기 노멀 코드를 카운트하여 저장하고 상기 리셋 신호 및 상기 퓨즈 코드 인에이블 신호에 따라 상기 리셋 코드 또는 상기 퓨즈 코드 중 하나를 선택하여 상기 노멀 코드를 리셋시키는 레지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

### 청구항 3

제 2 항에 있어서,

상기 코드 설정 수단은

상기 퓨즈 코드 인에이블 신호를 생성하기 위한 제 1 퓨즈 회로, 및

상기 퓨즈 코드를 생성하기 위한 복수개의 제 2 퓨즈 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

### 청구항 4

제 3 항에 있어서,

상기 제 1 퓨즈 회로는

전원단과 연결된 퓨즈,

상기 퓨즈와 접지단 사이에 연결된 트랜지스터, 및

상기 퓨즈와 트랜지스터의 연결노드에 연결된 래치를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

### 청구항 5

제 3 항에 있어서,

상기 제 2 퓨즈 회로는 상기 제 1 퓨즈 회로와 동일하게 구성되는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

### 청구항 6

제 3 항에 있어서,

상기 제 1 및 제 2 퓨즈 회로는 파워 업 신호에 따라 초기화되는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

### 청구항 7

제 2 항에 있어서,

상기 레지스터는

상기 퓨즈 코드, 상기 리셋 코드와 퓨즈 코드 중 하나를 선택하기 위한 선택신호를 입력받아 상기 노멀 코드를 출력하는 복수개의 카운터를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 8**

제 7 항에 있어서,

상기 리셋 신호와 상기 퓨즈코드 인에이블 신호를 입력 받아 상기 선택신호를 생성하는 선택신호 생성부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 9**

제 8 항에 있어서,

상기 선택신호 생성부는

상기 리셋 신호와 상기 퓨즈코드 인에이블 신호를 입력받아 상기 리셋 코드를 선택하기 위한 제 1 선택신호를 생성하는 제 1 선택신호 생성부, 및

상기 리셋 신호와 상기 퓨즈코드 인에이블 신호를 입력받아 상기 퓨즈 코드를 선택하기 위한 제 2 선택신호를 생성하는 제 2 선택신호 생성부를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 10**

제 9 항에 있어서,

상기 제 1 선택신호 생성부는

상기 리셋 신호와 반전된 퓨즈코드 인에이블 신호를 논리곱하는 로직회로로 구성됨을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 11**

제 9 항에 있어서,

상기 제 2 선택신호 생성부는

상기 리셋 신호와 상기 퓨즈코드 인에이블 신호를 논리곱하는 로직회로로 구성됨을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 12**

제 9 항에 있어서,

상기 카운터는

노멀 코드 제어 클럭에 따라 입력신호를 저장 및 출력하고, 상기 제 1 선택신호 및 제 2 선택신호에 따라 상기 퓨즈 코드 또는 상기 리셋 코드를 출력하는 플립 플롭,

입력 캐리와 상기 플립 플롭의 출력신호 또는 반전된 상기 플립 플롭의 출력신호를 입력 받아 출력 캐리를 생성하는 캐리 출력부,

상기 입력 캐리에 따라 상기 플립 플롭의 출력신호 또는 반전된 플립 플롭의 출력신호를 피드백 시키고, 상기 비교결과 신호에 따라 상기 플립 플롭의 출력신호 또는 반전된 플립 플롭의 출력신호를 상기 캐리 출력부로 출력하는 스위칭부, 및

코드 조정 인에이블 신호를 이용하여 노멀 코드 제어 클럭을 생성하는 노멀 코드 제어 클럭 생성부를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 13**

제 12 항에 있어서,

상기 플립 플롭은

상기 제 2 선택 신호에 따라 생성된 퓨즈코드 제어 클럭에 따라 상기 퓨즈 코드를 출력하는 퓨즈 코드 처리부,

상기 노멀 코드 제어 클럭에 따라 상기 노멀 코드를 저장 및 출력하는 노멀 코드 처리부, 및

상기 제 1 선택신호에 따라 상기 리셋 코드를 출력하는 리셋 코드 처리부를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 14**

제 13 항에 있어서,

상기 퓨즈 코드 처리부는

상기 퓨즈코드 제어 클럭을 제어단에 입력받고 상기 퓨즈 코드를 입력단에 입력받는 스위칭 소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 15**

제 13 항에 있어서,

상기 노멀 코드 처리부는

상기 노멀코드 제어 클럭을 제어단자에 입력받고 상기 노멀 코드를 입력단에 입력받는 제 1 스위칭 소자,

상기 제 1 스위칭 소자의 출력을 입력받는 래치, 및

상기 노멀코드 제어 클럭을 상기 제 1 스위칭 소자와 반대위상으로 제어단에 입력받고 상기 래치의 출력을 입력단에 입력받는 제 2 스위칭 소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 16**

제 13 항에 있어서,

상기 리셋 코드 처리부는

상기 제 1 선택신호에 따라 제 1 논리 레벨을 출력하는 제 1 트랜지스터,

상기 제 1 트랜지스터와 상기 플립 플롭의 출력단 사이에 연결된 제 1 스위치,

상기 제 1 선택신호에 따라 상기 제 1 논리 레벨과 반대의 레벨을 출력하는 제 2 트랜지스터, 및

상기 제 2 트랜지스터와 상기 플립 플롭의 출력단 사이에 연결된 제 2 스위치를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 17**

제 13 항에 있어서,

상기 제 2 선택신호를 이용하여 상기 퓨즈코드 제어 클럭을 생성하는 퓨즈코드 제어 클럭 생성부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 18**

제 17 항에 있어서,

상기 퓨즈코드 제어 클럭 생성부는

상기 제 2 선택신호를 순차적으로 반전시키는 복수개의 반전소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 19**

제 12 항에 있어서,

상기 캐리 출력부는

상기 입력 캐리가 논리 레벨 '1'이고 상기 플립 플롭의 출력신호가 논리 레벨 '1'인 경우 상기 출력 캐리를 논리 레벨 '1'로 출력하는 논리 소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 20**

제 12 항에 있어서,

상기 스위칭부는

상기 입력 캐리에 따라 상기 플립 플롭의 출력 또는 반전된 플립 플롭의 출력을 피드백시키는 제 1 및 제 2 스위칭 소자, 및

상기 비교결과 신호에 따라 상기 플립 플롭의 출력 또는 반전된 플립 플롭의 출력을 상기 캐리 출력부로 입력시키는 제 3 및 제 4 스위칭 소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 21**

제 12 항에 있어서,

상기 노멀 코드 제어 클럭 생성부는

상기 코드 조정 인에이블 신호를 순차적으로 반전시키는 복수개의 반전소자를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 22**

제 1 항에 있어서,

코드 조정 완료 시점의 상기 노멀 코드에 따라 코드 오류 여부를 판단하여 상기 리셋 신호를 생성하는 제어부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 23**

제 22 항에 있어서,

상기 제어부는

상기 코드 조정 완료 시점의 노멀 코드가 최대값에 도달하면 상기 리셋신호를 생성하도록 구성됨을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 24**

제 22 항에 있어서,

상기 제어부는

상기 코드 조정 인에이블 신호를 입력받는 인버터, 및

상기 인버터의 출력과 상기 노멀 코드를 입력받는 XNOR 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 25**

제 22 항에 있어서,

상기 제어부는

상기 코드 조정 완료 시점의 노멀 코드가 최소값에 도달하면 상기 리셋신호를 생성하도록 구성됨을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**청구항 26**

제 22 항에 있어서,

상기 제어부는

상기 코드 조정 인에이블 신호를 입력받는 제 1 인버터,

상기 노멀 코드의 각 비트를 입력받는 복수개의 제 2 인버터, 및

상기 제 1 및 제 2 인버터의 출력을 입력받는 XNOR 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 장치의 온 다이 터미네이션 회로.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <19> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 반도체 메모리 장치의 온 다이 터미네이션 회로에 관한 것이다.
- <20> 일반적으로 소정의 임피던스를 갖는 버스 라인을 통해 전달되는 신호가 임피던스가 다른 버스라인과 만나는 경우 신호의 일부가 손실된다. 따라서 상기 두 버스 라인의 임피던스를 매칭시킴으로써 상기 신호 손실을 감소시키는 것을 온 다이 터미네이션(On Die Termination) 이라 한다.
- <21> 종래의 기술에 따른 온 다이 터미네이션 장치는 도 1에 도시된 바와 같이, 데이터 입력 드라이버와 동일하게 모델링되고 제 1 코드(Pcode<0:N>)에 따른 저항비로 전원전압(VDDQ)을 분압하여 제 1 라인전압(P\_out)을 출력하는 ODT 입력 드라이버(10), 제 1 코드 조정 인에이블 신호(P\_en)에 따라 상기 제 1 라인전압(P\_out)과 기준전압(Vref)을 비교하여 제 1 비교 결과신호(Pcmp\_out)를 출력하는 제 1 비교부(20), 상기 제 1 비교 결과신호(Pcmp\_out)에 따라 상기 제 1 코드(Pcode<0:N>)를 카운트하는 제 1 레지스터(30), 데이터 출력 드라이버와 동일하게 모델링되고 제 2 코드(Ncode<0:N>)에 따른 저항비로 전원전압(VDDQ)을 분압하여 제 2 라인전압(N\_out)을 출력하는 ODT 출력 드라이버(40), 제 2 코드 조정 인에이블 신호(N\_en)에 따라 상기 제 2 라인전압(N\_out)과 기준전압(Vref)을 비교하여 제 2 비교 결과신호(Ncmp\_out)를 출력하는 제 2 비교부(50), 및 상기 제 2 비교 결과신호(Ncmp\_out)에 따라 상기 제 2 코드(Ncode<0:N>)를 카운트하는 제 2 레지스터(60)를 구비한다.
- <22> 이와 같이 구성된 종래 기술의 코드 조정 동작을 설명하면 다음과 같다.
- <23> 제 1 코드(Pcode<0:N>)와 제 2 코드(Ncode<0:N>)의 조정 동작은 동시에 이루어지거나, 제 1 코드(Pcode<0:N>), 제 2 코드(Ncode<0:N>) 순으로 이루어질 수 있다.
- <24> 제 1 코드(Pcode<0:N>) 조정 동작은 다음과 같다.
- <25> 상기 제 1 레지스터(30)에서 기설정된 값의 제 1 코드(Pcode<0:N>)가 상기 ODT 입력 드라이버(10)에 입력된다.
- <26> 상기 ODT 입력 드라이버(10)가 상기 제 1 코드(Pcode<0:N>)에 따라 연결되는 저항과 상기 라인 임피던스 검출용 저항(ZQ)의 저항비로 전원전압(VDDQ)을 분배하여 제 1 라인전압(P\_out)을 출력한다.
- <27> 상기 제 1 비교부(20)가 제 1 코드 조정 인에이블 신호(P\_en)에 따라 상기 제 1 라인전압(P\_out)과 기준전압(Vref)을 비교하여, 그에 따른 제 1 비교 결과신호(Pcmp\_out)를 출력한다.
- <28> 그리고 상기 제 1 레지스터(30)가 상기 제 1 비교 결과신호(Pcmp\_out)에 따라 제 1 코드(Pcode<0:N>)를 카운트한다.
- <29> 상기 ODT 입력 드라이버(10)는 카운트된 제 1 코드(Pcode<0:N>) 입력에 해당하는 제 1 라인전압(P\_out)을 제 1 비교부(20)에 피드백 시키고, 그에 따라 제 1 비교부(20)는 상술한 비교동작 및 그에 따른 제 1 비교 결과신호

(Pcmp\_out) 출력 동작을 반복한다.

- <30> 정해진 시간이 경과되면 상기 제 1 코드 조정 인에이블 신호(P\_en)가 비활성화된다.
- <31> 상기 제 1 코드 조정 인에이블 신호(P\_en)에 따라 비활성화됨에 따라 상기 제 1 비교부(20)와 상기 제 1 레지스터(30)가 동작을 멈추고 그 시점의 제 1 코드(Pcode<0:N>)가 저장된다.
- <32> 제 2 코드(Ncode<0:N>) 조정 동작은 다음과 같다.
- <33> 상기 제 2 레지스터(60)에서 기설정된 초기 제 2 코드(Ncode<0:N>)가 상기 ODT 출력 드라이버(40)에 입력된다.
- <34> 그리고 상기 ODT 출력 드라이버(40)가 상기 제 1 코드(Pcode<0:N>) 및 제 2 코드(Ncode<0:N>)에 따라 연결되는 저항의 저항비에 따른 제 2 라인전압(N\_out)을 출력한다.
- <35> 이어서 상기 제 2 비교부(50)가 제 2 코드 조정 인에이블 신호(N\_en)에 따라 상기 제 2 라인전압(N\_out)과 기준전압(Vref)을 비교하여, 그에 따른 제 2 비교 결과신호(Ncmp\_out)를 출력한다.
- <36> 그리고 상기 제 2 레지스터(60)가 상기 제 2 비교 결과신호(Ncmp\_out)에 따라 제 2 코드(Ncode<0:N>)를 카운트한다.
- <37> 이때 ODT 출력 드라이버(40)는 카운트되는 제 2 코드(Ncode<0:N>)에 따른 제 2 라인전압(P\_out)을 제 2 비교부(50)에 피드백 시키고, 그에 따라 제 2 비교부(50)는 상술한 비교동작 및 그에 따른 제 2 비교 결과신호(Ncmp\_out) 출력 동작을 반복한다.
- <38> 정해진 시간이 경과되면 상기 제 2 코드 조정 인에이블 신호(N\_en)가 비활성화된다.
- <39> 상기 제 2 코드 조정 인에이블 신호(N\_en)에 따라 비활성화됨에 따라 상기 제 2 비교부(50)와 상기 제 2 레지스터(60)가 동작을 멈추고 그 시점의 제 2 코드(Ncode<0:N>)가 저장된다.
- <40> 상기 종래기술은 제 1 코드(Pcode<0:N>) 및 제 2 코드(Ncode<0:N>) 조정시 기준전압(Vref)보다 제 1 라인전압(P\_out) 및 제 2 라인전압(N\_out)이 클 경우 저항값을 크게 해야 하므로 제 1 코드(Pcode<0:N>)값은 증가시키고 제 2 코드(Ncode<0:N>)값은 감소시킨다.
- <41> 이때 반도체 메모리 장치의 외부적 요인 또는 내부적 요인으로 인하여 제 1 라인전압(P\_out) 및 제 2 라인전압(N\_out)이 기준전압(Vref)보다 크게 높은 상태가 발생할 수 있다. 예를 들어, 외부 저항(ZQ)이 반도체 메모리 장치의 외부 저항 연결용 핀(ZQ Pin)에 연결되지 않아 발생하는 고 임피던스(Hi-Z) 상태를 들 수 있다.
- <42> 이와 같이 제 1 라인전압(P\_out) 및 제 2 라인전압(N\_out)이 기준전압(Vref)보다 계속 높은 경우, 제 1 코드(Pcode<0:N>)를 계속 증가시켜 최종에는 제 1 코드(Pcode<0:N>)가 최대값인 상태로 저장되고 그에 따라 저항값이 거의 무한대에 가까워진다. 마찬가지로 제 2 코드(Ncode<0:N>)를 계속 감소시켜 최종에는 제 2 코드(Ncode<0:N>)가 최소값인 상태로 저장되고 그에 따라 저항값이 거의 무한대에 가까워진다.
- <43> 따라서 상술한 종래기술에 따른 반도체 메모리의 온 다이 터미네이션 장치는 제 1 코드(Pcode<0:N>)가 최대값이 되고, 제 2 코드(Ncode<0:N>)가 최소값인 상태로 조정 완료되는 코드 조정오류가 발생할 수 있고, 이 경우 저항값이 무한대에 가까워져 데이터 입출력이 정상적으로 이루어지지 못하는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <44> 본 발명은 코드 조정오류를 방지할 수 있도록 한 반도체 메모리 장치의 온 다이 터미네이션 회로를 제공함에 그 목적이 있다.
- <45> 본 발명은 PVT(Process/Voltage/Temperature) 변동에 대응할 수 있도록 코드 값 조정이 가능하도록 한 반도체 메모리 장치의 온 다이 터미네이션 회로를 제공함에 그 목적이 있다.

**발명의 구성 및 작용**

- <46> 본 발명에 따른 반도체 메모리 장치의 온 다이 터미네이션 회로는 노멀 코드에 상응하는 전압과 기준전압을 비교하여 그 비교결과 신호를 출력하는 비교부; 및 상기 비교결과 신호에 따라 상기 노멀 코드를 가변시켜 출력하고 리셋 신호에 따라 상기 노멀 코드를 기설정된 리셋 코드 또는 가변 가능한 퓨즈 코드 중 어느 하나로 리셋시키는 코드 조정부를 구비함을 특징으로 한다.
- <47> 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 메모리 장치의 온 다이 터미네이션 회로의 바람직한 실시

예를 설명하면 다음과 같다.

- <48> 본 발명에 따른 반도체 메모리 장치의 온 다이 터미네이션 회로는 도 2에 도시된 바와 같이, ODT 입력 드라이버(10), 제 1 비교부(20), 제 1 제어부(100), 제 1 코드 조정부(200), ODT 출력 드라이버(40), 제 2 비교부(50), 제 2 제어부(500), 및 제 2 코드 조정부(600)를 구비한다.
- <49> 상기 ODT 입력 드라이버(10)는 제 1 코드(Pcode<0:N>)에 따른 저항비로 전원전압(VDDQ)을 분압하여 제 1 라인전압(P<sub>out</sub>)을 출력한다. 상기 ODT 입력 드라이버(10)는 데이터 입력 드라이버와 동일하게 모델링된다.
- <50> 상기 ODT 입력 드라이버(10)는 도 3에 도시된 바와 같이, 전원단(VDDQ)에 연결되어 상기 제 1 코드(Pcode<0:N>)에 따라 온 되는 복수개의 트랜지스터(P0 ~ Pn), 상기 복수개의 트랜지스터(P0 ~ Pn) 각각과 접지단(VSSQ) 사이에 연결된 복수개의 저항(NR0 ~ NRn)을 구비한다.
- <51> 상기 제 1 비교부(20)는 제 1 코드 조정 인에이블 신호(P<sub>en</sub>)에 따라 상기 제 1 라인전압(P<sub>out</sub>)과 기준전압(V<sub>ref</sub>)을 비교하여 제 1 비교 결과신호(P<sub>cmp\_out</sub>)를 출력한다.
- <52> 상기 제 1 제어부(100)는 상기 제 1 코드 조정 인에이블 신호(P<sub>en</sub>)가 디스에이블된 상태에서 상기 제 1 코드(Pcode<0:N>)가 저항값을 최대로 만드는 코드값(예를 들어, Pcode<0:N>에서 N = 4인 경우, 1111)에 도달하면 코드 오류 판단신호로서 리셋신호(reset)를 인에이블시키도록 구성된다. 상기 제 1 제어부(100)는 도 4에 도시된 바와 같이, 상기 제 1 코드 조정 인에이블 신호(P<sub>en</sub>)를 입력받는 제 1 인버터(IV1), 상기 제 1 인버터(IV1)의 출력과 상기 제 1 코드(Pcode<0:N>)를 입력받는 제 1 XNOR 게이트(XNOR1)를 구비한다.
- <53> 상기 ODT 출력 드라이버(40)는 제 2 코드(Ncode<0:N>)에 따른 저항비로 전원전압(VDDQ)을 분압하여 제 2 라인전압(N<sub>out</sub>)을 출력한다. 상기 ODT 출력 드라이버(40)는 데이터 출력 드라이버와 동일하게 모델링된다.
- <54> 상기 ODT 출력 드라이버(40)는 도 5에 도시된 바와 같이, 전원단(VDDQ)에 연결되어 상기 제 1 코드(Pcode<0:N>)에 따라 온 되는 복수개의 트랜지스터(P0 ~ Pn), 상기 복수개의 트랜지스터(P0 ~ Pn) 각각과 접지단(VSSQ) 사이에 연결된 복수개의 저항(NR0 ~ NRn), 상기 복수개의 저항(NR0 ~ NRn)과 각각 연결된 복수개의 저항(PR0 ~ PRn), 상기 복수개의 저항(PR0 ~ PRn) 각각과 접지단(VSSQ) 사이에 연결되어 상기 제 2 코드(Ncode<0:N>)에 따라 온 되는 복수개의 트랜지스터(N0 ~ Nn)를 구비한다.
- <55> 상기 제 2 비교부(50)는 제 2 코드 조정 인에이블 신호(N<sub>en</sub>)에 따라 상기 제 2 라인전압(N<sub>out</sub>)과 기준전압(V<sub>ref</sub>)을 비교하여 제 2 비교 결과신호(N<sub>cmp\_out</sub>)를 출력한다.
- <56> 상기 제 2 제어부(500)는 상기 제 2 코드 조정 인에이블 신호(N<sub>en</sub>)가 디스에이블된 상태에서 상기 제 2 코드(Ncode<0:N>)가 저항값을 최대로 만드는 코드값(예를 들어, Pcode<0:N>에서 N = 4라면 즉, Pcode<0:N>가 5 비트인 경우, 0000)에 도달하면 코드 오류 판단신호로서 리셋신호(reset)를 인에이블시키도록 구성된다. 상기 제 2 제어부(500)는 도 6에 도시된 바와 같이, 상기 제 2 코드 조정 인에이블 신호(N<sub>en</sub>)를 입력받는 제 2 인버터(IV2), 상기 제 2 코드(Ncode<0:N>)의 각 비트를 입력 받는 복수개의 인버터(IV3 ~ IVn), 상기 인버터(IV2 ~ IVn)들의 출력을 입력받는 제 2 XNOR 게이트(XNOR2)를 구비한다.
- <57> 상기 제 1 코드 조정부(200)는 도 7에 도시된 바와 같이, 제 1 퓨즈 셋(300)과 제 1 레지스터(400)를 구비한다. 상기 제 1 코드 조정부(200)는 상기 제 1 비교부(20)에서 출력되는 제 1 비교 결과신호(P<sub>cmp\_out</sub>)에 따라 상기 제 1 코드(Pcode<0:N>)를 업/다운 카운트하여 저장하도록 구성된다. 상기 제 1 코드 조정부(200)는 상기 제 1 제어부(100)에서 리셋 신호(reset)가 발생되면 상기 제 1 코드(Pcode<0:N>)를 제 1 퓨즈코드 인에이블 신호(FPen)에 따라 기설정된 리셋 코드 또는 제 1 퓨즈 코드(FPcode<0:N>)로 리셋 시키도록 구성된다.
- <58> 상기 제 1 퓨즈 셋(300)은 코드 설정 수단으로서 제 1 퓨즈코드 인에이블 신호(FPen) 생성을 위한 제 1 퓨즈 회로(310) 및 제 1 퓨즈 코드(FPcode<0:N>) 생성을 위한 복수개의 제 2 퓨즈 회로(320)를 구비한다. 상기 제 1 퓨즈 회로(310) 및 제 2 퓨즈 회로(320)의 구성을 살펴보면, 전원단(V<sub>dd</sub>)과 접지단 사이에 퓨즈(F)와 트랜지스터(M)가 연결되고, 상기 퓨즈(F)와 트랜지스터(M)의 연결노드에 래치(LT)가 연결된다.
- <59> 상기 제 1 레지스터(400)는 복수개의 카운터(410) 및 선택신호 생성부(420)를 구비한다.
- <60> 상기 복수개의 카운터(410)는 제 1 퓨즈 코드(FPcode<0:N>), 제 1 코드 조정 인에이블 신호(P<sub>en</sub>), 제 1 선택신호(resetN), 제 2 선택신호(resetF), 캐리(C<sub>in</sub>), 제 1 비교 결과신호(P<sub>cmp\_out</sub>)를 입력받아 제 1 코드(Pcode<0:N>) 및 캐리(C<sub>out</sub>)를 출력한다.
- <61> 상기 선택신호 생성부(420)는 리셋 신호(reset)와 제 1 퓨즈코드 인에이블 신호(FPen)를 입력받아 상기 제 1 선

택신호(resetN) 및 제 2 선택신호(resetF)를 생성한다. 상기 제 1 선택신호(resetN)는 상기 제 1 코드(Pcode<0:N>)를 상기 리셋 코드로 리셋시키도록 정의하기 위한 신호이다. 상기 제 2 선택신호(resetF)는 상기 제 1 코드(Pcode<0:N>)를 제 1 퓨즈 코드(FPcode<0:N>)로 리셋시키도록 정의하기 위한 신호이다.

- <62> 상기 제 1 선택신호 생성부(421)는 제 1 퓨즈코드 인에이블 신호(FPen)를 입력 받는 제 1 인버터(IV21), 상기 리셋 신호(reset)와 상기 제 1 인버터(IV21)의 출력을 입력 받는 제 1 낸드 게이트(ND21), 상기 제 1 낸드 게이트(ND21)의 출력을 입력받아 상기 제 1 선택신호(resetN)를 출력하는 제 2 인버터(IV22)를 구비한다.
- <63> 상기 제 2 선택신호 생성부(422)는 상기 리셋 신호(reset)와 상기 제 1 퓨즈코드 인에이블 신호(FPen)를 입력 받는 제 2 낸드 게이트(ND22) 및 상기 제 2 낸드 게이트(ND22)의 출력을 입력받아 상기 제 2 선택신호(resetF)를 출력하는 제 3 인버터(IV23)를 구비한다.
- <64> 상기 카운터(410)는 도 8에 도시된 바와 같이, 플립 플롭(411), 캐리 출력부(412), 스위칭부(413) 및 노멀 코드 제어 클럭 생성부(414)를 구비한다.
- <65> 상기 플립 플롭(411)은 노멀 코드 제어 클럭(CLKD/DLKZ)에 따라 입력신호(Din)를 저장 및 출력하고, 제 1 선택신호(resetN) 및 제 2 선택신호(resetF)에 따라 제 1 퓨즈 코드(FPcode<0>) 또는 리셋 코드를 출력하도록 구성된다.
- <66> 상기 플립 플롭(411)은 도 9에 도시된 바와 같이, 퓨즈코드 제어 클럭 생성부(411-1), 퓨즈 코드 처리부(411-2), 노멀 코드 처리부(411-3) 및 리셋 코드 처리부(411-4)를 구비한다.
- <67> 상기 퓨즈코드 제어 클럭 생성부(411-1)는 복수개의 인버터(IV43, IV44)를 구비하며, 인버터(IV43)에서 제 2 선택신호(resetF)를 반전시켜 퓨즈코드 제어 클럭(resetFz)을 생성하고, 인버터(IV44)에서 상기 퓨즈코드 제어 클럭(resetFz)을 반전시켜 퓨즈코드 제어 클럭(resetFd)을 생성한다.
- <68> 상기 퓨즈 코드 처리부(411-2)는 상기 퓨즈코드 제어 클럭(resetFz, resetFd)을 제어단에 입력받고 상기 제 1 퓨즈 코드(FPcode<0>)를 입력단에 입력받는 패스 게이트(PG41) 및 상기 패스 게이트(PG41)의 출력을 입력받는 인버터(IV41)를 구비한다. 상기 퓨즈 코드 처리부(411-2)는 상기 제 2 선택신호(resetF)에 따라 생성된 퓨즈코드 제어 클럭(resetFz, resetF)에 따라 상기 제 1 퓨즈 코드(FPcode<0>)를 출력한다.
- <69> 상기 노멀 코드 처리부(411-3)는 상기 노멀코드 제어 클럭(CLKZ, CLKD)을 제어단자에 입력받고 입력신호(Din)를 노멀 코드로서 입력단에 입력받는 제 1 패스 게이트(PG42), 상기 제 1 패스 게이트(PG42)의 출력을 입력받는 제 1 래치(LT41), 및 반대위상의 노멀코드 제어 클럭(CLKD, CLKZ)을 제어단에 입력받고 상기 제 1 래치(LT41)의 출력을 입력단에 입력받는 제 2 패스 게이트(PG43)를 구비하며, 위상을 맞추고 출력 레벨을 유지하기 위해 제 2 래치(LT42)를 더 구비한다. 상기 노멀 코드 처리부(411-3)는 상기 노멀 코드 제어 클럭(CLKD/DLKZ)의 반주기 동안 입력신호(Din)로서 노멀 코드를 저장하고 상기 노멀 코드 제어 클럭(CLKD/DLKZ)의 나머지 반주기 동안 상기 노멀 코드를 출력한다.
- <70> 상기 리셋 코드 처리부(411-4)는 상기 제 1 선택신호(resetN)를 입력받는 인버터(IV42), 상기 인버터(IV42)의 출력에 따라 전원 레벨(Vdd)을 출력하는 제 1 트랜지스터(M41), 상기 제 1 트랜지스터(M41)와 상기 제 2 래치(LT42) 사이에 연결된 제 1 스위치(SW41), 상기 제 1 선택신호(resetN)에 따라 접지 레벨을 출력하는 제 2 트랜지스터(M42), 상기 제 2 트랜지스터(M42)와 상기 제 2 래치(LT42) 사이에 연결된 제 2 스위치(SW42), 상기 제 1 트랜지스터(M41)와 제 1 스위치(SW41)의 연결 노드와 연결된 제 3 스위치(SW43) 및 상기 제 3 스위치(SW43)와 상기 제 2 트랜지스터(M42) 사이에 연결된 제 4 스위치(SW44)를 구비한다. 상기 리셋 코드 처리부(411-4)는 제 1 선택신호(resetN)가 발생되면 트랜지스터(M41, 42)가 턴온되어 상기 복수개의 스위치(SW41 ~ SW44)에 의해 기 설정된 값의 리셋 코드를 출력하도록 구성된다.
- <71> 상기 캐리 출력부(412)는 입력 캐리(Cin)와 플립 플롭(411)의 출력신호(Dout) 또는 반전된 플립 플롭(411)의 출력신호(Dout)를 입력 받아 출력 캐리(Cout)를 생성하는 노아 게이트(NR31)를 구비한다.
- <72> 상기 스위칭부(413)는 복수개의 인버터(IV31 ~ IV33) 및 복수개의 패스 게이트(PG31 ~ PG34)를 구비한다. 상기 스위칭부(413)는 상기 인버터(IV31, IV33) 및 패스 게이트(PG31, PG32)를 통해 입력 캐리(Cin)에 따라 상기 플립 플롭(411)의 출력신호(Dout)를 원상태 또는 반전시켜 상기 플립 플롭(411)의 입력신호(Din)로 피드백 시키도록 구성된다. 또한 상기 스위칭부(412)는 상기 인버터(IV32, IV33) 및 패스 게이트(PG33, PG34)를 통해 제 1 비교 결과신호(Pcmp\_out)에 따라 원위상 또는 반전된 위상의 플립 플롭(411)의 출력신호(Dout)를 상기 캐리 출력부(412)로 출력하도록 구성된다.

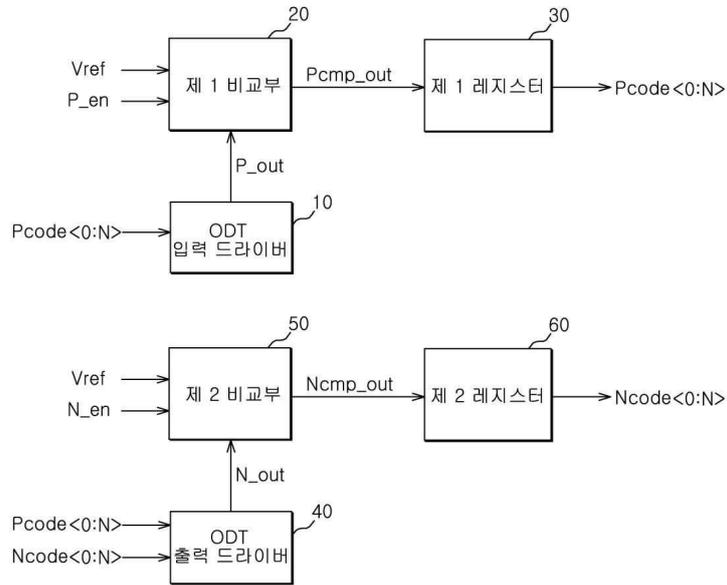
- <73> 상기 노멀 코드 제어 클럭 생성부(414)는 복수개의 인버터(IV35, IV36)를 구비하며, 인버터(IV35)에서 제 1 코드 조정 인에이블 신호(P\_en)를 반전시켜 노멀 코드 제어 클럭(DLKZ)을 생성하고, 인버터(IV36)에서 상기 노멀 코드 제어 클럭(DLKZ)을 반전시켜 노멀 코드 제어 클럭(CLKD)을 생성하도록 구성된다.
- <74> 상기 제 2 코드 조정부(600)는 제 2 퓨즈 셋(700) 및 제 2 레지스터(800)를 구비한다. 상기 제 2 코드 조정부(600)는 상기 제 2 비교부(50)에서 출력되는 제 2 비교 결과신호(Ncmp\_out)에 따라 상기 제 2 코드(Ncode<0:N>)를 업/다운 카운트하여 저장하도록 구성된다. 상기 제 2 코드 조정부(600)는 상기 제 2 제어부(500)에서 리셋 신호(reset)가 발생되면 상기 제 2 코드(Ncode<0:N>)를 제 2 퓨즈코드 인에이블 신호(Fnen)에 따라 기설정된 리셋 코드 또는 제 2 퓨즈 코드(FNcode<0:N>)로 리셋 시키도록 구성된다. 상기 제 2 퓨즈 셋(700)의 회로구성은 제 1 퓨즈 셋(300)과 동일하며, 제 2 레지스터(800)의 회로 구성은 제 1 레지스터(400)와 동일하므로 회로 구성 설명은 생략하기로 한다.
- <75> 이와 같이 구성된 본 발명에 따른 반도체 메모리 장치의 온 다이 터미네이션 회로의 동작을 설명하면 다음과 같다.
- <76> 본 발명의 핵심은 노멀 코드 조정 오류 발생을 판단하여 상기 노멀 코드를 리셋 시키는 기술구성, 리셋을 위한 코드 값을 기설정된 리셋 코드 또는 별도의 퓨즈 코드 중 선택할 수 있도록 하는 기술구성, 그리고 상기 리셋을 위한 퓨즈 코드값이 PVT(Process/Voltage/Temperature) 변동에 의해 오차가 존재할 경우 테스트를 통해 조정할 수 있도록 한 기술구성을 포함한다.
- <77> 먼저, 테스트를 통해 퓨즈 코드를 조정하는 방법을 설명하기로 한다.
- <78> 상기 도 9의 복수개의 스위치(SW41 ~ SW44)의 온/오프 조합에 의해 제 1 레지스터(400) 및 제 2 레지스터(800)에서 각각 출력된 리셋 코드를 반도체 메모리 장치의 입력 드라이버 및 출력 드라이버에 입력시킴에 따른 드라이버의 저항값과 실제 요구되는 저항값과의 차이를 측정한다.
- <79> 상기 측정결과 저항값 차이가 오차범위 이상 존재하면 상기 오차값에 맞도록 제 1 퓨즈 셋(300) 또는 제 2 퓨즈 셋(700)에서 복수개의 제 2 퓨즈 회로(320)의 퓨즈(F)를 적절히 컷팅하고, 최종적으로 제 1 및 제 2 퓨즈코드 인에이블 신호(Fpen, FNen)를 생성하기 위한 제 1 퓨즈 회로(310)의 퓨즈(F)를 컷팅한다. 상기 제 1 퓨즈 회로(310)의 퓨즈(F)를 컷팅한 상태에서 회로가 초기화되어 파워 업 신호(pwrup)가 발생됨에 따라 제 1 또는 제 2 퓨즈 코드 인에이블 신호(Fpen, FNen)가 하이 레벨로 활성화된다.
- <80> 상기 측정결과 저항값 차이가 없거나 오차범위 이내이면 제 1 퓨즈 셋(300) 또는 제 2 퓨즈 셋(700)에서 제 1 퓨즈 회로(310) 및 제 2 퓨즈 회로(320)의 모든 퓨즈(F)를 컷팅 하지 않는다. 상기 제 1 퓨즈 회로(310)의 퓨즈(F)를 컷팅하지 않은 상태에서 회로가 초기화되어 파워 업 신호(pwrup)가 발생되더라도 제 1 또는 제 2 퓨즈 코드 인에이블 신호(Fpen, FNen)는 로우 레벨로 비활성화된다.
- <81> 상술한 퓨즈 코드 조정이 완료된 상태에서 제 1 코드(Pcode<0:N>) 및 제 2 코드(Ncode<0:N>) 조정 및 리셋 과정을 설명하면 다음과 같다.
- <82> 상기 제 1 코드(Pcode<0:N>)와 제 2 코드(Ncode<0:N>)의 조정 동작은 동시에 이루어지거나, 제 1 코드(Pcode<0:N>), 제 2 코드(Ncode<0:N>) 순으로 이루어질 수 있다.
- <83> 상기 제 1 코드(Pcode<0:N>) 조정 동작은 다음과 같다.
- <84> 상기 제 1 레지스터(400)에서 기설정된 값의 제 1 코드(Pcode<0:N>)가 상기 ODT 입력 드라이버(10)에 입력된다.
- <85> 상기 ODT 입력 드라이버(10)가 상기 제 1 코드(Pcode<0:N>)에 따라 연결되는 저항과 상기 라인 임피던스 검출용 저항(ZQ)의 저항비로 전원전압(VDDQ)을 분배하여 제 1 라인전압(P\_out)을 출력한다.
- <86> 상기 제 1 비교부(20)가 제 1 코드 조정 인에이블 신호(P\_en)에 따라 상기 제 1 라인전압(P\_out)과 기준전압(Vref)을 비교하여, 그에 따른 제 1 비교 결과신호(Pcmp\_out)를 출력한다.
- <87> 상기 제 1 레지스터(400)가 상기 제 1 비교 결과신호(Pcmp\_out)에 따라 제 1 코드(Pcode<0:N>)를 카운트하고 저장한다.
- <88> 도 7에 도시된 바와 같이, 리셋 신호(reset)가 활성화되지 않은 경우 상기 제 1 선택신호(resetN) 및 제 2 선택신호(resetF) 중 어느 하나도 활성화되지 않으므로 제 1 레지스터(400)는 제 1 퓨즈 코드(FPcode<0:N>) 및 리셋 코드와 상관없이 제 1 코드(Pcode<0:N>) 카운팅 동작을 수행한다.

- <89> 상기 ODT 입력 드라이버(10)는 카운트된 제 1 코드(Pcode<0:N>) 입력에 해당하는 제 1 라인전압(P\_out)을 제 1 비교부(20)에 피드백 시키고, 그에 따라 제 1 비교부(20)는 상술한 비교동작 및 그에 따른 제 1 비교 결과신호(Pcmp\_out) 출력 동작을 반복한다.
- <90> 상기 제 1 코드 조정 인에이블 신호(P\_en)가 정해진 시간 후 비활성화된다.
- <91> 상기 제 1 코드 조정 인에이블 신호(P\_en)에 따라 비활성화됨에 따라 상기 제 1 비교부(20)가 동작을 멈추고 그 시점의 제 1 코드(Pcode<0:N>)가 저장된다.
- <92> 도 10과 같이, 상기 제 1 코드 조정 인에이블 신호(P\_en)의 인에이블 구간동안 제 1 코드(Pcode<0:N>)를 카운트 하여도 그에 따른 제 1 라인전압(P\_out)과 기준전압(Vref)이 일치하지 않아 제 1 비교 결과신호(Pcmp\_out)가 하이로 유지하면, 제 1 코드(Pcode<0:N>)가 입력 드라이버의 저항값을 최대로 만드는 코드값(11111)에 도달하여 더 이상 변하지 못하고, 제 1 코드 조정 인에이블 신호(P\_en)는 디스에이블된다.
- <93> 상기 도 2의 제 1 제어부(100)가 상기 코드값(11111)에 도달한 제 1 코드(Pcode<0:N>)와 로우 레벨로 비활성화된 제 1 코드 조정 인에이블 신호(P\_en)를 입력받아 리셋신호(reset)를 하이로 활성화시킨다.
- <94> 상기 리셋 신호(reset)가 하이 레벨로 활성화된 상태에서 상기 제 1 퓨즈 코드 인에이블 신호(FPen)가 로우 레벨로 비활성화되면 도 7의 제 1 레지스터(400)의 선택신호 생성부(420)에서 제 1 선택신호(resetN)가 하이 레벨로 활성화되고, 제 2 선택신호(resetF)는 로우 레벨로 비활성화된다.
- <95> 상기 제 1 선택신호(resetN)가 하이 레벨로 활성화되므로 도 9에 도시된 제 1 레지스터(400)의 플립 플롭(411)에서 기설정된 리셋 코드를 출력하므로써 제 1 코드(Pcode<0>)를 상기 리셋 코드로 리셋시킨다. 상기 제 1 선택신호(resetN)가 하이 레벨이 되면 인버터(IV42)가 트랜지스터(M41)를 턴온시키고 상기 스위치(SW44)가 닫힌 상태이므로 래치(LT42)를 통해 논리값 '0'의 리셋 코드가 출력된다. 제 2 선택신호(resetF)가 로우 레벨이므로 패스 게이트(PG41)가 오프되어 제 1 퓨즈 코드(FPcode<0>)가 차단된다. 상기 제 1 코드 조정 인에이블 신호(P\_en)가 비활성화된 상태이므로 도 8의 노멀 코드 제어 클럭 생성부(414)의 출력에 따라 패스 게이트(PG42) 또한 오프되어 입력신호(Din)도 차단된다. 나머지 제 1 코드(Pcode<1:N>)들도 상기 리셋 코드로 리셋된다.
- <96> 한편, 상기 리셋 신호(reset)가 하이 레벨로 활성화된 상태에서 상기 제 1 퓨즈 코드 인에이블 신호(FPen)가 하이 레벨로 활성화되면 도 7의 제 1 레지스터(400)의 선택신호 생성부(420)에서 제 2 선택신호(resetN)가 하이 레벨로 활성화되고 제 1 선택신호(resetN)는 로우 레벨로 비활성화된다.
- <97> 상기 제 2 선택신호(resetF)가 하이 레벨로 활성화되므로 도 9에 도시된 제 1 레지스터(400)의 플립 플롭(411)에서 제 1 퓨즈 코드(FPcode<0>)를 출력하므로써 제 1 코드(Pcode<0>)를 상기 제 1 퓨즈 코드(FPcode<0>)로 리셋시킨다. 상기 제 2 선택신호(resetF)가 하이 레벨로 활성화되므로 퓨즈코드 제어클럭 생성부(411-1)에서 퓨즈코드 제어 클럭(resetFz/resetFd)이 생성되고 패스 게이트(PG41)를 통해 제 1 퓨즈 코드(FPcode<0>)가 인버터(IV41) 및 래치(LT42)를 통해 출력된다. 상기 제 1 선택신호(resetN)가 로우 레벨이므로 인버터(IV42)가 트랜지스터(M41)를 턴오프시킨다. 상기 제 1 코드 조정 인에이블 신호(P\_en)가 비활성화된 상태이므로 도 8의 노멀 코드 제어 클럭 생성부(414)의 출력에 따라 패스 게이트(PG42)가 오프되어 입력신호(Din)는 차단된다. 나머지 제 1 코드(Pcode<1:N>)들도 나머지 제 1 퓨즈 코드(FPcode<1:N>)들로 리셋된다.
- <98> 상기 제 2 코드(Ncode<0:N>) 조정 동작은 상기 제 1 코드(Pcode<0:N>)의 조정 동작과 동일한 방식으로 이루어지며 이를 설명하면 다음과 같다.
- <99> 상기 ODT 출력 드라이버(40)가 카운트된 제 2 코드(Ncode<0:N>)에 해당하는 제 2 라인전압(N\_out)을 제 2 비교부(50)에 피드백 시키고, 그에 따라 제 2 비교부(50)는 상술한 비교동작 및 그에 따른 제 2 비교 결과신호(Ncmp\_out) 출력 동작을 반복한다.
- <100> 도 11과 같이, 상기 제 2 코드 조정 인에이블 신호(N\_en)의 인에이블 구간동안 제 2 코드(Ncode<0:N>)를 카운트 하여도 그에 따른 제 2 라인전압(N\_out)과 기준전압(Vref)이 일치하지 않아 제 2 비교 결과신호(Ncmp\_out)가 로우를 유지하면, 제 2 코드(Ncode<0:N>)가 출력 드라이버의 저항값을 최대로 만드는 코드값(00000)에 도달하여 더 이상 변하지 못하고, 제 2 코드 조정 인에이블 신호(N\_en)는 디스에이블된다.
- <101> 상기 도 2의 제 2 제어부(500)가 상기 코드값(00000)에 도달한 제 2 코드(Ncode<0:N>)와 로우 레벨로 비활성화된 제 2 코드 조정 인에이블 신호(N\_en)를 입력받아 리셋 신호(reset)를 하이로 활성화시킨다.
- <102> 상기 리셋 신호(reset)가 하이 레벨로 활성화된 상태에서 제 2 퓨즈 코드 인에이블 신호(FNen)가 로우 레벨로

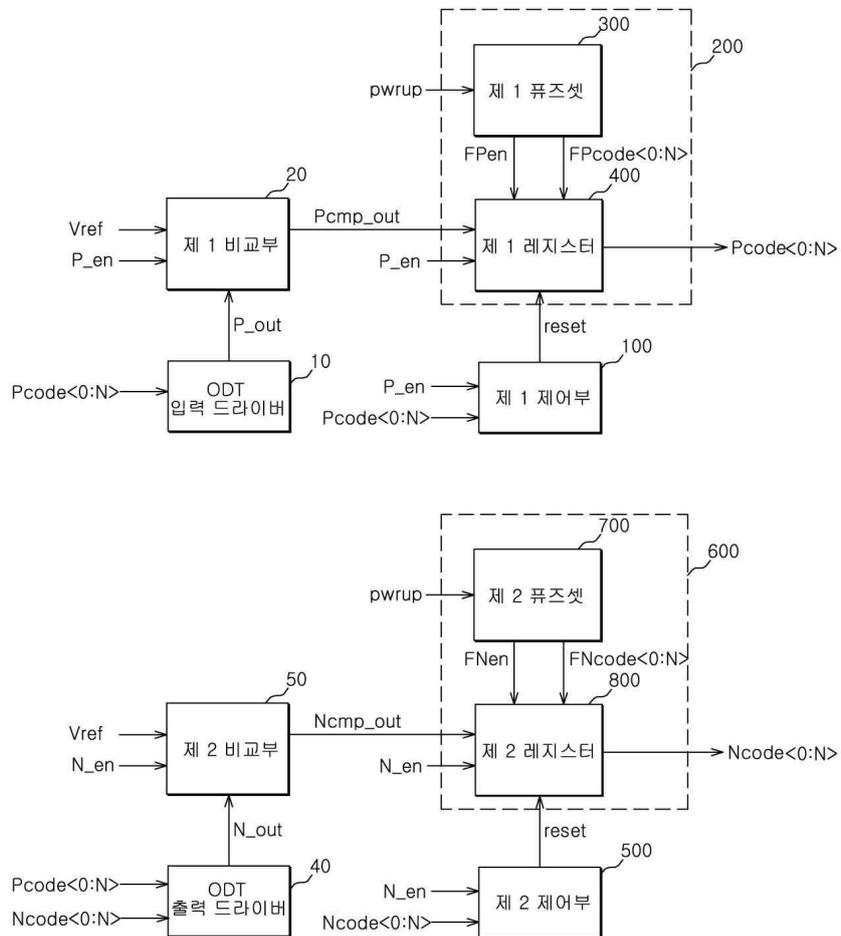


도면

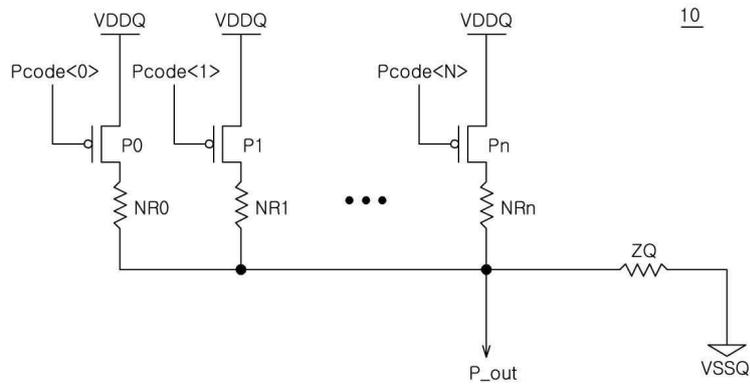
도면1



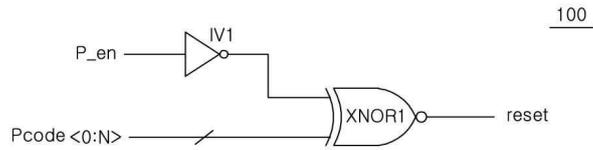
도면2



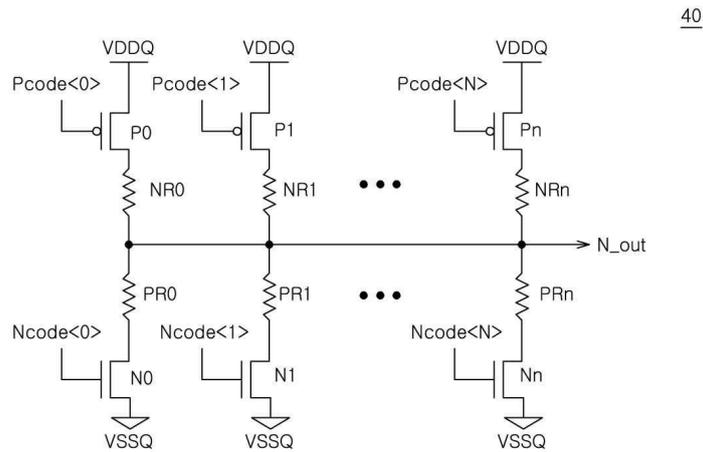
도면3



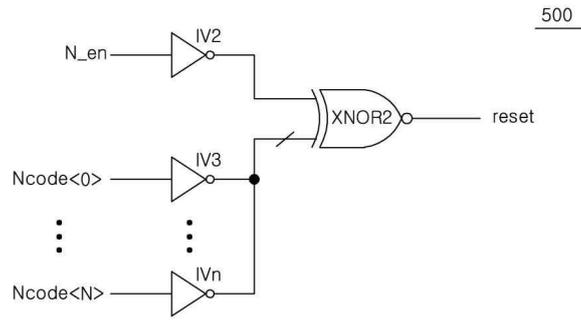
도면4



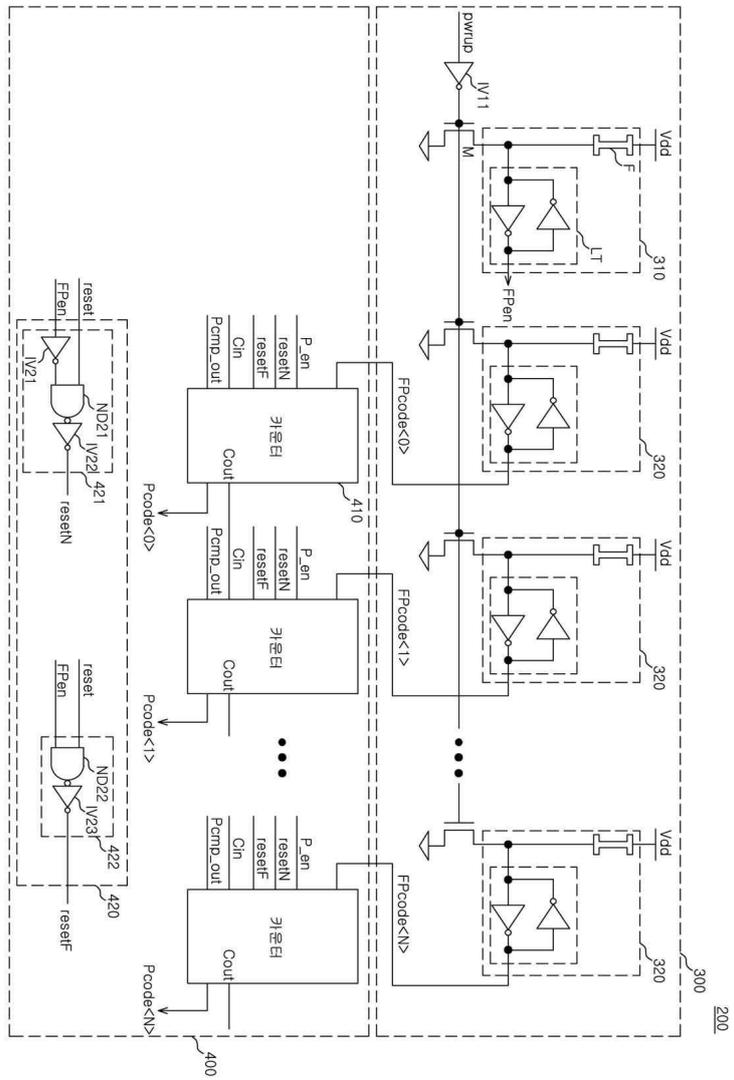
도면5



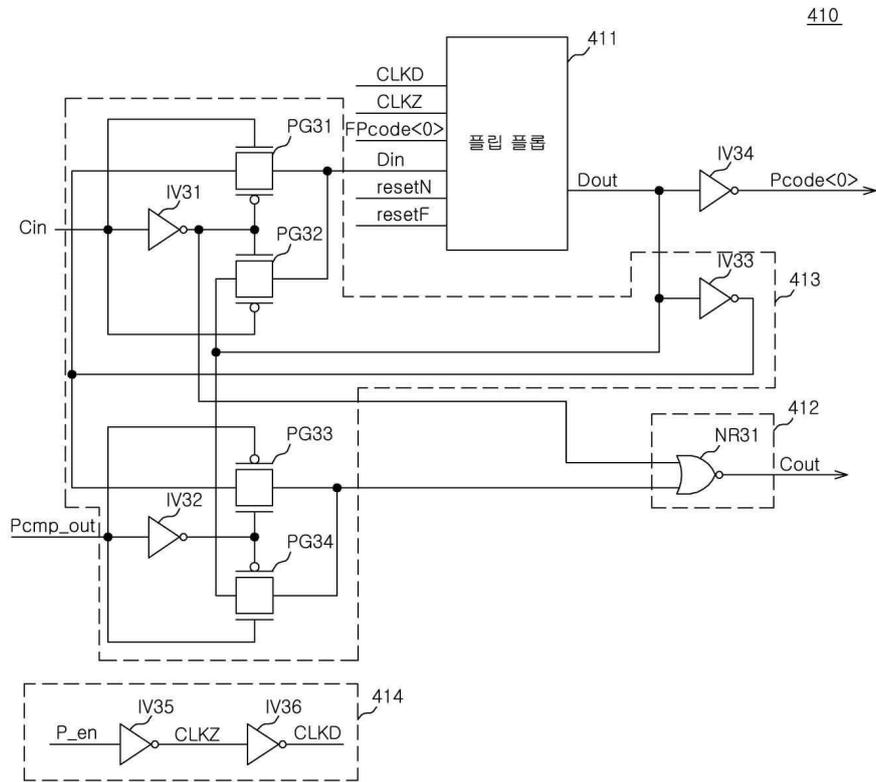
도면6



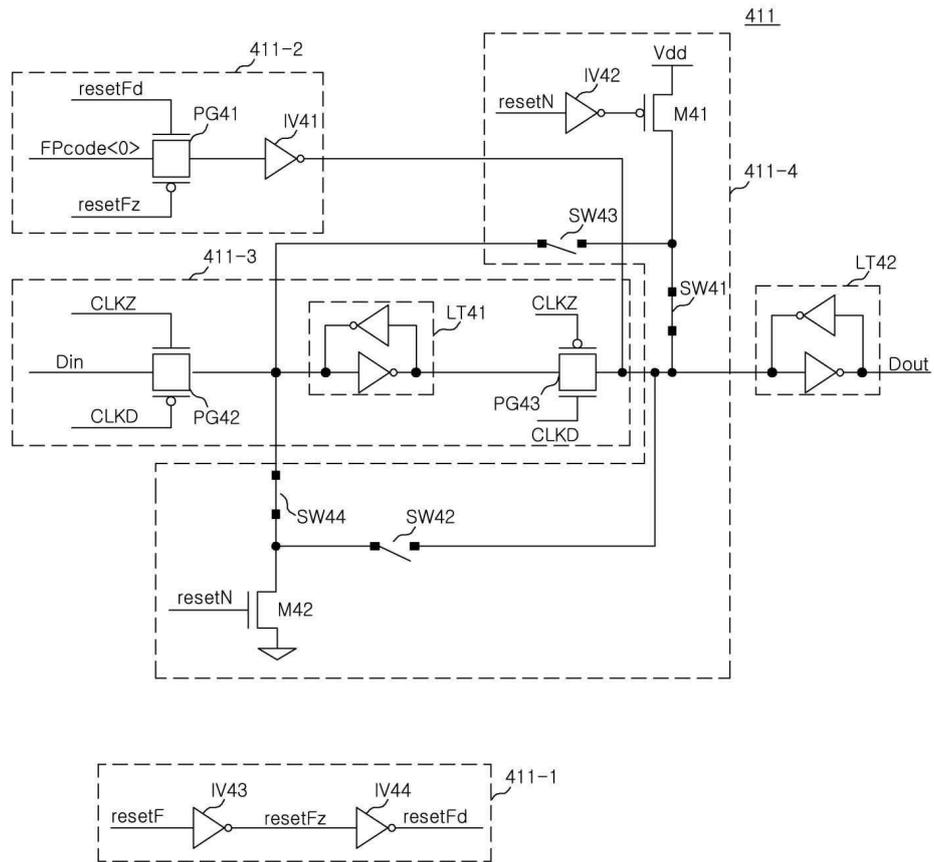
도면7



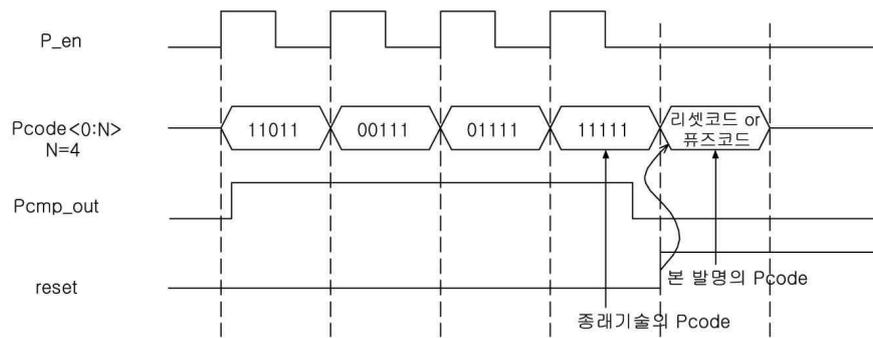
도면8



도면9



도면10



도면11

