

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월07일 10-0568516 2006년03월31일
---	-------------------------------------	--

(21) 출원번호	10-2004-0012398	(65) 공개번호	10-2005-0086069
(22) 출원일자	2004년02월24일	(43) 공개일자	2005년08월30일

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	정용국 서울특별시관악구봉천11동173-34101호  원석준 서울특별시관악구봉천7동1603-251통8반  권대진 서울특별시구로구구로5동23,24번지구로우성아파트1동1211호
(74) 대리인	박상수

심사관 : 정병홍

(54) 후처리 기술을 사용하여 아날로그 커패시터를 제조하는 방법

요약

후처리 기술을 사용하여 아날로그 커패시터를 제조하는 방법이 개시된다. 이 방법은 반도체기판 상에 하부절연막을 형성하는 것을 구비한다. 상기 하부절연막 상에 하부전극을 형성하고, 상기 하부전극 상에 커패시터 유전막을 형성한다. 그 후, 상기 커패시터 유전막을 환원 분위기에서 후처리한다. 이어서, 상기 후처리된 커패시터 유전막을 산화 분위기에서 후처리한다. 상기 후처리된 커패시터 유전막 상에 상부전극을 형성한다. 이에 따라, 커패시턴스의 전압효율이 낮은 아날로그 커패시터를 제공할 수 있다.

대표도

도 1

색인어

아날로그 커패시터, 후처리(post-treatment), 환원분위기(deoxidizing medium), 산화분위기(oxidizing medium), 커패시턴스의 전압효율(voltage coefficient of capacitance),

명세서

## 도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따라 아날로그 커패시터를 제조하는 방법을 설명하기 위한 공정순서도이다.

도 2는 본 발명의 바람직한 실시예에 따라 아날로그 커패시터를 제조하는 방법을 설명하기 위한 단면도이다.

도 3a 및 도 3b는 각각 하부전극 후처리 조건들을 달리하여 제작된 시료들의 커패시턴스 전압효율(VCC)들 및 누설전류밀도들을 나타내는 그래프들이다.

도 4a 및 도 4b는 각각 커패시터 유전막 후처리 조건들을 달리하여 제작된 시료들의 커패시턴스 전압효율(VCC)들 및 누설전류밀도들을 나타내는 그래프들이다.

도 5a 및 도 5b는 각각 하부 커패시터 유전막 후처리 조건들과 상부 커패시터 유전막 후처리 조건들을 달리하여 제작된 시료들의 커패시턴스 전압효율들 및 누설전류밀도들을 나타내는 그래프들이다.

도 6a 및 도 6b는 각각 커패시터 유전막 증착 방법을 달리하여 제작된 시료들의 커패시턴스 전압효율들 및 누설전류밀도들을 나타내는 그래프들이다.

\* 도면의 주요 부분에 대한 도면 부호의 설명 \*

51: 반도체기판, 53: 하부절연막,

55: 하부전극, 55a: 하부전극 후처리층,

57: 커패시터 유전막, 57a: 하부 커패시터 유전막,

57b: 하부 커패시터 유전막 후처리층, 57c: 상부 커패시터 유전막,

57d: 커패시터 유전막 후처리층, 59: 상부전극

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 아날로그 커패시터 제조방법에 관한 것으로서, 보다 상세하게는 후처리 기술을 사용하여 아날로그 커패시터를 제조하는 방법에 관한 것이다.

아날로그 커패시터는 AD 컨버터(analog to digital converter), RF 소자, 스위칭 커패시터 필터, 시모스 이미지 센서(CMOS image sensor) 등에 사용되는 단위소자이다. 상기 아날로그 커패시터는, 인가전압에 따라 축적되는 전하량이 변하는 것을 이용하여, 아날로그 방식으로 정보를 저장할 수 있는 단위소자이다.

한편, 아날로그 커패시터는 작은 커패시턴스의 전압효율(voltage coefficient of capacitance; VCC) 및 작은 누설전류를 나타내야 한다. 여기서, VCC는 절대값이 작을 것을 요한다. 이하, VCC의 크기는 절대값의 크기를 의미하는 것으로 한다. 한편, VCC 특성을 개선하기 위해, 폴리-인슐레이터-폴리(poly-insulator-poly; PIP) 구조를 갖는 커패시터를 대체하여 메탈-인슐레이터-메탈(metal-insulator-metal; MIM) 구조를 갖는 커패시터가 아날로그 커패시터로 채택된다. 그러나, MIM 구조를 갖는 커패시터도 상대적으로 높은 VCC 값을 나타낼 수 있다.

한편, 커패시터의 누설전류를 감소시키기 위해 하부전극 및 커패시터 유전막을 후처리하는 기술이 널리 연구되고 있다. 상기 하부전극 및/또는 커패시터 유전막을 후처리하는 방법이 미국특허 제6,143,598호에 "낮은 누설 커패시터의 제조방법

(method of fabrication of low leakage capacitor)"이라는 제목으로 마르틴등(Martin et al.)에 의해 개시된 바 있으며, 미국특허 제6,103,567호에 "유전막을 제조하는 방법(method of fabricating dielectric layer)"이라는 제목으로 쉬등(Shih et al.)에 의해 개시된 바 있다.

상기 미국특허 제6,143,598호에 개시된 방법은 커패시터의 제1 전극을 증착하는 것을 포함한다. 상기 제1 전극을 질소(nitrogen)와 산소(oxygen)가 존재하는 산화 분위기(oxidizing medium)에서 플라즈마 처리한다. 이어서, 유전막을 증착하고, 상기 유전막을 질소(nitrogen)와 산소(oxygen)가 존재하는 산화 분위기(oxidizing medium)에서 플라즈마 처리한다. 그 후, 커패시터의 상부전극을 형성한다. 한편, 상기 플라즈마 처리를 위해 산화이질소(N<sub>2</sub>O)가 사용될 수 있다. 한편, 상기 미국특허 제6,103,567호에 개시된 방법은 탄탈륨 산화막(Ta<sub>2</sub>O<sub>5</sub>)과 같은 고유전막을 형성하고, 산소 플라즈마 처리 또는 깊은 자외선 오존처리를 수행한다.

상기 방법들에 따르면, 상기 유전막을 질소(nitrogen)와 산소(oxygen)가 존재하는 산화 분위기(oxidizing medium)에서 후처리하거나, 산소플라즈마 처리 또는 오존처리를 수행하여 누설전류를 감소시킬 수 있다. 그러나, 상기 방법들은 아날로그 커패시터의 VCC를 감소시키기 위한 적합한 방법을 제공하지 못한다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 누설전류 증가를 방지하면서, VCC 값을 감소시킬 수 있는 아날로그 커패시터의 제조방법을 제공하는 데 있다.

### 발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은 후처리 기술을 사용하여 아날로그 커패시터를 제조하는 방법을 제공한다. 이 방법은 반도체기판 상에 하부절연막을 형성하는 것을 포함한다. 상기 하부절연막 상에 하부전극을 형성하고, 상기 하부전극 상에 커패시터 유전막을 형성한다. 그 후, 상기 커패시터 유전막을 환원 분위기에서(in a deoxidizing medium) 후처리한다. 이어서, 상기 후처리된 커패시터 유전막을 산화 분위기에서(in an oxidizing medium) 후처리한다. 그 후, 상기 후처리된 커패시터 유전막 상에 상부전극을 형성한다. 상기 커패시터 유전막을 환원 분위기 및 산화 분위기에서 차례로 후처리함으로써 누설전류 및 VCC가 작은 아날로그 커패시터가 제공된다.

상기 커패시터 유전막을 환원 분위기에서 후처리 하는 것은 H<sub>2</sub>, H<sub>2</sub>-플라즈마, N<sub>2</sub>, N<sub>2</sub>-플라즈마, NH<sub>3</sub> 또는 NH<sub>3</sub>-플라즈마 기체를 사용하여 실시될 수 있으며, 바람직하게는 NH<sub>3</sub>-플라즈마 기체를 사용하여 실시될 수 있다.

한편, 상기 후처리된 커패시터 유전막을 산화 분위기에서 후처리하는 것은 O<sub>2</sub>, O<sub>3</sub> 또는 O<sub>2</sub>-플라즈마 기체를 사용하여 실시될 수 있으며, 바람직하게는 O<sub>3</sub> 기체를 사용하여 실시될 수 있다.

이에 더하여, 상기 하부전극 상에 커패시터 유전막을 형성하기 전, 상기 하부전극을 환원 분위기에서 후처리할 수 있다. 또한, 상기 하부전극을 환원 분위기에서 후처리하기 전, 상기 하부전극을 산화 분위기에서 후처리할 수 있다.

바람직하게는, 상기 커패시터 유전막은 열분해 기술을 사용하여 반응기체 없는 상태(reactant-free state)에서 유전물질을 증착하여 형성될 수 있다. 이에 따라, 상기 커패시터 유전막에 함유되는 탄소원자(C)들의 상대적인 양이 감소되어, VCC가 감소된다.

한편, 상기 커패시터 유전막을 형성하는 것은 하부 커패시터 유전막을 형성하는 것을 포함할 수 있다. 상기 하부 커패시터 유전막을 환원 분위기 및 산화 분위기에서 순차적으로 후처리하는 것을 적어도 1회 실시할 수 있다. 이에 따라, 아날로그 커패시터의 VCC값을 감소시킬 수 있다.

이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 1은 본 발명의 바람직한 실시예에 따라 아날로그 커패시터를 제조하는 방법을 설명하기 위한 공정순서도이고, 도 2는 도 1의 순서에 따라 아날로그 커패시터를 제조하는 방법을 설명하기 위한 단면도이다.

도 1 및 도 2를 참조하면, 반도체기판(51)을 준비한다(도 1의 단계 1). 상기 반도체기판(51)에는 트랜지스터(도시하지 않음)와 같은 개별소자들(discrete devices) 및 금속 배선들이 형성되어 있을 수 있다.

상기 반도체기판(51) 상에 하부절연막(53)을 형성한다(도 1의 단계 2). 상기 하부절연막(53)은 상기 개별소자들 및 금속배선들과 그 위에 형성될 아날로그 커패시터를 절연시킨다. 한편, 상기 하부절연막(53)은 상기 금속배선과 상기 아날로그 커패시터를 전기적으로 연결하기 위해 상기 반도체기판을 노출시키는 개구부를 가질 수 있다.

상기 하부절연막(53) 상에 하부전극(55)을 형성한다(도 1의 단계 5). 상기 하부전극(55)은 단일막 또는 다층막으로 형성될 수 있다. 상기 하부전극(55)은 알루미늄(Al), 구리(Cu), 이리듐(Ir), 이리듐 산화막( $\text{IrO}_2$ ), 백금(Pt), 폴리 실리콘(Poly-Si), 루세늄(Ru), 루세늄 산화막( $\text{RuO}_2$ ), 타이타늄(Ti), 타이타늄 질화막(TiN), 탄탈륨(Ta), 탄탈륨 질화막(TaN), 텅스텐 또는 텅스텐 질화막(WN)으로 형성할 수 있으며, 이들 중 적어도 두 개를 적층하여 형성할 수 있다.

바람직하게는, 상기 하부전극(55)을 환원 분위기에서 후처리할 수 있다(도 1의 단계 9). 상기 하부전극(55)을 환원 분위기에서 후처리 하는 것은  $\text{H}_2$ ,  $\text{H}_2$ -플라즈마,  $\text{N}_2$ ,  $\text{N}_2$ -플라즈마,  $\text{NH}_3$  또는  $\text{NH}_3$ -플라즈마 기체를 사용하여 실시될 수 있으며, 바람직하게는  $\text{NH}_3$ -플라즈마 기체를 사용하여 실시될 수 있다.

이에 더하여, 상기 하부전극(55)을 환원 분위기에서 후처리하기 전, 상기 하부전극(55)을 산화 분위기에서 후처리할 수 있다(도 1의 단계 7). 상기 하부전극(55)을 산화 분위기에서 후처리하는 것은  $\text{O}_2$ ,  $\text{O}_3$  또는  $\text{O}_2$ -플라즈마 기체를 사용하여 실시될 수 있으며, 바람직하게는  $\text{O}_3$  기체를 사용하여 실시될 수 있다.

상기 하부전극(55)을 환원 분위기에서 후처리하거나, 산화 분위기 및 환원 분위기에서 순차적으로 후처리함에 따라, 상기 하부전극(55)의 상부면에 하부전극 후처리층(55a)이 형성될 수 있다.

상기 후처리된 하부전극(55)을 갖는 반도체기판 상에 커패시터 유전막(57)을 형성한다(도 1의 단계 11). 상기 커패시터 유전막(57)은 탄탈륨 산화막( $\text{Ta}_2\text{O}_5$ ), 알루미늄( $\text{Al}_2\text{O}_3$ ), 하프늄 산화막( $\text{HfO}_2$ ), 지르코늄 산화막( $\text{ZrO}_2$ ), 타이타늄 산화막( $\text{TiO}_2$ ) 또는 바륨-스트론튬 타이타늄 산화막(BST)과 같은 고유전막으로 형성하는 것이 바람직하다. 또한, 상기 커패시터 유전막(57)은 단일막으로 형성되는 것에 한정되지 않으며, 다층막으로 형성될 수 있다. 바람직하게는, 상기 커패시터 유전막(57)은 50Å 내지 1000Å의 두께로 형성될 수 있다.

상기 커패시터 유전막(57)은 화학기상증착(chemical vapor deposition; CVD) 기술을 사용하여 형성될 수 있다. 바람직하게는, 상기 커패시터 유전막(57)은 반응기체 없는 상태(reactant-free state)에서 열분해 기술을 사용하여 형성될 수 있다. 상기 커패시터 유전막(57)이 다층막으로 형성되는 경우, 다층막 중 적어도 하나의 막은 열분해 기술을 사용하여 형성될 수 있다. 반응기체 없는 상태에서 열분해 기술을 사용하여 유전막을 형성하므로써, 상기 커패시터 유전막(57) 내에 함유되는 탄소원자들(C)의 상대적인 양을 감소시킬 수 있다. 상기 커패시터 유전막(57) 내에 상대적으로 적은 양의 탄소원자들이 함유되므로써, VCC가 작은 아날로그 커패시터를 제조할 수 있다.

한편, 상기 커패시터 유전막(57)을 형성하는 것은 하부 커패시터 유전막(57a)을 형성하는 것을 포함할 수 있다. 상기 하부 커패시터 유전막(57a)은 위에서 설명한 바와 같은 고유전막으로 형성할 수 있다. 상기 하부 커패시터 유전막(57a)을 환원 분위기 및 산화 분위기에서 순차적으로 적어도 1회 후처리한다. 그 결과, 상기 하부 커패시터 유전막(57a)의 상부면에 하부 커패시터 유전막 후처리층(57b)이 형성될 수 있다. 그 후, 상기 후처리된 하부 커패시터 유전막(57a) 상에 상부 커패시터 유전막(57c)을 형성한다. 상기 상부 커패시터 유전막(57c)은 상기 하부 커패시터 유전막(57a)과 동일한 막으로 형성될 수 있다.

상기 커패시터 유전막(57)을 환원 분위기에서 후처리한다(도 1의 단계 13). 상기 커패시터 유전막(57)을 환원 분위기에서 후처리 하는 것은  $\text{H}_2$ ,  $\text{H}_2$ -플라즈마,  $\text{N}_2$ ,  $\text{N}_2$ -플라즈마,  $\text{NH}_3$  또는  $\text{NH}_3$ -플라즈마 기체를 사용하여 실시될 수 있으며, 바람직하게는  $\text{NH}_3$ -플라즈마 기체를 사용하여 실시될 수 있다.

상기 환원 분위기에서 후처리된 커패시터 유전막(57)을 산화 분위기에서 후처리한다(도 1의 단계 15). 상기 커패시터 유전막(57)을 산화 분위기에서 후처리하는 것은 O<sub>2</sub>, O<sub>3</sub> 또는 O<sub>2</sub>-플라즈마 기체를 사용하여 실시될 수 있으며, 바람직하게는 O<sub>3</sub> 기체를 사용하여 실시될 수 있다. 상기 커패시터 유전막(57)을 환원분위기에서 후처리한 후, 다시 산화 분위기에서 후처리하므로써, 누설전류 및 VCC가 작은 아날로그 커패시터를 제조할 수 있다. 한편, 상기 커패시터 유전막(57)을 환원 분위기 및 산화 분위기에서 후처리함에 따라, 상기 커패시터 유전막(57)의 상부면에 커패시터 유전막 후처리층(57d)이 형성될 수 있다.

상기 산화 분위기에서 후처리된 커패시터 유전막(57) 상에 상부전극(59)을 형성한다(도 1의 단계 17). 상기 상부전극(59)은, 상기 하부전극(55)과 같이, 알루미늄(Al), 구리(Cu), 이리듐(Ir), 이리듐 산화막(IrO<sub>2</sub>), 백금(Pt), 폴리 실리콘(Poly-Si), 루세늄(Ru), 루세늄 산화막(RuO<sub>2</sub>), 타이타늄(Ti), 타이타늄 질화막(TiN), 탄탈륨(Ta), 탄탈륨 질화막(TaN), 텅스텐 또는 텅스텐 질화막(WN)으로 형성할 수 있으며, 이들 중 적어도 두 개를 적층하여 형성할 수 있다. 그 결과, 아날로그 커패시터가 완성된다.

<실험예들>

이하, 하부전극 또는 커패시터 유전막의 후처리 조건들을 달리하여 제작된 다양한 시료들(samples) 및 커패시터 유전막 형성 방법을 달리하여 제작된 시료들의 여러가지 측정결과들(various measurement results)을 설명한다.

도 3a 및 도 3b는 각각 하부전극 후처리 조건들을 달리하여 제작된 시료들의 커패시턴스 전압효율(VCC)들 및 누설전류밀도들을 나타내는 그래프들이다. 상기 하부전극 후처리 조건들을 달리하여 제작된 시료들의 제작조건들은 [표 1]에 요약하였다.

[표 1]

시료	하부전극	후처리 조건	커패시터 유전막	상부전극
기준시료(61)	TiN	-	Ta <sub>2</sub> O <sub>5</sub> 150 Å	TiN
제1 시료(63)		NH <sub>3</sub> -플라즈마 처리		
제2 시료(65)		O <sub>3</sub> 처리 + NH <sub>3</sub> -플라즈마 처리		

[표 1]을 참조하면, 각 시료들은 하부전극을 형성하고, 후처리 조건을 달리하여 상기 하부전극을 후처리하였다. 즉, 기준시료(61)는 후처리를 생략하였으며, 제1 시료(63)는 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리되었고, 제2 시료(65)는 O<sub>3</sub> 기체를 사용하여 후처리된 후, NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리되었다.

또한, 상기 각 시료들은 하부 전극 및 상부전극을 TiN으로 형성하였다. 한편, [표 1]의 각 시료들에 있어서, 상기 커패시터 유전막은 하부 커패시터 유전막을 90Å의 두께를 갖는 Ta<sub>2</sub>O<sub>5</sub>로 형성하고, 상기 하부 커패시터 유전막을 O<sub>3</sub> 기체를 사용하여 후처리하였다. 그 후, 상기 하부 커패시터 유전막 상에 상부 커패시터 유전막을 60Å의 두께를 갖는 Ta<sub>2</sub>O<sub>5</sub>로 형성하고, 상기 상부 커패시터 유전막을 O<sub>3</sub> 기체를 사용하여 후처리하였다.

상기 각 시료들에 있어서, 교류전압 주파수 100 KHz를 사용하여 인가전압을 달리하여 커패시턴스를 측정하고, 상기 커패시턴스를 인가전압에 대한 이차함수로 피팅하였다. 그 후, 상기 이차함수의 일차항의 계수를 비교하였다. 한편, 상기 각 시료들에 있어서, 125℃의 온도에서 인가전압에 대한 누설전류를 측정하였다.

도 3a를 참조하면, 하부전극의 후처리가 생략된 기준시료(61)는 상대적으로 큰 VCC 값을 나타내었다. 이에 반해, NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리된 제1 시료(63) 및 O<sub>3</sub> 기체와 NH<sub>3</sub>-플라즈마 기체를 사용하여 순차적으로 후처리된 제2 시료(65)는 상대적으로 작은 VCC 값을 나타내었다. 상기 제1 시료(63)에 비해 상기 제2 시료(65)가 상대적으로 작은 VCC 값을 나타내었으나, 그 차이는 크지 않았다.

도 3b를 참조하면, 상기 각 시료들(61, 63, 65)의 누설전류밀도는 차이가 없었다.

결과적으로, 하부전극을 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리하거나, O<sub>3</sub> 기체를 사용하여 후처리한 후, 다시 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리하여 VCC를 감소시킬 수 있었다.

도 4a 및 도 4b는 각각 커패시터 유전막 후처리 조건들을 달리하여 제작된 시료들의 커패시턴스 전압효율(VCC)들 및 누설전류밀도들을 나타내는 그래프들이다. 상기 커패시터 유전막 후처리 조건들을 달리하여 제작된 시료들의 제작조건들은 [표 2]에 요약하였다.

[표 2]

시료	하부전극	커패시터 유전막	유전막 후처리	상부전극
기준시료(71)	TiN	Ta <sub>2</sub> O <sub>5</sub> 150Å	O <sub>3</sub> 처리	TiN
제3 시료(73)			O <sub>3</sub> 처리 + NH <sub>3</sub> -플라즈마 처리	
제4 시료(75)			NH <sub>3</sub> -플라즈마 처리 + O <sub>3</sub> 처리	

[표 2]를 참조하면, 각 시료들은 하부전극 및 커패시터 유전막을 형성하고, 후처리 조건을 달리하여 상기 커패시터 유전막을 후처리하였다. 즉, 기준시료(71)는 O<sub>3</sub> 기체를 사용하여 후처리되었으며, 제3 시료(73)는 O<sub>3</sub> 기체 및 NH<sub>3</sub>-플라즈마 기체를 사용하여 순차적으로 후처리되었고, 제4 시료(75)는 NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 순차적으로 후처리되었다. 여기서, 상기 기준시료(71)는 [표 1]의 기준시료(61)와 동일한 조건으로 제작되었다.

또한, 상기 각 시료들은 하부 전극 및 상부전극을 TiN으로 형성하였다. 각 시료들에 있어서, 상기 하부전극을 후처리하는 것은 생략되었다. 한편, [표 2]의 각 시료들에 있어서, 상기 커패시터 유전막은 하부 커패시터 유전막을 90Å의 두께를 갖는 Ta<sub>2</sub>O<sub>5</sub>로 형성하고, 상기 하부 커패시터 유전막을 O<sub>3</sub> 기체를 사용하여 후처리하였다. 그 후, 상기 하부 커패시터 유전막 상에 상부 커패시터 유전막을 60Å의 두께를 갖는 Ta<sub>2</sub>O<sub>5</sub>로 형성하였다.

상기 각 시료들에 있어서, 커패시턴스 및 누설전류는 [표 1]을 참조하여 설명한 바와 동일한 조건하에서 측정되었다.

도 4a를 참조하면, O<sub>3</sub> 기체를 사용하여 후처리된 기준 시료(71)는 상대적으로 큰 VCC 값을 나타내었다. 이에 반해, O<sub>3</sub> 기체 및 NH<sub>3</sub>-플라즈마 기체를 사용하여 순차적으로 후처리된 제3 시료(73)와 NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 순차적으로 후처리된 제4 시료(75)는 상대적으로 작은 VCC 값을 나타내었다. 상기 제3 시료(73)에 비해 상기 제4 시료(75)가 상대적으로 작은 VCC 값을 나타내었으나, 그 차이는 크지 않았다.

도 4b를 참조하면, NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 순차적으로 후처리된 제4 시료(75)는 상기 O<sub>3</sub> 기체를 사용하여 후처리된 기준 시료(71)와 유사한 누설전류밀도를 나타내었다. 그러나, 상기 O<sub>3</sub> 기체 및 NH<sub>3</sub>-플라즈마 기체를 사용하여 순차적으로 후처리된 제3 시료(73)는 상대적으로 큰 누설전류밀도를 나타내었다.

결과적으로, NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 커패시터 유전막을 순차적으로 후처리함으로써 누설전류밀도를 증가시키지 않으면서 VCC 값을 감소시킬 수 있었다. 한편, O<sub>3</sub> 기체를 사용하여 커패시터 유전막을 후처리하고, 이어서 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리할 경우, VCC, 값은 감소하나 누설전류밀도가 증가하였다.

도 5a 및 도 5b는 각각 하부 커패시터 유전막 후처리 조건들과 상부 커패시터 유전막 후처리 조건들을 달리하여 제작된 시료들의 커패시턴스 전압효율들 및 누설전류밀도들을 나타내는 그래프들이다. 상기 하부 및 상부 커패시터 유전막 후처리 조건들을 달리하여 제작된 시료들의 제작조건들은 [표 3]에 요약하였다.

[표 3]

시료	하부 유전막	후처리 조건	상부 유전막	후처리 조건
기준시료(81)	Ta <sub>2</sub> O <sub>5</sub> 90 Å	O <sub>3</sub> 처리	Ta <sub>2</sub> O <sub>5</sub> 60 Å	O <sub>3</sub> 처리
제5 시료(83)		NH <sub>3</sub> -플라즈마 처리		NH <sub>3</sub> -플라즈마 처리
제6 시료(85)		NH <sub>3</sub> -플라즈마 처리 + O <sub>3</sub> 처리		NH <sub>3</sub> -플라즈마 처리 + O <sub>3</sub> 처리

[표 3]을 참조하면, 각 시료들에 있어서, 하부전극 및 하부 커패시터 유전막을 형성하고, 후처리 조건을 달리하여 상기 하부 커패시터 유전막을 후처리하였다. 즉, 기준시료(81)의 하부 커패시터 유전막은 O<sub>3</sub> 기체를 사용하여 후처리되었으며, 제5 시료(83)의 하부 커패시터 유전막은 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리되었다. 또한, 제6 시료(85)의 하부 커패시터 유전막은 NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 순차적으로 후처리되었다. 이에 더하여, 상기 각 시료들에 있어서, 상기 후처리된 하부 커패시터 유전막 상에 상부 커패시터 유전막을 형성하고, 후처리 조건을 달리하여 상기 상부 커패시터 유전막을 후처리하였다. 그 후, 상기 후처리된 상부 커패시터 유전막 상에 상부전극을 형성하였다. 각 시료들에 있어서, 상기 하부전극 및 상부전극은 TiN으로 형성하였으며, 상기 하부전극을 후처리하는 것은 생략되었다. 한편, 상기 기준시료(81)는 [표 1]의 기준시료(61)와 동일한 조건으로 제작되었다.

상기 각 시료들에 있어서, 커패시턴스 및 누설전류는 [표 1]을 참조하여 설명한 바와 동일한 조건하에서 측정되었다.

도 5a를 참조하면, 하부 커패시터 유전막 및 상부 커패시터 유전막을 O<sub>3</sub> 기체를 사용하여 후처리한 기준 시료(81)는 상대적으로 큰 VCC 값을 나타내었다. 이에 반해, NH<sub>3</sub>-플라즈마 기체를 사용하여 하부 및 상부 커패시터 유전막을 후처리한 제5 시료(83)는 상대적으로 작은 VCC 값을 나타내었다. 한편, 상기 하부 및 상부 커패시터 유전막 각각을 NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 순차적으로 후처리한 제6 시료(85)는 상기 기준시료(81)에 비해 상대적으로 작고, 상기 제5 시료에 비해 상대적으로 큰 VCC 값을 나타내었다.

도 5b를 참조하면, 상기 하부 및 상부 커패시터 유전막 각각을 NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 순차적으로 후처리한 제6 시료(85)는 상기 하부 및 상부 커패시터 유전막 각각을 O<sub>3</sub> 기체를 사용하여 후처리한 기준 시료(81)과 유사한 누설전류밀도를 나타내었다. 그러나, 상기 하부 및 상부 커패시터 유전막 각각을 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리한 시료(83)은 상대적으로 큰 누설전류밀도를 나타내었다.

결과적으로, 하부 및 상부 커패시터 유전막 각각을 NH<sub>3</sub>-플라즈마 기체 및 O<sub>3</sub> 기체를 사용하여 순차적으로 후처리함으로써 누설전류밀도를 증가시키지 않으면서 VCC 값을 감소시킬 수 있었다. 한편, 하부 및 상부 커패시터 유전막 각각을 O<sub>3</sub> 기체를 사용하여 후처리하는 것을 생략하고 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리할 경우, VCC 값은 감소시킬 수 있었으나 누설전류밀도가 증가하였다.

도 6a 및 도 6b는 각각 커패시터 유전막 증착 방법을 달리하여 제작된 시료들의 커패시턴스 전압효율들 및 누설전류밀도들을 나타내는 그래프들이다. 상기 커패시터 유전막 증착 방법을 달리하여 제작된 시료들의 제작조건들은 [표 4]에 요약하였다.

[표 4]

시료	하부전극	커패시터 유전막	반응기체	상부전극
제7 시료(91)	TiN	Ta <sub>2</sub> O <sub>5</sub> 150 Å	O <sub>2</sub>	TiN
제8 시료(95)			-	

[표 4]를 참조하면, 각 시료들에 있어서, 하부전극을 형성하고 하부 커패시터 유전막의 증착방법을 달리하여 커패시터 유전막을 형성하였다. 즉, 제7 시료(91)의 커패시터 유전막은 CVD 기술을 사용하여 형성되었다. 이때, 반응기체로 O<sub>2</sub>가 사용되었다. 한편, 상기 제8 시료(95)의 커패시터 유전막은 CVD 기술의 일종인 열분해 기술을 사용하여 형성되었다. 이때, 상기 제8 시료(95)의 커패시터 유전막은 반응기체 없는 상태(reactant-free state)에서 유전물질을 증착하여 형성하였다.

한편, 상기 각 시료들에 있어서, 상기 커패시터 유전막을 O<sub>3</sub> 기체를 사용하여 후처리하였다. 그 후, 상기 후처리된 커패시터 유전막 상에 상부전극을 형성하였다. 각 시료들에 있어서, 상기 하부전극 및 상부전극은 TiN으로 형성하였으며, 상기 하부전극을 후처리하는 것은 생략되었다.

상기 각 시료들에 있어서, 커패시턴스 및 누설전류는 [표 1]을 참조하여 설명한 바와 동일한 조건하에서 측정되었다.

한편, 상기 증착방법에 따른 커패시터 유전막 내에 함유된 원자들의 상대적인 양을 비교하기 위해 XPS 분석을 하였으며, 그 결과를 [표 5]에 요약하였다.

[표 5]

반응기체	C	Ta	O	Cl
O <sub>2</sub>	20.5 %	23.7 %	55.8 %	-
Reactant-free	16.2 %	25.1 %	58.7 %	-

[표 5]를 참조하면, 반응기체 O<sub>2</sub>를 사용하여 형성된 커패시터 유전막은 열분해 기술을 사용하여 반응기체 없는 상태에서 형성된 커패시터 유전막에 비해 탄소원자들(C)을 상대적으로 많이 함유하였다. 또한, 반응기체 O<sub>2</sub>를 사용하여 형성된 커패시터 유전막은 반응기체 없는 상태에서 형성된 커패시터 유전막에 비해 탄탈륨(Ta) 원자들 및 산소(O) 원자들을 상대적으로 덜 함유하였다. 그러나, 탄탈륨 원자에 대한 산소원자의 비율은 두 경우에 각각 2.35 및 2.34를 나타내어 큰 차이가 없었다.

도 6a를 참조하면, 커패시터 유전막을 반응기체 O<sub>2</sub>를 사용하여 형성한 제7 시료(91)는 반응기체 없는 상태에서 열분해 기술을 사용하여 형성한 제8 시료(95)에 비해 큰 VCC 값을 나타내었다. 이는, XPS 분석 결과에 비추어볼 때, 커패시터 유전막 내에 함유된 탄소원자들에 기인하는 것으로 사료된다.

도 6b를 참조하면, 상기 제7 시료(91) 및 제8 시료(95)의 누설전류밀도는 큰 차이가 없었다.

결과적으로, 커패시터 유전막을 반응기체 없는 상태에서 형성하므로써 누설전류밀도를 증가시키지 않으면서 VCC 값을 감소시킬 수 있었다.

**발명의 효과**

본 발명에 따르면, 커패시터 유전막을 환원 분위기 및 산화 분위기에서 순차적으로 후처리하므로써, 아날로그 커패시터의 누설전류 증가를 방지하면서, VCC 값을 감소시킬 수 있다.

**(57) 청구의 범위**

**청구항 1.**

반도체기판 상에 하부절연막을 형성하고,

상기 하부절연막 상에 하부전극을 형성하고,

상기 하부전극 상에 커패시터 유전막을 형성하고,

상기 커패시터 유전막을 환원 분위기에서(in a deoxidizing medium) 후처리하고,

상기 후처리된 커패시터 유전막을 산화 분위기에서(in an oxidizing medium) 후처리하고,

상기 후처리된 커패시터 유전막 상에 상부전극을 형성하는 것을 포함하는 아날로그 커패시터 제조방법.

## 청구항 2.

제 1 항에 있어서,

상기 커패시터 유전막을 환원 분위기에서 후처리 하는 것은  $H_2$ ,  $H_2$ -플라즈마,  $N_2$ ,  $N_2$ -플라즈마,  $NH_3$  및  $NH_3$ -플라즈마 기체로 이루어진 일군으로부터 선택된 적어도 하나의 기체를 사용하여 실시되는 아날로그 커패시터 제조방법.

## 청구항 3.

제 1 항에 있어서,

상기 후처리된 커패시터 유전막을 산화 분위기에서 후처리하는 것은  $O_2$ ,  $O_3$  및  $O_2$ -플라즈마로 이루어진 일군으로부터 선택된 적어도 하나의 기체를 사용하여 실시되는 아날로그 커패시터 제조방법.

## 청구항 4.

제 1 항에 있어서,

상기 하부전극 상에 커패시터 유전막을 형성하기 전, 상기 하부전극을 환원분위기에서 후처리하는 것을 더 포함하는 아날로그 커패시터 제조방법.

## 청구항 5.

제 4 항에 있어서,

상기 하부전극을 환원 분위기에서 후처리하기 전, 상기 하부전극을 산화 분위기에서 후처리하는 것을 더 포함하는 아날로그 커패시터 제조방법.

## 청구항 6.

제 1 항에 있어서,

상기 커패시터 유전막을 형성하는 것은 열분해 기술을 사용하여 반응기체 없는 상태(reactant-free state)에서 유전물질을 증착하는 것을 포함하는 아날로그 커패시터 제조방법.

### 청구항 7.

반도체기판 상에 하부절연막을 형성하고,

상기 하부절연막 상에 하부전극을 형성하고,

상기 하부전극 상에 하부 커패시터 유전막을 형성하고,

상기 하부 커패시터 유전막을 환원 분위기 및 산화 분위기에서 순차적으로 적어도 1회 후처리하고,

상기 후처리된 하부 커패시터 유전막 상에 상부 커패시터 유전막을 형성하고,

상기 상부 커패시터 유전막을 환원 분위기에서 후처리하고,

상기 후처리된 상부 커패시터 유전막을 산화 분위기에서 후처리하고,

상기 후처리된 상부 커패시터 유전막 상에 상부전극을 형성하는 것을 포함하는 아날로그 커패시터 제조방법.

### 청구항 8.

제 7 항에 있어서,

상기 하부 커패시터 유전막 및 상기 상부 커패시터 유전막을 환원 분위기에서 후처리하는 것은 각각  $H_2$ ,  $H_2$ -플라즈마,  $N_2$ ,  $N_2$ -플라즈마,  $NH_3$  및  $NH_3$ -플라즈마 기체로 이루어진 일군으로부터 선택된 적어도 하나의 기체를 사용하여 실시되는 아날로그 커패시터 제조방법.

### 청구항 9.

제 7 항에 있어서,

상기 하부 커패시터 유전막 및 상기 상부 커패시터 유전막을 산화 분위기에서 후처리하는 것은 각각  $O_2$ ,  $O_3$  및  $O_2$ -플라즈마로 이루어진 일군으로부터 선택된 적어도 하나의 기체를 사용하여 실시되는 아날로그 커패시터 제조방법.

### 청구항 10.

제 7 항에 있어서,

상기 하부전극 상에 하부 커패시터 유전막을 형성하기 전, 상기 하부전극을 환원분위기에서 후처리하는 것을 더 포함하는 아날로그 커패시터 제조방법.

### 청구항 11.

제 10 항에 있어서,

상기 하부전극을 환원 분위기에서 후처리하기 전, 상기 하부전극을 산화 분위기에서 후처리하는 것을 더 포함하는 아날로그 커패시터 제조방법.

## 청구항 12.

제 7 항에 있어서,

상기 하부 및/또는 상부 커패시터 유전막을 형성하는 것은 열분해 기술을 사용하여 반응기체 없는 상태(reactant-free state)에서 유전물질을 증착하는 것을 포함하는 아날로그 커패시터 제조방법.

## 청구항 13.

반도체기판 상에 하부절연막을 형성하고,

상기 하부절연막 상에 하부전극을 형성하고,

상기 하부전극 상에 커패시터 유전막을 형성하고,

상기 커패시터 유전막을  $\text{NH}_3$ -플라즈마를 사용하여 후처리하고,

상기 후처리된 커패시터 유전막을 산화 분위기에서 후처리하고,

상기 후처리된 커패시터 유전막 상에 상부전극을 형성하는 것을 포함하는 아날로그 커패시터 제조방법.

## 청구항 14.

제 13 항에 있어서,

상기 후처리된 커패시터 유전막을 산화 분위기에서 후처리하는 것은  $\text{O}_2$ ,  $\text{O}_3$  및  $\text{O}_2$ -플라즈마로 이루어진 일군으로부터 선택된 적어도 하나의 기체를 사용하여 실시되는 아날로그 커패시터 제조방법.

## 청구항 15.

제 13 항에 있어서,

상기 하부전극 및 상기 상부전극은 TiN막으로 형성되는 아날로그 커패시터 제조방법.

## 청구항 16.

제 13 항에 있어서,

상기 커패시터 유전막을 형성하기 전, 상기 하부전극을  $\text{NH}_3$ -플라즈마 기체를 사용하여 후처리하는 것을 더 포함하는 아날로그 커패시터 제조방법.

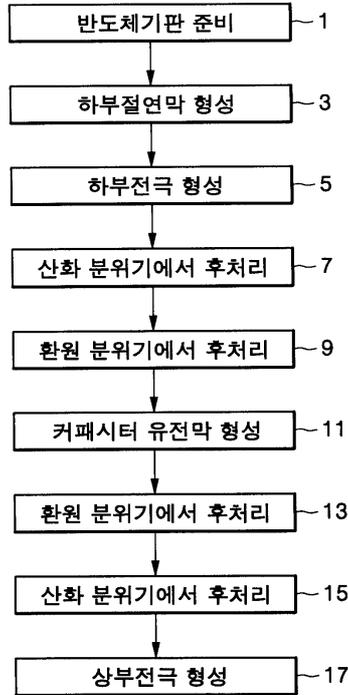
## 청구항 17.

제 16 항에 있어서,

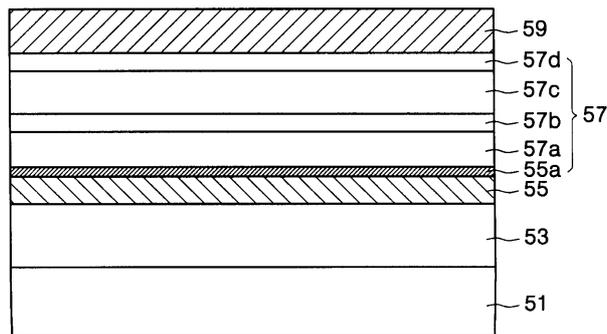
상기 하부전극을 NH<sub>3</sub>-플라즈마 기체를 사용하여 후처리하기 전, 산화 분위기에서 후처리하는 것을 더 포함하는 아날로그 커패시터 제조방법.

도면

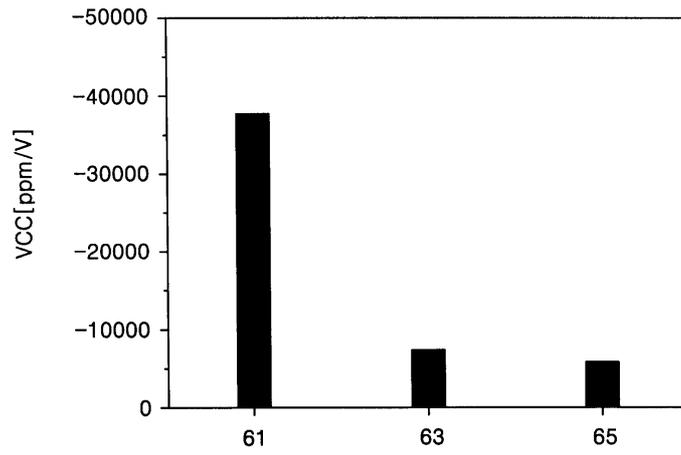
도면1



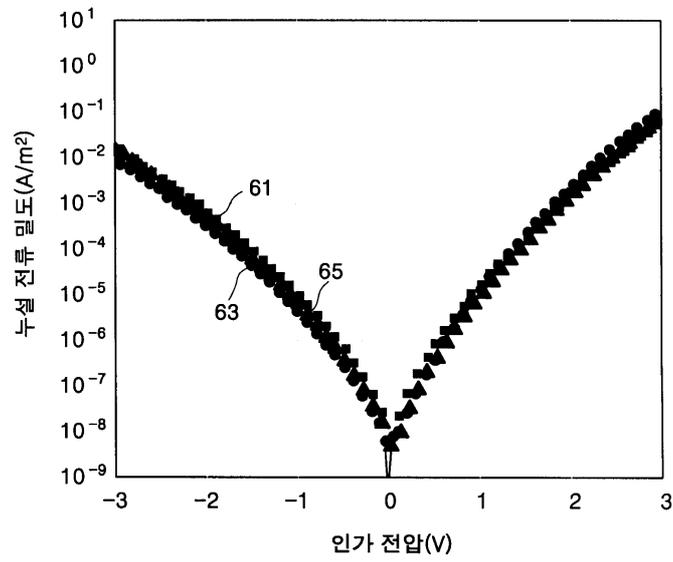
도면2



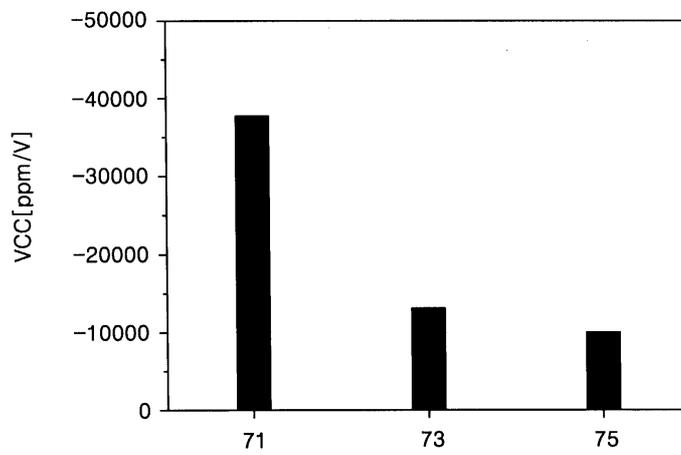
도면3a



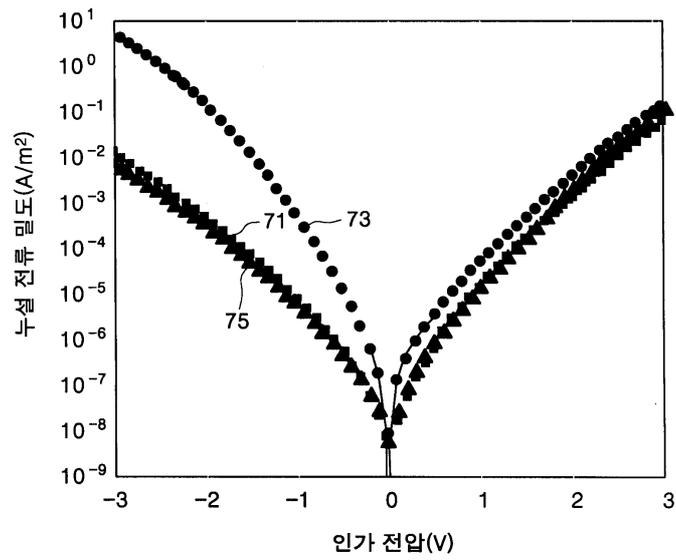
도면3b



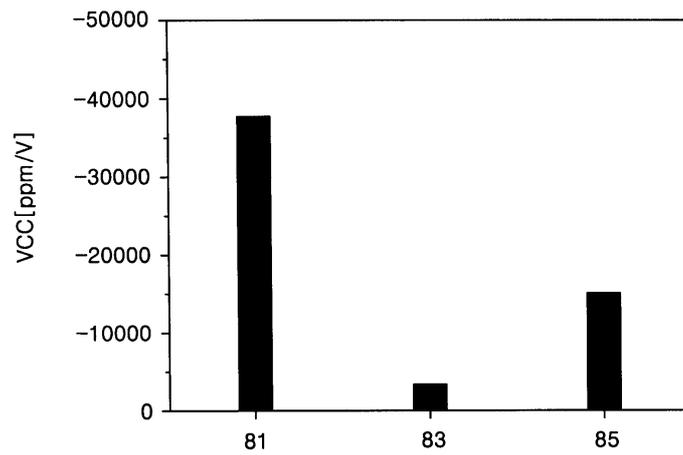
도면4a



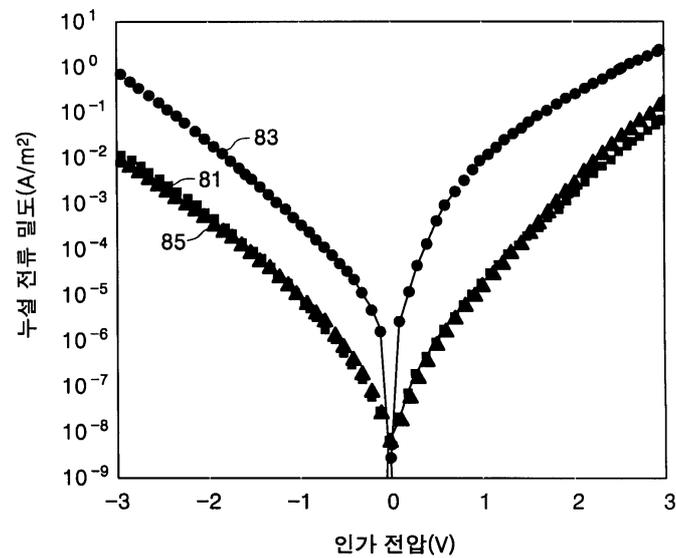
도면4b



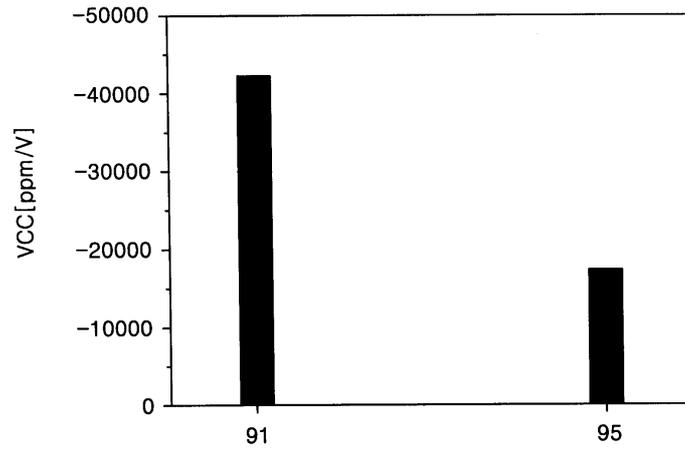
도면5a



도면5b



도면6a



도면6b

