



(12)发明专利

(10)授权公告号 CN 105892554 B

(45)授权公告日 2018.04.17

(21)申请号 201610485380.1

审查员 张晓琳

(22)申请日 2016.06.28

(65)同一申请的已公布的文献号

申请公布号 CN 105892554 A

(43)申请公布日 2016.08.24

(73)专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技
园区祖冲之路1399号

(72)发明人 邵博闻

(74)专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 丁纪铁

(51)Int.Cl.

G05F 3/28(2006.01)

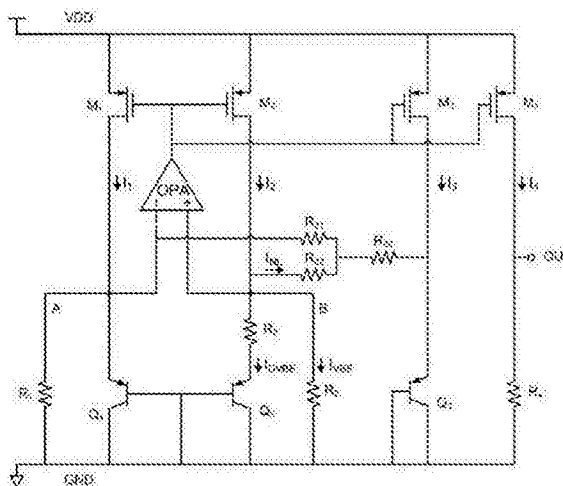
权利要求书1页 说明书4页 附图1页

(54)发明名称

非线性补偿的基准电压源电路

(57)摘要

本发明公开一种非线性补偿的基准电压源电路,其特征在于,包括:四个镜像电流支路、三个双极型晶体管、一个运算放大器和多个电阻;将第五电阻的第一端和第六电阻的第一端分别连接第一镜像电流支路的输出节点和第二镜像电流支路的输出节点,第五电阻的第二端和第六电阻的第二端同时连接第七电阻的第一端,第七电阻的第二端连接第三镜像电流支路的输出节点;使用三个电阻代替了现有电路结构中两个电阻,在同样电流的情况下,本发明的三个电阻的要小于现有电路图中两个电阻的阻值。本发明的非线性补偿的基准电压源电路的电阻使用少、更节省面积。



1. 一种非线性补偿的基准电压源电路,其特征在于,包括:四个镜像电流支路、三个双极型晶体管、一个运算放大器和多个电阻;

所述四个镜像电流支路包括第一镜像电流支路、第二镜像电流支路、第三镜像电流支路和第四镜像电流支路,所述第四镜像电流支路的输出节点作为基准电压的输出端;

所述三个双极型晶体管包括第一双极型晶体管、第二双极型晶体管和第三双极型晶体管,所述三个双极型晶体管的类型相同,所述三个双极型晶体管的基极均和集电极连接在一起呈三个二极管结构,所述第二双极型晶体管的发射极面积为所述第一双极型晶体管的发射面积的N倍且N大于1;所述第一双极型晶体管连接在所述第一镜像电流支路的输出节点和地之间,所述第三双极型晶体管连接在所述第三镜像电流支路的输出节点和地之间;

所述运算放大器具有正相输入端、反相输入端和一个输出端,所述运算放大器的正相输入端和反相输入端分别连接第二镜像电流支路的输出节点和第一镜像电流支路的输出节点,所述运算放大器的输出端控制所述四个镜像电流支路的大小;

所述多个电阻,包括:第一电阻,所述第一电阻的两端分别连接所述第二镜像电流支路的输出节点和第二双极型晶体管,所述第二双极型晶体管连接在所述第一电阻和地之间;第二电阻,所述第二电阻连接在第一镜像电流支路的输出节点和地之间;第三电阻,所述第三电阻连接在第二镜像电流支路的输出节点和地之间;第四电阻,所述第四电阻连接在第四镜像电流支路的输出节点和地之间;

所述多个电阻,还包括:第五电阻、第六电阻和第七电阻,所述第五电阻的第一端和第六电阻的第一端分别连接第一镜像电流支路的输出节点和第二镜像电流支路的输出节点,所述第五电阻的第二端和第六电阻的第二端同时连接第七电阻的第一端,所述第七电阻的第二端连接第三镜像电流支路的输出节点;

所述第五电阻的阻值与第六电阻的阻值相等,且第五电阻的阻值大于等于第一镜像电流支路的输出节点和第二镜像电流支路的输出节点之间的输出电阻。

2. 根据权利要求1所述的非线性补偿的基准电压源电路,其特征在于,所述第一镜像电流支路由第一MOS管组成,第二镜像电流支路由第二MOS管组成,第三镜像电流支路由第三MOS管组成,第四镜像电流支路由第四MOS管组成;所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的源极均接工作电压,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的栅极均接所述运算放大器的输出端,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的漏极分别为第一镜像电流支路的输出节点、第二镜像电流支路的输出节点、第三镜像电流支路的输出节点和第四镜像电流支路的输出节点。

3. 根据权利要求2所述的非线性补偿的基准电压源电路,其特征在于,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的尺寸相同。

4. 根据权利要求2或3所述的非线性补偿的基准电压源电路,其特征在于,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管都为PMOS管。

5. 根据权利要求1所述的非线性补偿的基准电压源电路,其特征在于,所述三个双极型晶体管都为PNP管。

6. 根据权利要求1所述的非线性补偿的基准电压源电路,其特征在于,所述三个双极型晶体管都为NPN管。

非线性补偿的基准电压源电路

技术领域

[0001] 本发明涉及半导体集成电路领域,特别是涉及一种非线性补偿的基准电压源电路。

背景技术

[0002] 基准电压源电路在集成电路中被广泛应用,其一般设置有补偿电路。传统的补偿电路所费电阻面积较大。如图1所示,为一种现有的基准电压源电路补偿电路图,包括四个镜像电流支路,分别由MOS管 M_1 、 M_2 、 M_3 和 M_4 组成,输出电流分别为 I_1 、 I_2 、 I_3 和 I_4 ;三个双极型晶体管 Q_1 、 Q_2 和 Q_3 ,且 Q_1 和 Q_2 呈二极管连接结构;六个电阻 R_0 、 R_1 、 R_2 、 R_{31}' 、 R_{32}' 和 R_4 ;一个运算放大器(OPA)。其中 Q_1 和 Q_3 分别连接在第一镜像电路支路的输出节点与地之间和第三镜像电路支路的输出节点与地之间, Q_2 通过电阻 R_0 和第二镜像电路支路的输出节点相连, R_1 、 R_2 和 R_4 分别连接在第一镜像电路支路的输出节点与地之间、第二镜像电路支路的输出节点与地之间和第四镜像电路支路的输出节点与地之间,第四镜像电路支路的输出节点作为基准电压的输出端OUT,第一、二镜像电流的输出节点分别连接运算放大器(OPA)的两个输入端,且 R_{31}' 连接在第一镜像电路支路的输出节点与第三镜像电路支路的输出节点之间, R_{32}' 连接在第二镜像电路支路的输出节点与第三镜像电路支路的输出节点之间。由此,通过 R_{31}' 、 R_{32}' 、 M_3 和 Q_3 组成该基准电压源电路的补偿电路,其中,流过 Q_1 和 Q_2 的是与温度成正比的电流 I_{DVBE} ,流过 Q_3 的是与温度无关的电流 $I_3 = I_{DVBE} + I_{VBE}$,在不同的温度系数下VBE的曲率不同, R_{31}' 和 R_{32}' 上形成电压差、产生非线性补偿电流 I_{NL} ,则 $I_4 = I_2 = I_{DVBE} + I_{VBE} + I_{NL}$,但该补偿电路的缺点在于补偿电阻较大。

发明内容

[0003] 本发明所要解决的技术问题在于,提供一种电阻使用少、面积省的非线性补偿的基准电压源电路。

[0004] 为解决上述技术问题,本发明提供的非线性补偿的基准电压源电路包括:四个镜像电流支路、三个双极型晶体管、一个运算放大器和多个电阻。

[0005] 所述四个镜像电流支路包括第一镜像电流支路、第二镜像电流支路、第三镜像电流支路和第四镜像电流支路,所述第四镜像电流支路的输出节点作为基准电压的输出端;

[0006] 所述三个双极型晶体管包括第一双极型晶体管、第二双极型晶体管和第三双极型晶体管,所述三个双极型晶体管的类型相同,所述三个双极型晶体管的基极均和集电极连接在一起呈三个二极管结构,所述第二双极型晶体管的发射极面积为所述第一双极型晶体管的发射面积的N倍且N大于1;所述第一双极型晶体管连接在所述第一镜像电流支路的输出节点和地之间,所述第三双极型晶体管连接在所述第三镜像电流支路的输出节点和地之间;

[0007] 所述运算放大器具有正相输入端、反相输入端和一个输出端,所述运算放大器的正相输入端和反相输入端分别连接第二镜像电流支路的输出节点和第一镜像电流支路的

输出节点,所述运算放大器的输出端控制所述四个镜像电流支路的大小;

[0008] 所述多个电阻,包括:第一电阻,所述第一电阻的两端分别连接所述第二镜像电流支路的输出节点和第二极型晶体管,所述第二极型晶体管连接在所述第一电阻和地之间;第二电阻,所述第二电阻连接在第一镜像电流支路的输出节点和地之间;第三电阻,所述第三电阻连接在第二镜像电流支路的输出节点和地之间;第四电阻,所述第四电阻连接在第四镜像电流支路的输出节点和地之间;

[0009] 所述多个电阻,还包括:第五电阻、第六电阻和第七电阻,所述第五电阻的第一端和第六电阻的第一端分别连接第一镜像电流支路的输出节点和第二镜像电流支路的输出节点,所述第五电阻的第二端和第六电阻的第二端同时连接第七电阻的第一端,所述第七电阻的第二端连接第三镜像电流支路的输出节点。

[0010] 进一步的,所述第一镜像电流支路由第一MOS管组成,第二镜像电流支路由第二MOS管组成,第三镜像电流支路由第三MOS管组成,第四镜像电流支路由第四MOS管组成;所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的源极均接工作电压,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的栅极均接所述运算放大器的输出端,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的漏极分别为第一镜像电流支路的输出节点、第二镜像电流支路的输出节点、第三镜像电流支路的输出节点和第四镜像电流支路的输出节点。

[0011] 进一步的,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管的尺寸相同。

[0012] 进一步的,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管都为PMOS管。

[0013] 进一步的,所述第五电阻的阻值与第六电阻的阻值相等,且第五电阻的阻值大于等于第一镜像电流支路的输出节点和第二镜像电流支路的输出节点之间的输出电阻。

[0014] 进一步的,所述三个双极型晶体管都为PNP管。

[0015] 进一步的,所述三个双极型晶体管都为NPN管。

[0016] 本发明能达到的技术效果是,通过第五电阻、第六电阻、第七电阻及第三MOS管和第三双极型晶体管组成了基准电压源电路的补偿电路,使用三个电阻代替了现有电路结构中两个电阻,在同样电流的情况下,本发明的三个电阻的要小于现有电路图中两个电阻的阻值。例如,一般设计中, R_{31}' 和 R_{32}' 相等,第五电阻和第六电阻相等,同样电流情况下, $R_{31}' = \text{第五电阻} + \text{第七电阻} \times 2$,假设 $R_{31}' = R_{32}' = 1\text{M}$,则第五电阻和第六电阻等于 400K ,第七电阻等于 300K ,三个小电阻的阻值之和为 1.1M ($400\text{K} \times 2 + 300\text{K}$),相比现有设计的阻值之和为 2.0M ($1\text{M} \times 2$),本发明的非线性补偿的基准电压源电路的电阻使用少、更节省面积。

附图说明

[0017] 图1为现有的非线性补偿的基准电压源电路图。

[0018] 图2为本发明实施例的非线性补偿的基准电压源电路图。

具体实施方式

[0019] 下面将结合附图对本发明的技术方案进行清楚、完整的描述,显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0020] 如图2所示,是本发明实施例的非线性补偿的基准电压源电路图,四个镜像电流支路、三个双极型晶体管、一个运算放大器和多个电阻。

[0021] 其中,四个镜像电流支路包括第一镜像电流支路、第二镜像电流支路、第三镜像电流支路和第四镜像电流支路,四个镜像电路的电流分别为 I_1 、 I_2 、 I_3 和 I_4 ,第四镜像电流支路的输出节点作为基准电压的输出端OUT;

[0022] 其中,三个双极型晶体管包括第一双极型晶体管 Q_1 、第二双极型晶体管 Q_2 和第三双极型晶体管 Q_3 ,且该三个双极型晶体管的类型相同; Q_1 、 Q_2 及 Q_3 的基极均和各自的集电极连接在一起呈三个二极管结构;其中第二双极型晶体管 Q_2 的发射极面积为第一双极型晶体管 Q_1 的发射面积的N倍,且N大于1;第一双极型晶体管 Q_1 连接在第一镜像电流支路的输出节点即节点A和地GND之间,第三双极型晶体管 Q_3 连接在第三镜像电流支路的输出节点和地GND之间;

[0023] 其中,运算放大器具有正相输入端、反相输入端和一个输出端,所述运算放大器的正相输入端和反相输入端分别连接第二镜像电流支路的输出节点即节点B和第一镜像电流支路的输出节点即节点A,所述运算放大器的输出端控制四个镜像电流支路的大小;

[0024] 其中,多个电阻,包括:第一电阻 R_0 ,所述第一电阻 R_0 的两端分别连接所述第二镜像电流支路的输出节点即节点B和第二双极型晶体管 Q_2 ,所述第二极型晶体管 Q_2 连接在所述第一电阻 R_0 和地GND之间;第二电阻 R_1 ,所述第二电阻 R_1 连接在第一镜像电流支路的输出节点即节点A和地GND之间;第三电阻 R_2 ,所述第三电阻 R_2 连接在第二镜像电流支路的输出节点即节点B和地GND之间;第四电阻 R_4 ,所述第四电阻 R_4 连接在第四镜像电流支路的输出节点和地GND之间;

[0025] 所述多个电阻,还包括:第五电阻 R_{31} 、第六电阻 R_{32} 和第七电阻 R_{30} ,所述第五电阻 R_{31} 的第一端和第六电阻 R_{32} 的第一端分别连接第一镜像电流支路的输出节点即节点A和第二镜像电流支路的输出节点即节点B,所述第五电阻 R_{31} 的第二端和第六电阻 R_{32} 的第二端同时连接第七电阻 R_{30} 的第一端,所述第七电阻 R_{30} 的第二端连接第三镜像电流支路的输出节点。

[0026] 本发明的非线性补偿的基准电压源电路通过第五电阻 R_{31} 、第六电阻 R_{32} 和第七电阻 R_{30} 及第三MOS管 M_3 和第三双极型晶体管 Q_3 组成了基准电压源电路的补偿电路,其中,流过 Q_1 和 Q_2 的是与温度成正比的电流 I_{DVBE} ,流过 R_2 的是与温度成反比的电流 I_{VBE} ,流过 Q_3 的是与温度无关的电流 $I_3 = I_{DVBE} + I_{VBE}$ 。本发明使用三个电阻 R_{31} 、 R_{32} 和 R_{30} 代替了现有电路结构中两个电阻 R_{31}' 和 R_{32}' ,假设在同样电流的情况下,本发明的三个电阻的要小于现有电路图中两个电阻的阻值。例如,一般设计中, $R_{31}' = R_{32}'$, $R_{31} = R_{32}$,同样电流情况下, $R_{31}' = R_{31} + R_{30} \times 2$,假设 $R_{31}' = R_{32}' = 1M$,则 $R_{31} = R_{32} = 400K$,且 $R_{30} = 300K$,那么,三个小电阻 R_{31} 、 R_{32} 和 R_{30} 的阻值之和为 $1.1M (400K \times 2 + 300K)$,相比现有设计中 R_{31}' 和 R_{32}' 的阻值之和为 $2.0M (1M \times 2)$,本发明的非线性补偿的基准电压源电路的电阻使用少、更节省面积。

[0027] 在本发明的实施例中,第一镜像电流支路由第一MOS管 M_1 组成,第二镜像电流支路由第二MOS管 M_2 组成,第三镜像电流支路由第三MOS管 M_3 组成,第四镜像电流支路由第四MOS管 M_4 组成;且第一MOS管 M_1 、第二MOS管 M_2 、第三MOS管 M_3 、第四MOS管 M_4 的源极均接工作电压VDD,第一MOS管 M_1 、第二MOS管 M_2 、第三MOS管 M_3 、第四MOS管 M_4 的栅极均接所述运算放大器的输出端,第一MOS管 M_1 、第二MOS管 M_2 、第三MOS管 M_3 、第四MOS管 M_4 的漏极分别为第一镜像电流支路的输出节点即节点A、第二镜像电流支路的输出节点即节点B、第三镜像电流支路的输

出节点和第四镜像电流支路的输出节点。在本发明的实施例中,可以设置第一MOS管 M_1 、第二MOS管 M_2 、第三MOS管 M_3 、第四MOS管 M_4 的尺寸相同,那么各条镜像电流支路的电流则相等。在本发明的实施例中,所述第一MOS管、第二MOS管、第三MOS管、第四MOS管都为PMOS管。

[0028] 在本发明的实施例中,可以设置第五电阻 R_{31} 的阻值与第六电阻 R_{32} 的阻值相等,且第五电阻 R_{31} 大于等于第一镜像电流支路的输出节点和第二镜像电流支路的输出节点之间的输出电阻。

[0029] 在本发明的实施例中第一双极型晶体管 Q_1 、第二双极型晶体管 Q_2 和第三双极型晶体管 Q_3 都为PNP管。在其他实施例中,第一双极型晶体管 Q_1 、第二双极型晶体管 Q_2 和第三双极型晶体管 Q_3 也可以都为NPN管。

[0030] 综上所述,上述各实施例及附图仅为本发明的较佳实施例而已,并不用以限定本发明的保护范围,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,皆应包含在本发明的保护范围内。

