(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0116762
(43) 공개일자 2021년09월28일

(51) 국제특허분류(Int. Cl.)
H01L 51/00 (2006.01) *H01L 27/12* (2006.01)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 51/0096 (2013.01)
H01L 27/1214 (2013.01)
(21) 출원번호 10-2020-0031314
(22) 출원일자 2020년03월13일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정용빈
경기도 용인시 기흥구 삼성로 1 (농서동)
우영걸
경기도 용인시 기흥구 삼성로 1 (농서동)
곽은진
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
리앤목특허법인

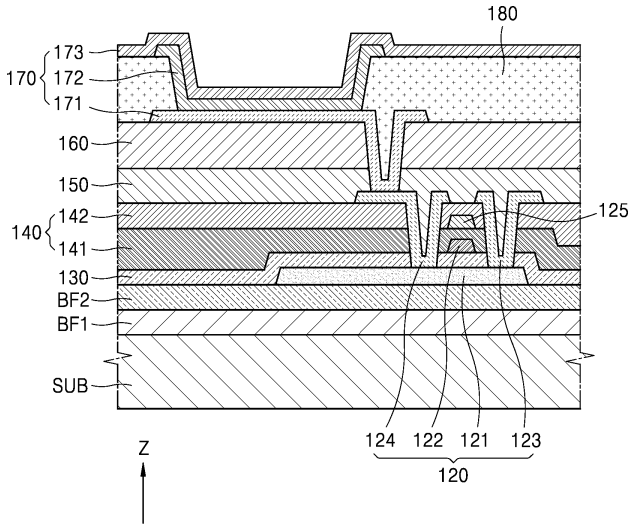
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **디스플레이 장치 및 그 제조방법**

(57) 요 약

본 발명은 전기적 효율이 높으면서도 우수한 성능을 유지할 수 있는 디스플레이 장치 및 그 제조방법을 위하여, 기판과, 상기 기판 상에 위치하고 실리콘나이트라이드를 포함하며 실리콘과 결합한 수소의 원자퍼센트가 0.36 이상 1.01 이하인 제1버퍼층과, 상기 제1버퍼층 상에 위치하며 액티브층을 포함하는 박막트랜지스터와, 상기 박막트랜지스터에 전기적으로 연결된 디스플레이소자를 구비하는, 디스플레이 장치 및 그 제조방법을 제공한다.

대 표 도 - 도3



(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 29/786 (2021.01)
H01L 51/56 (2013.01)

명 세 서

청구범위

청구항 1

기판;

상기 기판 상에 위치하고, 실리콘나이트라이드를 포함하며, 실리콘과 결합한 수소의 원자퍼센트가 0.36 이상 1.01 이하인, 제1버퍼층;

상기 제1버퍼층 상에 위치하며 액티브층을 포함하는 박막트랜지스터; 및

상기 박막트랜지스터에 전기적으로 연결된 디스플레이소자;

를 구비하는, 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 제1버퍼층과 상기 박막트랜지스터 사이에 개재되는 제2버퍼층을 더 구비하는, 디스플레이 장치.

청구항 3

제2항에 있어서,

상기 제2버퍼층은 실리콘옥사이드를 포함하는, 디스플레이 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 박막트랜지스터는 게이트전극을 구비하며, 상기 액티브층은 상기 게이트전극보다 상기 제1버퍼층에 더 인접하도록 배치된, 디스플레이 장치.

청구항 5

제4항에 있어서,

상기 게이트전극은 알루미늄을 포함하는, 디스플레이 장치.

청구항 6

제4항에 있어서,

상기 게이트전극은 알루미늄을 포함하는 제1층과, 상기 제1층 상에 위치하며 알루미늄의 식각률보다 낮은 식각률을 갖는 물질을 포함하는 제2층을 구비하는, 디스플레이 장치.

청구항 7

제4항에 있어서,

상기 게이트전극은 알루미늄을 포함하는 제1층과, 상기 제1층 상에 위치하며 티타늄을 포함하는 제2층을 구비하는, 디스플레이 장치.

청구항 8

제4항에 있어서,

상기 게이트전극은 알루미늄을 포함하는 제1층과, 상기 제1층 상에 위치하며 티타늄나이트라이드를 포함하는 제2층을 구비하는, 디스플레이 장치.

청구항 9

제8항에 있어서,

상기 게이트전극은 상기 제2층 상에 위치하며 티타늄을 포함하는 제3층을 더 구비하는, 디스플레이 장치.

청구항 10

기판 상에, 실리콘나이트라이드를 포함하며, 실리콘과 결합한 수소의 원자퍼센트가 0.36 이상 1.01 이하인, 제1버퍼층을 형성하는 단계;

제1버퍼층 상에 액티브층을 포함하는 박막트랜지스터를 형성하는 단계; 및

박막트랜지스터에 전기적으로 연결된 디스플레이소자를 형성하는 단계;

를 포함하는, 디스플레이 장치 제조방법.

청구항 11

제10항에 있어서,

제1버퍼층 상에 제2버퍼층을 형성하는 단계를 더 포함하고,

상기 박막트랜지스터를 형성하는 단계는, 제2버퍼층 상에 액티브층을 포함하는 박막트랜지스터를 형성하는 단계인, 디스플레이 장치 제조방법.

청구항 12

제11항에 있어서,

상기 제2버퍼층을 형성하는 단계는, 실리콘옥사이드층을 형성하는 단계인, 디스플레이 장치 제조방법.

청구항 13

제10항에 있어서,

상기 박막트랜지스터를 형성하는 단계는, 액티브층을 형성하는 단계와 액티브층 상부에 게이트전극을 형성하는 단계를 포함하는, 디스플레이 장치 제조방법.

청구항 14

제13항에 있어서,

상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하는 단계인, 디스플레이 장치 제조방법.

청구항 15

제13항에 있어서,

상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 알루미늄의 식각률보다 낮은 식각률을 갖는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함하는, 디스플레이 장치 제조방법.

청구항 16

제13항에 있어서,

상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 티타늄을 포함하는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함하는, 디스플레이 장치 제조방법.

청구항 17

제13항에 있어서,

상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 티타늄나이트라이드를 포함하는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함하는, 디스플레이 장치 제조방법.

청구항 18

제13항에 있어서,

상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 티타늄나이트라이드를 포함하는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 티타늄을 포함하는 물질을 이용하여 제2임시층 상에 제3임시층을 형성하는 단계와, 제1임시층 내지 제3임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함하는, 디스플레이 장치 제조방법.

청구항 19

제10항 내지 제18항 중 어느 한 항에 있어서,

상기 제1버퍼층을 형성하는 단계는, 질소가스와 실란가스만을 이용하여 제1버퍼층을 형성하는 단계인, 디스플레이 장치 제조방법.

청구항 20

제10항 내지 제18항 중 어느 한 항에 있어서,

상기 제1버퍼층을 형성하는 단계는, 질소가스의 유량을 실란가스의 유량의 160배 이상으로 유지하여 제1버퍼층을 형성하는 단계인, 디스플레이 장치 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 실시예들은 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 전기적 효율이 높으면서도 우수한 성능을 유지할 수 있는 디스플레이 장치 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 디스플레이 장치는 디스플레이소자들을 포함하여 이미지를 디스플레이한다. 이러한 디스플레이 장치는 다양한 형태로 활용될 수 있는데, 예컨대 스마트폰, 디지털 카메라, 랩탑 컴퓨터, 내비게이션 또는 스마트 텔레비전과 같은 다양한 전자기기에 사용될 수 있다.

[0003] 이러한 디스플레이 장치는 디스플레이소자들의 작동을 제어하기 위하여, 디스플레이소자들 각각에 전기적으로 연결된 박막트랜지스터를 이용한다.

발명의 내용

해결하려는 과제

[0004] 그러나 이러한 종래의 디스플레이 장치에는 배선의 저항이 높아 전기적 효율이 낮다는 문제점이 있었다.

[0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 전기적 효율이 높으면서도 우수한 성능을 유지할 수 있는 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0006] 본 발명의 일 관점에 따르면, 기판과, 상기 기판 상에 위치하고 실리콘나이트라이드를 포함하며 실리콘과 결합한 수소의 원자퍼센트가 0.36 초과 1.01 이하인 제1버퍼층과, 상기 제1버퍼층 상에 위치하며 액티브층을 포함하는 박막트랜지스터와, 상기 박막트랜지스터에 전기적으로 연결된 디스플레이소자를 구비하는, 디스플레이 장치가 제공된다.

[0007] 상기 제1버퍼층과 상기 박막트랜지스터 사이에 개재되는 제2버퍼층을 더 구비할 수 있다.

[0008] 상기 제2버퍼층은 실리콘옥사이드를 포함할 수 있다.

[0009] 상기 박막트랜지스터는 게이트전극을 구비하며, 상기 액티브층은 상기 게이트전극보다 상기 제1버퍼층에 더 인접하도록 배치될 수 있다.

[0010] 상기 게이트전극은 알루미늄을 포함할 수 있다.

[0011] 상기 게이트전극은 알루미늄을 포함하는 제1층과, 상기 제1층 상에 위치하며 알루미늄의 식각률보다 낮은 식각률을 갖는 물질을 포함하는 제2층을 구비할 수 있다.

[0012] 상기 게이트전극은 알루미늄을 포함하는 제1층과, 상기 제1층 상에 위치하며 티타늄을 포함하는 제2층을 구비할 수 있다.

[0013] 상기 게이트전극은 알루미늄을 포함하는 제1층과, 상기 제1층 상에 위치하며 티타늄나이트라이드를 포함하는 제2층을 구비할 수 있다.

[0014] 상기 게이트전극은 상기 제2층 상에 위치하며 티타늄을 포함하는 제3층을 더 구비할 수 있다.

[0015] 본 발명의 다른 일 관점에 따르면, 기판 상에 실리콘나이트라이드를 포함하며 실리콘과 결합한 수소의 원자퍼센트가 0.36 초과 1.01 이하인 제1버퍼층을 형성하는 단계와, 제1버퍼층 상에 액티브층을 포함하는 박막트랜지스터를 형성하는 단계와, 박막트랜지스터에 전기적으로 연결된 디스플레이소자를 형성하는 단계를 포함하는, 디스플레이 장치 제조방법이 제공된다.

[0016] 제1버퍼층 상에 제2버퍼층을 형성하는 단계를 더 포함하고, 상기 박막트랜지스터를 형성하는 단계는, 제2버퍼층 상에 액티브층을 포함하는 박막트랜지스터를 형성하는 단계일 수 있다.

[0017] 상기 제2버퍼층을 형성하는 단계는, 실리콘옥사이드층을 형성하는 단계일 수 있다.

[0018] 상기 박막트랜지스터를 형성하는 단계는, 액티브층을 형성하는 단계와 액티브층 상부에 게이트전극을 형성하는 단계를 포함할 수 있다.

[0019] 상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하는 단계일 수 있다.

[0020] 상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 알루미늄의 식각률보다 낮은 식각률을 갖는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함할 수 있다.

[0021] 상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 티타늄을 포함하는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함할 수 있다.

[0022] 상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 티타늄나이트라이드를 포함하는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함할 수 있다.

[0023] 상기 게이트전극을 형성하는 단계는, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하는 단계와, 티타늄나이트라이드를 포함하는 물질을 이용하여 제1임시층 상에 제2임시층을 형성하는 단계와, 티타늄을 포함하는 물질을 이용하여 제2임시층 상에 제3임시층을 형성하는 단계와, 제1임시층 내지 제3임시층을 동시에 패터닝하여 게이트전극을 형성하는 단계를 포함할 수 있다.

[0024] 상기 제1버퍼층을 형성하는 단계는, 질소가스와 실란가스만을 이용하여 제1버퍼층을 형성하는 단계일 수 있다.

[0025] 상기 제1버퍼층을 형성하는 단계는, 질소가스의 유량을 실란가스의 유량의 160배 이상으로 유지하여 제1버퍼층을 형성하는 단계일 수 있다.

[0026] 전술한 것 외의 다른 측면, 특징, 이점은 이하의 발명을 실시하기 위한 구체적인 내용, 청구범위 및 도면으로부터 명확해질 것이다.

발명의 효과

[0027] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 전기적 효율이 높으면서도 우수한 성능을 유지할 수 있는 디스플레이 장치 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치의 일부분을 개략적으로 도시하는 평면도이다.

도 2는 도 1에 도시된 구성요소를 포함한 디스플레이 장치를 개략적으로 도시하는 측면도이다.

도 3은 도 1에 도시된 디스플레이 장치의 일부분을 개략적으로 도시하는 단면도이다.

도 4는 도 1의 디스플레이 장치의 일부분을 개략적으로 도시하는 단면도이다.

도 5는 도 1의 디스플레이 장치의 일부분을 개략적으로 도시하는 단면도이다.

도 6은 도 1에 도시된 디스플레이 장치가 구비할 수 있는 박막트랜지스터들 및 비교예에 따른 박막트랜지스터의 구동범위를 보여주는 그래프이다.

도 7은 실리콘과 결합한 수소의 원자퍼센트에 따른 박막트랜지스터의 구동범위를 보여주는 그래프이다.

도 8은 실리콘과 결합한 수소의 원자퍼센트에 따른 박막트랜지스터의 누설전류의 변화를 보여주는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0030] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0031] 이하의 실시예에서 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0032] 이하의 실시예에서, x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.

[0033] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치의 일부분을 개략적으로 도시하는 평면도이고 도 2는 도 1에 도시된 구성요소를 포함한 디스플레이 장치를 개략적으로 도시하는 측면도이다. 도 2에서는 기판(SUB)이 플렉서블한 기판이어서, 벤딩영역(BA, 도 1 참조)에서 디스플레이 패널(300)이 벤딩된 형상을 갖는 것으로 도시하고 있다. 도 1에서는 편의상 디스플레이 패널(300)이 벤딩되지 않은 상태를 도시한다.

[0034] 도 1 및 도 2를 참조하면, 본 실시예에 따른 디스플레이 장치(10)는 동영상이나 정지영상을 디스플레이하는 장치로서, 모바일 폰(mobile phone), 스마트 폰(smart phone), 태블릿 PC(tablet personal computer), 이동 통신 단말기, 전자 수첩, 전자 책, PMP(portable multimedia player), 내비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라, 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷(internet of things, IOT) 등의 다양한 제품의 디스플레이 화면으로 사용될 수 있다. 또한, 디스플레이 장치(10)는 스마트 워치(smart watch), 워치 폰(watch phone), 안경형 디스플레이, 및 헤드 장착형 디스플레이(head mounted display, HMD)와 같이 웨어러블 장치(wearable device)에 사용될 수 있다. 또한, 디스플레이 장치(10)는 자동차의 계기판, 및 자동차의 센터페시아(center fascia) 또는 대쉬보드에 배치된 CID(Center Information Display), 자동차의 사이드 미러를 대신하는 룸미러 디스플레이(room mirror display), 자동차의 뒷좌석용 엔터테인먼트로서 앞좌석의 배면에 배치되는 디스플레이 등으로 사용될 수 있다.

[0035] 도 1 및 도 2에서는 설명의 편의를 위해 본 실시예에 따른 디스플레이 장치(10)가 스마트폰으로 사용되는 것으로 도시하고 있다. 본 실시예에 따른 디스플레이 장치(10)는 커버 윈도우(100), 디스플레이 패널(300), 디스플

레이 회로보드(310), 디스플레이 구동부(320), 센서 구동부(330) 및 패널 하부커버(PB) 등을 포함한다. 물론 디스플레이 장치(10)는 이 외에도 브라켓(bracket), 메인 회로 보드, 배터리 및 하부 커버 등을 더 포함할 수 있다.

[0036] 이하에서, "상부"는 디스플레이 패널(300)을 기준으로 커버 윈도우(100)가 배치되는 방향, 즉 +z 방향을 의미하고, "하부"는 디스플레이 패널(300)을 기준으로 그 반대 방향인 -z 방향을 의미한다. 또한, ?quot;좌"와 "우"는 디스플레이 패널(300)에 수직인 방향에서 디스플레이 패널(300)을 바라보았을 때의 방향을 의미한다. 예컨대 "좌"는 -x 방향을 의미하고 "우"는 +x 방향을 의미한다.

[0037] 디스플레이 장치(10)는 그 표면에 수직인 방향에서 바라볼 시, 도 1에 도시된 것과 같이 대략적으로 직사각형 형상을 가질 수 있다. 예컨대, 디스플레이 장치(10)는 도 1에 도시된 것과 같이 제1방향(x축 방향)으로 연장된 단변과 제2방향(y축 방향)으로 연장된 장변을 갖는, 전체적으로 직사각형의 평면 형상을 가질 수 있다. 제1방향의 단변과 제2방향의 장변이 만나는 모서리는 소정의 곡률을 갖는 둥근 형상을 갖거나 직각 형상을 가질 수 있다. 물론 디스플레이 장치(10)의 평면 형상은 직사각형에 한정되지 않고, 다른 다각형, 원형 또는 타원형 형상을 가질 수 있다.

[0038] 도 2에 도시된 것과 같이, 커버 윈도우(100)는 디스플레이 패널(300)의 상면을 커버하도록 디스플레이 패널(300)의 상부에 배치될 수 있다. 이러한 커버 윈도우(100)는 디스플레이 패널(300)의 상면을 보호하는 기능을 할 수 있다.

[0039] 디스플레이 패널(300)은 커버 윈도우(100)의 하부에 배치될 수 있다. 디스플레이 패널(300)은 커버 윈도우(100)의 투과부와 중첩할 수 있다. 이러한 디스플레이 패널(300)은 기판(SUB)과 이 기판(SUB) 상에 위치한 디스플레이소자를 가질 수 있다. 도 2에서는 디스플레이 패널(300)이 기판(SUB), 디스플레이층(DISL), 센서전극층(SENL) 및 편광필름(PF)을 포함하는 것으로 도시하고 있다.

[0040] 디스플레이 패널(300)은 디스플레이 장치(10)에서 처리되는 정보를 표시(출력)한다. 예컨대, 디스플레이 패널(300)은 디스플레이 장치(10)에서 구동되는 어플리케이션의 실행화면 정보 또는 실행화면 정보에 따른 UI(User Interface), GUI(Graphic User Interface) 정보를 표시할 수 있다. 디스플레이 패널(300)은 화상을 표시하는 디스플레이층(DISL)과 사용자의 터치 입력을 감지하는 센서전극층(SENL)을 포함할 수 있다. 이로 인해, 디스플레이 패널(300)은 디스플레이 장치(10)와 사용자 사이의 입력 인터페이스를 제공하는 입력장치 중 하나로 기능함과 동시에, 디스플레이 장치(10)와 사용자 사이의 출력 인터페이스를 제공하는 출력부 중 하나로 기능할 수 있다.

[0041] 디스플레이 패널(300)이 포함하는 기판(SUB)은 유리, 석영 또는 고분자 수지 등의 절연 물질을 포함할 수 있다. 기판(SUB)은 리지드(rigid) 기판이거나 벤딩(bending), 폴딩(folding), 롤링(rolling) 등이 가능한 플렉서블(flexible) 기판일 수 있다. 도 2에서는 기판(SUB)이 플렉서블한 기판이어서, 벤딩영역(BA, 도 1 참조)에서 디스플레이 패널(300)이 벤딩된 형상을 갖는 것으로 도시하고 있다. 참고로 도 2에서는 기판(SUB)만 벤딩된 것으로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 디스플레이층(DISL)의 일부와 센서전극층(SENL)의 일부 역시 벤딩영역(BA, 도 1 참조) 및 패드영역에도 존재할 수 있으며, 이 경우 디스플레이층(DISL)의 일부와 센서전극층(SENL)의 일부 역시 벤딩영역(BA)에서 벤딩될 수 있다. 물론 편광필름(PF)의 일부 역시 벤딩영역(BA)에도 존재할 수 있으며, 이 경우 편광필름(PF)의 일부 역시 벤딩영역(BA)에서 벤딩될 수 있다.

[0042] 기판(SUB)은 디스플레이영역(DA)과 이 디스플레이영역(DA) 외측의 주변영역(PA)을 갖는데, 디스플레이소자는 기판(SUB)의 디스플레이영역 상에 위치한다. 도 2의 디스플레이층(DISL)은 기판(SUB) 상에 위치한 디스플레이소자를 포함하는 층으로 이해될 수 있다. 구체적으로, 디스플레이층(DISL)은 박막트랜지스터를 포함하는 박막트랜지스터층, 유기발광소자와 같은 디스플레이소자를 포함하는 디스플레이소자층, 그리고 디스플레이소자층을 봉지하기 위한 봉지층을 포함할 수 있다.

[0043] 기판(SUB)의 주변영역(PA)은 이미지를 디스플레이하지 않는 영역일 수 있다. 이러한 주변영역(PA)은 디스플레이영역(DA)을 둘러쌀 수 있다. 주변영역(PA)은 디스플레이영역(DA)의 가장자리에서부터 디스플레이 패널(300)의 가장자리까지의 영역일 수 있다. 디스플레이영역(DA)에는 화소들뿐만 아니라 화소들에 접속되는 스캔배선들, 데이터배선들, 전원배선들 등이 배치될 수 있다. 주변영역(PA)에는 스캔배선들에 스캔신호들을 인가하기 위한 스캔 구동부와, 데이터배선들과 디스플레이 구동부(320)를 연결하는 팬아웃배선들 등이 위치할 수 있다.

[0044] 도 2에서는 편의상 디스플레이영역(DA)이 기판(SUB)의 대략 평평한 부분 내에만 존재하는 것으로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 기판(SUB)의 벤딩된 부분 상에도 디스플레이소자가 존재할

수 있으며, 이 경우 기판(SUB)의 벤딩된 부분도 디스플레이영역(DA)에 속할 수 있다.

[0045] 디스플레이소자는 예컨대 발광소자(light emitting element)를 포함할 수 있다. 구체적으로, 디스플레이 패널(300)은 유기발광층을 포함하는 유기발광 다이오드(organic light emitting diode)를 이용하는 유기발광 디스플레이 패널, 초소형 발광 다이오드(micro LED)를 이용하는 초소형 발광 다이오드 디스플레이 패널, 양자점 발광층을 포함하는 양자점 발광소자(Quantum dot Light Emitting Diode)를 이용하는 양자점 발광 디스플레이 패널, 또는 무기 반도체를 포함하는 무기발광소자를 이용하는 무기발광 디스플레이 패널일 수 있다.

[0046] 센서전극층(SENL)은 센서전극들이 배치된 센서영역을 갖는데, 이는 대략 디스플레이영역(DA)과 중첩할 수 있다. 이러한 센서영역은 사용자의 터치 입력을 감지하는 영역일 수 있다. 센서영역에는 센서전극들, 연결부들 및 도전패턴들이 배치될 수 있다. 그리고 센서영역 외측의 센서주변영역에는 센서전극들에 연결되는 센서배선들이 배치될 수 있다.

[0047] 센서전극층(SENL)은 저항막 방식, 정전 용량 방식 등 여러 가지 터치 방식 중 적어도 하나를 이용하여 사용자의 터치 입력을 감지할 수 있다. 예를 들어, 센서전극층(SENL)이 정전 용량 방식으로 사용자의 터치 입력을 감지하는 경우, 센서 구동부(330)는 센서전극들 중 구동전극들에 구동신호들을 인가하고, 센서전극들 중 감지전극들을 통해 구동전극들과 감지전극들 사이의 상호 정전용량(mutual capacitance, 이하 ?quot;상호용량"이라 함)들에 충전된 전압들을 감지함으로써, 사용자의 터치여부를 판단할 수 있다. 사용자의 터치는 접촉터치와 근접터치를 포함할 수 있다. 접촉터치는 사용자의 손가락 또는 펜 등의 물체가 센서전극층 상에 배치되는 커버 윈도우(100)에 직접 접촉하는 것을 의미한다. 근접터치는 호버링(hovering)과 같이, 사용자의 손가락 또는 펜 등의 물체가 커버 윈도우(100) 상에 가까이 위치하지만 커버 윈도우(100)로부터 떨어져 위치하는 것을 의미한다. 센서 구동부(330)는 감지된 전압들에 따라 센서데이터를 메인 프로세서로 전송하며, 메인 프로세서는 센서데이터를 분석함으로써, 터치입력이 발생한 터치좌표를 산출할 수 있다.

[0048] 센서전극층(SENL) 상에는 편광필름(PF)이 배치될 수 있다. 편광필름(PF)은 선편광판과 λ/4판(quarter wave plate)과 같은 위상지연필름을 포함할 수 있다. 위상지연필름은 센서전극층(SENL) 상에 배치되고, 선편광판은 위상지연필름 상에 배치될 수 있다.

[0049] 이러한 디스플레이 패널(300)은 강성이 있어 쉽게 구부러지지 않는 리지드(rigid) 디스플레이 패널 또는 유연성이 있어 쉽게 구부러지거나 접히거나 말릴 수 있는 플렉서블(flexible) 디스플레이 패널일 수 있다. 예를 들어, 디스플레이 패널(300)은 접고 펼 수 있는 폴더블(foldable) 디스플레이 패널, 적어도 일부의 디스플레이면이 구부러진 커브드(curved) 디스플레이 패널, 디스플레이면 이외의 영역이 구부러진 벤디드(bended) 디스플레이 패널, 말거나 펼 수 있는 롤러블(rollable) 디스플레이 패널, 또는 연신 가능한 스트레처블(stretchable) 디스플레이 패널일 수 있다.

[0050] 디스플레이 패널(300)은 투명 디스플레이 패널일 수 있다. 이 경우 디스플레이 패널(300)은 투명한 특성을 가져, 사용자는 디스플레이 패널(300)의 하부에 배치되는 사물이나 배경을 디스플레이 패널(300)의 상면에서 볼 수 있다. 또는, 디스플레이 패널(300)은 디스플레이 패널(300)의 상부의 사물 또는 배경을 반사할 수 있는 반사형 디스플레이 패널일 수 있다.

[0051] 한편, 전술한 것과 같이 디스플레이 패널(300)은 (-y 방향) 일측에 벤딩영역(BA)을 가져, 도 2에 도시된 것과 같이 디스플레이 패널(300)은 벤딩영역(BA)에서 벤딩될 수 있다. 즉, 도 1은 편의상 디스플레이 패널(300)이 벤딩되지 않은 상태를 도시한다. 이와 같이 디스플레이 패널(300)이 벤딩됨에 따라, 패드영역(PDA)은 디스플레이 패널(300)의 다른 부분의 (-z 방향) 하부에 위치하게 된다. 그 결과, 패드영역(PDA)은 디스플레이 패널(300)의 두께 방향(z축 방향)에서 디스플레이영역(DA)과 중첩할 수 있다. 패드영역(PDA)에는 디스플레이 구동부(320)와 디스플레이 회로보드(310) 등이 배치될 수 있다.

[0052] 디스플레이 구동부(320)는 제어 신호들과 전원 전압들을 인가받고, 디스플레이 패널(300)을 구동하기 위한 신호들과 전압들을 생성하여 출력할 수 있다. 디스플레이 구동부(320)는 집적회로(integrated circuit, IC)를 포함할 수 있다.

[0053] 디스플레이 회로보드(310)는 디스플레이 패널(300)에 전기적으로 연결될 수 있다. 예컨대 도 2에 도시된 것과 같이 기판(SUB) 상의 패드부에 이방성 도전필름(anisotropic conductive film)에 의해 전기적으로 연결될 수 있다.

[0054] 디스플레이 회로보드(310)는 구부러질 수 있는 연성 인쇄 회로보드(flexible printed circuit board, FPCB) 또는 단단하여 잘 구부러지지 않는 강성 인쇄 회로보드(rigid printed circuit board, PCB)일 수 있고, 경우에

따라 강성 인쇄 회로보드와 연성 인쇄 회로보드를 모두 포함하는 복합 인쇄 회로보드일 수 있다.

[0055] 디스플레이 회로보드(310) 상에는 센서 구동부(330)가 배치될 수 있다. 센서 구동부(330)는 집적회로를 포함할 수 있다. 센서 구동부(330)는 디스플레이 회로보드(310) 상에 부착될 수 있다. 센서 구동부(330)는 디스플레이 회로보드(310)를 통해 디스플레이 패널(300)의 센서전극층의 센서전극들에 전기적으로 연결될 수 있다.

[0056] 물론 이 외에도, 디스플레이 회로보드(310) 상에는 디스플레이 패널(300)의 화소들, 스캔 구동부 및 디스플레이 구동부(320)를 구동하기 위한 구동 전압들을 공급하기 위한 전원 공급부 등이 추가로 배치될 수 있다. 또는, 전원 공급부는 디스플레이 구동부(320)와 통합될 수 있으며, 이 경우 디스플레이 구동부(320)와 전원 공급부는 하나의 집적회로로 구현될 수 있다.

[0057] 한편, 디스플레이 회로보드(310)는 도시되지 않은 메인 회로보드에 전기적으로 연결될 수 있다. 메인 회로보드는 예컨대 집적회로를 포함하는 메인 프로세서, 카메라 장치, 무선통신부, 입력부, 출력부, 인터페이스부, 메모리 및/또는 전원공급부 등을 포함할 수 있다.

[0058] 디스플레이 패널(300) 하부에는 패널 하부커버(PB)가 배치될 수 있다. 패널 하부커버(PB)는 접착부재를 통해 디스플레이 패널(300)의 하면에 부착될 수 있다. 접착부재는 압력 감지 점착제(pressure sensitive adhesive, PSA)일 수 있다. 패널 하부커버(PB)는 외부로부터 입사되는 광을 흡수하기 위한 광흡수부재와, 외부로부터의 충격을 흡수하기 위한 완충부재와, 디스플레이 패널(300)의 열을 효율적으로 방출하기 위한 방열부재 중 적어도 하나를 포함할 수 있다.

[0059] 광흡수부재는 디스플레이 패널(300)의 하부에 배치될 수 있다. 광흡수부재는 광의 투과를 저지하여 광흡수부재의 하부에 배치된 구성들, 예컨대 디스플레이 회로보드(310) 등이 디스플레이 패널(300)의 상부에서 시인되는 것을 방지한다. 광흡수부재는 블랙안료나 블랙염료 등과 같은 광흡수물질을 포함할 수 있다.

[0060] 완충부재는 광흡수부재의 하부에 배치될 수 있다. 완충부재는 외부 충격을 흡수하여, 디스플레이 패널(300)이 파손되는 것을 방지한다. 완충부재는 단층구조를 갖거나 다층구조를 가질 수 있다. 예를 들어, 완충부재는 폴리우레탄(polyurethane), 폴리카보네이트(polycarbonate), 폴리프로필렌(polypropylene), 폴리에틸렌(polyethylene)등과 같은 고분자 수지를 포함하거나, 고무, 우레탄계 물질 또는 아크릴계 물질을 발포 성형한 스폰지 등 탄성을 갖는 물질을 포함할 수 있다.

[0061] 방열부재는 완충부재의 하부에 배치될 수 있다. 방열부재는 그라파이트나 탄소나노튜브 등을 포함하는 제1방열층과 전자기파를 차폐할 수 있고 열전도성이 우수한 구리, 니켈, 페라이트, 은과 같은 금속박막을 포함하는 제2방열층을 포함할 수 있다.

[0062] 도 3은 도 1에 도시된 디스플레이 장치의 일부분을 개략적으로 도시하는 단면도이다. 구체적으로, 도 3은 기판(SUB)과 디스플레이층(DISL, 도 2 참조)을 도시한다.

[0063] 도 3을 참조하면, 기판(SUB) 상에는 제1버퍼층(BF1), 제2버퍼층(BF2), 박막트랜지스터(120) 및 디스플레이소자(170)가 배치될 수 있다.

[0064] 기판(SUB)의 일면 상에는 제1버퍼층(BF1)이 위치할 수 있다. 제1버퍼층(BF1)은 기판(SUB)을 통해 침투하는 수분으로부터 박막트랜지스터(120)와 디스플레이소자(170)의 중간층(172)을 보호하는 역할을 할 수 있다. 제1버퍼층(BF1)은 실리콘나이트라이드를 포함한다. 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트는 0.36 초과 1.01 이하이다. 즉, 제1버퍼층(BF1) 내의 모든 원자들의 개수에 대한 실리콘과 결합한 수소의 원자의 개수의 비를 퍼센트로 나타내면 0.36 초과 1.01 이하이다.

[0065] 제1버퍼층(BF1) 상에는 필요에 따라 제2버퍼층(BF2)이 위치할 수 있다. 이 제2버퍼층(BF2)은 제1버퍼층(BF1)과 달리, 실리콘옥사이드를 포함할 수 있다.

[0066] 제1버퍼층(BF1) 상부, 구체적으로 제2버퍼층(BF2) 상부에 위치하는 박막트랜지스터층은 박막트랜지스터(120), 게이트절연막(130), 층간절연막(140), 제1평탄화막(150) 및 제2평탄화막(160)을 포함할 수 있다.

[0067] 박막트랜지스터(120)는 액티브층(121), 게이트전극(122), 소스전극(123) 및 드레인전극(124)을 포함한다. 도 3에서는 게이트전극(122)이 액티브층(121)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식의 박막트랜지스터(120)를 도시하고 있으나, 본 발명은 이에 한정되지 않는다. 즉, 박막트랜지스터(120)는 액티브층(121)의 하부에 위치하는 추가 게이트전극을 더 구비하는 더블 게이트(double gate) 방식을 취할 수도 있다.

[0068] 액티브층(121)은 제1버퍼층(BF1) 상부, 예컨대 제2버퍼층(BF2) 상에 위치한다. 액티브층(121)은 다결정실리콘,

단결정실리콘, 저온 다결정실리콘, 비정질실리콘 또는 산화물반도체를 포함할 수 있다. 예컨대 산화물반도체는 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, 하프늄(Hf), 지르코늄(Zr) 또는 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물(ABxCy) 또는 사성분계 화합물(ABxCyDz)을 포함할 수 있다. 또는, 액티브층(121)은 ITZO(인듐, 주석, 티타늄을 포함하는 산화물)나 IGZO(인듐, 갈륨, 주석을 포함하는 산화물)를 포함할 수 있다. 액티브층(121) 하부에는 차광층(미도시)이 배치될 수 있는데, 이 차광층은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금을 포함하는 단층구조 또는 다층구조를 가질 수 있다.

[0069] 액티브층(121) 상에는 게이트절연막(130)이 위치할 수 있다. 게이트절연막(130)은 실리콘나이트라이드, 실리콘옥시나이트라이드, 실리콘옥사이드, 티타늄옥사이드 또는 알루미늄옥사이드를 포함하는 무기막일 수 있다.

[0070] 게이트절연막(130) 상에는 게이트전극(122)과 게이트배선이 위치할 수 있다. 게이트전극(122)은 액티브층(121)과 중첩할 수 있다. 게이트전극(122) 및/또는 게이트배선은 알루미늄을 포함하는 단층구조 또는 다층구조를 가질 수 있다. 여기서 게이트전극(122)이 알루미늄을 포함한다는 것은, 게이트전극(122)이 알루미늄 합금을 갖는 경우를 포함한다. 이는 후술하는 실시예들 및 그 변형예들에 있어서도 마찬가지이다. 게이트전극(122)과 게이트배선은 일체(一體)일 수 있으며, 이 경우 게이트배선의 액티브층(121)과 중첩하는 부분을 게이트전극(122)이라 할 수 있다.

[0071] 게이트전극(122)과 게이트배선 상에는 층간절연막(140)이 위치할 수 있다. 층간절연막(140)은 실리콘나이트라이드, 실리콘옥시나이트라이드, 실리콘옥사이드, 티타늄옥사이드 또는 알루미늄옥사이드를 포함하는 무기막일 수 있다. 이러한 층간절연막(140)은 단층구조 또는 다층구조를 가질 수 있다. 도 3에서는 층간절연막(140)이 제1층간절연막(141)과 제2층간절연막(142)을 포함함으로써 다층구조를 갖는 경우를 도시하고 있다. 이 경우 도 3에 도시된 것과 같이, 제1층간절연막(141)과 제2층간절연막(142) 사이에 배선(125)이 위치할 수 있다. 이 배선(125)은 예컨대 게이트전극(122) 또는 게이트배선과 중첩하여, 게이트전극(122) 또는 게이트배선과 함께 커패시터를 형성할 수 있다. 배선(125)은 게이트전극(122)과 마찬가지로 알루미늄을 포함할 수 있으며, 후술하는 게이트전극(122)의 층상구조와 동일한 층상구조를 가질 수 있다. 배선(125)이 알루미늄을 포함한다는 것은, 배선(125)이 알루미늄 합금을 갖는 경우를 포함한다. 이는 후술하는 실시예들 및 그 변형예들에 있어서도 마찬가지이다.

[0072] 층간절연막(140) 상에는 소스전극(123)과 드레인전극(124)이 위치할 수 있다. 소스전극(123)과 드레인전극(124) 각각은 층간절연막(140)을 관통하는 컨택홀을 통해 액티브층(121)에 컨택할 수 있다. 소스전극(123)과 드레인전극(124)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금을 포함하는 단층구조 또는 다층구조를 가질 수 있다. 바람직하게는 소스전극(123)과 드레인전극(124)은 후술하는 것과 같은 게이트전극(122)의 구조와 동일한 구조를 가질 수 있다.

[0073] 소스전극(123)과 드레인전극(124) 상에는 박막트랜지스터(120)로 인한 단차를 평탄하게 하기 위한 제1평탄화막(150)이 위치할 수 있다. 이 제1평탄화막(150)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 절연성 유기물질을 포함할 수 있다.

[0074] 제1평탄화막(150) 상에는 제2평탄화막(160)이 위치할 수 있다. 제2평탄화막(160) 역시 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 절연성 유기물질을 포함할 수 있다. 물론 제1평탄화막(150)과 제2평탄화막(160) 사이에는 필요에 따라 도전성 물질을 포함하는 다양한 배선 등이 위치할 수 있다.

[0075] 박막트랜지스터층 상에는 디스플레이층이 위치한다. 디스플레이층은 디스플레이소자(170)와 화소정의막(180)을 포함할 수 있다. 디스플레이소자(170)와 화소정의막(180)은 제2평탄화막(160) 상에 위치할 수 있다.

[0076] 디스플레이소자(170)는 도 3에 도시된 것과 같은 유기발광소자일 수 있다. 유기발광소자는 화소전극(171), 발광층을 포함하는 중간층(172) 및 대향전극(173)을 포함할 수 있다.

[0077] 화소전극(171)은 제2평탄화막(160) 상에 위치할 수 있다. 도 3에서는 화소전극(171)이 제1평탄화막(150)과 제2평탄화막(160)을 관통하는 컨택홀을 통해 박막트랜지스터(120)의 드레인전극(124)에 연결되는 것으로 도시하고 있으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 제1평탄화막(150)과 제2평탄화막(160) 사이에 중간도전층이 위치하고, 이 중간도전층이 제1평탄화막(150)을 관통하는 컨택홀을 통해 박막트랜지스터(120)의 드레인전극(124)에 연결되며, 화소전극(171)은 제2평탄화막(160)을 관통하는 컨택홀을 통해 중간도전층에 연결될 수도

있다. 물론 필요에 따라 화소전극(171)은 드레인전극(124)이 아닌 소스전극(123)에 전기적으로 연결될 수도 있다.

[0078] 발광층을 포함하는 중간층(172)을 기준으로 대향전극(173)을 통해 광을 외부로 방출하는 상부발광(top emission) 디스플레이 장치인 경우, 화소전극(171)은 알루미늄과 티타늄의 적층구조(Ti/Al/Ti), 알루미늄과 ITO의 적층구조(ITO/Al/ITO), APC 합금, APC 합금과 ITO의 적층구조(ITO/APC/ITO)와 같은 반사율이 높은 금속물질로 형성될 수 있다. APC 합금은 은(Ag), 팔라듐(Pd) 및/또는 구리(Cu)의 합금이다.

[0079] 발광층을 포함하는 중간층(172)을 기준으로 화소전극(171)을 통해 광을 외부로 방출하는 하부 발광(bottom) 디스플레이 장치의 경우, 화소전극(171)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag) 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)을 포함할 수 있다.

[0080] 화소정의막(180)은 화소전극(171) 각각의 가장자리를 덮을 수 있다. 화소정의막(180)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기물질을 포함할 수 있다.

[0081] 화소전극(171)과 화소정의막(180) 상에는 발광층을 포함하는 중간층(172)이 위치한다. 중간층(172)은 발광층 외에도 정공수송층(hole transporting layer)이나 전자수송층(electron transporting layer) 등을 포함할 수 있다. 중간층(172)이 포함하는 발광층은 도 3에 도시된 것과 같이 화소전극(171) 각각에 대응하도록 패터닝된 형상을 가질 수 있다. 발광층 외의 정공수송층이나 전자수송층 등은 화소전극(171) 각각에 대응하도록 패터닝될 수도 있고, 복수개의 화소전극(171)들에 있어서 일체(一體)인 형상을 가질 수도 있다. 물론 경우에 따라서는 발광층 역시 복수개의 화소전극(171)들에 있어서 일체인 형상을 가질 수도 있다. 이 경우에는 칼라필터나 양자점 필터 등이 광 경로 상에 위치하여, 풀컬러 디스플레이가 구현되도록 할 수 있다.

[0082] 대향전극(173)은 발광층을 포함하는 중간층(172) 상에 위치한다. 대향전극(173) 상에는 캡핑층(capping layer)이 형성될 수 있다. 상부 발광형 디스플레이 장치의 경우, 대향전극(173)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material), 또는 마그네슘(Mg), 은(Ag) 또는 마그네슘(Mg)과 은(Ag)의 합금과 같은 반투과 금속물질(Semi-transmissive Conductive Material)을 포함할 수 있다. 하부 발광형 디스플레이 장치의 경우, 대향전극(173)은 알루미늄과 티타늄의 적층구조(Ti/Al/Ti), 알루미늄과 ITO의 적층구조(ITO/Al/ITO), APC 합금 및 APC 합금과 ITO의 적층구조(ITO/APC/ITO)와 같은 반사율이 높은 금속물질을 포함할 수 있다. APC 합금은 은(Ag), 팔라듐(Pd) 및/또는 구리(Cu)의 합금이다.

[0083] 디스플레이소자(170) 상, 예컨대 대향전극(173) 상에는 봉지층이 위치한다. 봉지층은 무기막과 유기막을 포함하여, 발광층을 포함하는 중간층(172)과 대향전극(173)에 산소 또는 수분 등이 침투하는 것을 방지할 수 있다. 예컨대 봉지층은 대향전극(173) 상에 배치된 제1무기막, 제1무기막 상에 배치된 유기막, 유기막 상에 배치된 제2무기막을 포함할 수 있다. 제1무기막과 제2무기막은 실리콘나이트라이드, 실리콘옥시나이트라이드, 실리콘옥사이드, 티타늄옥사이드 또는 알루미늄옥사이드를 포함할 수 있다. 유기막은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin) 또는 폴리이미드 수지(polyimide resin) 등을 포함할 수 있다.

[0084] 이러한 봉지층은 디스플레이영역 외측으로 연장되는데, 디스플레이영역 외측에서는 제1무기막과 제2무기막이 컨택할 수 있다.

[0085] 봉지층 상에는 센서전극층이 위치할 수 있다. 센서전극층은 전술한 것과 같이 구동전극들, 감지전극들, 센서배선 및 센서절연막 등을 포함할 수 있다.

[0086] 전술한 것과 같이 기판(SUB)과 박막트랜지스터(120) 사이에 개재되는 제1버퍼층(BF1)은 실리콘나이트라이드를 포함한다. 그리고 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트는 0.36 초과 1.01 이하이다. 이를 통해 디스플레이 장치의 전기적 효율을 높으면서도 우수한 성능을 유지할 수 있다.

[0087] 게이트전극(122) 및 이에 연결된 배선의 경우 그 저항이 낮으면 낮을수록, 이를 구비하는 디스플레이 장치의 전기적 효율을 높일 수 있다. 따라서 게이트전극(122)이 저항이 높은 몰리브덴을 포함하는 것보다, 몰리브덴의 저항보다 상대적으로 낮은 저항을 갖는 도전물질을 포함하도록 하는 것이 바람직하다. 그 결과, 게이트전극(122)이 알루미늄을 포함하도록 할 수 있다. 즉, 게이트전극(122)이 알루미늄 또는 그 합금을 포함하도록 할 수 있다. 알루미늄의 저항이 몰리브덴의 저항보다 낮기 때문이다.

[0088] 다만 게이트전극(122)이 알루미늄을 포함하는 단일층 구조를 가질 경우, 게이트전극(122)이나 게이트 배선을 형성하는 과정에서 게이트전극(122)이나 게이트 배선이 손상될 수 있다. 알루미늄의 식각률이 몰리브덴 등의 다른 금속의 식각률보다 상대적으로 높기에, 알루미늄을 포함하는 층을 형성하고 이를 패터닝하는 과정에서 게이트 배선 등이 단선되는 문제점이 발생할 수 있기 때문이다.

[0089] 따라서 도 1의 디스플레이 장치의 일부분을 개략적으로 도시하는 단면도인 도 4에 도시된 것과 같이, 게이트전극(122)은 알루미늄을 포함하는 제1층(1221)과, 이 제1층(1221) 상에 위치하며 알루미늄의 식각률보다 낮은 식각률을 갖는 물질을 포함하는 제2층(1222)을 구비하도록 할 수 있다. 이 경우 제조 과정에서 알루미늄을 포함하는 제1임시층과 이 제1임시층 상에 위치하며 알루미늄의 식각률보다 낮은 식각률을 갖는 물질을 포함하는 제2임시층을 형성하고, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극(122) 및 게이트 배선을 형성하게 된다. 패터닝 과정에서는 식각률이 상대적으로 낮은 제2임시층이 제1임시층을 보호하기에, 게이트 배선 등이 단선되는 문제점을 효과적으로 방지하거나 최소화할 수 있다. 제2층(1222)은 티타늄을 포함할 수도 있고, 티타늄나이트라이드를 포함할 수도 있다. 참고로 제2층(1222)이 포함하는 물질의 식각률이 제1층(1221)이 포함하는 물질의 식각률보다 낮기에, 도 4에 도시된 것과 같이 제1층(1221)을 형성하는 과정에서 과식각되어 제1층(1221)의 양 측면들(122SE1, 122SE2)이 내측으로 오목한 형상을 가질 수 있다.

[0090] 또는 도 1의 디스플레이 장치의 일부분을 개략적으로 도시하는 단면도인 도 5에 도시된 것과 같이, 게이트전극(122)은 3층구조를 취할 수도 있다. 예컨대 게이트전극(122)은 알루미늄을 포함하는 제1층(1221)과, 제1층(1221) 상에 위치하며 티타늄나이트라이드를 포함하는 제2층(1222)과, 제2층(1222) 상에 위치하며 티타늄을 포함하는 제3층(1223)을 포함할 수도 있다. 물론 본 발명이 이에 한정되는 것은 아니며, 게이트전극(122)은 3층구조를 취하되, 중간층이 알루미늄을 포함하고, 상부층과 하부층 각각이 티타늄을 포함하거나 티타늄나이트라이드를 포함할 수도 있다. 참고로 제2층(1222)과 제3층(1223)이 포함하는 물질의 식각률이 제1층(1221)이 포함하는 물질의 식각률보다 낮기에, 도 5에 도시된 것과 같이 제1층(1221)을 형성하는 과정에서 과식각되어 제1층(1221)의 양 측면들(122SE1, 122SE2)이 내측으로 오목한 형상을 가질 수 있다.

[0091] 하지만 이와 같이 게이트전극(122)이 낮은 저항을 갖는 도전물질을 포함하도록 하면서도, 박막트랜지스터의 성능이 저하되는 것을 방지하거나 최소화할 필요가 있다. 박막트랜지스터의 성능과 관련하여 중요한 것들 중 하나가, 구동 범위(driving range)이다. 박막트랜지스터는 예컨대 게이트전극에 인가되는 전압을 조절하여 소스전극과 드레인전극 사이에 흐르는 전류의 양을 조절한다. 구동 범위라 함은 소스전극과 드레인전극 사이에 흐르는 전류의 양이 가변하도록 할 수 있는, 게이트전극에 인가되는 전압의 범위이다. 구동 범위가 넓으면 넓을수록, 소스전극과 드레인전극 사이에 흐르는 전류의 양을 미세하게 컨트롤할 수 있다. 반면 구동범위가 좁으면 좁을수록, 소스전극과 드레인전극 사이에 흐르는 전류의 양을 정확하게 컨트롤하는 것이 어려워진다. 구동 범위가 좁을 경우, 게이트 전극에 인가되는 전압이 살짝만 변해도 소스전극과 드레인전극 사이에 흐르는 전류의 양이 크게 변하기 때문이다.

[0092] 게이트전극(122)이 몰리브덴을 포함하는 P형 박막트랜지스터의 경우, 박막트랜지스터 하부에 위치한 제1버퍼층(BF1)이 통상적인 실리콘나이트라이드를 포함할 시, 구동 범위는 -3.11V이다. 하지만 게이트전극(122)이 알루미늄을 포함하는 제1층(1221)과 티타늄나이트라이드를 포함하는 제2층(1222)과 티타늄을 포함하는 제3층(1223)을 포함하는 P형 박막트랜지스터의 경우, 박막트랜지스터 하부에 위치한 제1버퍼층(BF1)이 통상적인 실리콘나이트라이드를 포함할 시, 구동 범위는 -2.50V로 좁아진다는 것을 확인하였다. 특히 이와 같은 3층구조의 게이트전극(122)에 있어서 티타늄을 포함하는 제3층(1223)의 두께가 두꺼워질수록 구동 범위가 줄어든다는 것을 확인할 수 있었다. 예컨대 티타늄나이트라이드를 포함하는 제2층(1222)의 두께가 300Å이고 티타늄을 포함하는 제3층(1223)의 두께가 700Å인 경우, 구동 범위는 -2.50V로 좁아졌고, 티타늄나이트라이드를 포함하는 제2층(1222)의 두께가 300Å이고 티타늄을 포함하는 제3층(1223)의 두께가 1200Å인 경우, 구동 범위는 -2.42V로 좁아졌다.

[0093] 하지만 본 실시예에 따른 디스플레이 장치의 경우 전술한 것과 같이 기판(SUB)과 박막트랜지스터(120) 사이에 개재되는 제1버퍼층(BF1)은 실리콘나이트라이드를 포함하되, 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 0.36 초과 1.01 이하이다. 이 경우, 게이트전극(122)이 알루미늄을 포함하는 제1층(1221)과 이 제1층(1221) 상에 위치하며 티타늄 또는 티타늄나이트라이드를 포함하는 제2층(1222)을 구비하거나, 게이트전극(122)이 알루미늄을 포함하는 제1층(1221)과, 제1층(1221) 상에 위치하며 티타늄나이트라이드를 포함하는 제2층(1222)과, 제2층(1222) 상에 위치하며 티타늄을 포함하는 제3층(1223)을 포함하더라도, 박막트랜지스터의 구동 범위가 좁아지지 않도록 할 수 있다. 이를 통해 디스플레이 장치의 전기적 효율을 높으면서도 우수한 성능을 유지할 수 있다.

[0094] 도 6은 도 1에 도시된 디스플레이 장치가 구비할 수 있는 박막트랜지스터들 및 비교예에 따른 박막트랜지스터의 구동범위을 보여주는 그래프이다.

[0095] 도 6에 표시된 것과 같이 총 여섯 번에 걸쳐 디스플레이 장치를 제조하고 박막트랜지스터의 구동 범위를 측정하였다. 첫 번째(1S) 내지 네 번째(4S) 및 여섯 번째(6S)의 경우에는 각각 4개의 디스플레이 장치들을 제조하고 박막트랜지스터들의 구동 범위를 측정하였고, 다섯 번째(5S)의 경우에는 2개의 디스플레이 장치들을 제조하고 박막트랜지스터들의 구동 범위를 측정하였다.

[0096] 도 6에서 Ref로 표시된 것과 같이 게이트전극(122)이 알루미늄을 포함하는 제1층(1221)과 티타늄나이트라이드를 포함하는 제2층(1222)과 티타늄을 포함하는 제3층(1223)을 포함하는 P형 박막트랜지스터의 경우, 박막트랜지스터 하부에 위치한 제1버퍼층(BF1)이 통상적인 실리콘나이트라이드를 포함할 시, 구동 범위는 -2.50V로 좁다. 하지만 도 6에서 번호 1 내지 22로 표시된 것과 같이, 기판(SUB)과 박막트랜지스터(120) 사이에 개재되는 제1버퍼층(BF1)이 실리콘나이트라이드를 포함하되, 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 0.36 초과 1.01 이하가 되도록 하는 경우에는, 구동 범위가 평균 -3.14V로 넓게 나타났으며, 구동 범위가 가장 넓은 경우에는 -3.23V에 이르는 경우도 있다는 것을 확인하였다. 이는 게이트전극(122)이 몰리브덴을 포함하는 P형 박막트랜지스터로서 박막트랜지스터 하부에 위치한 제1버퍼층(BF1)이 통상적인 실리콘나이트라이드를 포함하는 경우의 구동 범위인 -3.11V와 유사하거나 이보다 더 넓은 결과이다. 따라서 본 실시예에 따른 디스플레이 장치의 경우 전기적 효율이 높으면서도 우수한 성능을 유지할 수 있다.

[0097] 도 7은 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트에 따른 박막트랜지스터의 구동범위를 보여주는 그래프이다. 도 7에서 알 수 있는 것과 같이, 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 1.01 이하인 경우에는 박막트랜지스터의 구동범위가 -2.98V 또는 -3.12V로 적절한 범위를 갖는다. 하지만 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 1.01보다 커지면, 박막트랜지스터의 구동범위가 -2.66V 또는 -2.60V와 같이 급격하게 좁아지는 것을 확인할 수 있다. 따라서 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 1.01 이하가 되도록 하는 것이 필요하다.

[0098] 도 8은 실리콘과 결합한 수소의 원자퍼센트에 따른 박막트랜지스터의 누설전류의 변화를 보여주는 그래프이다. 박막트랜지스터의 드레인전극과 소스전극 사이에 바이어스 전압을 인가할 시, 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 0.36 이하가 되면, 특정 전압에서 누설전류가 크게 발생하면서 전기적 절연성이 급격히 저하되는 것을 확인할 수 있었다. 반면 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 0.36보다 클 경우에는, 그러한 급격한 절연성 저하가 나타나지 않았다. 따라서 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 0.36보다 크도록 하는 것이 필요하다.

[0099] 참고로 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 0.36 이하가 될 경우에는 수소와 결합하지 않은 실리콘의 댕글링 본드들이 많아진다. 실리콘의 댕글링 본드들은 양자역학적 터널링효과에 의한 누설전류 경로가 되어, 실리콘나이트라이드층에서 급격한 절연성 저하가 나타나게 된다.

[0100] 이하에서는 본 실시예에 따른 디스플레이 장치의 제조방법에 대해 간략히 설명한다. 전술한 디스플레이 장치에 대한 설명에서 이미 이루어진 구성요소들의 물질 등에 대한 설명은 편의상 생략한다.

[0101] 먼저 기판(SUB) 상에, 실리콘나이트라이드를 포함하며, 실리콘과 결합한 수소의 원자퍼센트가 0.36 이상 1.01 이하인, 제1버퍼층(BF1)을 형성한다. 그리고 제1버퍼층(BF1) 상에 액티브층(121)과 그 상부에 위치하는 게이트전극(122)을 포함하는 박막트랜지스터(120)를 형성한다. 물론 박막트랜지스터(120)를 형성하기에 앞서, 필요하다면 제1버퍼층(BF1) 상에 실리콘옥사이드를 포함하는 제2버퍼층(BF2)을 형성한다.

[0102] 게이트전극(122)은 전술한 것과 같이 알루미늄을 이용하여 형성한다. 구체적으로, 알루미늄을 포함하는 물질을 이용하여 제1임시층을 형성하고, 알루미늄의 식각률보다 낮은 식각률을 갖는 물질을 이용하여 제1임시층 상에 제2임시층을 형성한 후, 제1임시층과 제2임시층을 동시에 패터닝하여 게이트전극(122) 및 이에 연결된 게이트배선을 형성할 수 있다. 제2임시층은 티타늄을 이용하여 형성할 수도 있고, 티타늄나이트라이드를 이용하여 형성할 수도 있다. 제2임시층이 티타늄나이트라이드를 이용하여 형성되는 경우, 제1임시층과 제2임시층을 패터닝하기에 앞서 제2임시층 상에 티타늄을 포함하는 물질을 이용하여 제3임시층을 형성하고, 제1임시층 내지 제3임시층을 동시에 패터닝하여 게이트전극(122)을 형성할 수 있다.

[0103] 이후에는 박막트랜지스터(120)에 전기적으로 연결된 디스플레이소자(170)를 형성하여, 디스플레이 장치를 제조

할 수 있다.

[0104] 전술한 것과 같이 본 실시예에 따른 디스플레이 장치를 제조할 시, 실리콘나이트라이드를 포함하되 실리콘과 결합한 수소의 원자퍼센트가 0.36 이상 1.01 이하인 제1버퍼층(BF1)을 형성한다. 이처럼 본 실시예에 따른 디스플레이 장치가 포함하는 제1버퍼층(BF1) 내의 실리콘과 결합한 수소의 원자퍼센트는 1.01 이하로 매우 작다.

[0105] 도 7을 참조하여 전술한 것과 같이 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)에서 실리콘과 결합한 수소의 원자퍼센트가 1.01보다 커지면, 박막트랜지스터의 구동범위가 -2.66V 또는 -2.60V와 같이 급격하게 좁아진다. 구동범위가 좁아지는 이유는 제1버퍼층(BF1) 내에 포함된 수소가 액티브층(121)으로 이동하여 캐리어 역할을 하기 때문이다. 따라서 제1버퍼층(BF1) 내에서의 수소의 양을 줄일 필요가 있다. 제1버퍼층(BF1) 내에 존재하는 수소는 질소와 결합하거나 실리콘과 결합한 형태로 존재하게 되는데, 질소와 수소 사이의 결합에너지는 실리콘과 수소 사이의 결합에너지보다 훨씬 크다. 따라서 질소와 결합된 수소는 액티브층(121)으로 이동할 가능성이 매우 낮지만, 실리콘과 결합된 수소는 일부가 액티브층(121)으로 이동하여 캐리어 역할을 할 가능성이 높다. 그러므로 결국 제1버퍼층(BF1) 내에서 실리콘과 결합된 수소의 양을 줄일 필요가 있으며, 그 결과가 전술한 것과 같이 제1버퍼층(BF1) 내의 실리콘과 결합한 수소의 원자퍼센트를 1.01 이하로 유지하는 것이다.

[0106] 실리콘나이트라이드를 포함하는 제1버퍼층(BF1)은 CVD을 이용하여 형성할 수 있다. CVD법을 이용하여 통상적인 실리콘나이트라이드층을 형성할 시 질소가스, 암모니아가스 및 실란가스를 이용하는데, 질소가스의 유량, 암모니아가스의 유량 및 실란가스의 유량의 비율은 약 30:10:1이다. 하지만 본 실시예에 따른 디스플레이 장치를 제조할 시에는 질소가스와 실란가스만을 이용한다. 암모니아가스를 이용하지 않으므로 상대적으로 질소가스를 더 많이 사용하게 되고, 그 결과 제1버퍼층(BF1) 내에 존재하는 수소들이 상대적으로 실리콘보다 질소에 더 결합된 형태로 존재하도록 할 수 있다.

[0107] 나아가 질소가스와 실란가스만을 이용하여 CVD법으로 제1버퍼층(BF1)을 형성할 시, 질소가스의 유량을 실란가스의 유량의 160배 이상으로 유지하여 제1버퍼층(BF1)을 형성한다. 전술한 것과 같이 제1버퍼층(BF1) 내의 실리콘과 결합한 수소의 원자퍼센트를 1.01 이하로 유지해야 한다. 실리콘나이트라이드에서 실리콘 성분은 실란가스에서 유래하는 것이므로, 질소가스의 유량을 실란가스의 유량의 160배 이상으로 유지함으로써 실리콘에 결합된 수소의 원자퍼센트를 1.01 이하로 유지할 수 있다. 만일 질소가스의 유량이 실란가스의 유량의 160배 미만이 되면 실란가스가 상대적으로 늘어나는 결과가 되어, 형성된 실리콘나이트라이드층 내에서 실리콘에 결합된 수소의 원자퍼센트가 1.01보다 커지게 된다.

[0108] 이와 같이 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0109] BF1: 제1버퍼층 BF2: 제2버퍼층

DISL: 디스플레이층 10: 디스플레이 장치

100: 커버 윈도우 120: 박막트랜지스터

121: 액티브층 122: 게이트전극

123: 소스전극 124: 드레인전극

125: 배선 130: 게이트절연막

140: 층간절연막 150: 제1평탄화막

160: 제2평탄화막 170: 디스플레이소자

171: 화소전극 172: 중간층

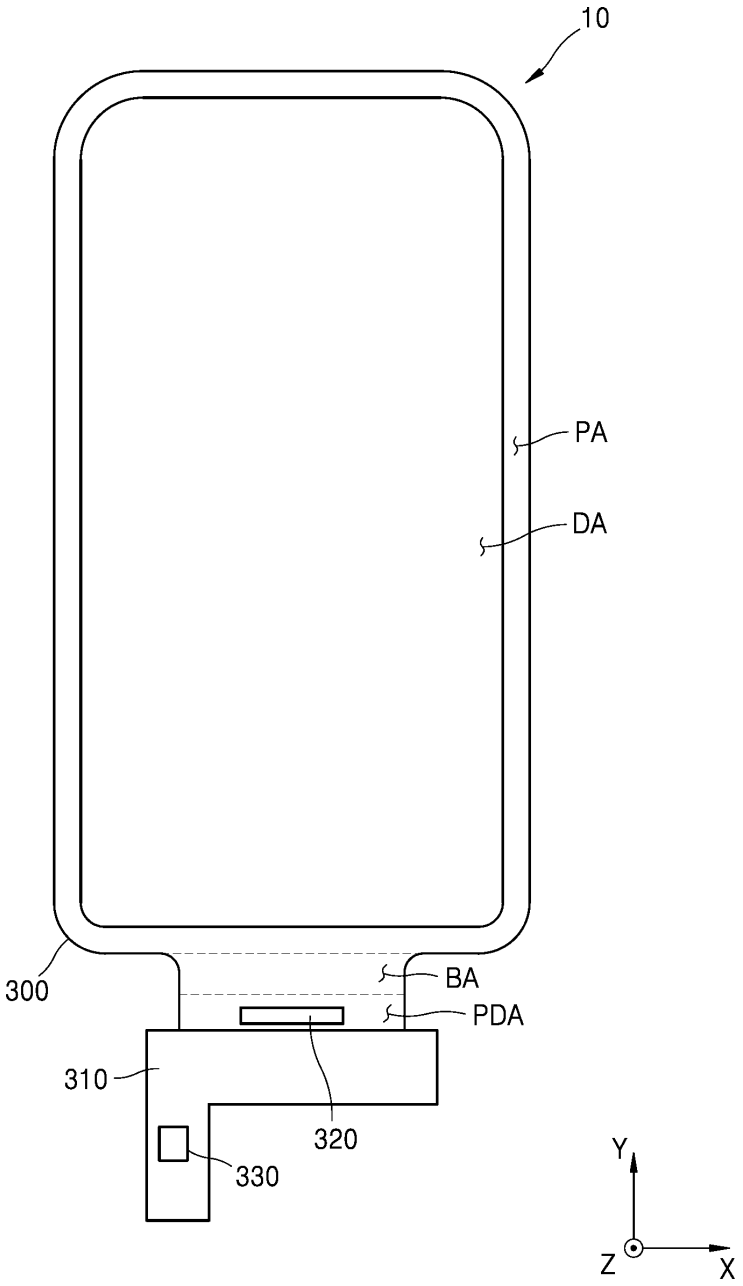
173: 대향전극 180: 화소정의막

300: 디스플레이 패널 310: 디스플레이 회로보드

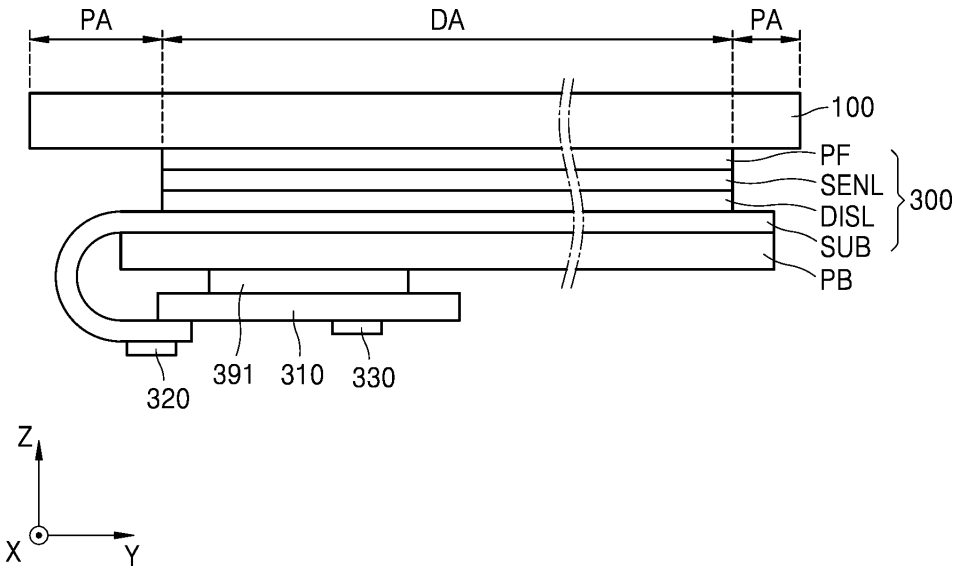
320: 디스플레이 구동부 330: 센서 구동부

도면

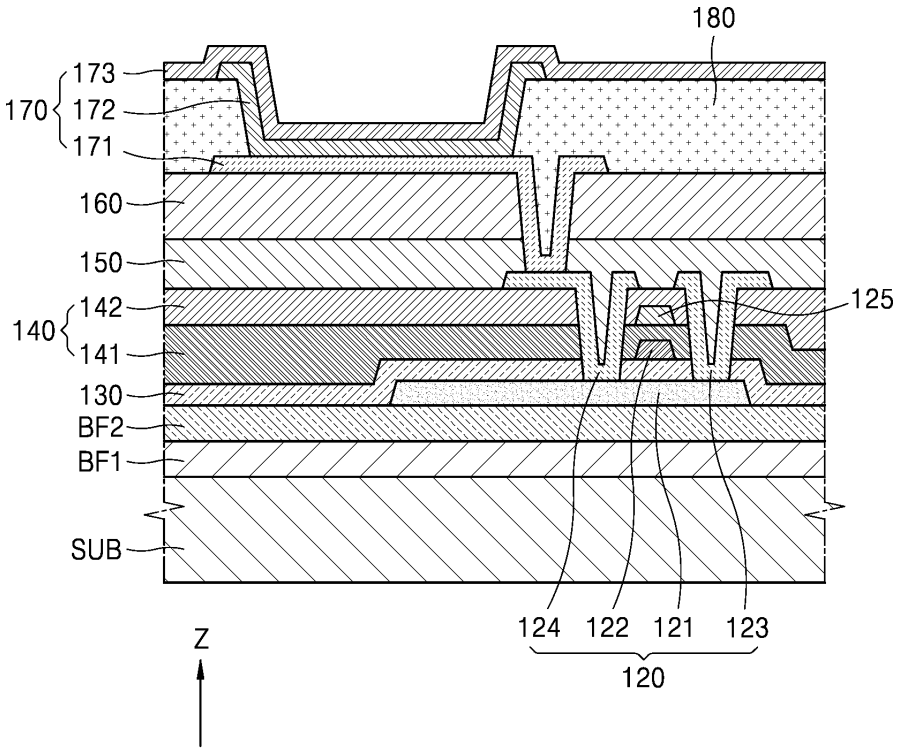
도면1



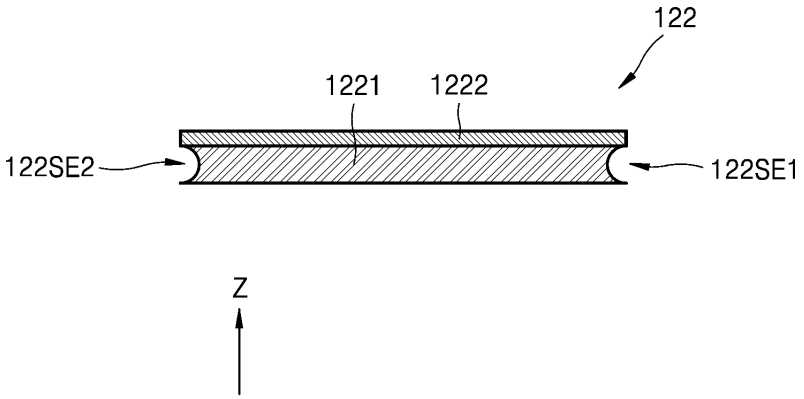
도면2


PA
DA
PA
100
PF
SENL
DISL
SUB
PB
300
320
391
310
330
Z
X
Y

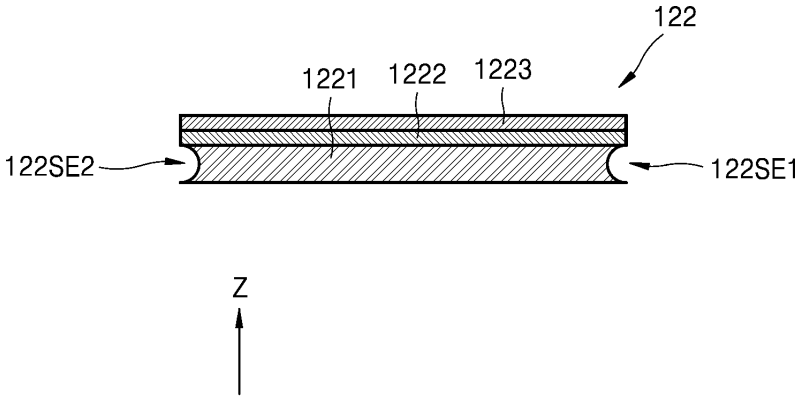
도면3


180
173
170
172
171
160
150
142
140
141
130
BF2
BF1
SUB
125
124
122
121
123
120
Z

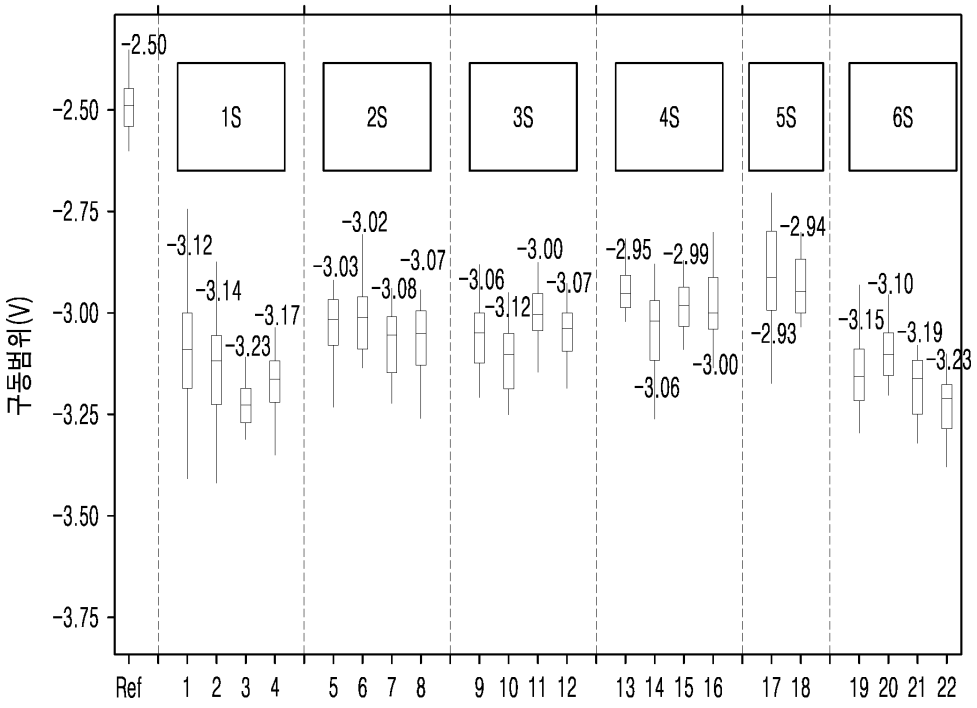
도면4


122
1221
1222
122SE2
122SE1
Z

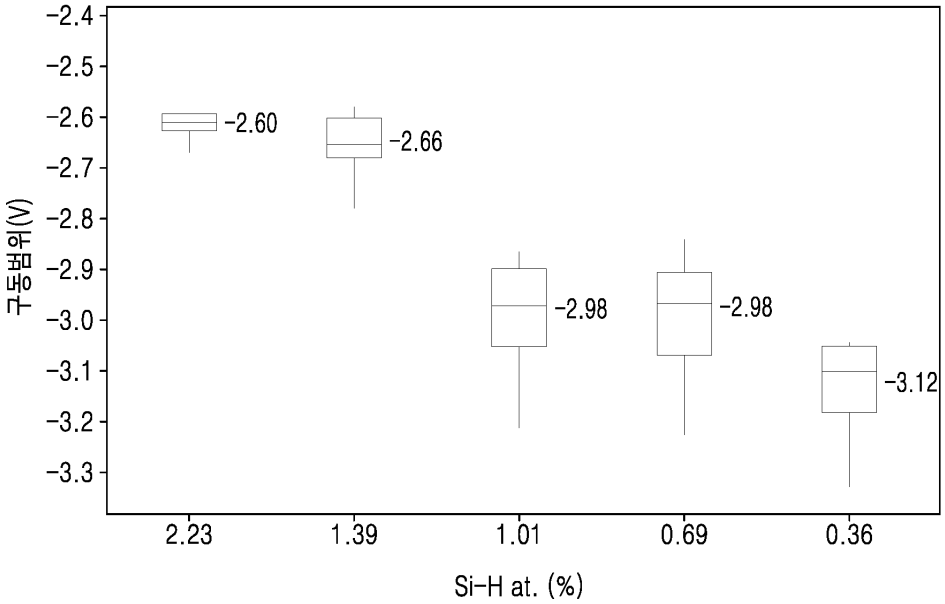
도면5


122
1221
1222
1223
122SE2
122SE1
Z

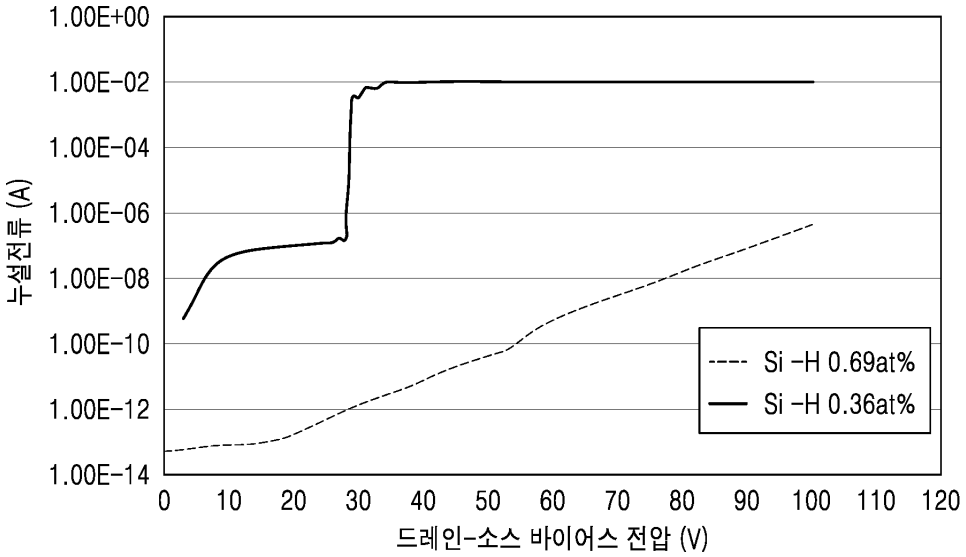
도면6


구동범위(V)
-2.50
-2.75
-3.00
-3.25
-3.50
-3.75
1S
2S
3S
4S
5S
6S
-2.50
-3.12
-3.14
-3.23
-3.17
-3.03
-3.02
-3.08
-3.07
-3.06
-3.12
-3.00
-3.07
-2.95
-3.06
-2.99
-3.00
-2.93
-2.94
-3.15
-3.10
-3.19
-3.23
Ref
1 2 3 4
5 6 7 8
9 10 11 12
13 14 15 16
17 18
19 20 21 22

도면7


-2.4
-2.5
-2.6
-2.7
-2.8
-2.9
-3.0
-3.1
-3.2
-3.3
구동범위(V)
-2.60
-2.66
-2.98
-2.98
-3.12
2.23
1.39
1.01
0.69
0.36
Si-H at. (%)

도면8


1.00E+00
1.00E-02
1.00E-04
1.00E-06
1.00E-08
1.00E-10
1.00E-12
1.00E-14
누설전류 (A)
0
10
20
30
40
50
60
70
80
90
100
110
120
드레인-소스 바이어스 전압 (V)
Si -H 0.69at%
Si -H 0.36at%