



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월26일
 (11) 등록번호 10-0885911
 (24) 등록일자 2009년02월20일

(51) Int. Cl.
H01L 23/36 (2006.01) *H01L 23/12* (2006.01)
 (21) 출원번호 10-2006-0113408
 (22) 출원일자 2006년11월16일
 심사청구일자 2006년11월16일
 (65) 공개번호 10-2008-0044490
 (43) 공개일자 2008년05월21일
 (56) 선행기술조사문헌
 KR1020050090882 A*
 JP2003188342 A
 KR1020050091446 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 매탄동 416
 (72) 발명자
백수진
 경기 수원시 영통구 영통동 신나무실 진흥아파트 554동 204호
김우섭
 서울 영등포구 당산동2가 164번지 현대아파트 10 2동 302호
김기성
 서울 동작구 대방동 대방주공아파트 102-516
 (74) 대리인
리엔목특허법인

전체 청구항 수 : 총 13 항

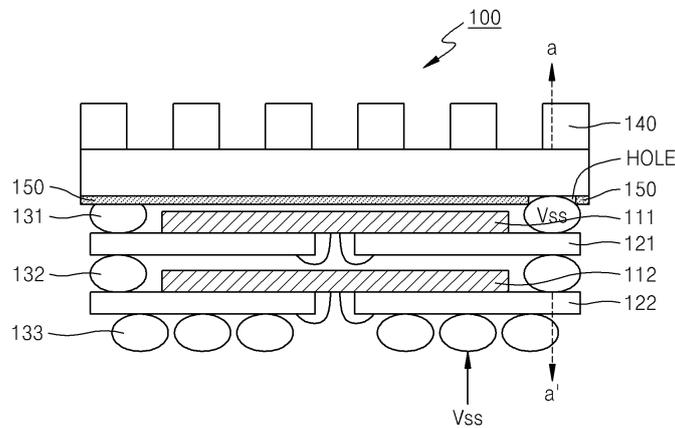
심사관 : 박준영

(54) 열방출 특성을 개선한 반도체 패키지

(57) 요약

패키지 내부에서 발생된 열을 효율적으로 방출할 수 있는 구조특성을 갖는 반도체 패키지가 개시된다. 상기 반도체 패키지는, 적층(stack) 구조로 배치된 하나 이상의 반도체 칩과, 일면에 상기 반도체 칩 각각이 부착되며, 회로패턴이 형성된 하나 이상의 기판(PCB)과, 상기 하나 이상의 반도체 칩으로 전압 및 신호를 제공하기 위한 복수의 솔더볼(solder ball) 및 패키지 내부의 열을 외부로 방출하기 위해 배치되며, 상기 복수의 솔더볼 중 적어도 하나의 솔더볼에 직접 연결되는 히트 싱크(heat sink)를 구비하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

적층(stack) 구조로 배치된 하나 이상의 반도체 칩;

일면에 상기 반도체 칩 각각이 부착되며, 회로패턴이 형성된 하나 이상의 기판(PCB);

상기 하나 이상의 반도체 칩으로 진압 및 신호를 제공하기 위한 복수의 솔더볼(solder ball);

패키지 내부의 열을 외부로 방출하기 위해 배치되며, 상기 복수의 솔더볼 중 적어도 하나의 솔더볼에 전기적으로 연결되는 히트 싱크(heat sink); 및

상기 히트 싱크와 상기 하나 이상의 기판 사이에 배치되는 절연층을 구비하며,

상기 절연층은, 상기 히트 싱크를 상기 하나 이상의 기판으로부터 절연하기 위한 제1 영역과, 상기 히트 싱크와 상기 적어도 하나의 솔더볼을 전기적으로 연결하기 위한 제2 영역을 구비하는 것을 특징으로 하는 반도체 패키지.

청구항 2

제1항에 있어서,

상기 히트 싱크에 직접 연결되는 솔더볼은, 상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼인 것을 특징으로 하는 반도체 패키지.

청구항 3

제1항에 있어서,

상기 하나 이상의 기판 각각에는 복수의 솔더볼이 부착되며, 상부에 배치된 기판에 부착된 솔더볼 중 적어도 하나의 솔더볼이 상기 히트 싱크에 연결되는 것을 특징으로 하는 반도체 패키지.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 절연층은,

상기 적어도 하나의 솔더볼과 상기 히트 싱크가 직접 연결되도록 하기 위하여, 상기 제2 영역에 대응하는 부분에 홀(hole)이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 6

제5항에 있어서, 상기 절연층은,

상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼이 위치한 곳에 대응하여 상기 홀(hole)이 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 7

제1항에 있어서, 상기 절연층은,

상기 적어도 하나의 솔더볼과 상기 히트 싱크가 전기적으로 연결되도록 하기 위하여, 상기 제2 영역에 대응하는 부분에 도전영역이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 8

제7항에 있어서, 상기 절연층은,

상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼이 위치한 곳에 대응하여 상기 도전영역이 형성되는 것을

특징으로 하는 반도체 패키지.

청구항 9

삭제

청구항 10

적층(stack) 구조로 배치된 하나 이상의 반도체 칩;

일면에 상기 반도체 칩 각각이 부착되며, 회로패턴이 형성된 하나 이상의 기판(PCB);

상기 하나 이상의 반도체 칩으로 전압 및 신호를 제공하기 위한 복수의 솔더볼(solder ball);

패키지 내부의 열을 외부로 방출하기 위해 배치되며, 상기 복수의 솔더볼 중 적어도 하나의 솔더볼에 전기적으로 연결되는 히트 싱크(heat sink); 및

상기 히트 싱크와 상기 하나 이상의 기판 사이에 배치되는 절연층을 구비하며,

상기 절연층은, 상기 히트 싱크를 상기 하나 이상의 기판으로부터 절연하기 위한 제1 영역과, 상기 히트 싱크와 상기 적어도 하나의 솔더볼을 전기적으로 연결하기 위한 제2 영역을 구비하고,

상기 하나 이상의 기판은 상기 절연층의 제2 영역에 대응하는 위치에 형성되는 적어도 하나의 비아(via)를 구비하며, 상기 히트 싱크 및 상기 비아(via)를 통한 열 방출 경로가 형성되는 것을 특징으로 하는 반도체 패키지.

청구항 11

제10항에 있어서,

상기 비아(via)가 형성된 곳에 위치한 솔더볼은, 상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼인 것을 특징으로 하는 반도체 패키지.

청구항 12

삭제

청구항 13

제10항에 있어서, 상기 절연층은,

상기 적어도 하나의 솔더볼과 상기 히트 싱크가 직접 연결되도록 하기 위하여, 상기 제2 영역에 대응하는 부분에 홀(hole)이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 14

제13항에 있어서, 상기 절연층은,

상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼 및 이에 대응하는 상기 비아(via)가 형성된 위치에 대응하여 상기 홀(hole)이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 15

제10항에 있어서, 상기 절연층은,

상기 적어도 하나의 솔더볼과 상기 히트 싱크가 전기적으로 연결되도록 하기 위하여, 상기 제2 영역에 대응하는 부분에 도전영역이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 16

제15항에 있어서, 상기 절연층은,

상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼 및 이에 대응하는 상기 비아(via)가 형성된 위치에 상기 도전영역이 형성된 것을 특징으로 하는 반도체 패키지.

청구항 17

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 반도체 패키지에 관한 것으로서, 더 자세하게는 패키지 내부에 발생하는 열을 효율적으로 방출할 수 있는 반도체 패키지에 관한 것이다.
- <14> 반도체 칩을 실장하는 반도체 패키지에 있어서, 고집적화 및 고속화됨에 따라 동작속도가 크게 증가되는 것과 동시에 그 크기는 감소되어 왔다. 또한 하나의 패키지 내부에 2 개 이상의 칩이 배치되는 멀티칩 패키지(Multi Chip Package, MCP)가 사용되면서, 패키지 내부의 온도증가는 필연적이 되었다. 패키지 내부의 온도가 증가하게 되면 패키지에 구비되는 칩에 스트레스(stress)로 작용하며, 오동작의 원인이 된다. 또한 동작속도의 감소하게 되며, 특히 DRAM의 반도체 칩의 경우에는 리프레쉬(refresh) 특성을 저하하게 된다.
- <15> 도 1은 반도체 패키지에서 일반적인 열 방출 경로를 나타내기 위한 도면이다. 상기 반도체 패키지는 하나의 반도체 칩을 구비하는 원칩-원패키지(1chip-1package)로 이루어지는 일례가 도시된다.
- <16> 도시된 바와 같이 일반적인 반도체 패키지(10)는 반도체 칩(11), 인쇄회로기판(PCB)을 구비하며, 반도체 칩(11)과 인쇄회로기판(PCB)을 전기적으로 연결하기 위한 적어도 하나의 솔더볼(14)과, 반도체 패키지(10)를 외부와 전기적으로 연결하기 위한 적어도 하나의 솔더볼(15)을 구비한다. 상기 반도체 패키지(10)는 솔더볼(15)을 통해 소정의 보드(Board)에 연결되어, 반도체 칩에서 요구되는 전원 및 신호를 외부로부터 제공받는다.
- <17> 도시된 화살표는 반도체 패키지의 열방출 경로를 나타낸다. 실선으로 도시된 화살표는 공기(air)를 통해 열이 방출되는 경로를 나타내며, 점선으로 도시된 화살표는 반도체 패키지 내부의 물질(material)을 통해 열이 전도(conduction)되어 외부로 방출되는 경로를 나타낸다.
- <18> 도시된 바와 같이 열은 공기(air)를 통하거나 반도체 패키지 내부의 물질을 통하여 외부로 방출된다. 일반적인 경우에 있어서 반도체 패키지 내부에 발생된 열이 보드(Board)를 통해 전도되어 외부로 효율적으로 방출되나, 패키지의 상부를 통한 열 방출량은 미약하다.
- <19> 반도체 패키지의 내부의 온도를 감소시키기 위한 종래의 방법으로서, 히트 싱크(heat sink)를 반도체 패키지의 상부에 부착하는 방법이 개시되어 있다. 도 2는 히트 싱크가 상부에 부착된 반도체 패키지의 단면도를 나타낸다.
- <20> 도시된 바와 같이 반도체 패키지(20)는, 하나 이상의 반도체 칩(22,23), 각각의 반도체 칩이 적층된 기판(24,25) 및 하나 이상의 솔더볼(27) 등을 구비할 수 있다. 또한 반도체 패키지는 패키지 내부에 적층된 반도체 칩을 보호하기 위한 몰딩부(26)가 형성될 수 있다. 또한 패키지 내부의 열 방출을 위하여, 패키지의 상부에 히트 싱크(21)를 더 부착하여 구성될 수 있다.
- <21> 그러나 상기와 같이 구성되는 반도체 패키지에 있어서, DSP(Dual Stack Package), QSP(Quad Stack Package) 등의 멀티칩 구조의 반도체 패키지 내부의 온도 상승은 훨씬 크므로, 발생된 열을 방출하는 데는 그 한계가 있다. 또한 내부 칩 간의 온도 상승 정도가 다른 문제점이 발생하게 된다. 즉, 다수의 칩을 구비하는 멀티칩 패키지에 있어서, 더욱 효과적으로 열이 방출되도록 하여 장치의 동작 신뢰성을 확보할 필요가 있다.

발명이 이루고자 하는 기술적 과제

- <22> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 패키지 내부에서 발생된 열을 효율적으로 방출할 수 있는 구조 특성을 갖는 반도체 패키지를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

- <23> 상기와 같은 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 반도체 패키지는, 적층(stack) 구조로 배치된

하나 이상의 반도체 칩과, 일면에 상기 반도체 칩 각각이 부착되며, 회로패턴이 형성된 하나 이상의 기판(PCB)과, 상기 하나 이상의 반도체 칩으로 전압 및 신호를 제공하기 위한 복수의 솔더볼(solder ball)과, 패키지 내부의 열을 외부로 방출하기 위해 배치되며, 상기 복수의 솔더볼 중 적어도 하나의 솔더볼에 전기적으로 연결되는 히트 싱크(heat sink) 및 상기 히트 싱크와 상기 하나 이상의 기판 사이에 배치되는 절연층을 구비하며, 상기 절연층은, 상기 히트 싱크를 상기 하나 이상의 기판으로부터 절연하기 위한 제1 영역과, 상기 히트 싱크와 상기 적어도 하나의 솔더볼을 전기적으로 연결하기 위한 제2 영역을 구비하는 것을 특징으로 한다.

<24> 바람직하게는, 상기 히트 싱크에 직접 연결되는 솔더볼은, 상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼인 것을 특징으로 한다.

<25> 한편, 상기 하나 이상의 기판 각각에는 복수의 솔더볼이 부착되며, 상부에 배치된 기판에 부착된 솔더볼 중 적어도 하나의 솔더볼이 상기 히트 싱크에 연결되는 것을 특징으로 한다.

<26> 또한 바람직하게는, 상기 절연층은, 상기 적어도 하나의 솔더볼이 상기 히트 싱크에 직접 연결되도록, 적어도 하나의 홀(hole)이 형성된 것을 특징으로 한다.

<27> 삭제

<28> 또한 바람직하게는, 상기 절연층은, 상기 반도체 칩으로 접지전압을 제공하기 위한 솔더볼이 위치한 곳에 대응하여 상기 홀(hole)이 형성되는 것을 특징으로 한다.

<29> 한편 본 발명의 또 다른 실시예에 따른 반도체 패키지는, 적층(stack) 구조로 배치된 하나 이상의 반도체 칩과, 일면에 상기 반도체 칩 각각이 부착되며, 회로패턴이 형성된 하나 이상의 기판(PCB)과, 상기 하나 이상의 반도체 칩으로 전압 및 신호를 제공하기 위한 복수의 솔더볼(solder ball)과, 패키지 내부의 열을 외부로 방출하기 위해 배치되며, 상기 복수의 솔더볼 중 적어도 하나의 솔더볼에 전기적으로 연결되는 히트 싱크(heat sink) 및 상기 히트 싱크와 상기 하나 이상의 기판 사이에 배치되는 절연층을 구비하며, 상기 절연층은, 상기 히트 싱크를 상기 하나 이상의 기판으로부터 절연하기 위한 제1 영역과, 상기 히트 싱크와 상기 적어도 하나의 솔더볼을 전기적으로 연결하기 위한 제2 영역을 구비하고, 상기 하나 이상의 기판은 상기 절연층의 제2 영역에 대응하는 위치에 형성되는 적어도 하나의 비아(via)를 구비하며, 상기 히트 싱크 및 상기 비아(via)를 통한 열 방출 경로가 형성되는 것을 특징으로 한다.

<30> 삭제

<31> 삭제

<32> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<34> 도 3은 본 발명의 일실시예에 따른 반도체 패키지의 구조를 나타내는 단면도이다. 도시된 바와 같이 상기 반도체 패키지(100)는, 하나 이상의 반도체 칩(111,112), 하나 이상의 기판(PCB, 121,122) 및 복수의 솔더볼(131,132,133)을 구비할 수 있다.

<35> 본 발명의 일실시예에 따른 반도체 패키지(100)는 하나 이상의 반도체 칩이 적층(stack)된 구조로 배치될 수 있으며, 일례로서 DSP(Dual Stack Package), QSP(Quad Stack Package) 등의 멀티칩 구조의 반도체 패키지가 적용될 수 있다. 도 2에 도시된 반도체 패키지는 그 일례로서 적층된 구조를 갖는 두 개의 반도체 칩(111,112)을 구비한다.

<36> 각각의 반도체 칩은 회로패턴이 형성된 기판의 일면에 부착될 수 있다. 일례로서 제1 반도체 칩(111)은 제1 기판(121)의 일면에 부착되며, 제2 반도체 칩(112)은 제2 기판(122)의 일면에 부착된다.

<37> 한편, 복수의 솔더볼(131,132,133)은 하나 이상의 기판(121,122)에 부착되어, 반도체 칩(111,112)으로 전압 및 신호를 제공한다. 일례로서 솔더볼(131)은 제1 기판(121)의 상면에 부착되며, 솔더볼(132)은 제2 기판(122)의

상면에 부착되고, 솔더볼(133)은 제2 기판(122)의 하면에 부착될 수 있다.

- <38> 반도체 패키지(100)는 솔더볼(133)을 통해 메인보드(미도시)에 연결되며, 메인보드로부터 제공되는 신호 및 전원은 회로패턴이 형성된 기판(121,122) 및 복수의 솔더볼(131,132,133)을 통하여 각 반도체 칩(111,112)으로 전달된다.
- <39> 한편, 본 발명의 일실시예에 따른 반도체 패키지(100)는, 패키지 내부의 열을 외부로 방출하기 위한 히트 싱크(heat sink, 140)를 더 구비할 수 있다. 상기 히트 싱크(140)는 복수의 솔더볼(131,132,133) 중 적어도 하나의 솔더볼에 직접 연결되도록 배치된다. 일례로서 상기 히트 싱크(140)는 제1 기판(121)의 상면에 부착된 복수의 솔더볼(131) 중 적어도 하나의 솔더볼에 직접 연결되도록 한다.
- <40> 히트 싱크(140)와 하나 이상의 솔더볼을 연결함에 있어서, 전원전압(VDD) 또는 접지전압(VSS)을 반도체 칩(111,112)으로 전달하기 위한 솔더볼을 히트 싱크(140)에 연결하는 것이 바람직하다. 전원전압(VDD) 또는 접지전압(VSS)의 전달 경로는, 각각의 반도체 칩(111,112) 및 기판(121,122)을 통하여 연결되어 있으므로, 상기 히트 싱크(140)를 각각의 반도체 칩(111,112) 및 기판(121,122)에 직접 연결할 수 있어 열 방출에 효과적이다. 또한 바람직하게는, 히트 싱크(140)를 전원전압(VDD)을 제공하기 위한 솔더볼에 연결하면, 히트 싱크(140)를 통해 전원전압(VDD)이 외부로 방출되는 문제가 발생할 수 있으므로, 히트 싱크(140)는 접지전압(VSS)을 제공하기 위한 솔더볼에 연결되도록 한다.
- <41> 히트 싱크(140)가 적어도 하나의 솔더볼(131), 특히 접지전압(VSS)을 제공하기 위한 솔더볼에 직접 연결됨에 따라, 상기 히트 싱크(140)는 직접 연결된 솔더볼을 통한 전류 경로가 형성된다. 즉, 상기 솔더볼 및 히트 싱크(140)를 통하여 전류가 흐르게 되어, 전류 이동시 발생하는 열을 히트 싱크(140)를 통하여 효과적으로 외부로 방출할 수 있다.
- <42> 한편, 종래에 패키지의 상부에 몰딩부가 형성되었던 것과는 달리, 본 발명의 일실시예에 따른 반도체 패키지(100)는, 패키지 내부에 배치되는 회로를 보호하기 위하여, 반도체 칩(111,112) 및 기판(121,122)의 상부에 배치되는 절연층(150)을 더 구비할 수 있다. 더 자세하게는, 상기 절연층(150)은 제1 기판(121)의 상면에 부착된 솔더볼(131)과 히트 싱크(140)의 사이에 부착될 수 있다.
- <43> 상술하였던 바와 같이 히트 싱크(140)와 솔더볼(131)이 직접 연결되도록 하기 위하여, 상기 절연층(150)에는 적어도 하나의 홀(hole)이 형성되도록 한다. 상기 홀(hole)은 제1 기판(121)의 상면에 부착된 솔더볼(131) 중 접지전압을 제공하기 위한 솔더볼이 위치한 곳에 대응되도록 형성된다. 도시된 바와 같이 복수의 솔더볼(131) 중 접지전압을 제공하기 위한 솔더볼은 히트 싱크(140)에 직접 연결되나, 이외의 솔더볼은 절연층(150)에 의해 히트 싱크(140)와의 직접 연결이 차단된다.
- <44> 도 4a는 도 3의 반도체 패키지를 a-a' 방향으로 수직 절단한 단면도이며, 도 4b는 도 3의 절연층 및 기판을 각각 나타내기 위한 평면도이다.
- <45> 도 3의 반도체 패키지를 a-a' 방향으로 수직 절단한 후 90도 회전시키면 도 4a에 도시된 바와 같은 형태의 단면도가 도출될 수 있다. 도 4a에 도시된 바와 같이 제1 반도체 칩(111)이 제1 기판(121)의 일면에 부착되며, 제2 반도체 칩(112)이 제2 기판(122)의 일면에 부착된다. 또한 솔더볼(131)은 제1 기판(121)의 상면에 부착되며, 솔더볼(132)은 제2 기판(122)의 상면에 부착되고, 솔더볼(133)은 제2 기판(122)의 하면에 부착된다.
- <46> 접지전압(VSS)을 제공하기 위한 솔더볼들은 기판(121,122)에 형성되는 회로패턴을 통해 서로 전기적으로 연결될 수 있다. 마찬가지로 전원전압(VDD)을 제공하기 위한 솔더볼들은 기판(121,122)에 형성되는 회로패턴을 통해 서로 전기적으로 연결될 수 있다. 히트 싱크(140)는 반도체 패키지의 상부에 배치되며, 자세하게는 제1 기판(121)의 상면에 부착된 접지전압(VSS)을 제공하기 위한 솔더볼에 직접 연결된다.
- <47> 한편, 절연층(150)은 히트 싱크(140)와 제1 기판(121)의 상면에 부착된 솔더볼(131) 사이에 배치되며, 특히 상기 절연층(150)에는 접지전압(VSS)을 제공하기 위한 솔더볼이 위치하는 곳에 대응하여 홀(hole)이 형성된다. 히트 싱크(140)는 홀(hole)을 통하여 접지전압(VSS)을 제공하기 위한 솔더볼과 직접 연결되며, 이에 따라 반도체 칩(111,112), 기판(121,122) 및 히트 싱크(140)를 통한 전류경로가 형성된다.
- <48> 도 4b에는 절연층(150) 및 제1 기판(121)의 평면도가 도시된다. 도시된 바와 같이 절연층(150)에는 하나 이상의 홀(hole)이 형성된다. 또한 제1 기판(121)의 일면에는 제1 반도체 칩(111)이 부착되며, 하나 이상의 솔더볼(131)이 제1 기판(121)의 상면에 부착된다. 복수의 솔더볼(131) 중 어느 하나 이상의 솔더볼은 접지전압(VSS)을 제공하기 위한 솔더볼이며, 상기 홀(hole)은 접지전압(VSS)을 제공하기 위한 솔더볼이 위치하는 부분에 형성될

수 있다.

- <49> 도 5는 본 발명의 다른 실시예에 따른 반도체 패키지를 나타내기 위한 단면도이다. 상기 반도체 패키지(200)는, 적층(stack) 구조로 배치된 하나 이상의 반도체 칩(211,212)과, 일면에 반도체 칩이 부착되는 하나 이상의 기관(221,222)을 구비할 수 있다. 또한 외부로부터 입력되는 전압 및 신호를 반도체 칩(211,212)으로 제공하기 위한 하나 이상의 솔더볼(231,232,233), 패키지 내부의 열을 외부로 방출하기 위한 히트 싱크(240) 및 상기 히트 싱크(240)와 제1 기관(221)의 상면에 부착된 솔더볼(231) 사이에 배치되는 절연층(250)을 더 구비할 수 있다.
- <50> 본 실시예에서는 상기 절연층(250)은, 적어도 하나의 위치에서 홀(hole)이 형성되는 것과는 달리, 상기 복수의 솔더볼(231) 중 적어도 하나의 솔더볼이 위치하는 곳에 대응하여 도전층(251)이 형성된다. 바람직하게는 제1 기관(221)의 상면에 부착된 솔더볼(231) 중 전압(VDD 또는 VSS)을 제공하기 위한 솔더볼이 위치하는 곳에 대응하여 도전층(251)이 형성된다. 상술하였던 바와 같이 접지전압(VSS)을 제공하는 솔더볼이 위치하는 곳에 대응하여 도전층(251)이 형성되는 것이 바람직하다.
- <51> 상기와 같이 구성됨에 따라 히트 싱크(240)는 접지전압(VSS)을 제공하는 솔더볼과 전기적으로 연결된다. 히트 싱크(240)는 도전층(251)을 통하여 반도체 칩 및 기관에 전기적으로 연결되고, 전류의 이동에 따라 발생하는 열을 히트 싱크(240)를 통해 방출한다. 이에 따라 몰딩 재질의 상부에 히트 싱크가 연결된 구조에 비해 효율적으로 패키지 내부의 열을 외부로 방출할 수 있다.
- <52> 도 6은 본 발명의 일 실시예에 따른 QSP(Quad Stack Package) 구조의 반도체 패키지를 나타내는 단면도이다. 도시된 바와 같이 상기 QSP 구조의 반도체 패키지(300)는, 네 개의 반도체 칩(311 내지 314)과, 일면에 상기 반도체 칩 각각이 부착된 네 개의 기관(321 내지 324)을 포함하여 구성된다.
- <53> 또한 각각의 기관(321 내지 324)에는 신호 및 전압을 전달하기 위한 복수의 솔더볼(331 내지 335)이 부착되며, 제1 기관(321)의 상부에는 패키지 내부의 열을 외부로 방출하기 위한 히트 싱크(340)가 배치된다. 또한 제1 기관(321)의 상면에 부착된 솔더볼(331)과 히트 싱크(340)의 사이에는 절연층(350)이 배치된다. 히트 싱크(340)를 솔더볼(331)과 직접 연결되도록 하기 위하여 상기 절연층(350)에는 하나 이상의 홀(hole)이 형성될 수 있다. 바람직하게는 복수의 솔더볼(331) 중 접지전압을 전달하기 위한 솔더볼이 위치하는 곳에 대응하여 상기 홀(hole)이 형성될 수 있다.
- <54> 한편 도시되지는 않았으나, 상기 솔더볼(331)과 히트 싱크(340)가 도전물질을 통하여 서로 전기적으로 연결되도록 하기 위하여, 상기 절연층(350)은 적어도 하나의 위치에 형성되는 도전층을 구비할 수 있다. 상기와 같이 구성되는 경우, 반도체 패키지 제조시 히트 싱크(340)를 부착하지 않고 패키지의 상부에 절연층(350)이 도포된 상태로 출하될 수 있으며, 별도로 제공되는 히트 싱크를 상기 절연층의 상부에 부착할 수 있다.
- <55> 도 7은 본 발명의 다른 실시예에 따른 반도체 패키지를 나타내는 단면도이다. 일례로서 상기 반도체 패키지(400)는, 두 개의 반도체 칩(411,412)과 각각의 반도체 칩이 일면에 부착된 두 개의 기관(421,422)이 도시된다. 특히 도시된 두 개의 기관(421,422)은 서로 같은 구조의 기관을 사용한 일례가 도시된다.
- <56> 상기 기관(421,422) 각각에는 적어도 하나의 위치에서 비아(via)가 형성된다. 특히 반도체 칩(411,412)으로 신호 및 전압을 제공하기 위한 복수의 솔더볼(431,432,433) 중에서, 접지전압을 제공하기 위한 솔더볼이 위치한 부분에 대응하여 상기 비아(via)가 형성된다.
- <57> 한편, 패키지의 상부에는 히트 싱크(440)가 부착되며, 상부에 적층된 기관(421)의 상면에 부착된 솔더볼(431)과 히트 싱크(440)의 사이에는 절연층(450)이 부착된다. 상기 절연층(450)은 접지전압을 제공하기 위한 솔더볼 및 비아(via)가 형성된 위치에 대응하여 도전층(451)을 구비할 수 있다. 또한 상술하였던 바와 같이 도전층(451) 대신 홀(hole)을 형성함으로써, 히트 싱크(440)가 솔더볼에 직접 연결되도록 구성할 수도 있다. 상술한 바와 같이 구성됨에 따라 반도체 패키지 내부의 열을 효과적으로 외부로 방출할 수 있으며, 반도체 칩 간 온도 차이를 감소시킬 수 있다.
- <58> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

발명의 효과

- <59> 상기한 바와 같은 본 발명에 따른 반도체 패키지는, 히트 싱크와 반도체 칩 및 기관을 전기적으로 연결하는 구

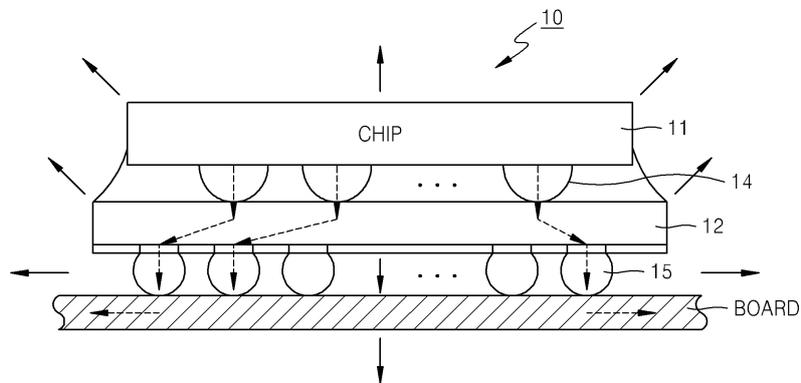
조 특성을 가짐에 따라, 반도체 패키지 내부에서 발생한 열을 효과적으로 방출할 수 있는 효과가 있다.

도면의 간단한 설명

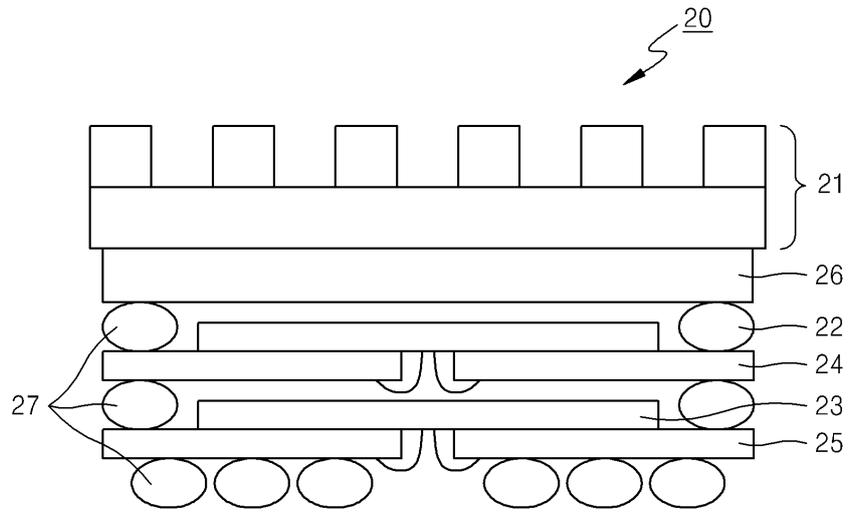
- <1> 도 1은 반도체 패키지에서 일반적인 열 방출 경로를 나타내기 위한 도면이다.
- <2> 도 2는 히트 싱크(heat sink)를 상부에 부착한 반도체 패키지의 단면도이다.
- <3> 도 3은 본 발명의 일실시예에 따른 반도체 패키지의 구조를 나타내는 단면도이다.
- <4> 도 4a는 도 3의 반도체 패키지를 a-a' 방향으로 수직 절단한 단면도이다.
- <5> 도 4b는 도 3의 절연층 및 기판을 각각 나타내기 위한 평면도이다.
- <6> 도 5는 본 발명의 다른 실시예에 따른 반도체 패키지를 나타내기 위한 단면도이다.
- <7> 도 6은 본 발명의 일실시예에 따른 QSP(Quad Stack Package) 구조의 반도체 패키지를 나타내는 단면도이다.
- <8> 도 7은 본 발명의 다른 실시예에 따른 반도체 패키지를 나타내는 단면도이다.
- <9> * 도면의 주요부분에 대한 부호의 설명 *
- <10> 100: 반도체 패키지 111,112: 반도체 칩
- <11> 121,122: 기판(PCB) 131,132,133: 솔더볼
- <12> 140: 히트 싱크(heat sink) 150: 절연층

도면

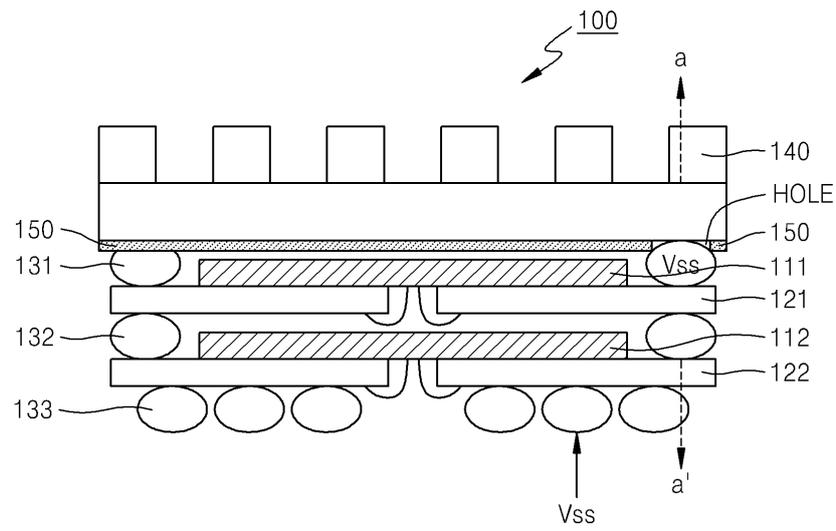
도면1



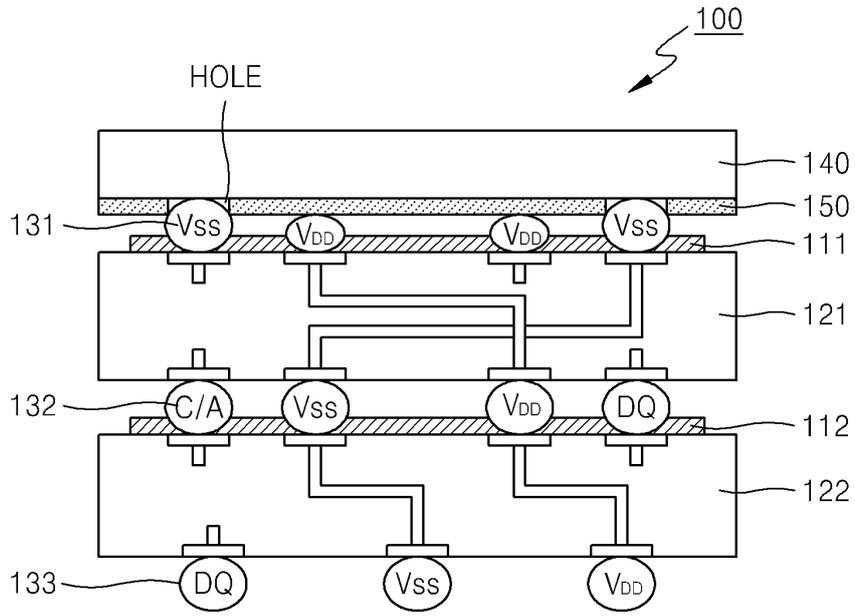
도면2



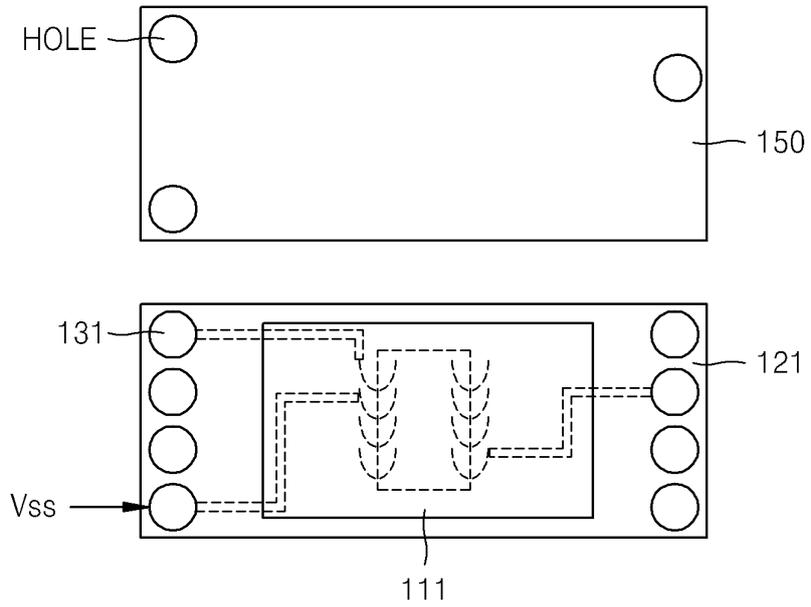
도면3



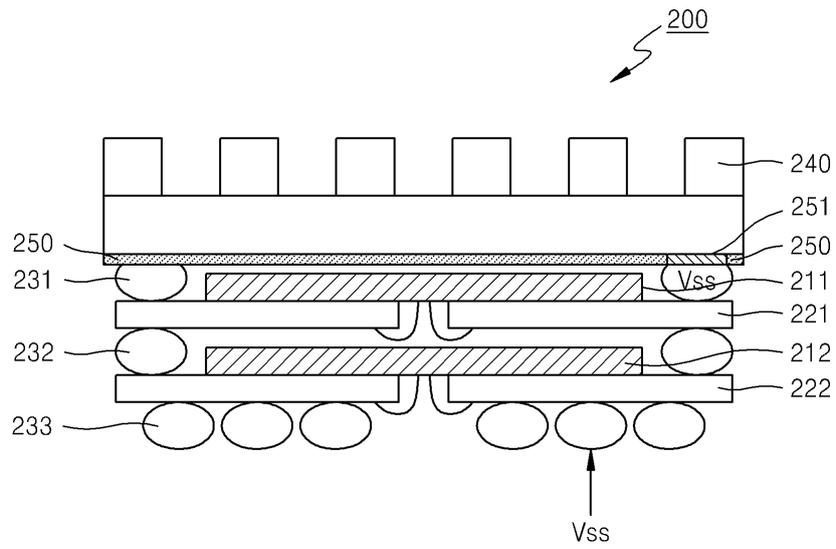
도면4a



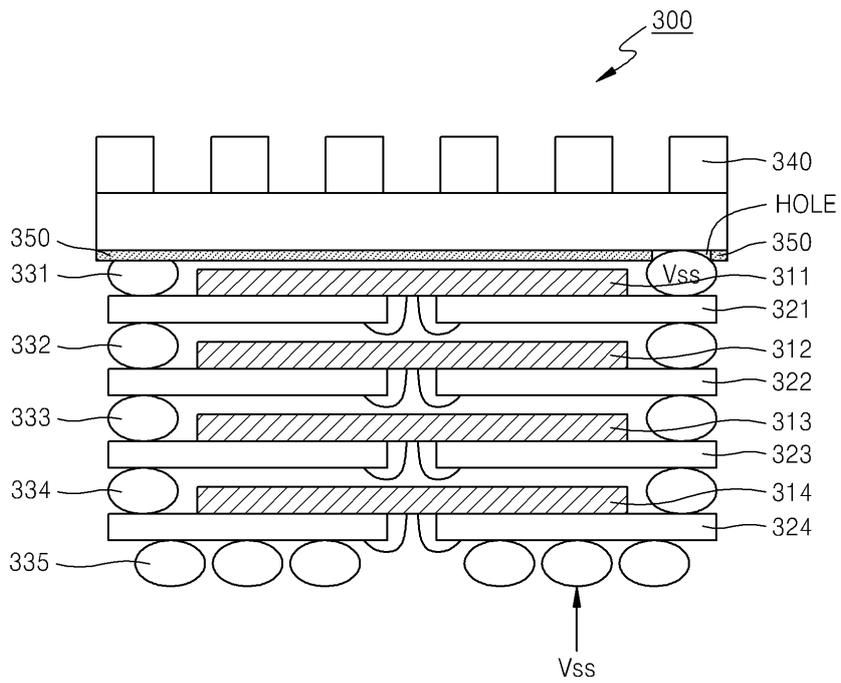
도면4b



도면5



도면6



도면7

