

(11) Número de Publicação: **PT 1662739 E**

(51) Classificação Internacional:
H04L 27/26 (2007.10) **H03M 13/27** (2007.10)
H04N 5/44 (2007.10)

(12) FASCÍCULO DE PATENTE DE INVENÇÃO

(22) Data de pedido: 2004.03.23	(73) Titular(es): SONY UNITED KINGDOM LIMITED THE HEIGHTS, BROOKLANDS WEYBRIDGE, SURREY KT13 0XW GB
(30) Prioridade(s): 2003.03.25 EP 03290754	
(43) Data de publicação do pedido: 2006.05.31	(72) Inventor(es): JEAN-LUC PERON FR
(45) Data e BPI da concessão: 2008.09.24 247/2008	(74) Mandatário: JOSÉ LUÍS FAZENDA ARNAUT DUARTE RUA SOUSA MARTINS, Nº 10 1050-218 LISBOA PT

(54) Epígrafe: **INTERCALADOR PARA CORRELACIONAR SÍMBOLOS NOS PORTADORES DE UM SISTEMA OFDM**

(57) Resumo:

RESUMO**"INTERCALADOR PARA CORRELACIONAR SÍMBOLOS NOS PORTADORES DE UM SISTEMA OFDM"**

A presente invenção refere-se a um aparelho de processamento de dados que correlaciona símbolos de entrada que devem ser comunicados para um número predeterminado de sinais portadores de um símbolo multiplexado por divisão ortogonal de frequência OFDM ("Orthogonal Frequency Division Multiplexed"). O processador de dados inclui uma memória intercaladora que lê e armazena o número predeterminado de símbolos de dados para correlacionar para os sinais portadores OFDM. A memória intercaladora lê os símbolos de dados para os portadores OFDM para efectuar a correlação, a leitura sendo feita numa ordem diferente da leitura com armazenamento, a ordem sendo determinada a partir de um conjunto de endereços, com o efeito de que os símbolos de dados são intercalados nos sinais portadores. O conjunto de endereços é gerado a partir de um gerador de endereços que compreende um registo de deslocamento linear com realimentação e um circuito de permutação. A fim de proporcionar um modo 4k para um sistema modulado OFDM, tal como uma norma de transmissão de vídeo digital DVB ("Digital Video Broadcasting"), tal como normas DVB-Terrestre DVB-T ("DVB-Terrestrial") ou DVB-Portátil DVB-H ("DVB-Handheld"), um polinómio gerador para o registo de deslocamento linear com realimentação de $R'_i[10] = R'_i -$

DESCRIÇÃO**"INTERCALADOR PARA CORRELACIONAR SÍMBOLOS NOS PORTADORES DE
UM SISTEMA OFDM"**Campo da Invenção

A presente invenção refere-se a um aparelho de processamento de dados que funciona para correlacionar símbolos de entrada em sinais portadores de um símbolo multiplexado por divisão ortogonal de frequência OFDM ("Orthogonal Frequency Division Multiplexed").

A presente invenção também se refere a um aparelho de processamento de dados que funciona para descorrelacionar símbolos recebidos a partir de um número predeterminado de sinais portadores de um símbolo OFDM, numa corrente de símbolos de saída.

Antecedentes da Invenção

A norma de transmissão de vídeo digital terrestre DVB-T ("Digital Video Broadcasting - Terrestrial") (Referência [1]) utiliza multiplexação por divisão ortogonal de frequência (OFDM) para comunicar, a receptores, dados que representam imagens de vídeo e som, mediante um sinal de transmissão de comunicações por rádio.

Sabe-se que há dois modos para a norma DVB-T que são conhecidos como o modo 2k e o modo 8k. O modo 2k proporciona 2048 subportadoras, enquanto que o modo 8k proporciona 8192 subportadoras.

Para melhorar a integridade dos dados comunicados pelo modo 2k ou pelo modo 8k, dispõe-se um intercalador de símbolos para intercalar símbolos de dados de entrada quando estes símbolos se correlacionam nos sinais portadores de um símbolo OFDM. O referido intercalador de símbolos compreende uma memória intercaladora em combinação com um gerador de endereços. O gerador de endereços gera um endereço para cada um dos símbolos de entrada, indicando cada endereço um dos sinais portadores do símbolo OFDM, no qual se tem de correlacionar o símbolo de dados. Na norma DVB-T foi descrita uma disposição para o modo 2k e para o modo 8k, que gera os endereços para a correlação. Sabe-se que o gerador de endereços compreende um registo de deslocamento linear com realimentação que funciona para gerar uma sequência pseudo-aleatória de bits, e um circuito de permutação. O circuito de permutação permuta a ordem do conteúdo do registo de deslocamento linear com realimentação, para gerar um endereço. O endereço proporciona uma indicação de um dos portadores OFDM para transportar um símbolo de dados de entrada armazenado na memória intercaladora, com o fim de correlacionar os símbolos de entrada nos sinais portadores do símbolo OFDM.

Igualmente ao modo 2k e ao modo 8k, também se

propôs proporcionar um modo 4k. Usou-se o modo 4k na norma japonesa para transmissão de televisão digital, que é o sistema de transmissão digital de serviços integrados ISDB (“Integrated Service Digital Broadcasting”).

Sumário da Invenção

De acordo com um aspecto da presente invenção, proporciona-se um transmissor para transmitir dados usando símbolos OFDM de multiplexação por divisão ortogonal de frequência, o transmissor incluindo um aparelho de processamento de dados que funciona para correlacionar símbolos de entrada que têm de ser comunicados para um número predeterminado de sinais portadores, de um símbolo OFDM multiplexado por divisão ortogonal de frequência, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadores OFDM. O aparelho de processamento de dados compreende uma memória intercaladora que funciona para introduzir em si o número predeterminado de símbolos de dados, com o fim de os correlacionar nos sinais portadores OFDM, e ler os símbolos de dados para os portadores OFDM com o fim de efectuar a correlação. A leitura efectua-se numa ordem diferente da introdução, sendo a ordem determinada por meio de um conjunto de endereços, com o efeito de que os símbolos de dados são intercalados nos sinais portadores. O conjunto de endereços é determinado por um gerador de endereços, sendo gerado um endereço para cada um dos símbolos de entrada, com o fim de

indicar um dos sinais portadores no qual se tem de correlacionar o símbolo de dados.

O gerador de endereços compreende um registo de deslocamento linear com realimentação que inclui um número predeterminado de etapas de registo, e que funciona para gerar uma sequência pseudo-aleatória de bits de acordo com um polinómio gerador, e um circuito de permutação e uma unidade de controlo. O circuito de permutação funciona para receber o conteúdo das etapas do registo de deslocamento e permutar os bits presentes nas etapas do registo segundo uma ordem de permutação, com o fim de formar um endereço de um dos portadores OFDM. A unidade de controlo funciona em combinação com um circuito de comprovação de endereços, para regenerar um endereço quando um endereço gerado excede o número máximo de portadores. O transmissor é caracterizado pelo facto de que o transmissor pode ser comutado entre os modos de funcionamento 2k, 4k e 8k, e de que, para o modo 4k, o número predeterminado de sinais portadores OFDM é, substancialmente, quatro mil, e de que o registo de deslocamento linear com realimentação tem onze etapas de registo, com um polinómio gerador para o registo de deslocamento linear com realimentação, de $R'_i[10] = R'_{i-1}[0] + R'_{i-1}[2]$. A ordem de permutação forma um endereço de onze bits $R_i[n]$ para o símbolo de dados de ordem i do bit presente na i -ésima etapa de registo $R'_i[n]$, de acordo com a seguinte tabela:

$R'_i[n]$ para n	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n	7	10	5	8	1	2	4	9	0	3	6

Embora, dentro da norma DVB-T, se conheça proporcionar o modo 2k e o modo 8k, há vantagens em proporcionar um modo 4k. Enquanto que o modo 8k proporciona uma disposição para estabelecer uma rede de uma só frequência com suficientes períodos de retenção para acomodar maiores atrasos de propagação entre transmissores DVB, sabe-se que o modo 2k proporciona uma vantagem em aplicações móveis. Isto é devido a que o período de símbolos de 2k é somente a quarta parte do período de símbolos de 8k, permitindo que a avaliação de canal (baseada em pilotos dispersos incorporados em cada símbolo) se actualize com mais frequência, de modo que o receptor rastreie com mais exactidão a variação de tempos do canal devida ao efeito Doppler e a outros efeitos. Portanto, o modo 2k é vantajoso para aplicações móveis. No entanto, o modo 2k requer uma rede de múltiplas frequências, complicando, por isso, a disposição de transmissores para proporcionar um sistema de transmissão. Um modo 4k proporciona a vantagem de uma recepção razoavelmente boa para utentes móveis, inclusivamente a elevadas velocidades de condução que causam, por isso, maiores deslocamentos Doppler, sem a necessidade de um esquema caro de cancelamento de interferências entre portadoras. Também se pode criar uma realização prática de uma rede de transmissão razoavelmente económica. No entanto, para

proporcionar o modo 4k, deve-se dispor um intercalador de símbolos para correlacionar os símbolos de dados de entrada nos sinais portadores do símbolo OFDM.

Realizações da presente invenção podem proporcionar um aparelho de processamento de dados que funciona como um intercalador de símbolos para correlacionar símbolos de dados que têm de ser comunicados num símbolo OFDM que tem, substancialmente, quatro mil sinais portadores. Numa realização, o número de sinais portadores é três mil e vinte e quatro. Como tal, pode-se proporcionar um modo 4k, por exemplo, para uma norma DVB, tal como a DVB-T ou a DVB-H. A norma de transmissão de vídeo digital portátil DVB-H ("Digital Video Broadcasting - Handheld") está relacionada com a norma DVB-T. A norma DVB-H era conhecida anteriormente como DVB-X. Os sinais DVB-H são adequados para a recepção por dispositivos portáteis tais como terminais móveis de bolso.

A correlação de símbolos de dados que têm de ser transmitidos em sinais portadores de um símbolo OFDM, onde o número de sinais portadores é substancialmente quatro mil, representa um problema técnico substancial que requer análise e provas de simulação para estabelecer um polinómio gerador apropriado para o registo de deslocamento linear com realimentação e a ordem de permutação. Isto é devido a que a correlação requer que os símbolos sejam intercalados nos sinais portadores, com o efeito de que símbolos sucessivos da corrente de dados de entrada estejam

separados em frequência por um valor o maior possível, com o fim de optimizar a actuação dos esquemas de codificação de correcção de erros.

Os esquemas de codificação de correcção de erros, tais como a codificação Reed-Solomon e a codificação convolucional, actuam melhor quando o ruído e a degradação dos valores de símbolos resultantes da comunicação não estão correlacionados. Alguns canais de rádio, tais como os usados para a norma DVB-T, podem passar a sofrer de enfraquecimento correlacionado tanto no domínio do tempo como no da frequência. Por isso, separando os símbolos codificados em diferentes sinais portadores do símbolo OFDM, tanto quanto seja possível, pode-se melhorar a actuação dos esquemas de codificação de correcção de erros.

Mediante a análise de simulação de actuação, descobriu-se que o polinómio gerador para o registo de deslocamento linear com realimentação, em combinação com o circuito de permutação de ordem indicado anteriormente, proporciona uma boa actuação perante condições típicas de ruído e enfraquecimento de canal. Além do mais, proporcionando uma disposição que possa criar geração de endereços, tanto para o modo 2k como para o modo 8k, assim como para o modo 4k, trocando as tomadas do polinómio gerador para o registo de deslocamento linear com realimentação e a ordem de permutação, obtem-se uma implementação económica do intercalador de símbolos para o modo 4k. Além disso, pode-se trocar um transmissor e um

receptor entre o modo 2k, o modo 4k e o modo 8k, mudando o polinómio gerador e as ordens de permutação. Isto pode ser efectuado por programação em software (ou pelo canal de sinalização de parâmetros de transmissão TPS incorporado no receptor), pelo que se proporciona uma implementação flexível.

Nas reivindicações anexas, definem-se vários aspectos e características da presente invenção. Outros aspectos da presente invenção incluem um receptor que funciona para descorrelacionar símbolos recebidos de um número predeterminado de sinais portadores de um símbolo multiplexado por divisão ortogonal de frequência (OFDM), numa corrente de símbolos de saída.

Breve Descrição dos Desenhos

Agora vão ser descritas realizações da presente invenção, somente a título de exemplo, com referência aos desenhos anexos, em que partes iguais são providas de números de referência correspondentes, e em que:

a Figura 1 é um diagrama de blocos esquemático, de um transmissor OFDM Codificado, que se pode usar, por exemplo, com a norma DVB-T;

a Figura 2 é um diagrama de blocos esquemático de um intercalador interior de símbolos e um processador de correlação que aparecem na Figura 1;

a Figura 3 é um diagrama de blocos esquemático do intercalador de símbolos mostrado na Figura 2;

a Figura 4 é um diagrama de blocos esquemático de uma memória intercaladora mostrada na Figura 3, e o correspondente desintercalador de símbolos do receptor;

a Figura 5 é um diagrama de blocos esquemático de um gerador de endereços mostrado na Figura 3 para o modo 2k;

a Figura 6 é um diagrama de blocos esquemático de um gerador de endereços como mostrado na Figura 3, no modo 8k;

a Figura 7 é um diagrama de blocos esquemático de um gerador de endereços mostrado na Figura 3, no modo 4k;

a Figura 8 é um diagrama de blocos esquemático de um receptor OFDM Codificado, que se pode usar, por exemplo, com a norma DVB-T; e

a Figura 9 é um diagrama de blocos esquemático de um desintercalador interior de símbolos que aparece na Figura 8.

Descrição de Realizações Preferidas

A norma DVB-T existente, baseada em OFDM, é composta de um modo 2k e um modo 8k, o que significa que a largura de banda usada para transmitir o sinal está dividida em 2048 subportadoras (modo 2k) ou em 8192 subportadoras (modo 8k). O modo 2k apresenta algumas características interessantes com respeito à mobilidade. Com efeito, o curto tempo de símbolo deste modo permite uma

boa actuação Doppler em ambientes móveis. Por outro lado, o modo 8k dá aos planificadores de redes a possibilidade de construir uma rede pouco densa e, portanto, económica, de uma só frequência (SFN) ("Single Frequency Network"). As investigações levadas a cabo sobre o tema mostraram que a introdução de um modo 4k seria um bom compromisso entre estes dois modos. Isto proporcionaria uma recepção razoavelmente boa para utentes móveis, inclusivamente a elevadas velocidades de condução, sem a necessidade de um esquema de cancelamento de interferência entre portadoras (ICI) ("Inter Carrier Interference"), complicado e caro. Isto também ajudaria a manter o custo da rede num nível razoável. Este documento descreve um novo intercalador de símbolos para este modo 4k.

A Figura 1 proporciona um diagrama de blocos exemplar de um transmissor OFDM Codificado (COFDM) que se pode usar, por exemplo, para transmitir imagens de vídeo e sinais de áudio de acordo com a norma DVB-T. Na Figura 1, uma fonte de programas gera dados que têm de ser transmitidos pelo transmissor COFDM. Um codificador 2 de vídeo, um codificador 4 de áudio e um codificador 6 de dados geram vídeo, áudio e outros dados a transmitir, que são fornecidos a um multiplexador 8 de programas. Uma saída do multiplexador 8 de programas é fornecida a um multiplexador 10 de transporte, que forma uma corrente de transporte multiplexada com outra informação necessária para comunicar o vídeo, o áudio e os outros dados. O multiplexador 10 de transporte proporciona uma corrente de

transporte num canal de ligação 12, a um divisor 14. O divisor divide a corrente de transporte em diferentes ramos A e B, que proporcionam diferente codificação de correcção de erros para a frente e intercalação. Por motivos de simplicidade, somente se descreverá o ramo A.

Como se mostra na Figura 1, um transmissor COFDM 20 recebe a corrente de transporte de dados num bloco multiplexador 22 de adaptação e dispersão de energia. O bloco multiplexador 22 de adaptação e dispersão de energia converte em aleatórios os dados da corrente de transporte e fornece os dados apropriados a um codificador exterior 24, que efectua uma primeira codificação exterior dos dados de transporte. É disposto um intercalador exterior 26 para intercalar os símbolos de dados codificados que, para o exemplo da norma DVB-T, é o código Reed-Solomon (RS), de modo que o intercalador exterior intercala símbolos RS. É disposto um codificador interior 28 para codificar convolucionalmente os dados do intercalador exterior usando um codificador convolucional, sendo fornecidos os dados codificados a um intercalador interior 30. O intercalador interior 30 também pode receber dados codificados provenientes do segundo ramo codificador B.

Uma saída do intercalador interior é um conjunto de símbolos de dados que, depois, são correlacionados em pontos de constelação de um esquema de modulação. Para o exemplo da DVB-T mostrada, o esquema de modulação é QPSK ("Quadrature Phase Shift Keying") (Manipulação de

Deslocamento de Fase em Quadratura) (a DVB-T pode ter modulação de amplitude em quadratura QAM - "Quadrature Amplitude Modulation" - 16QAM de 4 bits/portadora ou 64QAM de 6 bits/portadora, assim como QPSK). Cada símbolo de dados do intercalador interior 30 é correlacionado, depois, num dos sinais portadores COFDM por um processador 32 de correlação. O símbolo COFDM é gerado, depois, por um processador 34 de adaptação de trama, que introduz sinais piloto e de sincronização fornecidos a partir de um formador 36 de sinal. Depois, um gerador OFDM 38 forma o símbolo OFDM no domínio do tempo, que é fornecido a um processador 40 de inserção de retenção para gerar um intervalo de retenção entre símbolos e, depois, a um conversor 42 de digital a analógico e, finalmente, a um amplificador de RF dentro de um extremo frontal 44 de RF para uma eventual transmissão pelo transmissor COFDM a partir de uma antena 46.

Para criar um novo modo 4k, há que definir vários elementos, mas o principal é o intercalador de símbolos de 4k, que faz parte do intercalador interior mostrado na Figura 1.

O próprio intercalador interior é composto de um intercalador de bits e um intercalador de símbolos, como se mostra na Figura 2.

Como se explicou anteriormente, a presente invenção providencia um dispositivo para proporcionar uma

correlação quase óptima dos símbolos de dados de entrada nos sinais portadores OFDM. Segundo a técnica exemplar, o intercalador interior é disposto para efectuar a correlação óptima de símbolos de dados de entrada em sinais portadores COFDM. O intercalador interior 30 e o processador 32 de correlação são mostrados com maior detalhe na Figura 2. Na Figura 2, o intercalador interior 30 compreende um processador desmultiplexador 60 que recebe bits codificados convolucionalmente provenientes de um canal de entrada 62. Depois, o desmultiplexador divide os bits em duas correntes de bits de entrada, que são fornecidas aos intercaladores 68 e 70 de bits por meio de canais de ligação 64 e 66. Os intercaladores de bits intercalam os bits que, depois, são formados em dois canais de ligação 72.1, 72.2 para ligar os bits de cada um dos intercaladores 68 e 70 de bits a um intercalador 76 de símbolos. O intercalador de símbolos forma os símbolos de entrada dos canais de ligação 72.1, 72.2 em símbolos para serem correlacionados nos sinais portadores COFDM. Para a técnica exemplar mostrada na Figura 2, os símbolos intercalados procedentes do intercalador 76 de símbolos são correlacionados em pontos de constelação de um sinal portador QPSK para cada um dos sinais do símbolo COFDM.

A especificação DVB-T existente define já um intercalador de símbolos para os modos 2k e 8k. O propósito do intercalador de símbolos é correlacionar palavras de v bits (dependendo v do esquema de modulação escolhido) nas 1512 (modo 2k) ou 6048 (modo 8k) portadoras activas por

símbolo OFDM. O intercalador de símbolos actua sobre blocos de 1512 (modo 2k) ou 6048 (modo 8k) símbolos de dados. Realizações exemplares da presente invenção utilizam o intercalador 76 de símbolos para proporcionar uma correlação optimizada dos símbolos de dados de entrada fornecidos a partir dos canais de ligação 72.1, 72.2, nos sinais portadores COFDM. Na Figura 3, mostra-se um exemplo do intercalador 76 de símbolos para efectuar a correlação dos símbolos de dados de entrada nos sinais portadores COFDM.

Memória RAM Intercaladora

Na Figura 3, os símbolos de dados de entrada do canal de ligação 72 são fornecidos a uma memória intercaladora 100. A memória intercaladora 100 correlaciona os símbolos de dados de entrada nos sinais portadores COFDM de acordo com endereços de correlação proporcionados pelo gerador 102 de endereços. Na Figura 4, mostra-se uma realização prática exemplar da memória intercaladora 100.

A Figura 4 compreende uma parte superior 100 que ilustra o funcionamento da memória intercaladora no transmissor, e uma parte inferior 340 que ilustra o funcionamento da memória desintercaladora no receptor. O intercalador 100 e o desintercalador 340 são mostrados juntos na Figura 4 para facilitar a compreensão do seu funcionamento. Como se mostra na Figura 4, uma representação da comunicação entre o intercalador 100 e o

desintercalador 340, através de outros dispositivos e através de um canal de transmissão, foi simplificada e representada como uma secção 140 entre o intercalador 100 e o desintercalador 340. O funcionamento do intercalador 100 é descrito nos parágrafos seguintes:

Embora a Figura 4 proporcione uma ilustração de apenas quatro símbolos de dados de entrada num exemplo de quatro sinais portadores de um símbolo COFDM, poderá observar-se que a técnica ilustrada na Figura 4 se pode estender a um maior número de portadoras, tais como 1512 para o modo 2k, 3024 para o modo 4k e 6048 para o modo 8k.

A atribuição de endereços de entrada e de saída da memória intercaladora 100 apresentada na Figura 4 mostra-se para símbolos ímpares e pares. Para um símbolo COFDM par, os símbolos de dados tomam-se do canal de entrada 72 e escrevem-se na memória RAM intercaladora 124.1 de acordo com uma sequência de endereços 120 gerada para cada símbolo COFDM pelo gerador 102 de endereços. Os endereços de escrita são aplicados para o símbolo par de modo que, como se ilustra, a intercalação se efectue pela redistribuição dos endereços de escrita. Portanto, para cada símbolo intercalado, $y(h(q)) = y'(q)$.

Para símbolos ímpares, usa-se a mesma memória RAM intercaladora 124.2. No entanto, como se mostra na Figura 4, para o símbolo ímpar, a ordem 132 de escrita é na mesma sequência de endereços que a usada para ler os anteriores

símbolos pares 126. Esta característica permite que as realizações práticas dos intercaladores de símbolos ímpares e pares usem somente uma memória RAM, contanto que a operação de leitura para um dado endereço se efectue antes que a operação de escrita. Os símbolos de dados escritos na memória RAM intercaladora 124 enquanto os símbolos ímpares são lidos, depois, numa sequência 134 gerada pelo gerador 102 de endereços, para o seguinte símbolo COFDM par, e assim sucessivamente.

Em resumo, como se representa na Figura 4, uma vez que se calculou o conjunto de endereços $H(q)$ para todas as portadoras activas, processa-se o vector de entrada $Y' = (y_0', y_1', y_2', \dots, y_{N_{\max}-1}')$ para produzir o vector intercalado $Y = (y_0, y_1, y_2, \dots, y_{N_{\max}-1})$ definido por:

$$y_{H(q)} = y'_q \text{ para símbolos pares, para } q=0, \dots, N_{\max}-1$$

$$y_q = y'_{H(q)} \text{ para símbolos ímpares, para } q=0, \dots, N_{\max}-1$$

Por outras palavras, para símbolos OFDM pares, as palavras de entrada escrevem-se de uma maneira permutada numa memória, e voltam a ler-se de uma maneira sequencial, enquanto que, para símbolos ímpares, escrevem-se sequencialmente e voltam a ler-se permutadas. No caso anterior, a permutação $H(q)$ é definida pela seguinte tabela:

q	1	2	3	4
H(q)	1	3	0	2

Tabela 1: Permutação para caso simples,

onde $N_{\max} = 4$

Como se mostra na Figura 4, o desintercalador 340 funciona para inverter a intercalação aplicada pelo intercalador 100, aplicando o mesmo conjunto de endereços que o gerado por um gerador de endereços equivalentes, mas aplicando os endereços de escrita e leitura na inversa. Portanto, para símbolos pares, os endereços de escrita 342 estão em ordem sequencial, enquanto que os endereços de leitura 344 são fornecidos pelo gerador de endereços. Correspondentemente, para os símbolos ímpares, a ordem de escrita 346 é determinada mediante o conjunto de endereços gerado pelo gerador de endereços, enquanto que a leitura 348 se efectua em ordem sequencial.

Geração de Endereços

Na Figura 5, representa-se um diagrama de blocos esquemático, do algoritmo usado para gerar a função de permutação $H(q)$ para o modo $2k$, e na Figura 6 para o modo $8k$.

Na Figura 5, mostra-se uma realização prática do gerador 102.1 de endereços para o modo $2k$. Na Figura 5, um registo de deslocamento linear com realimentação está

formado por dez etapas de registo 200.1 e uma porta O-exclusivo (XOR) 202.1, que está ligada às etapas do registo de deslocamento 200.1 de acordo com um polinómio gerador. Portanto, de acordo com o conteúdo do registo de deslocamento 200.1, um bit seguinte do registo de deslocamento é fornecido desde a saída da porta O-exclusivo 202.1, efectuando uma operação lógica de O-exclusivo entre o conteúdo do registo de deslocamento R[0] e a etapa de registo R[3]. De acordo com o polinómio gerador, gera-se uma sequência pseudo-aleatória de bits do conteúdo do registo de deslocamento 200.1. No entanto, para gerar um endereço para o modo 2k que se ilustra, dispõe-se de um circuito de permutação 210.1 que permuta efectivamente a ordem dos bits dentro do registo de deslocamento 200.1, de uma ordem $R'_i[n]$ a uma ordem $R_i[n]$ na saída do circuito de permutação 210.1. Depois, dez bits da saída do circuito de permutação 210.1 são fornecidos num canal de ligação 212.1, aos quais se acrescenta um bit mais significativo, através de um canal 214.1, que é proporcionado por um circuito de comutação 218.1. Portanto, no canal 212.1 gera-se um endereço de onze bits. No entanto, para assegurar a autenticidade de um endereço, um circuito 216.1 de comprovação de endereços analisa o endereço gerado para determinar se excede o número máximo de sinais portadores. Se é assim, gera-se então um sinal de controlo e fornece-se a uma unidade de controlo 224.1 através de um canal de ligação 220.1. Se o endereço gerado supera o número máximo de sinais portadores, então este endereço é rejeitado e gera-se um novo endereço para o símbolo particular.

Na Figura 6, mostra-se um gerador 102.2 de endereços para o modo 8k. As partes do gerador de endereços para o modo 8k mostradas na Figura 6 correspondem às mostradas para o modo 2k e, portanto, para evitar repetição, só se descreverão as diferenças essenciais entre a Figura 6 e a Figura 5. Essencialmente, a diferença entre a Figura 6 e a Figura 5 é que o registo de deslocamento linear com realimentação 200.2 tem doze etapas de registo de deslocamento para gerar um endereço entre 0 e 8191. De novo, o registo de deslocamento é formado por meio da operação lógica de O-exclusivo entre as etapas de registo de deslocamento seleccionadas de acordo com o polinómio gerador. Depois, o endereço forma-se permutando a ordem dos bits dentro do registo de deslocamento 200.2, que é determinada de acordo com uma ordem predeterminada. De novo, proporcionam-se o polinómio gerador e a ordem de permutação para o modo 8k, que diferem do modo 2k.

Em resumo, para os modos 2k e 8k define-se uma palavra R'_i de (N_r-1) bits, com $N_r = \log_2 M_{\max}$, onde $M_{\max} = 2048$ no modo 2k, e $M_{\max} = 8192$ no modo 8k, usando um LFSR ("Linear Feedback Shift Register") (Registo de Deslocamento Linear com Realimentação).

Os polinómios usados para gerar esta sequência são os seguintes:

$$\text{Modo 2k: } R'_i[9] = R'_{i-1}[0] + R'_{i-1}[3]$$

$$\text{Modo 8k: } R'_i[11] = R'_{i-1}[0] + R'_{i-1}[1] + R'_{i-1}[4] + \\ + R'_{i-1}[6]$$

onde i varia de 0 a $M_{\max}-1$.

Uma vez que se gerou uma palavra R'_i , esta passa por uma permutação para produzir outra palavra de (N_r-1) bits, denominada R_i . R_i deriva-se de R'_i mediante as permutações de bits dadas nas Tabelas 2 e 3.

Posições de bits de R'_i	9	8	7	6	5	4	3	2	1	0
Posições de bits de R_i	0	7	5	1	8	2	6	9	3	4

Tabela 2: Permutação de bits para o modo 2k

Posições de bits de R'_i	11	10	9	8	7	6	5	4	3	2	1	0
Posições de bits de R_i	5	11	3	0	10	8	6	9	2	4	1	7

Tabela 3: Permutação de bits para o modo 8k

Como exemplo, isto significa que, para o modo 2k, o bit número 9 de R'_i é enviado na posição de bit número 0 de R_i .

Depois, o endereço $H(q)$ deriva-se de R_i mediante a seguinte equação:

$$H(p) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R(j) \cdot 2^j$$

A parte $(i \bmod 2) \cdot 2^{N_r-1}$ da equação anterior está representada na Figura 5 e na Figura 6 pelo bloco de

comutação T218.

Depois efectua-se uma comprovação de endereço em $H(q)$ para verificar se o endereço gerado está dentro da margem aceitável de endereços: se $(H(q) < N_{\max})$, onde $N_{\max} = 1512$ no modo 2k e 6048 no modo 8k, então o endereço é válido. Se o endereço não é válido, informa-se a unidade de controlo e esta tentará gerar um novo $H(q)$ incrementando o índice i .

O papel do bloco de comutação é assegurar que não se gera um endereço que exceda N_{\max} duas vezes numa fila. Com efeito, se se tivesse gerado um valor excessivo, isso significaria que o bit mais significativo MSB (quer dizer, o bit comutador) do endereço $H(q)$ era um. Assim pois, o valor seguinte gerado terá um bit mais significativo MSB posto a zero, que assegura a produção de um endereço válido.

As seguintes equações resumem o comportamento global e ajudam a compreender a estrutura de circuito em anel deste algoritmo:

$q = 0;$

para $(i = 0; i < M_{\max}; i = i + 1)$

$$H(p) = (i \bmod 2) \cdot 2^{N_r-1} + \sum_{j=0}^{N_r-2} R(j) \cdot 2^j$$

se $(H(q) < N_{\max})$ $q = q + 1;$

Intercalador de Símbolos para o Modo 4k

Na Figura 7, mostra-se um gerador 102.3 de endereços para o modo 4k, de acordo com a presente técnica. De novo, o gerador de endereços da Figura 7 corresponde ao gerador de endereços mostrado nas Figuras 5 e 6 e, portanto, só serão comentadas e explicadas as diferenças com estas Figuras. Como se mostra na Figura 7, o registo de deslocamento linear com realimentação 200.3 tem onze etapas de registo de deslocamento. Novamente, é disposta uma porta O-exclusivo 202.3 para gerar a sequência pseudo-aleatória de bits. A permutação do conteúdo do registo de deslocamento para formar o endereço de um símbolo de dados de entrada, que tem de ser correlacionado num dos sinais portadores COFDM, é proporcionada pelo circuito de permutação 210.3.

O intercalador de símbolos actua sobre blocos de $N_{\max} = 3024$ símbolos de dados. ($M_{\max} = 4096$).

O polinómio usado para gerar a sequência R'_i é:

$$R'_i[10] = R'_{i-1}[0] + R'_{i-1}[2]$$

Do vector R'_i deriva-se um vector R_i mediante a permutação de bits dada na Tabela 4:

Posições de bits de R'_i	10	9	8	7	6	5	4	3	2	1	0
Posições de bits de R_i	7	10	5	8	1	2	4	9	0	3	6

Tabela 4: Permutação de bits para o modo 4k

A entrada do intercalador é definida como o vector $Y' = (y'_0, y'_1, y'_2, \dots, y'_{N_{\max}-1})$.

O vector intercalado $Y = (y_0, y_1, y_2, \dots, y_{N_{\max}-1})$ é definido por:

$$y_{H(q)} = y'_{q} \text{ para símbolos pares, para } q=0, \dots, N_{\max}-1$$

$$y_q = y'_{H(q)} \text{ para símbolos ímpares, para } q=0, \dots, N_{\max}-1$$

Receptor

A Figura 8 proporciona uma ilustração exemplar de um receptor que se pode usar com a técnica presente. Como se mostra na Figura 8, um sinal COFDM é recebido por uma antena 300 e detectado por um sintonizador 302, e convertido para a forma digital por um conversor 304 de analógico para digital. Um processador 306 de supressão de intervalo de retenção suprime o intervalo de retenção de um símbolo COFDM recebido, antes que os dados sejam recuperados do símbolo COFDM, usando um processador 308 de transformação rápida de Fourier (FFT) ("Fast Fourier Transform"), em combinação com um circuito 310 de estimativa e correcção de canais, em cooperação com uma unidade descodificadora 311 de sinalização de parâmetros de transmissão (TPS) ("Transmission Parameter Signalling"),

segundo técnicas conhecidas. Os dados desmodulados são recuperados de um descorrelacionador 312 e fornecidos a um desintercalador interior 314 de símbolos, que funciona para efectuar a correlação inversa do símbolo de dados recebido, com o fim de regenerar uma corrente de dados de saída com os dados desintercalados.

O desintercalador 314 de símbolos é formado por meio de um aparelho de processamento de dados, como se mostra na Figura 9, com uma memória intercaladora 340 e um gerador 342 de endereços. A memória intercaladora é como mostrada na Figura 4 e funciona, como já se explicou anteriormente, para efectuar a desintercalação utilizando conjuntos de endereços gerados pelo gerador 342 de endereços. O gerador 342 de endereços é formado como se mostra na Figura 7, e é disposto para gerar correspondentes endereços com o fim de correlacionar os símbolos de dados recuperados de cada sinal subportador COFDM, numa corrente de dados de saída.

As restantes partes do receptor COFDM mostrado na Figura 8 são dispostas para efectuar descodificação de correcção de erros e desintercalação, com o fim de corrigir erros e recuperar uma estimativa dos dados da fonte. Em particular, um desintercalador 316 de código interior e um descodificador interior 318 funcionam para efectuar a descodificação do código convolucional interior introduzido pelo intercalador interior 30 e pelo codificador interior 28 do transmissor mostrado na Figura 1. Um desintercalador

exterior 320 e um descodificador exterior 322 funcionam para efectuar a descodificação do código Reed-Solomon com o fim de recuperar uma estimativa dos dados provenientes da fonte 1, depois de ser desmisturada por um desmisturador 324.

Uma vantagem proporcionada pela presente técnica, tanto para o receptor como para o transmissor, é que um intercalador de símbolos e um desintercalador de símbolos, que funcionam nos receptores e transmissores, podem-se comutar entre o modo 2k, o 8k e o 4k mudando os polinómios geradores e a ordem de permutação. Portanto, proporciona-se uma realização prática flexível porque o intercalador e o desintercalador de símbolos podem estar formados como se mostra nas Figuras 4 e 9, com um gerador de endereços como o ilustrado em qualquer das Figuras 5, 6 ou 7. Portanto, o gerador de endereços pode-se adaptar aos diferentes modos mudando os polinómios geradores e as ordens de permutação indicados para cada um dos modos 2k, 4k e 8k. Por exemplo, isto pode efectuar-se usando uma mudança de programação por software. Alternativamente, em outras realizações, um sinal TPS incorporado, que indica o modo da transmissão DVB-T (transmissão de vídeo digital terrestre), pode ser detectado no receptor, na unidade 311 de processamento de canais TPS, e usado para configurar automaticamente o desintercalador de símbolos de acordo com o modo detectado.

Às realizações descritas anteriormente pode-se efectuar várias modificações sem que se afastem do âmbito

da presente invenção. Em particular, a representação exemplar do polinómio gerador e da ordem de permutação que foram usados para representar aspectos da invenção não se destina a ser limitativa e estende-se a formas equivalentes do polinómio gerador e da ordem de permutação.

Como se observará, o transmissor e o receptor mostrados nas Figuras 1 e 8, respectivamente, contribuem unicamente como ilustrações e não estão destinados a ser limitativos. Por exemplo, observar-se-á que se pode mudar a posição do intercalador de símbolos e do desintercalador de símbolos com respeito, por exemplo, ao intercalador de bits e ao correlacionador e descorrelacionador. Como se observará, o efeito do intercalador e do desintercalador não muda pela sua posição relativa, embora o intercalador possa estar a intercalar símbolos I/Q (em fase / em quadratura) em lugar de vectores de v-bits. Uma mudança correspondente pode ser efectuada no receptor. Por conseguinte, o intercalador e o desintercalador podem estar trabalhando sobre diferentes tipos de dados, e podem estar situados de maneira diferente da posição descrita nas realizações exemplares.

Como se mencionou anteriormente, realizações da presente invenção encontram aplicação com normas DVB, tais como DVB-T e DVB-H. Por exemplo, realizações da presente invenção podem usar-se num transmissor ou receptor que funcionem de acordo com a norma DVB-H em terminais móveis portáteis. Os terminais móveis podem estar integrados com

telefones móveis (quer seja da segunda, terceira ou superior geração) ou assistentes digitais pessoais, ou computadores pessoais tipo ardósia, por exemplo. Os referidos terminais móveis podem ser capazes de receber sinais compatíveis DVB-H ou DVB-T dentro de edifícios ou em movimento, por exemplo, em automóveis ou comboios, inclusivamente a velocidades elevadas. Os terminais móveis podem ser alimentados, por exemplo, por meio de baterias, redes de electricidade ou fontes de alimentação de C.C. de baixa voltagem, ou alimentados por meio de uma bateria de automóvel. Os serviços que podem ser proporcionados pela norma DVB-H podem incluir voz, mensagens, pesquisa na Internet, rádio, imagens de vídeo estáticas e/ou em movimento, serviços de televisão, serviços interactivos, vídeo ou vídeo imediato a pedido. Os serviços poderiam funcionar uns em combinação com outros. Observar-se-á que a presente invenção não está limitada à aplicação com a norma DVB, e pode estender-se a outras normas para transmissão ou recepção, tanto fixas como móveis.

Referências

[1] EN 300 744, "Framing structure, channel coding and modulation for digital terrestrial television", ETSI (European Telecommunication Standard Institute).

Lisboa, 9 de Dezembro de 2008

REIVINDICAÇÕES

1. Um transmissor para transmitir dados usando símbolos OFDM de multiplexação por divisão ortogonal de frequência, o transmissor incluindo um aparelho de processamento de dados que funciona para correlacionar símbolos de entrada que têm de ser comunicados para um número predeterminado de sinais portadores de um símbolo OFDM multiplexado por divisão ortogonal de frequência, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadores OFDM, o aparelho de processamento de dados compreendendo

uma memória intercaladora, que funciona para introduzir em si o número predeterminado de símbolos de dados que têm de ser correlacionados nos sinais portadores OFDM, e ler os símbolos de dados para os portadores OFDM com o fim de efectuar a correlação, fazendo-se a leitura numa ordem diferente da ordem da introdução, estando determinada a ordem mediante um conjunto de endereços, com o efeito de que os símbolos de dados são intercalados nos sinais portadores,

um gerador de endereços, que funciona para gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de entrada, com o fim de indicar um dos sinais portadores no qual se tem de correlacionar o símbolo

de dados, o gerador de endereços compreendendo

um registo de deslocamento linear com re-
alimentação, que inclui um número predeterminado de etapas
de registo, e que funciona para gerar uma sequência pseudo-
aleatória de bits de acordo com um polinómio gerador,

um circuito de permutação, que funciona para
receber o conteúdo das etapas de registo de deslocamento e
permutar os bits presentes nas etapas de registo de acordo
com uma ordem de permutação, com o fim de formar um
endereço de um dos portadores OFDM, e

uma unidade de controlo, que funciona em
combinação com um circuito de comprovação de endereços,
para regenerar um endereço quando um endereço gerado excede
o número predeterminado de portadores,

caracterizado por

o transmissor poder ser comutado entre os modos
de funcionamento 2k, 4k e 8k, e por, para o modo 4k,

o número predeterminado de sinais portadores OFDM
ser três mil e vinte e quatro,

o registo de deslocamento linear com re-
alimentação ter onze etapas de registo com um polinómio
gerador para o registo de deslocamento linear com re-

alimentação, de $R'_i[10] = R'_{i-1}[0] + R'_{i-1}[2]$, e a ordem de permutação formar um endereço $R_i[n]$ de onze bits para o símbolo de dado de ordem i do bit presente na i -ésima etapa de registo, $R'_i[n]$, de acordo com a tabela:

$R'_i[n]$ para n	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n	7	10	5	8	1	2	4	9	0	3	6

2. Um transmissor de acordo com a reivindicação 1, caracterizado por a memória intercaladora funcionar para efectuar a correlação dos símbolos de dados de entrada nos sinais portadores, para símbolos OFDM pares introduzindo os símbolos de dados de acordo com o conjunto de endereços gerado pelo gerador de endereços e lendo-os numa ordem sequencial, e para símbolos OFDM ímpares introduzindo os símbolos na memória numa ordem sequencial e lendo os símbolos de dados da memória de acordo com o conjunto de endereços gerado pelo gerador de endereços.

3. Um transmissor de acordo com a reivindicação 1, caracterizado por o transmissor funcionar para transmitir dados de acordo com a norma de transmissão de vídeo digital terrestre (DVB-T) ou com a norma de transmissão de vídeo digital portátil (DVB-H).

4. Um receptor para receber dados de sinais modulados mediante multiplexação por divisão ortogonal de frequência (OFDM), o receptor incluindo um aparelho de processamento de dados que funciona para correlacionar

símbolos recebidos de um número predeterminado de sinais portadores de um símbolo OFDM multiplexado por divisão ortogonal de frequência numa corrente de símbolos de saída, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadores OFDM, o aparelho de processamento de dados compreendendo

uma memória desintercaladora, que funciona para introduzir o número predeterminado de símbolos de dados dos sinais portadores OFDM, e para ler os símbolos de dados na corrente de símbolos de saída para efectuar a correlação, fazendo-se a leitura numa ordem diferente da ordem da introdução, estando determinada a ordem mediante um conjunto de endereços, com o efeito de que os símbolos de dados são desintercalados dos sinais portadores OFDM,

um gerador de endereços, que funciona para gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de dados recebidos, com o fim de indicar o sinal portador OFDM do qual o símbolo de dados recebido se tem de correlacionar na corrente de símbolos de saída, o gerador de endereços compreendendo

um registo de deslocamento linear com re-alimentação, que inclui um número predeterminado de etapas de registo e que funciona para gerar uma sequência pseudo-aleatória de bits de acordo com um polinómio gerador,

um circuito de permutação, que funciona para receber o conteúdo das etapas de registo de deslocamento e permutar os bits presentes nas etapas de registo de acordo com uma ordem de permutação, com o fim de formar um endereço de um dos portadores OFDM, e

uma unidade de controlo, que funciona em combinação com um circuito de comprovação de endereços, para regenerar um endereço quando um endereço gerado excede o número predeterminado de portadores,

caracterizado por

o receptor poder ser comutado entre os modos de funcionamento 2k, 4k e 8k, e por, para o modo 4k,

o número predeterminado de sinais portadores OFDM ser três mil e vinte e quatro,

o registo de deslocamento linear com realimentação ter onze etapas de registo com um polinómio gerador para o registo de deslocamento linear com realimentação, de $R'_i[10] = R'_{i-1}[0] + R'_{i-1}[2]$, e a ordem de permutação formar um endereço $R_i[n]$ de onze bits para o símbolo de dados de ordem i do bit presente na enésima etapa de registo $R'_i[n]$, de acordo com a tabela:

$R'_i[n]$ para n	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n	7	10	5	8	1	2	4	9	0	3	6

5. Um receptor de acordo com a reivindicação 4, caracterizado por a memória desintercaladora ser disposta para efectuar a correlação dos símbolos de dados recebidos dos sinais portadores, na corrente de dados de saída, para símbolos OFDM pares introduzindo os símbolos de dados de acordo com uma ordem sequencial e lendo os símbolos de dados da memória de acordo com o conjunto de endereços gerado pelo gerador de endereços, e para símbolos OFDM ímpares introduzindo os símbolos na memória de acordo com o conjunto de endereços gerado pelo gerador de endereços e lendo os símbolos de dados da memória de acordo com uma ordem sequencial.

6. Um receptor de acordo com a reivindicação 4, caracterizado por o receptor funcionar para receber dados que foram modulados de acordo com a norma de transmissão de vídeo digital terrestre ou com a norma de transmissão de vídeo digital portátil.

7. Um método para transmitir dados usando multiplexação por divisão ortogonal de frequência OFDM, compreendendo

correlacionar símbolos de entrada que têm de ser comunicados para um número predeterminado de sinais

portadores de um símbolo multiplexado por divisão ortogonal de frequência, OFDM, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadores OFDM, a correlação compreendendo

introduzir o número predeterminado de símbolos de dados para serem correlacionados nos sinais portadores OFDM,

ler os símbolos de dados para os portadores OFDM, com o fim de efectuar a correlação, fazendo-se a leitura numa ordem diferente da ordem da introdução, estando determinada a ordem mediante um conjunto de endereços, com o efeito de que os símbolos de dados são intercalados nos sinais portadores,

gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos de entrada, com o fim de indicar um dos sinais portadores no qual se tem de correlacionar o símbolo de dados, a geração do conjunto de endereços compreendendo

usar um registo de deslocamento linear com realimentação que inclui um número predeterminado de etapas de registo, para gerar uma sequência pseudo-aleatória de bits de acordo com um polinómio gerador,

usar um circuito de permutação que funciona para receber o conteúdo das etapas de registo de deslocamento e

permutar os bits presentes nas etapas de registo de acordo com uma ordem de permutação, com o fim de formar um endereço, e

regenerar um endereço quando um endereço gerado excede o número predeterminado de portadores,

caracterizado por

comutar de um modo de funcionamento 2k, ou de um modo de funcionamento 8k, para um modo de funcionamento 4k, em que

o número predeterminado de sinais portadores OFDM é três mil e vinte e quatro,

o registo de deslocamento linear com realimentação tem onze etapas de registo com um polinómio gerador para o registo de deslocamento linear com realimentação, de $R'_i[10] = R'_{i-1}[0] + R'_{i-1}[2]$, e a ordem de permutação forma um endereço $R_i[n]$ de onze bits para o símbolo de dados de ordem i do bit presente na enésima etapa de registo $R'_i[n]$, de acordo com a tabela:

$R'_i[n]$ para n	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n	7	10	5	8	1	2	4	9	0	3	6

8. Um método para receber dados usando multiplexação por divisão ortogonal de frequência OFDM, compreendendo

correlacionar símbolos recebidos de um número predeterminado de sinais portadores de um símbolo multiplexado por divisão ortogonal de frequência, OFDM, numa corrente de símbolos de saída, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadores OFDM, a correlação compreendendo

introduzir o número predeterminado de símbolos de dados dos sinais portadores OFDM,

ler os símbolos de dados na corrente de símbolos de saída, para efectuar a correlação, fazendo-se a leitura numa ordem diferente da ordem da introdução, estando determinada a ordem mediante um conjunto de endereços, com o efeito de que os símbolos de dados são desintercalados dos sinais portadores OFDM,

gerar o conjunto de endereços, sendo gerado um endereço para cada um dos símbolos recebidos, com o fim de indicar o sinal portador OFDM, do qual o símbolo de dados recebido tem de ser correlacionado na corrente de símbolos de saída, a geração do conjunto de endereços compreendendo

usar um registo de deslocamento linear com

realimentação que inclui um número predeterminado de etapas de registo, para gerar uma sequência pseudo-aleatória de bits de acordo com um polinómio gerador,

usar um circuito de permutação para receber o conteúdo das etapas de registo de deslocamento, e permutar os bits presentes nas etapas de registo de acordo com uma ordem de permutação, com o fim de formar um endereço, e

regenerar um endereço quando um endereço gerado excede o número predeterminado de portadores,

caracterizado por

comutar de um modo de funcionamento 2k, ou de um modo de funcionamento 8k, para um modo de funcionamento 4k, em que

o número predeterminado de sinais portadores OFDM é três mil e vinte e quatro,

o registo de deslocamento linear com realimentação tem onze etapas de registo com um polinómio gerador, para o registo de deslocamento linear com realimentação, de $R'_i[10] = R'_{i-1}[0] + R'_{i-1}[2]$, e a ordem de permutação forma um endereço $R_i[n]$ de onze bits para o símbolo de dado de ordem i do bit presente na enésima etapa de registo $R'_i[n]$, de acordo com a tabela:

$R'_i[n]$ para n	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n	7	10	5	8	1	2	4	9	0	3	6

9. Um gerador de endereços para usar com a transmissão ou recepção de símbolos de dados intercalados em sub-portadores de um símbolo multiplexado por divisão ortogonal de frequência, OFDM, de acordo com uma pluralidade de modos de funcionamento diferentes, cada um dos quais proporciona um número diferente de portadores OFDM, o gerador de endereços funcionando para gerar um conjunto de endereços, sendo gerado cada endereço para cada um dos símbolos de dados, com o fim de indicar um dos sinais portadores no qual tem de ser correlacionado o símbolo de dados, o gerador de endereços compreendendo

um registo de deslocamento linear com re-alimentação, que inclui um número predeterminado de etapas de registo, e que funciona para gerar uma sequência pseudo-aleatória de bits de acordo com um polinómio gerador,

um circuito de permutação, que funciona para receber o conteúdo das etapas de registo de deslocamento, e permutar os bits presentes nas etapas de registo de acordo com uma ordem de permutação, com o fim de formar um endereço, e

uma unidade de controlo, que funciona em combinação com um circuito de comprovação de endereços,

para regenerar um endereço quando um endereço gerado excede o número predeterminado de portadores,

caracterizado por

o gerador de endereços ser comutável entre modos de funcionamento 2k, 4k e 8k, e por, para o modo 4k,

o número predeterminado de portadores ser três mil e vinte e quatro,

o registo de deslocamento linear com realimentação ter onze etapas de registo com um polinómio gerador para o registo de deslocamento linear com realimentação, de $R'_i[10] = R'_{i-1}[0] + R'_{i-1}[2]$, e a ordem de permutação formar um endereço $R_i[n]$ de onze bits para o símbolo de dados de ordem i do bit presente na enésima etapa de registo $R'_i[n]$, de acordo com a tabela:

$R'_i[n]$ para n	10	9	8	7	6	5	4	3	2	1	0
$R_i[n]$ para n	7	10	5	8	1	2	4	9	0	3	6

Lisboa, 9 de Dezembro de 2008

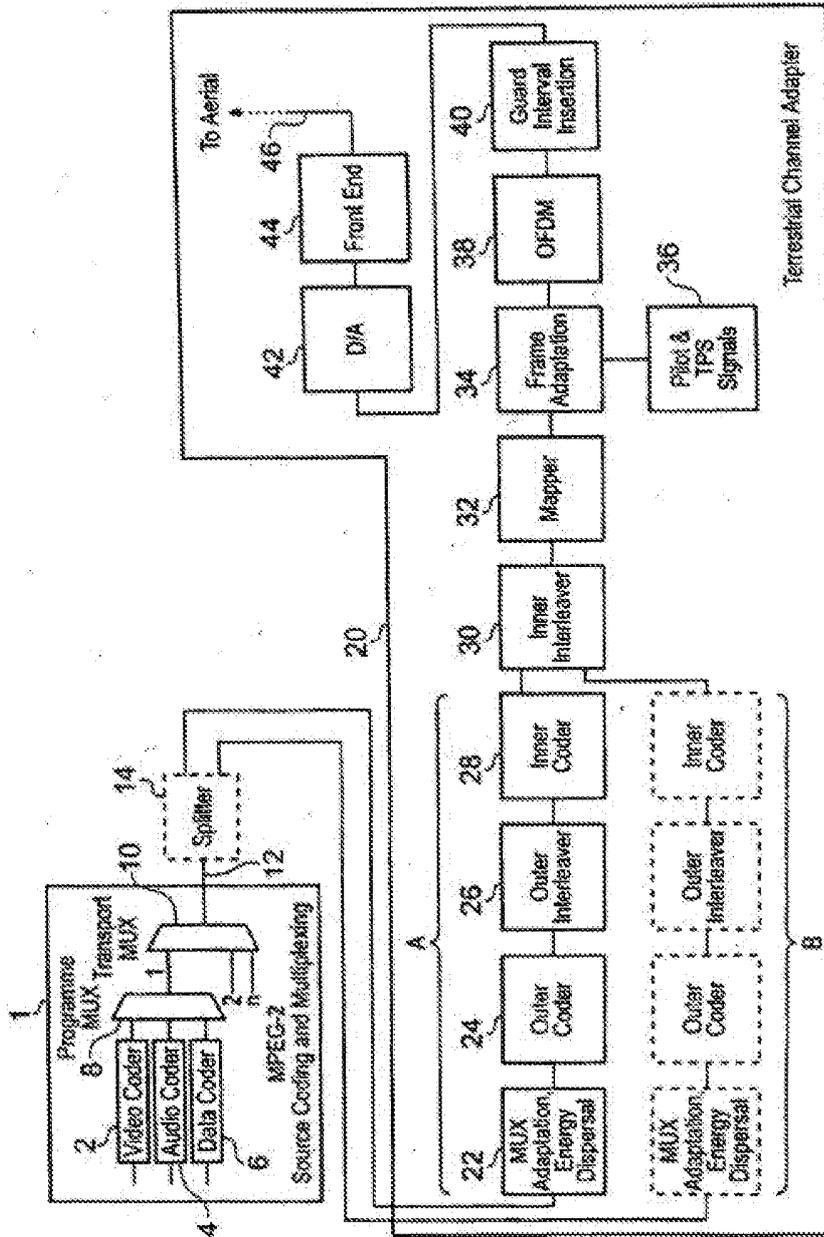


Fig. 1

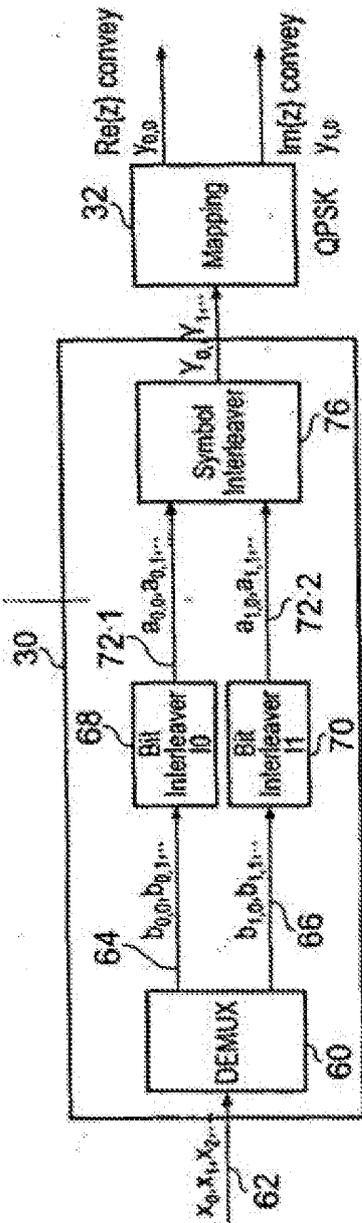


Fig. 2

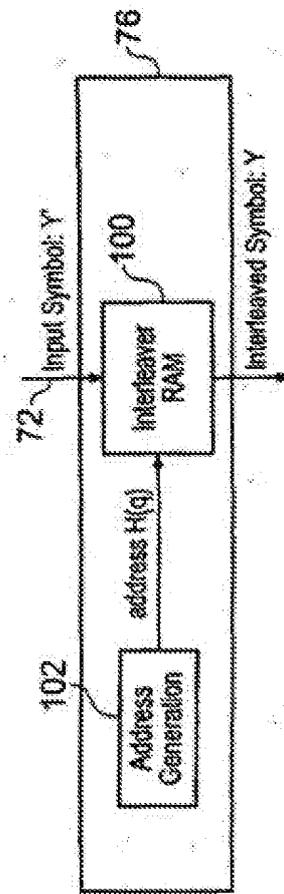


Fig. 3

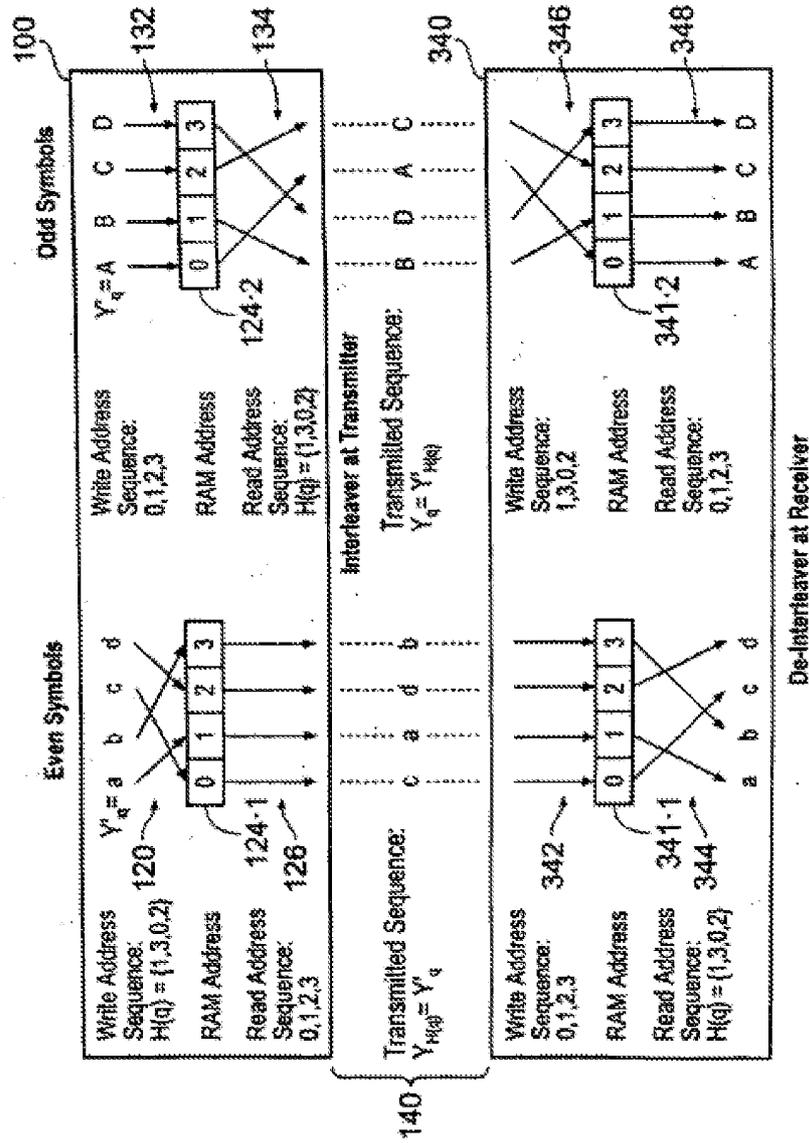


Fig. 4

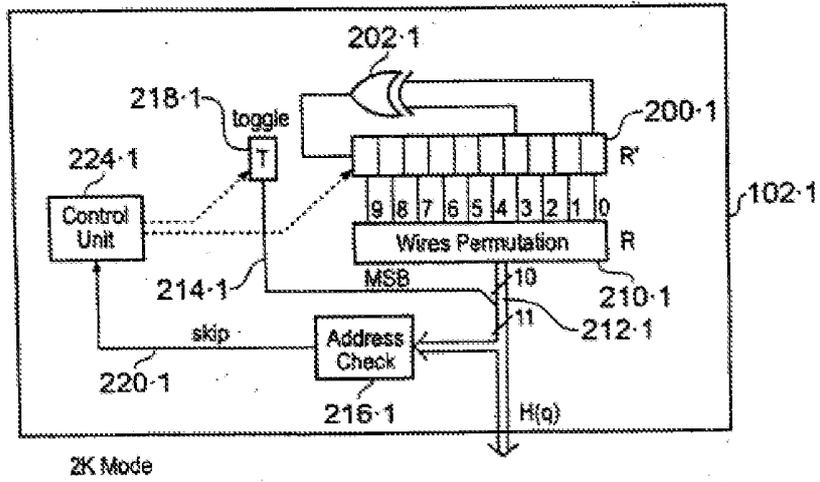


Fig. 5

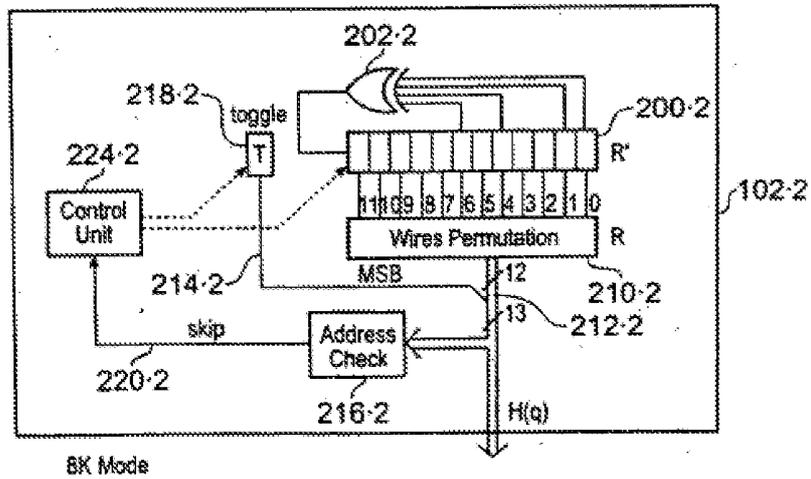


Fig. 6

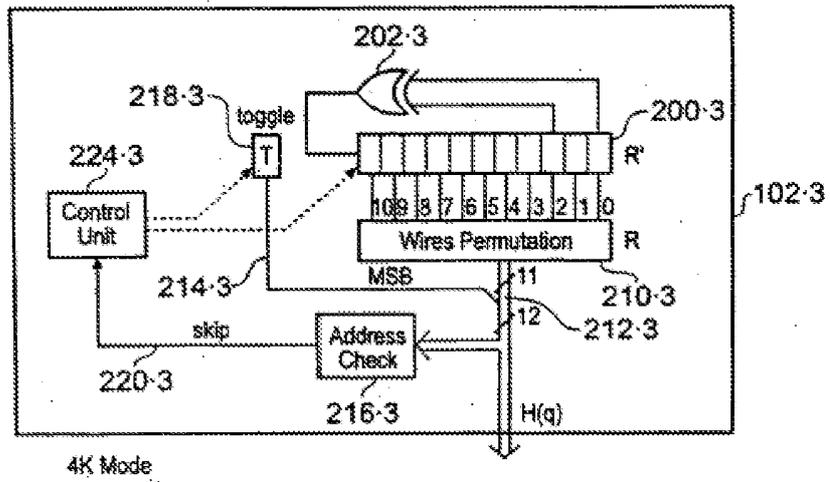
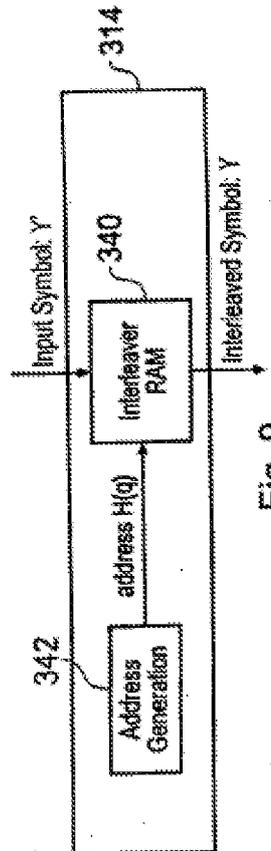
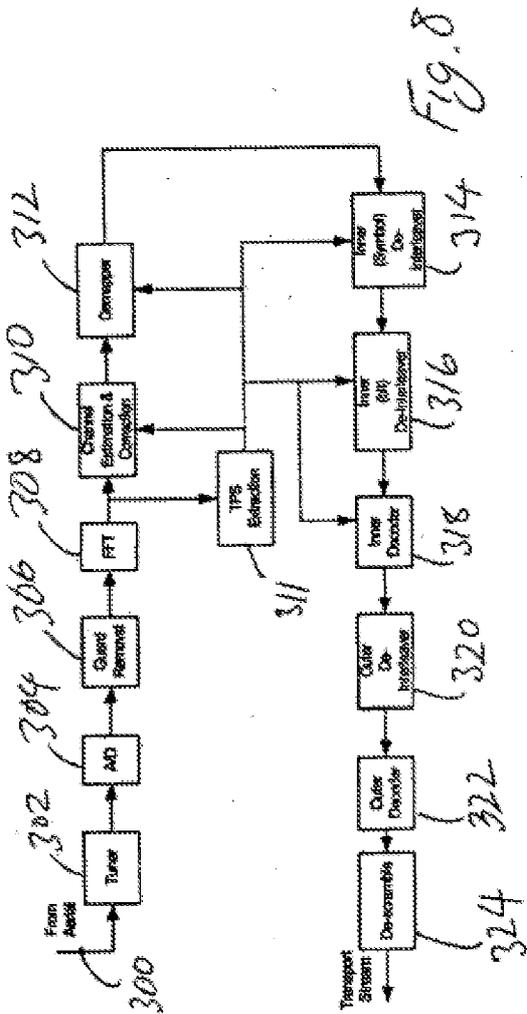


Fig. 7



LEGENDAS DOS DESENHOSFig. 1

- 1 Codificação e multiplex (MUX) de fonte
- 2 Codificador de vídeo
- 4 Codificador de áudio
- 6 Codificador de dados
- 14 Divisor
- 22 MUX adaptação, dispersão de energia
- 24 Codificador exterior
- 26 Intercalador exterior
- 28 Codificador interior
- 30 Intercalador interior
- 32 Correlacionador
- 34 Adaptação de trama
- 36 Sinais piloto e TPS
- 40 Inserção de intervalo de retenção
- 44 Extremidade frontal
- 46 Para antena

Fig. 2

- 32 Correlação
- 60 Desmultiplexador (DEMUX)
- 68 Intercalador de bits
- 76 Intercalador de símbolos
- a) Transporte

Fig. 3

- 72 Símbolo entrada, símbolo intercalado
- 102 Geração de endereços
- a) Endereço $H(q)$

Fig. 4

- a) Símbolos pares
- b) Símbolos ímpares
- c) Escrever sequência de endereços
- d) Ler sequência de endereços
- e) Intercalador no transmissor
- f) Sequência transmitida
- g) Desintercalador no receptor

Figs. 5, 6 e 7

- 210.1/2/3 Permutação de fios
- 216.1/2/3 Comprovação de endereços
- 218.1/2/3 Comutador
- 220.1/2/3 Ligação
- 224.1/2/3 Unidade de controlo

Fig. 8

- 302 Sintonizador
- 306 Supressão de intervalo de retenção
- 310 Estimativa e correcção
- 311 Extração
- 312 Descorrelacionador
- 320 Desintercalador
- 322 Descodificador

324 Recuperador de conversão aleatória

Fig. 9

342 Geração de endereços

a) Endereço $H(q)$