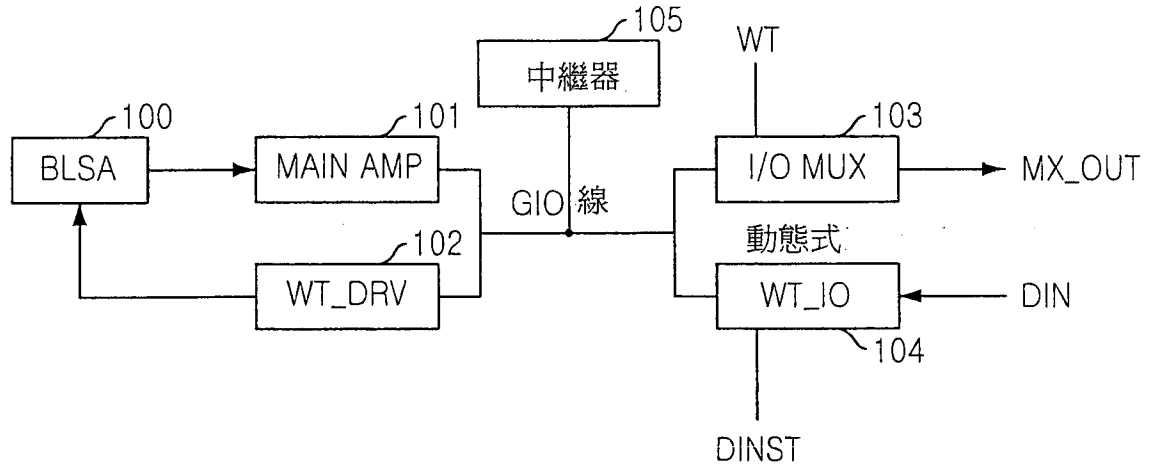
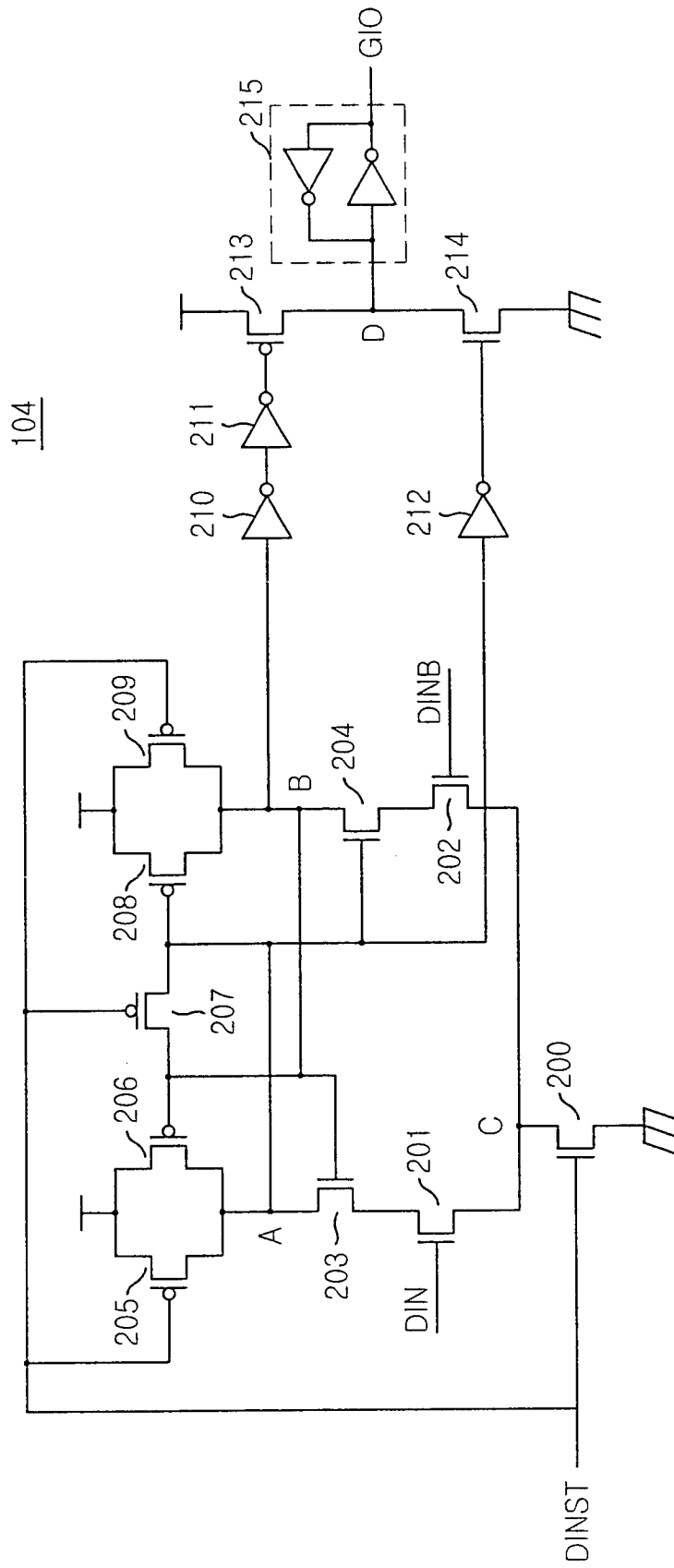


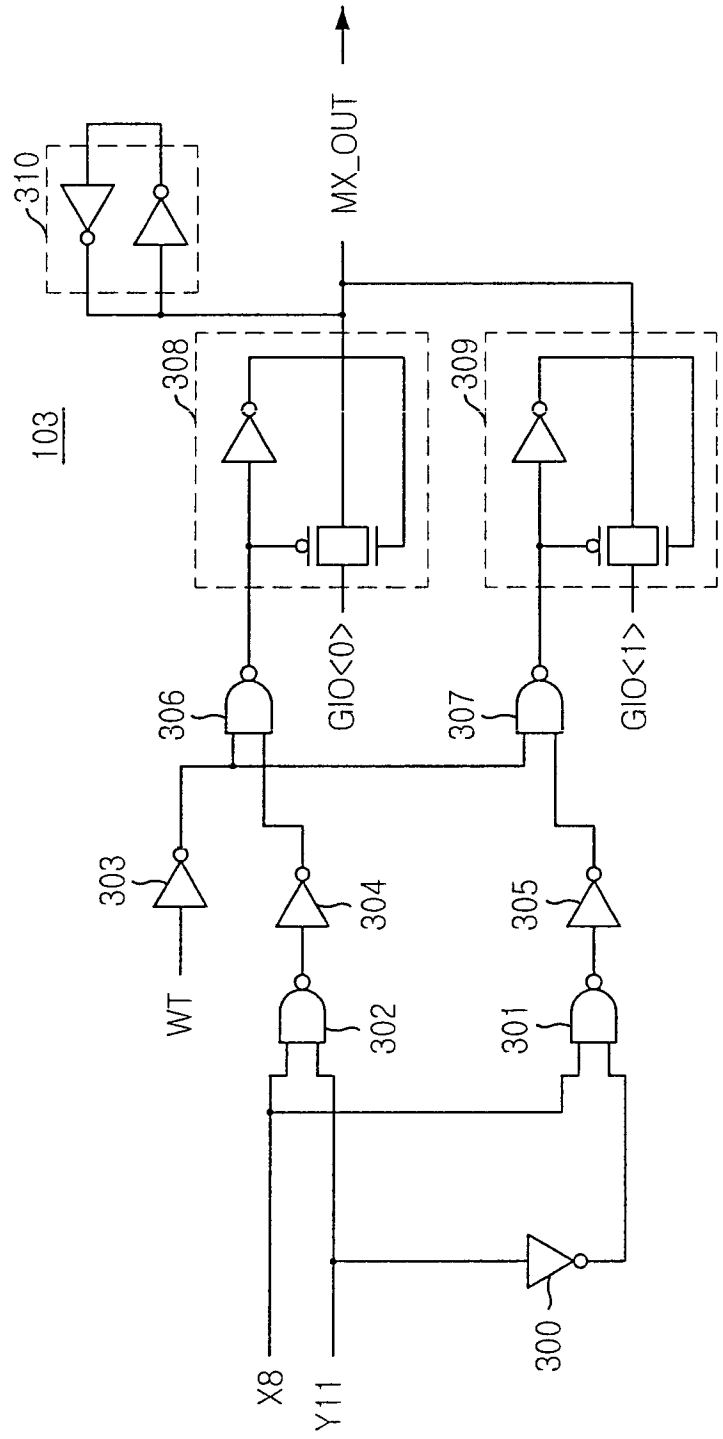
第 1 圖



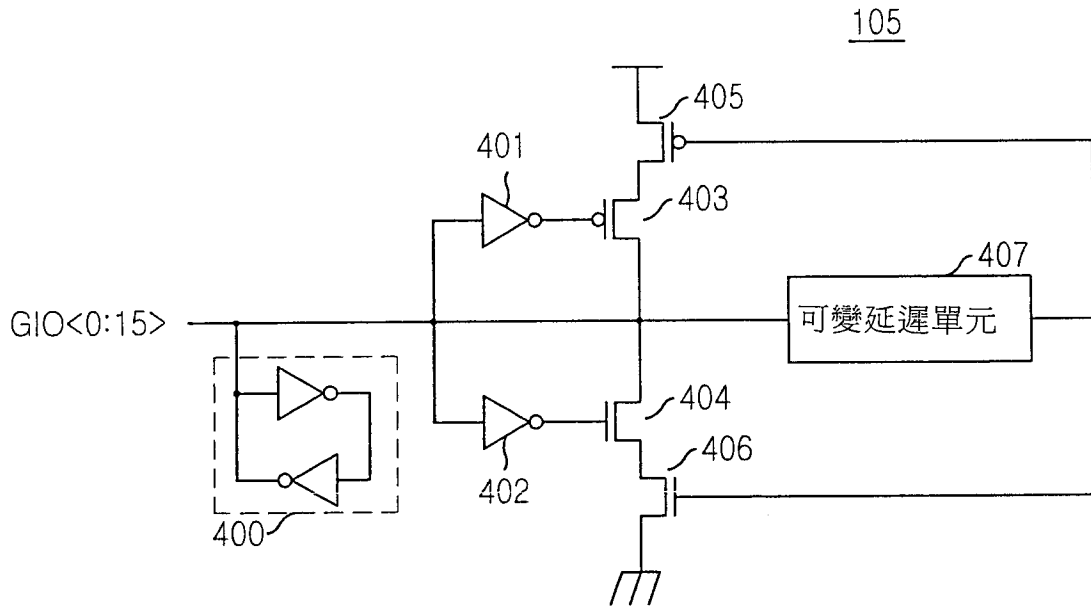
第 2 圖



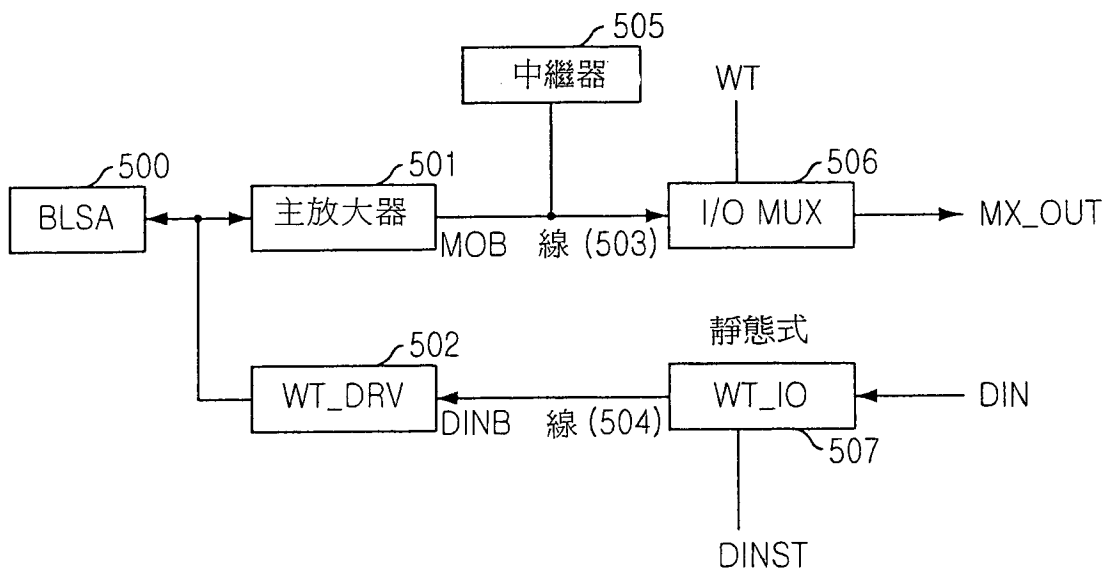
第 3 圖



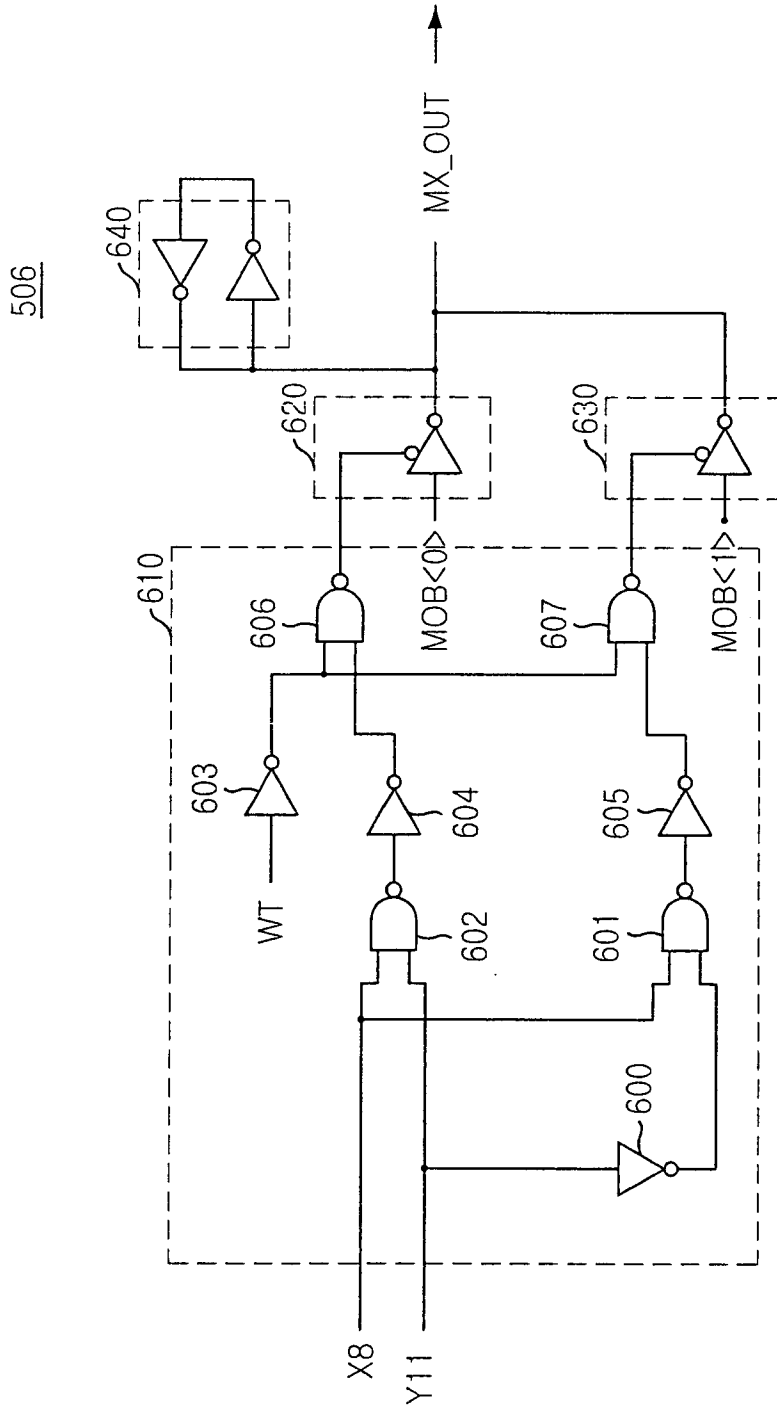
第 4 圖



第 5 圖



第 6 圖



I312158

公告本

年 月 日修正本
98.2.24

發明專利說明書

(2009年2月修正)

※申請案號：92137420

※申請日期：92.12.30

※IPC分類：G11C 7/10 (2006.01)

壹、發明名稱：(中文/英文)

具有修改之全局輸入/輸出架構的半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE WITH MODIFIED GLOBAL

INPUT/OUTPUT SCHEME

貳、申請人：(共1人)

姓名或名稱：(中文/英文)(簽章) ID：

海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)(簽章)

鄭東洙

CHUNG, DONG-SOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do, 467-860, Republic of Korea

國籍：(中文/英文)

大韓民國

Republic of Korea

參、發明人：(共 1 人)

姓名：(中文/英文) ID：

具岐峰

KU, KIE-BONG

住居所地址：(中文/英文)

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do, 467-860, Republic of Korea

國籍：(中文/英文)

大韓民國

Republic of Korea

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 大韓民國 2003.05.30 2003-34876

2.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

參、發明人：(共 1 人)

姓名：(中文/英文) ID：

具岐峰

KU, KIE-BONG

住居所地址：(中文/英文)

大韓民國京畿道 467-860 利川市夫鉢邑牙美里山 136-1

San 136-1, Ami-ri, Bubal-eub, Ichon-shi, Kyoungki-do, 467-860, Republic of Korea

國籍：(中文/英文)

大韓民國

Republic of Korea

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 大韓民國 2003.05.30 2003-34876

2.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本案係關於一種半導體記憶體裝置，尤指一種具有修改之全局輸入/輸出架構的半導體記憶體裝置。

【先前技術】

在一傳統的半導體記憶體裝置中，一全局輸入/輸出(GIO)線於一讀取程序及一寫入程序中皆會被分享。

第 1 圖係為一傳統的半導體記憶體裝置所具有的一讀取/寫入控制電路之方塊圖。

如圖所示，讀取/寫入控制電路係由一位元線偵測放大器(BLSA)100、一主放大器(MAIN AMP)101、一輸入-輸出多工器(I/O MUX)103、一輸入-輸出寫入單元(WT_IO)104、一寫入驅動器(WT_DRV)102、以及一中繼器(REPEATER)105所構成。

請參閱第 1 圖，同時配合以下針對傳統半導體記憶體裝置的一寫入程序之敘述。

儲存於一記憶體胞元中的資料自位元線偵測放大器(BLSA)100 輸出，所輸出的資料再藉由主放大器(MAIN AMP)101 載入一 GIO 線。

其中，傳統半導體記憶體裝置所具有的 GIO 線的長度一般很長、有時會超過 8000um，因此，主放大器(MAIN AMP)101 必須操作 GIO 線，然而，GIO 線上的電子負載過高使得 GIO 線上的信號速度變慢，因此，中繼器(REPEATER)105 須連接於 GIO 線。

之後，載於 GIO 線上的資料被輸入於輸入-輸出多工

器 (I/O MUX)103，再輸出於一資料輸出緩衝器 (圖中未示出)，其中，輸入-輸出多工器 (I/O MUX)103 係用以藉由一資料寬度、並自 X4、X8、和 X16 之中選擇一資料模式，另外也用於一平行測試模式。

以下所述則為第 1 圖之寫入程序。

欲儲存於記憶體胞元中的資料先透過一輸入驅動器 (圖中未示出)輸入於輸入-輸出寫入單元 (WT_IO)104，輸入-輸出寫入單元 (WT_IO)104 放大輸入的資料並輸出於 GIO 線，接著，載於 GIO 線上的資料透過寫入驅動器 (WT_DRV)102 和位元線偵測放大器 (BLSA)100 而儲存於記憶體胞元。

如上所述，在傳統的半導體記憶體裝置中，GIO 線是分享於寫入程序和讀取程序，並且中繼器 (REPEATER)105 係包含於 GIO 線之中，然而，如果中繼器 (REPEATER)105 對於雜訊敏感，則中繼器 (REPEATER)105 在轉換載於 GIO 線上的資料時便可能發生錯誤。

第 2 圖是第 1 圖之輸入-輸出寫入單元 (WT_IO)104 的電路圖。

如圖所示，輸入-輸出寫入單元 (WT_IO)104 係由第一至第五 PMOS 電晶體 205~209、一第六 PMOS 電晶體 213、第一至第五 NMOS 電晶體 200~204、一第六 NMOS 電晶體 214、第一至第三反相器 210~212、以及一閃鎖器 215 所構成。

第一 PMOS 電晶體係連接於一電源供應電壓和一第一節點 A 之間，其閘極接收一資料輸入選通信號 DINST，第

二 PMOS 電晶體 206 係連接於電源供應電壓和第一節點 A 之間，其閘極連接於一第二節點 B，第四 PMOS 電晶體 208 係連接於電源供應電壓和第二節點 B 之間，其閘極連接於第一節點 A。

第五 PMOS 電晶體 209 係連接於電源供應電壓和第二節點 B 之間，其閘極接收資料輸入選通信號 DINST，第三 PMOS 電晶體 207 係連接於第一節點 A 和第二節點 B 之間，其閘極接收資料輸入選通信號 DINST。

第四 NMOS 電晶體 203 的汲極係連接於第一節點 A，其閘極係連接於第二節點 B，第二 NMOS 電晶體 201 係連接於第四 NMOS 電晶體 203 的源極和一第三節點 C 之間，其閘極接收一主資料輸入信號 DIN，第五 NMOS 電晶體 204 的汲極係連接於第二節點 B，其閘極係連接於第一節點 A。

第三 NMOS 電晶體 202 係連接於第五 NMOS 電晶體 204 的源極和第三節點 C 之間，其閘極係連接於一副資料輸入信號 DINB，第一 NMOS 電晶體 200 係連接於第三節點 C 和地之間，其閘極接收資料輸入選通信號 DINST。

第一反相器 210 係將自第二節點 B 輸出的一信號反相，第二反相器 211 將此信號再次反相，而第三反相器 212 將自節點 A 輸出的一信號反相。

第六 PMOS 電晶體 213 係連接於電源供應電壓和一第四節點 D 之間，並接收來自於第二反相器 211 的一信號，第六 NMOS 電晶體 214 係連接於第四節點 D 和地之間，其閘極接收來自於第三反相器 212 的一信號，而門鎖器 215 係用以輸出由第四節點 D 輸出的一信號。

輸入-輸出寫入單元(WT_IO)104 係根據資料輸入選通信號 DINST 而運作，其運作方式如下所述。

當資料輸入選通信號 DINST 被鈍化而成爲一邏輯低電位時，第一 NMOS 電晶體 200 截止，而第一和第五 PMOS 電晶體 205 和 209 導通，藉此節點 A 和 B 皆變爲一邏輯高電位。

因此，第一反相器 210 和第三反相器 212 的輸入信號亦皆爲一邏輯高電位，接著，第六 PMOS 電晶體 213 和第六 NMOS 電晶體 214 截止，此時輸入-輸出寫入單元(WT_IO)104 即禁能，因此 GIO 線未載有任何資料。

另一方面，當資料輸入選通信號 DINST 被活化且主、副資料輸入信號 DIN 和 DINB 被輸入時，由於第二 NMOS 電晶體 201 導通的關係第一節點 A 的一電壓電位開始降低，其中，主資料輸入信號 DIN 爲一邏輯高電位且副資料輸入信號 DINB 爲一邏輯低電位。

然而，由於第三 NMOS 電晶體 202 的閘極接收邏輯低電位的副資料輸入信號 DINB，因此第二節點 B 的一電壓電位不會降低而保持在邏輯高電位，此外，隨著第一節點 A 的電壓降低，第四 PMOS 電晶體 208 導通且第五 NMOS 電晶體 204 截止，藉此第二節點 B 的電壓電位即升高。

因此，當第二節點 B 的電壓電位升高時，第四 NMOS 電晶體 203 即急速導通且第二 PMOS 電晶體 206 急速截止，其中第一節點 A 的電壓急速降低。

接著，第一節點 A 爲一邏輯低電位且第三反相器 212 的輸出爲一邏輯高電位，藉此第六 NMOS 電晶體 214 即導

通，因此，由於第二節點 B 爲一邏輯高電位且第二反相器的輸出亦爲一邏輯高電位，第六 PMOS 電晶體 213 會截止，因此，GIO 線的輸出爲一邏輯低電位，這代表了副資料輸入信號 DINB 上的邏輯低電位資料係經由 GIO 線以一邏輯低電位資料的型態而輸出。

另一方面，當主資料輸入信號 DIN 爲一邏輯低電位且副資料輸入信號 DINB 爲一邏輯高電位時，GIO 線的輸出即爲一邏輯高電位，其中，資料輸入選通信號 DINST 仍爲一邏輯高電位。

然而，輸入-輸出寫入單元(WT_IO)104 會產生一個問題，即其會消耗過多功率，且其應以對稱方式佈局。

第 3 圖係爲輸入-輸出多工器(I/O MUX)103 的一電路圖，此中多工器是 X8 模式。

如圖所示，輸入-輸出多工器(I/O MUX)103 係由一第四反相器 300、第五至第七反相器 303~305、第一和第二反及閘(NAND GATE)301 和 302、第三和第四反及閘 306 和 307、第一和第二傳輸閘(TRANSFERRING GATE)308 和 309、以及一第二閃鎖器 310 所構成。

第四反相器 300 接收一位址信號 Y11、將 Y11 反相、再輸出 Y11，第一反及閘 301 接收一資料-寬度信號 X8 以及來自於第四反相器 300 的輸出，第二反及閘 302 接收資料-寬度信號 X8 以及地址信號 Y11。

第六反相器 304 將來自於第二反及閘 302 的一輸出反相，第七反相器 305 將來自於第一反及閘 301 的一輸出反相，第五反相器 303 接收一寫入信號 WT 並將寫入信號 WT

反相。

第三反及閘 306 接收來自於第五反相器 303 的輸出以及來自於第六反相器 304 的輸出，第四反及閘 307 接收來自於第五反相器 303 的輸出和來自於第七反相器 305 的輸出。

受到來自於第三反及閘 306 的輸出所控制的第一傳輸閘 308 係經由一多工器輸出端 MX_OUT 而輸出一第一資料信號 GIO<0>，受到來自於第四反及閘 307 的輸出所控制的第二傳輸閘 309 係經由多工器輸出端 MX_OUT 而輸出一第二資料信號 GIO<1>，第二門鎖器 310 係連接於多工器輸出端 MX_OUT。

如同上面所提到的，輸入-輸出多工器 (I/O MUX)103 是用於 X8 模式，藉此載於 GIO 線上總資料的一部份資料係經由多工器輸出端 MX_OUT 而被輸出。

那就是說，只有八個來自於總資料信號 GIO<0:15>的資料信號被選出並經由多工器輸出端 MX_OUT 而被輸出，其中標記 GIO<0:15>係代表 GIO<0>，GIO<1>，.....，以及 GIO<15>，八個資料信號中的每個皆是選自於一第一資料信號對 GIO<0:1>，一第二資料信號對 GIO<2:3>，.....，以及一第八資料信號對 GIO<14:15>，位址信號 Y11 係用以於第一至第八資料信號對中的每個選出一資料信號，也就是說，自第一資料信號對 GIO<0:1>選出一資料信號。

當輸入-輸出多工器 (I/O MUX)103 不是處於 X8 模式，多工器輸出端 MX_OUT 即持住一儲存於第二門鎖器 310 之資料，並且於寫入程序中將儲存於第二門鎖器 310 之資料

持住。

寫入信號 WT 在寫入程序中被活化而成爲一邏輯高電位，在讀取程序中卻被鈍化而成爲一邏輯低電位，在 X8 模式中資料-寬度信號 X8 係爲一邏輯高電位，而當輸入-輸出多工器 (I/O MUX)103 不是處於 X8 模式時，資料-寬度信號 X8 則爲一邏輯低電位。

如同上面所描述的，輸入-輸出多工器 (I/O MUX)103 在讀取程序中爲回應位址信號 Y11 而輸出第一資料信號對 GIO<0:1>的其中一個，那就是說，當位址信號 Y11 爲一邏輯高電位，GIO<0>則被選出；然而，當位址信號 Y11 爲一邏輯低電位，GIO<1>則被選出，這對於其他的資料信號對 (即 GIO<2:3>，GIO<4:5>，.....，GIO<14:15>)來說亦有相同的程序。

當寫入信號 WT 在寫入程序中被活化，由於輸入-輸出多工器 (I/O MUX)103 係運作於讀取程序中，故輸入-輸出多工器 (I/O MUX)103 即如前所述般地被禁能，那就是說，當寫入信號 WT 被活化時，來自於第三和第四反及閘 306 和 307 的輸出亦爲一邏輯高電位，藉此第一和第二傳輸閘 308 和 309 即截止，並且多工器輸出端 MX_OUT 將儲存於第二門鎖器 310 中之資料持住。

同樣地，當輸入-輸出多工器 (I/O MUX)103 不是處於 X8 模式時，資料-寬度信號 X8 則被鈍化而成爲一邏輯低電位，藉此來自於第一和第二反及閘 301 和 302 的輸出則爲一邏輯高電位，接著，第一和第二傳輸閘 308 和 309 截止，並且多工器輸出端 MX_OUT 將儲存於第二門鎖器 310

中之資料持住。

以下則為第 1 至第 3 圖的傳統半導體記憶體裝置的讀取和寫入程序。

當傳統半導體記憶體裝置於第 $N-1$ 時脈讀取儲存於一記憶體胞元的一邏輯高電位資料，儲存於記憶體胞元的此邏輯高電位資料即經由位元線偵測放大器 (BLSA)100、主放大器 (MAIN AMP)101、GIO 線、以及輸入-輸出多工器 (I/O MUX)103 而被輸出，其中， N 代表大於 1 的自然數。

由於傳統半導體記憶體裝置處於讀取程序，第一和第二傳輸閘 308 和 309 即導通，藉此載於 GIO 線上的邏輯高電位資料自輸入-輸出多工器 (I/O MUX)103 輸出、以及儲存於第二閘鎖器 310 的資料亦變為一邏輯高電位。

接著，當傳統半導體記憶體裝置於第 N 時脈寫入一邏輯低電位資料於記憶體胞元，此邏輯低電位資料即經由輸入-輸出寫入單元 (WT_IO)104、GIO 線、寫入驅動器 (WT_DRV)102、以及位元線偵測放大器 (BLSA)100 而被儲存於記憶體胞元。

由於傳統半導體記憶體裝置處於寫入程序，寫入信號 WT 即被活化，藉此第一和第二傳輸閘 308 和 309 截止，因此，儲存於第二閘鎖器 310 的資料不會被改變，也就是說，第二閘鎖器 310 仍然保持著儲存於第 $N-1$ 時脈的資料。

之後，當傳統半導體記憶體裝置於第 $N+1$ 時脈讀取儲存於記憶體胞元的一邏輯低電位資料，儲存於記憶體胞元的此邏輯低電位資料即經由位元線偵測放大器 (BLSA)100、主放大器 (MAIN AMP)101、GIO 線、以及輸入

-輸出多工器 (I/O MUX)103 而被輸出。

由於傳統半導體記憶體裝置處於讀取程序，第一和第二傳輸閘 308 和 309 即導通，藉此載於 GIO 線上的邏輯低電位資料自輸入-輸出多工器 (I/O MUX)103 輸出，以及儲存於第二門鎖器 310 的資料亦變為一邏輯低電位。

其中，儲存於第二門鎖器 310 的資料係自邏輯高電位變成邏輯低電位，由於主放大器 (MAIN AMP)101 供應功率給 GIO 線，載於 GIO 線的資料便具有足夠的功率以改變儲存於第二門鎖器 310 之資料的一邏輯電位。

那就是說，即使在讀取程序時 GIO 線和第二門鎖器 310 之間具有電荷分享，受到來自於主放大器 (MAIN AMP)101 之功率供應的 GIO 線仍能改變儲存於第二門鎖器 310 之資料的邏輯電位。

然而，當中繼器 105 爲了增加 GIO 線的一資料傳輸速度而連接於 GIO 線時會發生一問題，中繼器 105 控制一邏輯臨界電壓以增加一信號的一傳輸速度。

第 4 圖係爲傳統半導體記憶體裝置具有的中繼器 105 之電路圖。

如圖所示，中繼器 105 係由一第三門鎖器 400、第八和第九反相器 401 和 402、第七和第八 PMOS 電晶體 403 和 405、第七和第八 NMOS 電晶體 404 和 406、以及一可變延遲單元 407 所構成。

第三門鎖器 400 係連接於 GIO 線，第八和第九反相器 401 和 402 係連接於 GIO 線以將 GIO 線的一信號反相，第八 PMOS 電晶體 405 係連接於電源供應電壓和第七 PMOS

電晶體 403 之間，第七 PMOS 電晶體 403 係連接於第八 PMOS 電晶體 405 之汲極和 GIO 線之間，其閘極接收來自於第八反相器 401 的輸出。

第八 NMOS 電晶體 406 係連接於地和第七 NMOS 電晶體 404 之間，第七 NMOS 電晶體 404 係連接於 GIO 線和第八 NMOS 電晶體 406 的汲極之間，其閘極接收來自於第九反相器 402 的輸出。

可變延遲單元 407 係用以延遲總資料信號 GIO<0:15>，並且輸出此延遲信號至第八 PMOS 電晶體 405 和第八 NMOS 電晶體 406。

第八反相器 401 係為由一 PMOS 電晶體和一 NMOS 電晶體所構成的一 CMOS 電晶體，其中 PMOS 電晶體相對於 NMOS 電晶體的尺寸比率係大約 1.8:30，這個比率使得第八反相器 401 能夠快速地將一信號自一邏輯高電位反相成一邏輯低電位。

同樣地，第九反相器 402 係為由一 PMOS 電晶體和一 NMOS 電晶體所構成的一 CMOS 電晶體，其中 PMOS 電晶體相對於 NMOS 電晶體的尺寸比率係大約 12:1.8，這個比率使得第九反相器 402 能夠快速地將一信號自一邏輯低電位反相成一邏輯高電位。

藉由參閱以上所述中繼器 105 的特性，中繼器 105 的運作原理如下。

為了防止載於 GIO 線上的一信號自一邏輯低電位被轉換成一邏輯高電位，中繼器 105 須以如下之方式運作。

首先，由於載於 GIO 線上的信號係為一邏輯低電位，

藉由第七 PMOS 電晶體 403 之截止，第八反相器 401 的輸出即為一邏輯高電位，同樣地，藉由第七 NMOS 電晶體 404 之導通，第九反相器 402 的輸出亦為一邏輯高電位，而第八 PMOS 電晶體 405 和第八 NMOS 電晶體 406 即截止。

即使第八 PMOS 電晶體 405 和第七 NMOS 電晶體 404 為導通，但因為第七 PMOS 403 和第八 NMOS 電晶體 406 截止，因此載於 GIO 線上的信號仍會保持於一邏輯低電位。

之後，當載於 GIO 線上的信號變為一邏輯高電位，第七 PMOS 電晶體 403 會導通而第七 NMOS 電晶體 404 會截止，此時，由於可變延遲單元 407 會延遲載於 GIO 線上的信號，因此可變延遲單元 407 的輸出仍為一邏輯低電位。

因此，第八 PMOS 電晶體 405 仍會導通而第八 NMOS 電晶體 406 仍會截止，是故，第八 PMOS 電晶體 405 和第七 PMOS 電晶體 403 即導通，藉此載於 GIO 線上的信號即確實地處於一邏輯高電位。

然而，中繼器 105 對於雜訊非常敏感，因此，若載有一邏輯低電位資料的 GIO 線和持有一邏輯高電位資料的第二門鎖器 310 之間發生電荷分享，則載於 GIO 線上的資料會變為一邏輯高電位，不論主放大器 (MAIN AMP) 101 的輸出為何。

那就是說，雖然主放大器 (MAIN AMP) 101 的輸出係為讀取程序中被讀取的資料，儲存於第二門鎖器 310 中的資料會在讀取程序中被錯誤地讀取。

這個錯誤也發生於當載有一邏輯高電位資料之 GIO 線和持有一邏輯低電位資料之第二閃鎖器 310 之間具有一電荷分享之時。

那就是說，如果待讀取之資料以及儲存於第二閃鎖器 310 中之資料係處於不同邏輯電位時，這種錯誤便會發生。

更甚者，當 GIO 線係同時被分享於讀取程序和寫入程序時，這個問題會更加嚴重，以下即為一例。

假設傳統半導體記憶體裝置於第 N-1 時脈讀取一邏輯高電位資料、於第 N 時脈寫入一邏輯高電位資料、以及於第 N+1 時脈讀取一邏輯低電位資料。

由於邏輯高電位資料在第 N-1 時脈被讀取，因此儲存於第二閃鎖器 310 中的資料係為一邏輯高電位，而因為邏輯高電位資料在第 N 時脈被寫入，是故載於 GIO 線上的信號亦為一邏輯高電位。

因此，若邏輯低電位資料在第 N+1 時脈被寫入，由於上面所述之電荷分享的緣故，便會於此發生一個錯誤。

【發明內容】

因此本案之主要目的係提供一具有修改之全局輸入/輸出架構的半導體記憶體裝置。

根據本案之主要目的，提供一半導體記憶體裝置，包括用以放大一位元線偵測放大器之輸出以及用以輸出此放大之輸出至一第一資料線的一主放大器、連接於此第一資料線的一輸入/輸出多工器、一連結於第一資料線的中繼器、用以接收被寫入之一資料以及用以輸出此資料至一第二資料線的一輸入/輸出寫入單元、以及連接於此第二資

料線、用以將第二資料線上的資料傳輸至位元線偵測放大器的一寫入驅動器。

【實施方式】

以下配合圖示所詳述者，係為本案用於半導體記憶體裝置之讀取/寫入控制裝置。

第 5 圖係為本案的讀取/寫入控制裝置之方塊圖。

如圖所示，讀取/寫入控制裝置係由一位元線偵測放大器 (BLSA)500、一主放大器 (MAIN AMP)501、一寫入驅動器 (WT_DRV)502、一中繼器 (REPEATER)505、一輸入-輸出多工器 (I/O MUX)506、一輸入-輸出寫入單元 (WT_IO)507、一主放大器輸出分隔 (MOB)線 503、以及一資料輸入分隔 (DINB)線 504 所構成。

位元線偵測放大器 (BLSA)500 係用以放大儲存於一記憶體胞元中的一資料，主放大器 (MAIN AMP)501 放大來自於位元線偵測放大器 (BLSA)500 的輸出信號、並輸出此放大信號至 MOB 線 503，輸入-輸出多工器 (I/O MUX)506 選擇性地輸出 MOB 線 503 上的一信號，輸入-輸出寫入單元 (WT_IO)507 接收待寫入的一信號並輸出此信號至 DINB 線 504，寫入驅動器 (WT_DRV)502 接收來自於 DINB 線 504 的一信號、並輸出此信號至位元線偵測放大器 (BLSA)500，中繼器 (REPEATER)505 係連接於 MOB 線 503。

根據本案發明，儲存於一記憶體胞元中的一資料在讀取程序中係經由 MOB 線 503 而被輸出，並且一資料係在寫入程序中經由 DINB 線 504 而被儲存至胞元中。

在讀取程序中，儲存於記憶體胞元中的資料係被位元

線偵測放大器 (BLSA)500 輸出至主放大器 (MAIN AMP)501，再被主放大器 (MAIN AMP)501 載於 MOB 線 503 上。

然後，載於 MOB 線 503 上的資料被輸入至輸入-輸出多工器 (I/O MUX)506，並且被輸入-輸出多工器 (I/O MUX)506 選擇性地輸出，輸入-輸出多工器 (I/O MUX)506 係用以藉由一資料寬度、自 X4、X8、和 X16 之中選擇一資料模式，另外輸入-輸出多工器 (I/O MUX)506 也用於一平行測試模式。

在寫入程序中，一資料輸入 (DIN) 信號被輸入至輸入-輸出寫入單元 (WT_IO)507，並且此 DIN 係被輸入-輸出寫入單元 (WT_IO)507 載於 DINB 線 504 上，接著，DIN 被輸入至寫入驅動器 (WT_DRV)502，再被輸出至位元線偵測放大器 (BLSA)500，最後 DIN 則被位元線偵測放大器 (BLSA)500 儲存於記憶體胞元之中。

如上所述，在本案所述之半導體記憶體裝置之中，傳統的 GIO 線被修改成將 GIO 線分成兩條線；也就是用於讀取程序的 MOB 線 503 以及用於寫入程序的 DINB 線 504，輸入-輸出多工器 (I/O MUX) 亦被修改成可以修正發生於傳統半導體記憶體裝置中的錯誤。

第 6 圖係為第 5 圖的輸入-輸出多工器 (I/O MUX)506 之電路圖。

如圖所示，輸入-輸出多工器 (I/O MUX)506 係由一控制單元 610、一閘鎖器 640、一第一時脈反相器 620、以及一第二時脈反相器 630 所構成。

和傳統半導體記憶體裝置使用兩個傳輸閘不同，輸入-輸出多工器(I/O MUX)506 係採用第一時脈反相器 620 和第二時脈反相器 630，因此，MOB 線 503 和門鎖器 640 之間的一電荷分享便會被消除。

控制單元 610 接收一資料寬度信號 X8、一位址信號 Y11、以及一寫入信號 WT 以產生控制信號藉以控制第一和第二時脈反相器 620 和 630，第一和第二時脈反相器 620 和 630 分別地接收一第一資料信號 MOB<0>和一第二資料信號 MOB<1>，門鎖器 640 係連接於多工器輸出端 MX_OUT，多工器輸出端 MX_OUT 更連接於第一和第二時脈反相器 620 和 630 的輸出端。

控制單元 610 係由一第一反相器 600、一第二反相器 603、一第三反相器 604、一第四反相器 605、一第一反及閘 601、一第二反及閘 602、一第三反及閘 606、以及一第四反及閘 607 所構成。

第一反相器 600 係接收一位址信號 Y11 並將其反相、再將反相後的信號輸出至第一反及閘 601。該第一反及閘 601 接收該資料寬度信號 X8 以及該第一反相器 600 之輸出。

第二反及閘 602 接收資料寬度信號 X8 以及位址信號 Y11，第三反相器 604 將來自於第二反及閘 602 的輸出反相，第四反相器 605 將來自於第一反及閘 601 的輸出反相。

第二反相器 603 將寫入信號 WT 反相，第三反及閘 606 接收來自於第二反相器 603 的輸出、以及來自於第三反相器 604 的輸出，第四反及閘 607 接收來自於第二反相器 603

的輸出、以及來自於第四反相器 605 的輸出。

第一和第二時脈反相器 620 和 630 係接收第一和第二資料信號 MOB<0>和 MOB<1>、藉以分別地反相並輸出 MOB<0>和 MOB<1>。

輸入-輸出多工器 (I/O MUX)506 係用於 X8 模式，藉此載於 GIO 線上總資料的一部份資料係經由多工器輸出端 MX_OUT 而被輸出。

那就是說，總資料信號 MOB<0:15>中只有八個資料信號會被選中且經由多工器輸出端 MX_OUT 而被輸出，其中標記 MOB<0:15> 代表 MOB<0>、MOB<1>、..... 以及 MOB<15>，八個資料信號中的每個皆是選自於一第一資料信號對 MOB<0:1>，一第二資料信號對 MOB<2:3>，.....，以及一第八資料信號對 MOB<14:15>，位址信號 Y11 係用以自第一至第八資料信號對中的每個選取一資料信號，也就是說，自第一資料信號對 MOB<0:1>中選取一資料信號。

寫入信號 WT 係在寫入程序中被活化而成爲一邏輯高電位、且在讀取程序中被鈍化而成爲一邏輯低電位，資料-寬度信號 X8 係在 X8 模式中被活化而成爲一邏輯高電位、且當輸入-輸出多工器 (I/O MUX)103 不是處於 X8 模式時即被鈍化而成爲一邏輯低電位。

如前所述，輸入-輸出多工器 (I/O MUX)506 在讀取程序中輸出第一資料信號對 MOB<0:1>的其中之一以回應位址信號 Y11，那就是說，如果位址信號 Y11 爲一邏輯高電位時，則選擇 MOB<0>; 然而，如果位址信號 Y11 爲一邏輯低電位時，則選擇 MOB<1>，其他的資料信號對；如

MOB<2:3>、MOB<4:5>、.....、等，亦是使用同樣的選擇方式。

當寫入信號 WT 被活化，由於輸入-輸出多工器 (I/O MUX)506 運作於讀取程序的緣故，後者即如前所述般被禁能，那就是說，當寫入信號 WT 被活化，第三和第四反及閘 606 和 607 的輸出即為一邏輯高電位，藉此第一和第二時脈反相器 620 和 630 即被禁能，並且多工器輸出端 MX_OUT 將儲存於閃鎖器 640 中之資料持住。

同樣地，當輸入-輸出多工器 (I/O MUX)506 不是處於 X8 模式，資料-寬度信號 X8 即被鈍化而成為一邏輯低電位，藉此第一和第二反及閘 601 和 602 的輸出便成為一邏輯高電位，接著，第一和第二時脈反相器 620 和 630 被禁能，並且多工器輸出端 MX_OUT 將儲存於閃鎖器 640 中之資料持住。

如第 6 圖所示，即使反相器 620 和 630 係運作於讀取程序中，由於反相器 620 和 630 的結構所致，MOB 線 503 以及閃鎖器 640 之間也不會發生電荷分享，此結構如下所述。

第 7 圖 (A) 和第 7 圖 (B) 係分別為一符號圖以及第一和第二時脈反相器 620 和 630 的電路圖，其中第一和第二時脈反相器 620 和 630 具有相同結構。

第 7 圖 (A) 係為時脈反相器之符號圖，該圖之詳細電路如第 7 圖 (B) 所示。

如第 7 圖 (B) 所示，時脈反相器係由一第五反相器 703、一第一 PMOS 電晶體 704、一第二 PMOS 電晶體 705、一第

一 NMOS 電晶體 706、以及一第二 NMOS 電晶體 707 所構成，四個電晶體係串聯連接於一電源供應電壓與地之間，一時脈信號 CLOCK 輸入第一 PMOS 電晶體 704 的一閘極、並且此時脈信號 CLOCK 的一反相信號輸入第二 NMOS 電晶體 707 的閘極，輸入信號 IN 輸入第二 PMOS 電晶體 705 和第一 NMOS 電晶體 706 的閘極。

當時脈信號 CLOCK 為一邏輯低電位，第一 PMOS 電晶體 704 和第二 NMOS 電晶體 707 即導通且以一反相器的方式運作，另一方面，當時脈信號 CLOCK 為一邏輯高電位，第一 PMOS 電晶體 704 和第二 NMOS 電晶體 707 即截止，藉此時脈反相器即禁能。

時脈信號 CLOCK 係匹配於第三反及閘 606 的輸出以及第四反及閘 607 的輸出，輸入信號 IN 係匹配於第一和第二資料信號 MOB<0>和 MOB<1>，由於第一資料信號 MOB<0>被輸入於第二 PMOS 電晶體 705 和第一 NMOS 電晶體 706 的閘極，閘鎖器 640 和 MOB 線 503 之間便不再有電荷分享，同樣的情況也發生於第二資料信號 MOB<1>。

第 8 圖係為輸入-輸出寫入單元 (WT_IO)507 的電路圖。

如圖所示，輸入-輸出寫入單元 (WT_IO)507 係由一傳輸閘單元 820、一運作單元 830、以及一控制單元 840 所構成。

傳輸閘單元 820 接收一資料輸入上升信號 DIN_R<0> 以及一資料輸入下降信號 DIN_F<0>、並且輸出所接收到信號的其中之一以回應一選擇信號 EV_OD，運作單元 830

自傳輸閘單元 820 傳輸輸出至 DINB 線 504，控制單元 840 控制運作單元 830。

傳輸閘單元 820 係由一第三傳輸閘 802 以及一第四傳輸閘 803 所構成，第三傳輸閘 802 接收資料輸入上升信號 $DIN_R<0>$ ，第四傳輸閘 803 接收資料輸入下降信號 $DIN_F<0>$ 。

控制單元 840 係由一第六反相器 800、一第七反相器 801、以及一第八反相器 804 所構成，第六反相器 800 接收一資料輸入選通信號 $DINST$ 並且將所接收到的信號反相，第七反相器 801 接收第六反相器 800 的輸出，第八反相器 804 接收選擇信號 EV_OD 並將其反相。

運作單元 830 係由一第三時脈反相器 805、一第四時脈反相器 806、一第五時脈反相器 808、一第六時脈反相器 809、一第九時脈反相器 807、以及一第十反相器 810 所構成。

第三時脈反相器 805 接收傳輸閘單元 820 的輸出，第四時脈反相器 806 和第九反相器 807 係用以閘鎖第三時脈反相器 805 的輸出，第五時脈反相器 808 接收第三時脈反相器 805 的輸出，第六時脈反相器 809 和第十反相器 810 係用以閘鎖第五時脈反相器 808 的輸出。

資料輸入上升信號 $DIN_R<0>$ 或資料輸入下降信號 $DIN_F<0>$ 係載於 DINB 線 504 上且與資料輸入信號 $DINST$ 同步。

資料輸入上升信號 $DIN_R<0>$ 係同步於資料輸入選通信號 $DINST$ 的一上升緣，而資料輸入下降信號 $DIN_F<0>$

則同步於資料輸入選通信號 DINST 的一下降緣。

當選擇信號 EV_OD 為一邏輯高電位，資料輸入下降信號 DIN_F<0>則被輸入至第三時脈反相器 805，另一方面，當選擇信號 EV_OD 為一邏輯低電位，資料輸入上升信號 DIN_R<0>則被輸入至第三時脈反相器 805。

以下所述為輸入-輸出寫入單元 (WT_IO)507 之運作，其前題是，選擇信號 EV_OD 係為一邏輯高電位且資料輸入選通信號 DINST 被活化而自一邏輯低電位變為一邏輯高電位。

當資料脈衝信號 DINST 為一邏輯低電位時，第三和第六時脈反相器 805 和 809 即被致能，而第四和第五時脈反相器 806 和 808 即被禁能，當資料脈衝信號 DINST 為一邏輯高電位時，第三和第六時脈反相器 805 和 809 即被禁能，而第四和第五時脈反相器 806 和 808 即被致能。

輸入-輸出寫入單元 (WT_IO)當資料輸入選通信號 DINST 為一邏輯低電位時會門鎖一資料，且當資料輸入選通信號 DINST 為一邏輯高電位時會輸出此資料。

那就是說，在選擇信號 EV_OD 為一邏輯高電位和資料脈衝信號 DINST 為一邏輯低電位的情況下，第三時脈反相器 805 會被致能，藉此被反相的 DIN_F<0>會被第三時脈反相器 805 輸出。

然而，由於第五時脈反相器 808 被禁能，被第三時脈反相器 805 反相輸出的 DIN_F<0>對於第五時脈反相器 808 的輸出並沒有影響。

此外，當資料脈衝信號 DINST 為一邏輯低電位時，

第六時脈反相器 809 即被導通，且第六時脈反相器 809 會保持 $DINB<0>$ 的現值。

之後，當資料輸入選通信號 $DINST$ 被活化，第四和第五時脈反相器 806 和 808 被致能，而第三和第六時脈反相器 805 和 809 則被禁能。

因此，由於第五時脈反相器 808 被致能，藉此反相的 $DIN_F<0>$ 被輸入至第五時脈反相器 808 中，然後第五時脈反相器 808 再輸出資料輸出下降信號 $DIN_F<0>$ 。

同樣地，由於第四時脈反相器 806 被致能，第四時脈反相器 806 和第九反相器 807 會令第五時脈反相器 808 運作，藉此反相的 $DIN_F<0>$ 即會被第十反相器 810 載於 $DINB<0>$ 之上。

之後，當資料輸入選通信號 $DINST$ 被活化，第六時脈反相器 809 被致能，藉此第六時脈反相器 809 和第十反相器 810 將一資料載於 $DINB<0>$ 上。

配合參考第 5 圖至第 8 圖，以下所述係為本案之半導體記憶體裝置之讀取和寫入程序。

當半導體記憶體裝置在第 $N-1$ 時脈讀取儲存於一記憶體胞元的一邏輯高電位資料時，儲存於記憶體胞元的一邏輯高電位資料即經由位元線偵測放大器 (BLSA)500、主放大器 (MAIN AMP)501、MOB 線 503、以及輸入-輸出多工器 (I/O MUX)506 而被輸出，其中， N 代表大於 1 的自然數。

由於半導體記憶體裝置係處於讀取程序，第一資料信號 $MOB<0>$ 和第二資料信號 $MOB<1>$ 其中之一會被輸出至輸入-輸出多工器 (I/O MUX)506，然後，門鎖器 640 會保持

邏輯高電位資料。

在讀取程序中，即使第一時脈反相器 620 和第二時脈反相器 630 其中之一被致能，因為 MOB 線 503 係連接於一 PMOS 電晶體和一 NMOS 電晶體的閘極的緣故，因此 MOB 線 503 和閃鎖器 640 之間也不會發生電荷分享。

之後，當傳統半導體記憶體裝置在第 N 時脈於胞元中寫入一邏輯低電位資料時，此邏輯低電位資料即經由輸入-輸出寫入單元 (WT_IO)507、DINB 線 504、寫入驅動器 (WT_DRV)502、以及位元線偵測放大器 (BLSA)500 而儲存於胞元中。

由於傳統半導體記憶體裝置處於寫入程序，寫入信號 WT 被活化，藉此第三和第四反及閘 606 和 607 的輸出係為一邏輯高電位，接著，儲存於閃鎖器 640 中的資料並不會改變，也就是說，因為第一時脈反相器 620 和第二時脈反相器 630 被禁能，因此閃鎖器 640 仍保持儲存於第 N-1 時脈的資料。

之後，當傳統半導體記憶體裝置在第 N+1 時脈於胞元中讀取一邏輯低電位資料時，此儲存於胞元中的邏輯低電位資料即經由位元線偵測放大器 (BLSA)500、主放大器 (MAIN AMP)501、MOB 線 503、以及輸入-輸出多工器 (I/O MUX)506 而被輸出。

由於傳統半導體記憶體裝置處於讀取程序，第一和第二時脈反相器 620 和 630 其中之一被致能，藉此載於 MOB 線 503 上的邏輯低電位資料即經由多工器輸出端 (MX_OUT) 而被輸出，此時，閃鎖器 640 即保持為邏輯低電位資料，

而不是第 N 時脈的邏輯高電位資料。

如上所述，由於閃鎖器 640 和 MOB 線 503 之間沒有電荷分享，即使中繼器 505 連接於 MOB 線 503 也不會發生任何錯誤。

因為 GIO 線在傳統半導體記憶體裝置中常用於讀取程序和寫入程序中，因此會發生很多耦合雜訊，也就是說，由於在傳統半導體記憶體裝置中 GIO 線係分享於讀取程序和寫入程序，因此若待讀取和待寫入的資料處於不同的邏輯電位時，錯誤的資料便會被讀取或寫入。

根據本案發明，提供用於讀取程序的 MOB 線 503 以及用於寫入程序的 DINB 線 504，因此，根據本案發明可以減少半導體記憶體裝置中的耦合雜訊，再者，由於中繼器對於雜訊極為敏感，因此本案半導體記憶裝置中中繼器的耦合雜訊抗擾性(COUPLING NOISE IMMUNITY)也會增加。

即使本案發明係以以上之較佳實施例來作說明，然而對於熟習本項技術者來說，本案仍不限於這些實施例和使用方法，尤有甚者，凡依本案所附申請專利範圍所做的均等變化及修飾，皆為本案專利範圍所涵蓋。

【圖式簡單說明】

藉由以下所述之較佳實施例以及附圖可對本案發明有一清楚了解，其中：

第 1 圖係為傳統半導體記憶體裝置的讀取/寫入控制電路之方塊圖；

第 2 圖係為第一圖的輸入-輸出寫入單元之電路圖；

第 3 圖係為第一圖的輸入-輸出多工器之電路圖；

第 4 圖係為傳統半導體記憶體裝置的中繼器之電路圖；

第 5 圖係為本案的讀取/寫入控制裝置之方塊圖；

第 6 圖係為第五圖的輸入-輸出多工器之電路圖；

第 7 圖(A)(B)係分別為時脈反相器之代表圖以及本案用於半導體記憶體裝置之時脈反相器的電路圖；以及

第 8 圖係為第五圖的輸入-輸出寫入單元之電路圖。

【元件符號說明】

100 位元線偵測放大器(BLSA)

101 主放大器(MAIN AMP)

102 寫入驅動器(WT-DRV)

103 輸入-輸出多工器(I/O MUX)

104 輸入-輸出寫入單元(WT-IO)

105 中繼器(REPEATER)

200 第一 NMOS 電晶體

201 第二 NMOS 電晶體

202 第三 NMOS 電晶體

203 第四 NMOS 電晶體

204 第五 NMOS 電晶體

205 第一 PMOS 電晶體

206 第二 PMOS 電晶體

207 第三 PMOS 電晶體

208 第四 PMOS 電晶體

209 第五 PMOS 電晶體

- 210 第一反相器
- 211 第二反相器
- 212 第三反相器
- 213 第六 PMOS 電晶體
- 214 第六 NMOS 電晶體
- 215 第一門鎖器
- 300 第四反相器
- 301 第一反及閘
- 302 第二反及閘
- 303 第五反相器
- 304 第六反相器
- 305 第七反相器
- 306 第三反及閘
- 307 第四反及閘
- 308 第一傳輸閘
- 309 第二傳輸閘
- 310 第二門鎖器
- 400 第三門鎖器
- 401 第八反相器
- 402 第九反相器
- 403 第七 PMOS 電晶體
- 404 第七 NMOS 電晶體
- 405 第八 PMOS 電晶體
- 406 第八 NMOS 電晶體
- 407 可變延遲單元

- 500 位元線偵測放大器 (BLSA)
- 501 主放大器 (MAIN AMP)
- 502 寫入驅動器 (WT_DRV)
- 503 主放大器輸出分隔 (MOB)線
- 504 資料輸入分隔 (MOB)線
- 505 中繼器 (REPEATER)
- 506 輸入-輸出多工器 (I/O MUX)
- 507 輸入-輸出寫入單元 (WT_IO)

- 600 第一反相器
- 601 第一反及閘
- 602 第二反及閘
- 603 第二反相器
- 604 第三反相器
- 605 第四反相器
- 606 第三反及閘
- 607 第四反及閘

- 610 控制單元

- 620 第一時脈反相器
- 630 第二時脈反相器
- 640 閘鎖器

- 700 時脈反相器

- 703 第五反相器
- 704 第一 PMOS 電晶體
- 705 第二 PMOS 電晶體
- 706 第一 NMOS 電晶體

- 707 第二 NMOS 電晶體
- 800 第六反相器
- 801 第七反相器
- 802 第三傳輸閘
- 803 第四傳輸閘
- 804 第八反相器
- 805 第三時脈反相器
- 806 第四時脈反相器
- 807 第九反相器
- 808 第五時脈反相器
- 809 第六時脈反相器
- 810 第十反相器
- 820 傳輸閘單元
- 830 運作單元
- 840 控制單元

伍、中文發明摘要：

一種半導體記憶體裝置，包括用以放大一位元線偵測放大器的輸出以及輸出此被放大之輸出至一第一資料線的一主放大器、連接於第一資料線的一輸入/輸出多工器、連接於第一資料線的一中繼器、用以接收待寫入的一資料以及用以輸出此資料至一第二資料線的一輸入/輸出寫入單元、以及連接於第二資料線且用以傳輸第二資料線上的資料至位元線偵測放大器的一寫入驅動器。

陸、英文發明摘要：

A semiconductor memory device including a main amplifier for amplifying an output from a bit line sensing amplifier and outputting the amplified output to a first data line; an input/output multiplexer connected to the first data line; a repeater connected to the first data line; an input/output write unit for receiving a data to be written and outputting the data to a second data line; and a write driver connected to the second data line for transferring the data on the second data line to the bit line sensing amplifier.

第 92137420 號「具有修改之全局輸入/輸出架構的半導體記憶體裝置」專利案

(2009 年 2 月修正)

拾、申請專利範圍：

1. 一種半導體記憶裝置，包括：

一主放大器，係用以放大一位元線偵測放大器的輸出以及輸出被放大的輸出至一第一資料線；

一輸入/輸出多工器，係連接於該第一資料線；

一中繼器，係連接於該第一資料線；

一輸入/輸出寫入單元，係用以接收待寫入的一資料以及輸出該資料至一第二資料線；以及

一寫入驅動器，係連接於該第二資料線，用以傳輸該第二資料線上的該資料至該位元線偵測放大器。

2. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中該輸入/輸出多工器包括：

一時脈反相器，係用以接收該第一資料線的輸出；以及

一閘鎖器，係連接於該時脈反相器的一輸出端，其中該閘鎖器與該第一資料線之間沒有電荷分享。

3. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中該輸入/輸出多工器包括：

一控制單元，係用以接收一位址信號、一模式信號、以及一寫入信號以控制該時脈反相器；

一時脈反相器，係用以接收該第一資料線的輸出；以及

一 門鎖器，係連接於該時脈反相器的一輸出端，其中該寫入信號在一寫入程序中被活化。

4. 如申請專利範圍第 3 項所述之半導體記憶裝置，其中該控制單元包括：

一 第一反相器，係用以接收一位址信號並將該位址信號反相；

一 第一反及閘，係用以接收一模式信號以及該第一反相器的輸出；

一 第二反及閘，係用以接收該模式信號以及該位址信號；

一 第二反相器，係用以接收該寫入信號並將該寫入信號反相；

一 第三反相器，係用以將該第二反相器的輸出反相；

一 第四反相器，係用以將該第一反及閘的輸出反相；

一 第三反及閘，係用以接收該第二反相器的輸出以及該第三反相器的輸出；以及

一 第四反及閘，係用以接收該第二反相器的輸出以及該第四反相器的輸出。

5. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中該輸入/輸出寫入單元包括：

一 傳輸閘，係用以接收一資料以及選擇性地輸出該資料；

一 運作單元，係用以傳輸該傳輸閘的輸出至一第二資料線；以及

一 控制單元，係用以產生一控制信號以控制該傳輸閘

以及該運作單元，其中該輸入/輸出寫入單元係為具有一時脈反相器的一靜態型式。

6.如申請專利範圍第 5 項所述之半導體記憶裝置，其中該控制單元包括：

一第十反相器，係用以接收一資料輸入選通信號並將該資料輸入選通信號反相；

一第十一反相器，係用以將該第十反相器的輸出反相；
以及

一第十二反相器，係用以接收一偶奇(EVEN-ODD)信號並將該偶奇信號反相。

7.如申請專利範圍第 6 項所述之半導體記憶裝置，其中該控制單元包括：

一第一時脈反相器，係用以接收該傳輸閘的輸出並將該傳輸閘的輸出反相；

一第二時脈反相器和一第十三反相器，係用以閘鎖該第一時脈反相器的輸出；

一第三時脈反相器，係用以接收該第一時脈反相器的輸出並將該第一時脈反相器的輸出反相；以及

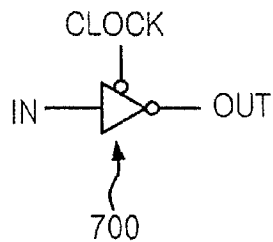
一第四時脈反相器和一第十四反相器，係用以閘鎖該第三時脈反相器的輸出。

8.如申請專利範圍第 1 項所述之半導體記憶裝置更包括一中繼器，係連接於該第二資料線。

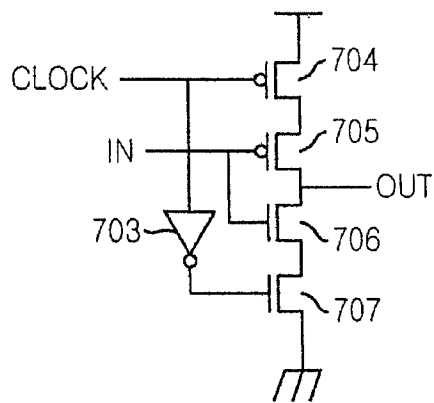
9.如申請專利範圍第 1 項所述之半導體記憶裝置，其中該第一資料線和該第二資料線的其中之一係藉由一寫入程序或一讀取程序而被選取。

年 月 日修正替換
98.2.24

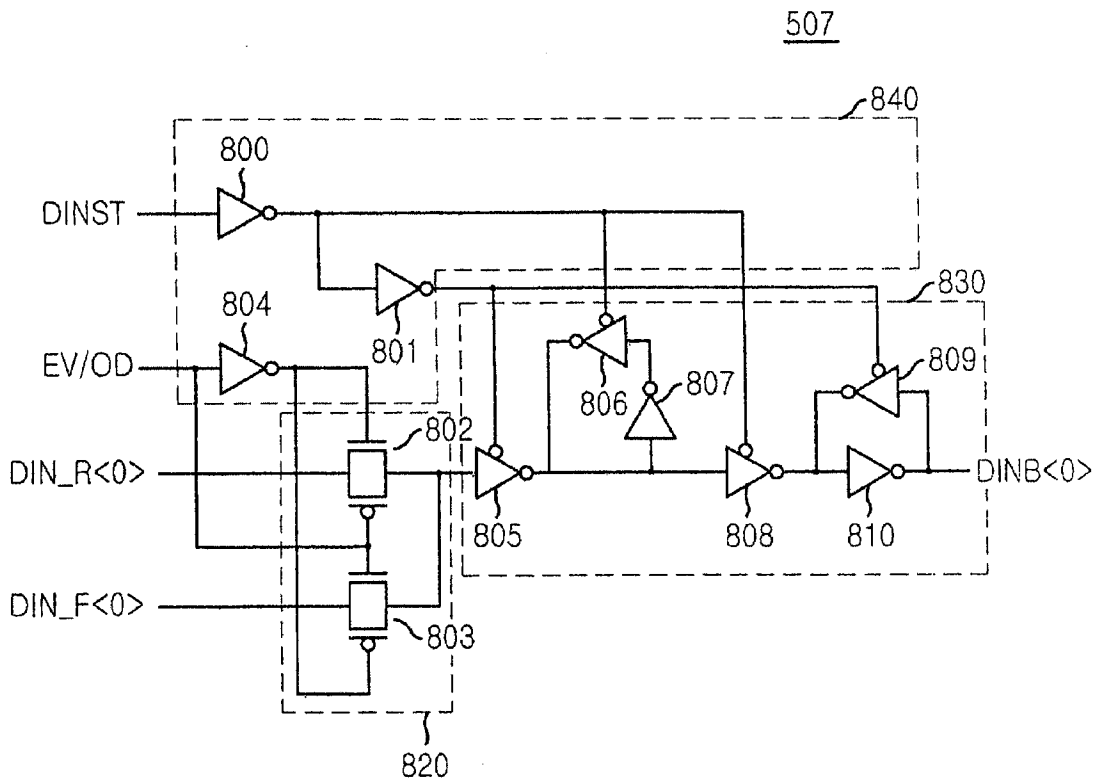
第 7A 圖



第 7B 圖



第 8 圖



柒、指定代表圖：

(一)本案指定代表圖為：第（ 5 ）圖。

(二)本代表圖之元件代表符號簡單說明：

500…位元線偵測放大器

501…主放大器

502…寫入驅動器

503…主放大器輸出分隔線

504…資料輸入分隔線

505…中繼器

506…輸入 - 輸出多工器

507…輸入 - 輸出寫入單元

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：