



(12) 发明专利申请

(10) 申请公布号 CN 112397473 A

(43) 申请公布日 2021.02.23

(21) 申请号 202010817911.9

H01L 21/60 (2006.01)

(22) 申请日 2020.08.14

(30) 优先权数据

102019121894.2 2019.08.14 DE

(71) 申请人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市

(72) 发明人 E·席特勒内维斯

D·H·波佩斯库

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 周家新

(51) Int. Cl.

H01L 23/495 (2006.01)

H01L 23/31 (2006.01)

H01L 23/64 (2006.01)

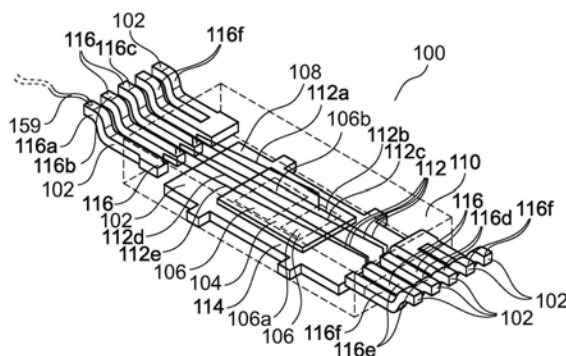
权利要求书2页 说明书10页 附图3页

(54) 发明名称

具有集成多抽头阻抗结构的封装体

(57) 摘要

公开了一种封装体(100),其包括:具有多个引线(116)的载体(102);安装在所述载体(102)上并包括至少一个焊盘(106)的电子器件(104);以及将所述至少一个焊盘(106)与所述载体(102)电耦合而使得能够在所述引线(116)中的不同引线处分接出所述阻抗结构(108)的不同阻抗值的阻抗结构(108)。



1. 一种封装体(100),包括:
  - 具有多个引线(116)的载体(102);
  - 安装在所述载体(102)上并包括至少一个焊盘(106)的电子器件(104);以及
  - 阻抗结构(108),其将所述至少一个焊盘(106)与所述载体(102)电耦合,使得能够在引线(116)中的不同引线处分接出所述阻抗结构(108)的不同阻抗值;其中,所述阻抗结构(108)由多个互连导电元件(112)形成,  
其中,所述互连导电元件(112)中的至少一部分在所述载体(102)的引线(116)中的不同引线之间延伸,  
其中,所述互连导电元件(112)的所述至少一部分在布置于所述引线(116)中的所述不同引线之间的电子器件(104)之上跨过延伸。
2. 根据权利要求1所述的封装体(100),其中,所述阻抗结构(108)是电感器结构,使得能够在所述引线(116)中的不同引线处分接出不同的电感值。
3. 根据权利要求1或2所述的封装体(100),其中,所述互连导电元件(112)被布置形成以下组中的至少一个:至少一个圈、特别是多个圈,至少一个螺旋结构,至少一个曲折结构和至少一个Z形结构。
4. 根据权利要求1至3中任一项所述的封装体(100),其中,所述互连导电元件(112)的至少一部分沿着Z形轨迹在所述载体(102)的所述引线(116)中的不同引线之间延伸。
5. 根据权利要求1至4中任一项所述的封装体(100),其中,所述互连导电元件(112)中的另一个在所述至少一个焊盘(106)与所述载体(102)的所述引线(116)中的一个之间延伸。
6. 根据权利要求1至5中任一项所述的封装体(100),其中,所述互连导电元件(112)是接合导线,特别是具有圆形、矩形或扁平横截面中的一种的接合导线。
7. 根据权利要求1至6中任一项所述的封装体(100),其中,所述封装体(100)包括:包封剂(110),其至少部分地包封以下组中的至少一个:电子器件(104)、载体(102)和阻抗结构(108),其中,特别是所述载体(102)的之上安装有电子器件(104)的安装区段(114)的主表面的至少一部分相对于所述包封剂(110)暴露,以促进去除电子器件(104)的操作期间产生的热量。
8. 根据权利要求1至7中任一项所述的封装体(100),其中,所述封装体(100)包括以下特征中的至少一个:
  - 电子器件(104)是晶体管芯片、特别是MOSFET芯片;
  - 电子器件(104)被配置成能够在操作期间经受垂直电流;
  - 电子器件(104)是功率半导体芯片。
9. 根据权利要求1至8中任一项所述的封装体(100),其中,所述阻抗结构(108)将所述电子器件(104)的栅极焊盘(106a)与所述载体(102)的可选择的栅极引线(116a至116e)电耦合。
10. 根据权利要求1至9中任一项所述的封装体(100),其中,所述阻抗结构(108)被配置成能够提供供在5nH与500nH之间的范围内、特别是在10nH与50nH之间的范围内的至少两个不同的电感值。
11. 一种封装体(100),包括:

- 包括安装区段(114)和多个引线(116)的载体(102)；
- 安装在安装区段(114)上并包括至少一个焊盘(106)的电子器件(104)；以及
- 多个接合导线(112)，其连接在所述至少一个焊盘(106)与所述引线(116)之间，从而形成具有可选择的阻抗值的阻抗结构(108)；

其中，所述多个接合导线(112)包括将所述至少一个焊盘(106a)中的一个与第一引线(116c)连接的第一接合导线(112a)、将所述第一引线(116c)与至少一个第二引线(116d、116b)连接的至少一个第二接合导线(112b、112c)以及将所述第二引线(116d、116b)中的至少一个与第三引线(116e)连接的第三接合导线(112d)。

12. 根据权利要求11所述的封装体(100)，其中，所述阻抗结构(108)的阻抗的不同离散值中的相应一个能够通过选择所述引线(116)中的所分配的一个引线来选择。

13. 根据权利要求11或12所述的封装体(100)，其中，所述阻抗结构(108)被连接用于衰减所述电子器件(104)的振铃。

14. 根据权利要求11至13中任一项所述的封装体(100)，其中，所述载体(102)是引线框架。

15. 根据权利要求11至14中任一项所述的封装体(100)，其中，所述阻抗结构(108)是具有可选择的电感值的电感器结构。

16. 根据权利要求11至15中任一项所述的封装体(100)，其中，所述多个接合导线(112)包括将所述第一引线(116c)与至少两个第二引线(116d、116b)连接的至少两个第二接合导线(112b、112c)。

17. 根据权利要求11至16中任一项所述的封装体(100)，其中，所述封装体(100)包括仅包封载体(102)的一部分、电子器件(104)的至少一部分和接合导线(112)的至少一部分的包封剂(110)、特别是模制型化合物。

18. 一种制造封装体(100)的方法，其中，所述方法包括：

- 将包括至少一个焊盘(106)的电子器件(104)安装在具有多个引线(116)的载体(102)上；
- 通过阻抗结构(108)将所述至少一个焊盘(106)与所述载体(102)电耦合，使得能够在所述引线(116)中的不同引线处分接出所述阻抗结构(108)的不同阻抗值；以及
- 通过包封剂(110)至少部分地包封所述电子器件(104)、所述载体(102)和所述阻抗结构(108)；

其中，所述阻抗结构(108)由多个互连导电元件(112)形成，

其中，所述互连导电元件(112)的至少一部分在所述载体(102)的引线(116)中的不同引线之间延伸，

其中，所述互连导电元件(112)的所述至少一部分在布置于所述引线(116)中的所述不同引线之间的电子器件(104)之上跨过延伸。

## 具有集成多抽头阻抗结构的封装体

### 技术领域

[0001] 本发明涉及一种封装体和一种制造封装体的方法。

### 背景技术

[0002] 封装体可以表示为具有电连接件的包封的电子芯片,所述电连接件延伸出包封剂并安装到外围电子设备、例如印刷电路板上。

[0003] 封装成本是该行业的重要驱动因素。与此相关的是性能、尺寸和可靠性。不同的封装解决方案是多种多样的,必须满足应用程序的需求。

### 发明内容

[0004] 可能需要制造具有适当电性能的封装体。

[0005] 根据一个示例性实施例,提供了一种封装体,其包括:具有多个引线的载体;安装在所述载体上并包括至少一个焊盘的电子器件;以及阻抗结构,其将所述至少一个焊盘与所述载体电耦合,使得可以在所述引线中的不同引线处分接出所述阻抗结构的不同阻抗值。

[0006] 根据另一个示例性实施例,提供了一种封装体,其包括:包括安装区段和多个引线的载体;安装在所述安装区段上并包括至少一个焊盘的电子器件;以及多个接合导线,其连接在所述至少一个焊盘与引线之间,从而形成具有可选择的阻抗值的阻抗结构。

[0007] 根据又一示例性实施例,提供了一种制造封装体的方法,其中,所述方法包括将包括至少一个焊盘的电子器件安装在具有多个引线的载体上;通过阻抗结构将所述至少一个焊盘与所述载体电耦合,使得可以在所述引线中的不同引线处分接出所述阻抗结构的不同阻抗值;以及通过包封剂至少部分地包封所述电子器件、所述载体和所述阻抗结构。

[0008] 根据一个示例性实施例,一种封装体和一种用于制造这种封装体的制造方法可以以可简单实施可选择的阻抗的方式提供,例如用于提供衰减电感器。这样的阻抗结构可以非常靠近电子器件的指定焊盘(例如晶体管芯片的栅极焊盘)定位,例如通过简单地使用接合导线来形成阻抗结构。由于阻抗的可调值可以由阻抗结构提供,因此阻抗结构、特别是由互连接合导线形成的阻抗结构可以改善封装体(例如包括一个或多个分立功率MOSFET)内的电性能。描述性地说,电路设计者可以通过简单地选择应使用多个引线中的哪个来将电子电路连接到封装体来选择阻抗的相应的可调整值。此时,将通过阻抗结构的连接在电子器件的焊盘与所选择的引线之间的部分来提供相应的阻抗值。有利地,提供不同的引线(其可以相对于包封剂暴露以便于可供电路设计者触及)可以使得可以将不同的引线与阻抗结构的不同区段连接。因此,电路设计者可以分接出集成阻抗结构的特定区段,从而在电子器件与所选择的外部引线之间选择阻抗的多个不同值中的一个。非常简单地,这可以实现由具有多抽头电感器的封装体所提供的电子电路的高效设计。例如,通过提供具有适当值的阻抗,可以高效地抑制诸如寄生振铃伪影等的不期望的电子现象。附加性地或替代性地,提供集成在封装体中的阻抗结构还可以改善封装体的EMI(电磁干扰)特性。

[0009] 其它示例性实施例的描述

[0010] 在下面,将解释封装体和方法的其它示例性实施例。

[0011] 可以从提供集成在封装体中的多抽头阻抗结构中看出示例性实施例的要点。更具体地,随着封装体(特别是分立高压开关封装体)的持续小型化,可能发生的是载体的多个引线是可用的,但是不需要引线提供这种封装体的电子功能。有利地,可以通过在封装体的内部中的引线之间创建阻抗结构(例如,通过连接接合导线或其它导电结构)来对这种可用的但未使用的引线进行功能化,以便形成可变阻抗。通过简单地选择多个引线中的一个,例如不与阻抗结构提供任何、部分或全部连接,就可以改变阻抗。因此,抽头电感器可以基本上无需额外的努力就可被集成在包含引线的封装体中。

[0012] 在本申请的上下文中,术语“封装体”可以特别地表示可以包括安装在载体上的一个或多个电子器件的电子装置。可选地,封装体的组成部分的至少一部分可以通过包封剂至少部分地包封。进一步可选地,可以在封装体中实施一个或多个导电互连体(例如接合导线和/或夹),例如用于将电子器件与载体电耦合。

[0013] 在本申请的上下文中,术语“电子器件”可以特别地包括半导体芯片(特别是功率半导体芯片)、有源电子装置(例如晶体管)、无源电子装置(例如电容或电感或欧姆电阻)、传感器(例如麦克风、光传感器或气体传感器)、执行器(例如扬声器)和微机电系统(MEMS)。特别地,电子器件可以是在其表面部分中具有至少一个集成电路元件(例如二极管或晶体管)的半导体芯片。电子器件可以是裸露的裸片,或者可以已经被封装或包封。根据示例性实施例实施的半导体芯片可以以硅技术、氮化镓技术、碳化硅技术等等形成。

[0014] 在本申请的上下文中,术语“包封剂”可以特别地表示围绕电子器件和可选地载体的一部分的基本上电绝缘的并且优选地导热的材料,以提供机械保护、电绝缘以及可选地有助于操作期间的热量去除。

[0015] 在本申请的上下文中,术语“载体”可以特别地表示支撑结构(优选地但不一定必须是导电的),其用于对一个或多个电子器件进行机械支撑,并且还可以有助于电子器件与封装体的外围设备之间的电互连。换句话说,载体可以实现机械支撑功能和电连接功能。

[0016] 在本申请的上下文中,术语“安装区段”可以特别表示载体的待在其上安装电子器件的支撑结构。当载体是引线框架时,安装区段可以是裸片焊盘。

[0017] 在本申请的上下文中,术语“引线”可以特别地表示载体的用于从封装体的外部接触电子器件的导电(例如条状)元件(其可以是平面的或弯曲的)。例如,引线可以相对于包封剂完全暴露,或者可以部分地包封和部分地暴露。当载体是引线框架时,引线可以包围裸片焊盘。

[0018] 在本申请的上下文中,术语“阻抗结构”可以特别地表示被配置成能够在电子器件与载体之间提供阻抗的物理的且至少部分地导电的结构。阻抗可以表示电阻的复值概况。由阻抗结构提供的阻抗的一个或多个组成部分可以是欧姆电阻、电容和/或电感。例如,这样的阻抗可以是电感(其例如可以通过形成导电导线的圈来形成)。附加性地或替代性地,这种阻抗可以是电容和/或欧姆电阻。

[0019] 在本申请的上下文中,术语“接合导线”可以特别表示可以用于使载体与安装在载体上的电子器件接触的微小的导电导线。在示例性实施例的上下文中,附加性地或替代性地,这样的接合导线可以用于建立阻抗结构、特别是在电感器结构中。

[0020] 在一个优选的实施例中,阻抗结构是电感器结构,其被配置成使得可以在所述引线中的不同引线处分接出不同的电感值。在封装体的不同引线上分接出不同电感值中的一个已被证明是抑制封装体的振铃的一种高效机制。在本申请的上下文中,术语“振铃”可以特别地表示不期望的或寄生的现象,根据该现象,施加到电子器件的信号例如在接通效应和/或关断效应方面进行振荡。当提供具有包封的电子器件的封装体时,集成多抽头电感器对于抑制振铃可以是有利的。由于这种配置的结果,可以抑制或甚至消除在将信号施加到具有非常低阻抗的电子器件上时可能发生的振铃现象。因此,阻抗结构可以提供足够大的阻抗以便抑制不期望的振铃。

[0021] 然而,在多个引线中选择栅极引脚不仅可以改变电感,而且还可以改变栅极电阻。此外,可能存在甚至阻抗结构的不同的电容值也可以导致改善的滤波器性能的情况。因此,阻抗结构可以提供欧姆电阻、电容和/或电感的可选择值。

[0022] 在一个实施例中,所述封装体可以包括至少部分地包封由电子器件、载体和阻抗结构(其可以特别地实施为电感器结构)组成的组中的至少一个的包封剂。因此,特别地,阻抗结构可以集成在包封剂内,从而相对于环境可得到适当保护。因此,用于提供多抽头阻抗结构的封装体外部电路元件可以是可有可无的。因此,特别地,阻抗结构可以通过包封剂至少部分地包封,并且因此不仅在封装体的制造和操作期间被适当地机械保护以防止损坏,而且还可以在包封剂内以微型方式形成以便提供紧凑的封装体。所述阻抗结构可以连接在电子器件(其也可以被包封)与之上安装有电子器件的载体(其可以被部分包封)之间。

[0023] 在一个实施例中,所述阻抗结构由多个互连导电元件形成。描述性地说,通过互连多个导电元件,可以形成有效地在封装体的内部产生阻抗的三维形状的结构。因此,所描述的配置可以以低的努力形成阻抗结构。

[0024] 在一个实施例中,互连导电元件被布置成形成至少一个圈(特别是多个圈)。将阻抗结构形成在封装体内部具有一个或多个绕组的圈可能是特别有利的,因为阻抗结构的电感值可能越大,圈的数目越大。因此,调整圈的数目也是调整电感的期望值的一种简单方法。

[0025] 在另一个实施例中,互连导电元件被布置成形成螺旋。例如,这种螺旋可以基于接合导线、接合带和/或夹形成。螺旋形状允许在紧凑配置中提供足够高的电感值。可以在螺旋的不同绕组处完成螺旋的分接,以便使用户能够通过对应地接触连接到螺旋的不同绕组的多个引线中的一个来选择电感的多个离散值中的一个。

[0026] 然而,在其它实施例中,互连导电元件的其它形状也是可能的,例如至少一个曲折的形状、至少一个Z形结构等等。由互连导电元件限定的轨迹可以特别地为Z形轨迹,这促进以低空间消耗形成高电感。

[0027] 在一个实施例中,互连导电元件的至少一部分在载体的不同引线之间延伸。有利地,在封装体的两个相反侧处始终存在的引线阵列可以用于将互连导电元件彼此连接。例如,接合导线可以用于连接在封装体的器件的两个相反侧上的引线框架的引线。

[0028] 在一个实施例中,互连导电元件的所述至少一部分在载体的所述引线中的所述不同引线之间的电子器件之上跨过延伸。这可以实现封装体的节省空间和紧凑的配置。

[0029] 在一个实施例中,互连导电元件中的另一个在所述至少一个焊盘与载体的引线之间延伸。因此,可以使用另一互连导电元件来将(特别是半导体芯片类型)电子器件的焊盘

在公共引线处与阻抗结构连接。这是经由阻抗结构将嵌入式或包封的电子器件与电子环境连接的一种非常简单的方法。

[0030] 在一个实施例中,电子器件安装在载体的与不同引线分离的安装区段(例如裸片焊盘)上。因此,互连导电元件可以跨越在相反的引线之间并且在中央安装区段上的中央定位的电子器件之上延伸。通过采取该措施,阻抗结构可以在空间上布置成靠近电子器件。这对于抑制不期望的振铃效应可以是特别有利的,并且可以有助于紧凑的设计。

[0031] 在一个实施例中,载体的这种之上安装有电子器件的安装区段的主表面的至少一部分相对于包封剂暴露,以促进去除电子器件的操作期间产生的热量。安装区段可以在空间上与引线分开。例如,安装区段的主表面的至少一部分可以相对于包封剂暴露,以去除在所述至少一个电子器件的操作期间产生的热量。因此,电子器件(例如功率半导体芯片)可以安装在安装区段的一个主表面上,而安装区段的相反的另一主表面可以相对于包封剂暴露,以高效地将热量去除到封装体的外部。这可以确保封装体的高效冷却。

[0032] 在一个实施例中,互连导电元件是接合导线。例如,这样的接合导线可以具有圆形、矩形或扁平的横截面。因此,接合导线可以是具有任何期望横截面的导电长方形结构。它们可以例如具有圆形横截面。然而,也可以使用导电带作为具有条状或扁平横截面的接合导线。使用接合导线形成阻抗结构是一个特别简单且节省空间的实施例。

[0033] 然而,由接合导线配置阻抗结构不是唯一的选项。在另一个实施例中,也可以连接两个或更多个夹或其它导电体来提供阻抗结构。

[0034] 在一个实施例中,电子器件是功率半导体芯片。相应地,封装体可以被配置为功率封装体。在功率半导体芯片方面,振铃效应的问题特别突出。因此,特别是由互连的接合导线制成的阻抗结构的集成对于功率半导体装置特别有利。

[0035] 在一个实施例中,电子器件是晶体管芯片,特别是MOSFET(金属氧化物半导体场效应晶体管)芯片。特别地,晶体管芯片的栅极焊盘可能易于产生振铃。因此,阻抗结构可以连接在晶体管芯片的栅极焊盘与引线框架型载体的外部引线之间。

[0036] 在一个实施例中,电子器件被配置成能够在操作期间经受垂直电流。在这样的实施例中,例如,源极焊盘和栅极焊盘可以布置在半导体芯片型电子器件的一个主表面上,而漏极焊盘可以布置在相反的另一主表面上。特别地,将栅极焊盘与阻抗结构连接可以有利于获得适当的电性能。在操作期间,电流可以在电子器件的上主表面上的一个或多个焊盘与下主表面上的一个或多个焊盘之间垂直流动。

[0037] 在一个实施例中,阻抗结构将电子器件的栅极焊盘与载体的可选择的栅极引线电耦合。当将阻抗结构连接到栅极焊盘时,封装体的电子性能的改善特别明显,并且可以根据阻抗(特别是电感)的期望值从封装体的外侧选择多个引线中的一个用作栅极引线。

[0038] 在一个实施例中,当实施为电感器结构时,阻抗结构被配置成能够提供提供在5nH与500nH之间的范围内、特别是在10nH与50nH之间的范围内的至少两个不同的电感值。例如,电感器结构可以提供至少10nH、特别是至少40nH的电感。事实证明,特别是所提到的电感值对于高效抑制振铃是有利的。

[0039] 在一个实施例中,阻抗结构的阻抗的不同值可以通过选择所述引线中的所配属的一个引线来选择。更具体地,阻抗结构的阻抗的不同离散值中的相应一个可以通过选择所述引线中的所配属的一个引线来选择。例如,通过与所选择的引线和待在之上安装封装体

的安装基座(例如印刷电路板)形成导电连接,所述所选择的引线可以限定由部分或全部接入阻抗结构提供的阻抗的所选择的值。

[0040] 在一个实施例中,阻抗结构被连接用于衰减电子器件的振铃。描述性地说,由阻抗结构提供的阻抗(特别是电感)的所选择的值与(例如高功率分立开关类型)电子器件的栅极-源极电容的组合可以有效地形成成不期望的振荡现象的形式的频率滤波器衰减振铃效应,例如在关闭封装体时。

[0041] 在一个实施例中,所述载体包括引线框架、特别是包括裸片焊盘和多个引线。这样的引线框架可以是片状的金属结构,其可以被图案化以形成用于安装封装体的一个或多个电子器件的一个或多个裸片焊盘或安装区段以及用于在将电子器件安装在引线框架上将封装体电连接到电子环境的一个或多个引线区段。在一个实施例中,引线框架可以是金属板(特别是由铜制成),所述金属板可以例如通过冲压或蚀刻而被图案化。将芯片载体形成成为引线框架是成本高效的并且在机械上以及在电气上都是有利的配置,其中,所述至少一个电子器件的低欧姆连接可以与引线框架的坚固的支撑能力相结合。此外,由于引线框架的金属(特别是铜)材料的高热导率,引线框架可以有助于封装体的导热性并且可以去除在电子器件的操作期间产生的热量。引线框可以包括例如铝和/或铜。在本申请的上下文中,术语“裸片焊盘”可以特别地表示引线框架的一部分,其形状和尺寸适于容纳诸如半导体芯片的电子器件。相应地,裸片焊盘的表面区域通常是平坦的和平面的,并且足够大以在其上完全接收芯片或裸片。与此相比,术语“引线”可以特别地表示引线框架的另一部分,其可以至少部分地延伸超过包封剂(如果存在的话)并且用作到封装体的外围电子设备的连接元件。例如可能的是,电子器件的安装裸片焊盘上的一个或多个端子例如通过夹、接合导线或接合带电连接到引线中的相应的一个。例如可能的是,裸片焊盘被包封并且引线相对于包封剂部分或完全暴露。裸片焊盘也可以形成引线框架型载体的中央部分,而引线则可以形成引线框架的外围部分。裸片焊盘和引线都可以至少部分地包括金属材料。更一般地,载体可以是部分或完全金属结构。

[0042] 在另一个实施例中,所述载体包括由中央电绝缘和导热的层(例如陶瓷层)、直接铜接合(DCB)衬底和直接铝接合(DAB)衬底组成的堆叠体,其中,在中央电绝缘和导热的层的两个相反的主表面上覆盖有相应的导电层(例如铜层或铝层,其中,所述相应的导电层可以是连续的或图案化的层)。

[0043] 在一个实施例中,所述封装体包括仅包封载体的一部分、电子器件的至少一部分和接合导线或其它类型的阻抗结构的至少一部分的包封剂、特别是模制化合物。当通过模制包封时,例如可以进行注射模制或传递模制。因此,包封剂可以包括模制物、特别是塑料模制物。例如,可以通过将一个或多个结构体放置在上模具与下模具之间并将液态模制材料注入其中来提供相应被包封的结构体(特别是带有载体的电子器件)。在模制材料固化之后,完成包封剂的形成。如果需要,模制物可以填充有改善其性能、例如其热量去除性能的颗粒。在其它示例性实施例中,包封剂也可以是浇铸构件。

[0044] 在一个实施例中,所有引线或端子可以侧向突出于包封剂(其可以对应于带引线的封装体架构)。然而,封装体也可以是无引线封装体。

[0045] 在一个实施例中,电子器件、载体和/或阻抗结构之间的连接是通过连接媒介形成的。例如,连接媒介可以是钎焊结构、烧结结构、熔接结构和/或胶合结构。因此,可以通过钎



焊、烧结或熔接,或者通过粘附或胶合来实现将电子器件安装在载体上和/或将阻抗结构连接在电子器件与载体之间。

[0046] 在一个实施例中,所述封装体包括安装在载体上的多个电子器件。因此,所述封装体可以包括一个或多个电子器件(例如诸如电容器的至少一个无源器件以及诸如半导体芯片的至少一个有源部件)。

[0047] 在一个实施例中,所述至少一个电子器件包括由控制器电路、驱动器电路和功率半导体电路组成的组中的至少一个。所有这些电路可以集成到一个半导体芯片中,或者分别集成在不同的芯片中。例如,可以通过芯片来实现相应的功率半导体应用,其中,这种功率半导体芯片的集成电路元件可以包括至少一个晶体管(特别是MOSFET、金属氧化物半导体场效应晶体管)、至少一个二极管等。特别地,可以制造实现半桥功能、全桥功能等的电路。

[0048] 在一个实施例中,所述封装体被配置为功率转换器、特别是AC/DC功率转换器和DC/DC功率转换器中的一个。然而,诸如逆变器等的其它电子应用也是可能的。

[0049] 作为用于半导体芯片的衬底或晶片,可以使用半导体衬底,即硅衬底。替代性地,可以提供硅氧化物或另一绝缘体衬底。也可以实现锗衬底或III-V族半导体材料。例如,示例性实施例可以以GaN或SiC技术实现。

[0050] 通过结合附图的以下描述和所附权利要求,本发明的上述和其它目的、特征和优点将变得显见,在附图中,相似的部件或元件由相似的附图标记表示。

## 附图说明

[0051] 被包括以提供对本发明的示例性实施例的进一步理解并构成说明书的一部分的附图示出了本发明的示例性实施例。

[0052] 在附图中:

[0053] 图1示出了根据一个示例性实施例的封装体的三维视图。

[0054] 图2示出了根据图1的封装体的透明的三维视图。

[0055] 图3示出了根据图1和图2的封装体的剖视图。

[0056] 图4示出了示意性示出根据另一个示例性实施例的封装体的电路的电路图。

[0057] 图5和图6示出了对两个外部栅极电阻器值来说的根据一个示例性实施例的封装体的集成电感器结构对栅极-源极电压的衰减作用。

[0058] 图7示出了根据另一个示例性实施例的封装体的剖视图。

## 具体实施方式

[0059] 附图中的图示是示意性的,且不是按比例。

[0060] 在将参考附图更详细地描述示例性实施例之前,将基于已经开发了哪些示例性实施例来总结一些一般性考虑。

[0061] 根据一个示例性实施例,可以提供封装体的集成阻抗结构(优选地被实施为电感器结构)。特别地,阻抗结构可以被实施为集成接合导线阻抗结构。这样的配置对于功率应用可能是特别有利的,并且可以抑制诸如振铃(ringing)等的不期望的现象。有利地,这种阻抗结构可以被提供而使得可以通过选择连接到所述阻抗结构的不同区段或部分的多个

引线中的一个用于封装体的外部电连接来调整在封装体的电子器件与外部引线之间的阻抗值。

[0062] 有利地, 示例性实施例可以在中压和高压分立功率MOSFET中实施。MOSFET芯片正变得越来越小, 这要归功于与制造工艺相关的工作的优化。这种封装体的小型化的直接结果是更高的效率, 特别是更快的开关和减小的电容。

[0063] 另一方面, 易用性可以受到封装体的进一步小型化的影响, 特别是由于振铃效应。在电子学和信号处理中, 振铃可以表示信号的振荡, 特别是响应于输入信号的突然变化产生的信号的振荡。通常振铃是不利的。特别是在晶体管芯片中, 栅极至源极电压振铃可能导致不希望的接通或关断效应或栅极驱动器的故障。栅极至源极电压振铃也可以被视为封装体的质量评估的决定性参数。

[0064] 一个示例性实施例可以通过实施集成多抽头阻抗结构来提高封装体的易用性, 同时获得高的效率。

[0065] 一个示例性实施例的要点涉及非常接近电子器件 (特别是芯片栅极电极) 的相应焊盘定位的集成高阻抗阻抗结构 (优选地被实施为高电感电感器结构) 的实施。在一个特别优选的实施例中, 这可以通过封装体内的一系列额外的接合导线实现。有利地, 这种集成阻抗结构可以消除对诸如外部电感器、电阻器等的外部表面安装装置 (SMD) 的任何需要。此外, 这样的实施例在实施方面可以提供优越的性能且不太费力。

[0066] 示例性实施例与显著不同的封装体设计兼容。特别地, 示例性实施例可以用DDPACK、QDPACK、DSO和TOLL类型的封装体来实施。基本上, 实施阻抗结构的示例性实施例可以应用于任何封装体、特别是具有自由引线或引脚的封装体。

[0067] 示例性实施例可以以较低的努力实施。在一个实施例中, 这样的实施方式可以通过仅仅在芯片型电子器件上的栅极引线的内部部分与栅极焊盘之间添加一系列接合导线圈来实现。经由栅极引线, 可以将栅极信号施加于封装体。

[0068] 图1示出了根据一个示例性实施例的封装体100的三维视图。图2示出了根据图1的封装体100的透明的三维视图。图3示出了根据图1和图2的封装体100的剖视图。所示的实施方式涉及封装体100的接合导线电感器 (如下面详细描述)。仅作为一个示例, 图1的封装体100被设计为DDPACK型封装体。

[0069] 在图1至图3中, 示出了半导体封装体100, 其包括引线框架型载体102、安装在载体102上的电子器件104 (例如半导体芯片、特别是功率晶体管芯片) 以及包封电子器件104和载体102的仅一部分的模制型包封剂110。

[0070] 电子器件104被配置为具有垂直电流 (即根据图3在垂直方向上的电流) 的功率晶体管半导体型。电子器件104具有三个焊盘106。在电子器件104的顶部主表面上设有栅极焊盘106a和源极焊盘106b。在电子器件104的底部主表面上形成有漏极焊盘106c。

[0071] 引线框架型载体102包括被实施为裸片焊盘的安装区段114和多个引线116。载体102可以由铜制成。如图所示, 载体102的安装区段114与一些引线116在空间上分隔开。安装区段114位于安装区段114的左侧的第一组引线116与安装区段114的右侧的第二组引线116之间。电子器件104例如通过焊接安装在安装区段114的一个主表面上。如图1和图3所示, 安装区段114的相反的另一主表面相对于包封剂110暴露, 以促进去除功率半导体芯片型电子器件104在封装体100的操作期间所产生的热量。

[0072] 例如,为了避免在封装体100的操作期间功率晶体管型电子器件104产生振铃,阻抗结构108电连接在电子器件104与引线116中的一些之间,并且包封在包封剂110中。在所示的实施例中,阻抗结构108被实施为提供不同电感值的电感器结构,用户可以通过选择引线116a至116e中的一个向栅极焊盘106a提供信号来单独地分接不同的电感。阻抗结构108将栅极焊盘106a与载体102电耦合。这里,阻抗结构108由连接在栅极焊盘106a与引线116a至116e中的一些之间的多个接合导线112a至112e构成。如图2所示,所述接合导线112a至112e被布置成形成构成导电线圈结构、从而提供电感的多个圈。如图所示,接合导线112b至112e中的每个都沿着Z形轨迹在载体102的两个相应的引线116a至116e之间延伸。从图2中可以看出,这里以接合导线112b至112e的形式实施的互连导电元件在所述引线116a至116e之间的电子器件104之上跨过延伸,但仍位于包封剂110内。因此,可以以紧凑的方式制造具有所示的阻抗结构108的封装体100。接合导线112a中的另一个在载体102的栅极焊盘106a与引线116c之间延伸。可以调整接合导线112或其它互连导电元件的圈的数目、圈的横截面积以及其它几何参数,以获得期望的阻抗值。例如,可以在连接到导电连接元件159的引线116a处被分接出的阻抗结构108的阻抗的适当值可以是45nH。

[0073] 如所示的示例所示,所述多个接合导线112包括将栅极焊盘106a与引线116c连接的接合导线112a、将所述引线116c与另外的引线116d、116b、116e连接的另外的接合导线112b至112d以及提供与引线116a的连接的最后的接合导线112e,所述引线116a在这里被选择用于与导电连接元件159连接。

[0074] 有利地且如图2中最佳所示,通过经由导电连接元件159将与相应数量的所述接合导线112a至112e连接的引线116a至116e中的所选择的一个引线与封装体100的外围电子设备电连接,可以调整由在栅极焊盘106a与所选择的引线(在所示示例中,与导电连接元件159连接的引线116a)之间延伸的接合导线112a至112e的一部分提供的阻抗的可选择的值。换句话说,不同的引线116a至116e连接到串联布置的接合导线112a至112e的不同区段,使得在引线116a至116e中的不同引线处可以分接出阻抗结构108的不同阻抗值。例如并再次参考图2,通过以导电连接元件159到引线116a的形式形成导电连接,所有接合导线112a至112e都有效地贡献于栅极焊盘106a与引线116a之间的电感。因此,可以在引线116a处分接出例如45nH的最大电感。与此相比,通过形成例如到引线116b的导电连接(未示出),所述接合导线112a至112e的较小部分,即仅接合导线112a至112c,有效地贡献于栅极焊盘106c与引线116b之间的电感。因此,例如30nH的较小电感可以在引线116b处分接出。通过形成到引线116c的导电连接,接合导线112a至112e的还要更小的部分,即仅接合导线112a,有效地贡献于栅极焊盘106a与引线116c之间的阻抗。电感的其它值仍然可以通过将导电连接元件159连接到引线116d、116e中的一个来分接出。因此,根据特定应用的要求,阻抗结构108为用户提供了选择阻抗(或更具体地为电感)的可选择的值的机会。

[0075] 与其电子功能相关的是,阻抗结构108将电子器件104的栅极焊盘106a与载体102的可选择的栅极引线116a至116e电耦合。根据选择将引线116a至116e中的哪个引线电连接作为用于提供栅极信号的栅极引线,可以选择在栅极焊盘106a与所选择的栅极引线116之间增加的电感值。根据图2,所选择的栅极引线是引线116a,因为导电连接元件159已经电连接到引线116a(例如通过焊接)。从图1到图3可以看出,在不增加尺寸的情况下,封装体100因此配备有集成的多抽头阻抗结构108。

[0076] 如图2中最佳所示,阻抗结构108被配置为成接合导线112a至112e的形式的(基本上但不完全平行)的对正的互连导电元件的阵列,所述接合导线112a至112e在引线框架型载体102的引线116a至116e之间前后延伸。连接元件或接合导线112a从栅极焊盘106a延伸到封装体100左侧的引线框架型载体102的引线116c。导电连接元件或接合导线112b从所提到的引线116c延伸到封装体100的相反另一侧的另一引线116d。所述导电连接元件或接合导线112b还延伸跨过在安装在载体102的安装区段114上的电子器件104。如图所示,此时可以使用任何期望数量的另外的导电连接元件或接合导线112c、112d、112e来在另外的引线116a、116b、116e之间形成阻抗结构108b的一个或多个另外的圈,直到获得期望的阻抗值为止。阻抗结构108的最后的导电连接元件或接合导线112e连接到栅极引线116a。这提供了到所选择的栅极引线116a的外部电连接,其间具有被完全抽头的阻抗结构108的最大阻抗。由于所示架构的结果,阻抗结构108提供了例如最高可达45nH的可调整的电感,而没有大量额外的努力并且也没有增加封装体100的尺寸来例如抑制振铃。

[0077] 图2还示出了可选的另外的引线116f,其不与阻抗结构108的连接元件、例如接合导线112a至112e电耦合。

[0078] 图4示出了示意性示出根据另一个示例性实施例的封装体100的电路的电路图的剖视图。

[0079] 图4示出了提供类似于图1至图3所示的封装体100的性能的电子电路。如图所示,电子器件104被配置为MOSFET芯片,参见栅极焊盘106a。可以将电源电压 $V_{DD}$ 提供给封装体100。如图所示,MOSFET具有栅极-源极电容 $C_{GS}$ 。阻抗结构108在多个引线116与栅极焊盘106a之间互连。通过选择引线116中的相应一个用于电连接以提供栅极信号来分接所述阻抗结构108的一部分,可以选择电感 $L_1$ 、 $L_2$ 或 $L_3$ 的不同值。在 $L_1 > L_2 > L_3$ 的情况下,最上面的引线116可以例如对应于图2的引线116a,中间的引线116可以例如对应于图2的引线116b,而最下面的引线116可以例如对应于图2的导线116c。

[0080] 栅极-源极电容 $C_{GS}$ 与所选择的电感 $L_1$ 、 $L_2$ 或 $L_3$ 的值一起可以有效地在不期望的振铃方面形成频率滤波器衰减振荡。由于振铃频率可与封装体100的特定设计有关,因此可能期望选择电感 $L_1$ 、 $L_2$ 或 $L_3$ 的值中的特定一个来高效地抑制特定封装体设计中的振铃。这可以通过简单地选择图4的引线116中的一个以与外围电子设备内连接、从而选择电感 $L_1$ 、 $L_2$ 或 $L_3$ 的值中的某个值、最后选择一个用于抑制振铃的频率滤波器范围来完成。

[0081] 图5和图6示出了图170、180,其示出了对于两个不同的外部栅极电阻器值,根据一个示例性实施例的封装体100的集成电感器108对栅极-源极电压的振铃的衰减作用。

[0082] 图5示出了图170,其图示了根据一个示例性实施例的封装体100的集成电感器108的衰减作用。根据图5的图170具有横坐标172,沿着横坐标172以秒为单位绘制时间。沿着纵坐标174,以伏特为单位绘制栅极-源极电压。图180具有横坐标172,沿着所述横坐标也是以秒为单位绘制时间。沿着图180的纵坐标174,也以伏特为单位绘制栅极至源极电压。图170涉及10欧姆的外部栅极电阻和46A的漏极电流。图180涉及0.5欧姆的外部栅极电阻和52A的漏极电流。在图5和图6中,传统封装体的特性用附图标记176示出。与之相比,根据一个示例性实施例的具有集成阻抗结构108的封装体100的性能用曲线178示出。从图5和图6中可以看出,用附图标记182表示的寄生振荡形式的振铃效应可以用根据一个示例性实施例的集成阻抗结构108显著抑制。

[0083] 因此,已经进行了分析以便评估根据图1至图3的集成阻抗结构108对180mOhm MOSFET开关型封装体100的振铃特性的影响。图5和图6示出了在有和没有提供阻抗结构108的附加的接合导线112的情况下的栅极至源极电压波形。在两个开关条件下,可以清楚地观察到对栅极至源极电压振铃幅度的衰减作用。如图所示,衰减特性的差异是显著的。通过对多种现有技术的测量,已对该实验选择的测试系统进行了仔细校准。因此,该模型被认为在预测功率MOSFET的开关特性方面是准确的。

[0084] 图7示出了根据另一个示例性实施例的封装体100的剖视图。

[0085] 根据图7,阻抗结构108由螺旋缠绕的导电互连元件形成。例如,可以通过对金属板进行图案化或通过缠绕金属导线来形成这种螺旋。在螺旋的不同绕组处,多个引线116中的相应一个分接出螺旋的部分阻抗(特别是电感)。因此,电路设计者可以通过选择多个引线116中的一个用于与外围电子设备内的连接来选择由焊盘106与引线116中的相应一个之间的螺旋的相应区段提供的阻抗。例如,可以根据电子器件104的入口电容的相应值来选择阻抗的适当值。

[0086] 应当注意,术语“包括”不排除其它元件或特征,并且“一”或“一个”不排除多个。同样,可以组合结合不同实施例描述的元件。还应当注意,附图标记不应被解释为限制权利要求的范围。此外,本申请的范围不旨在限于说明书中描述的过程、机器、制造、物质组成、手段、方法和步骤的特定实施例。因此,所附权利要求旨在将这样的过程、机器、制造、物质组成、手段、方法或步骤包括在它们的范围内。

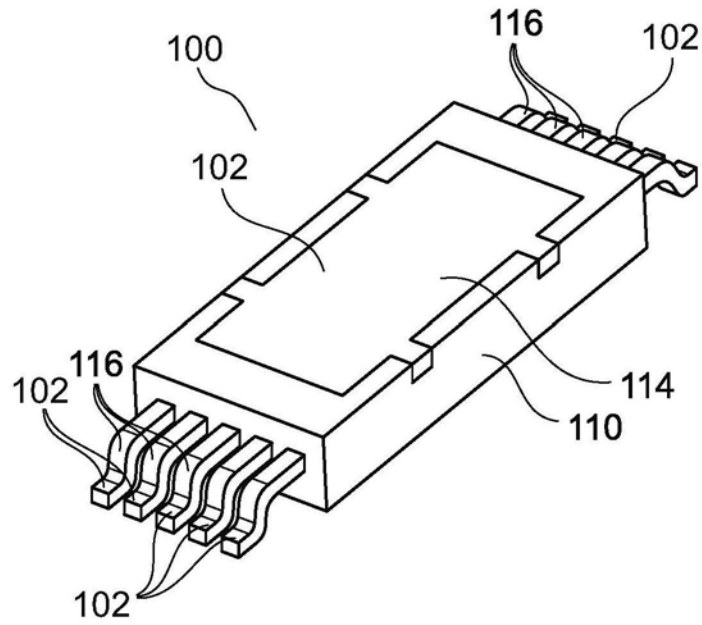


图1

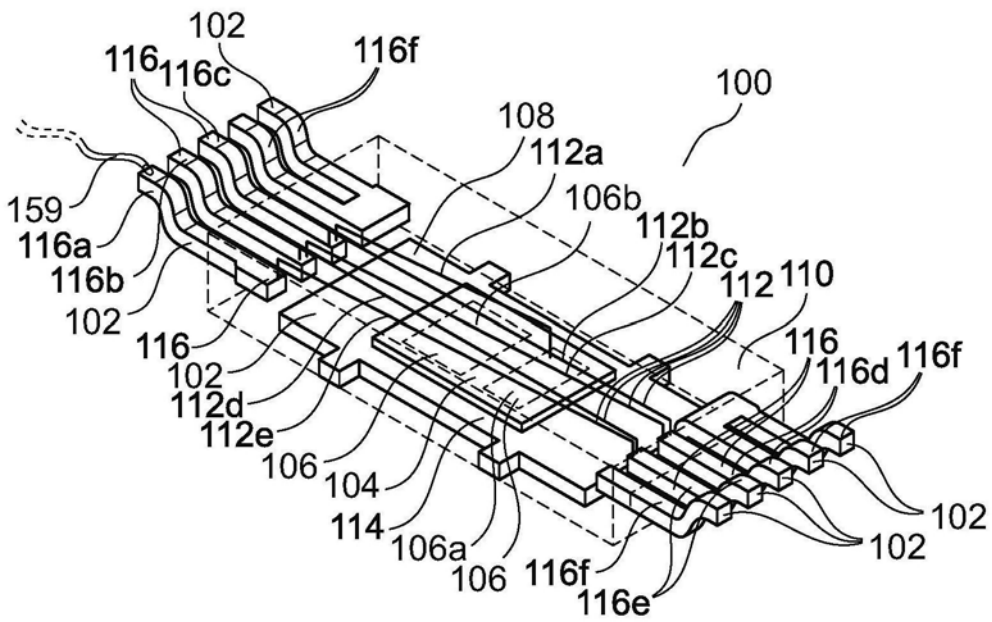


图2

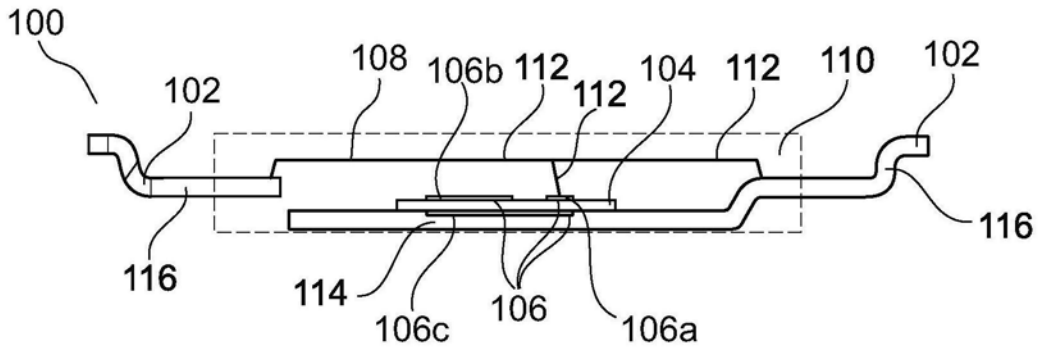


图3

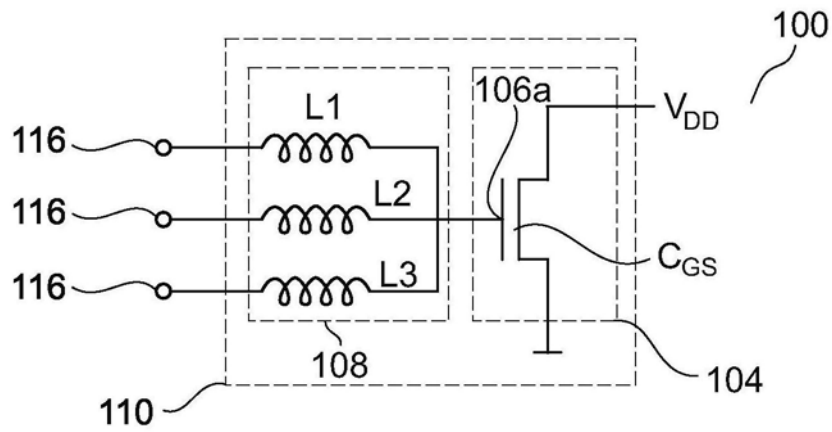


图4

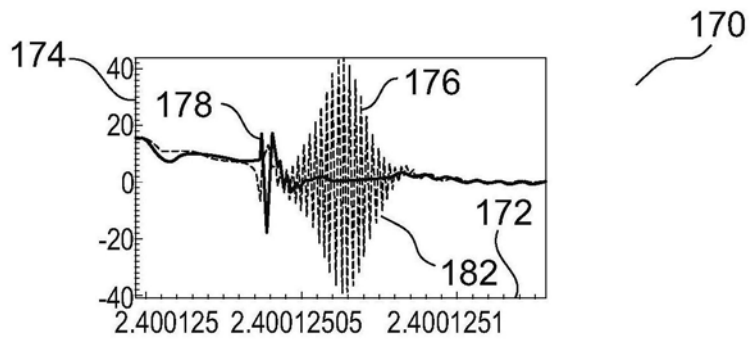


图5

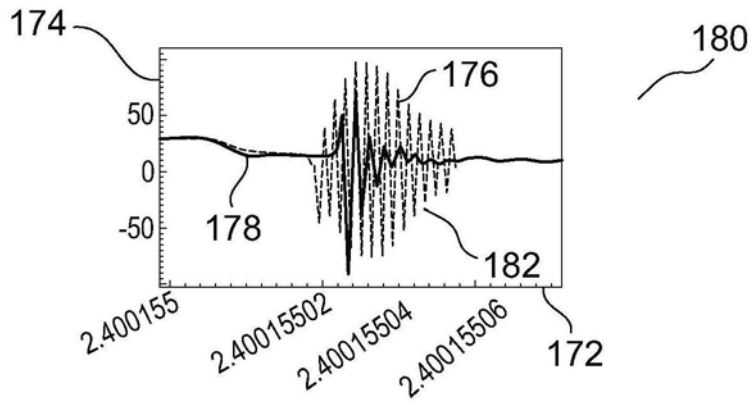


图6

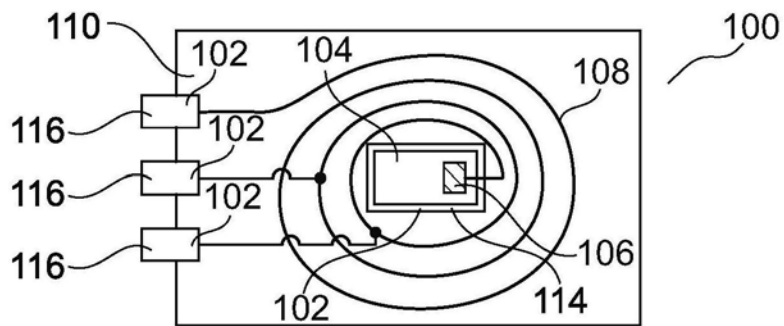


图7