

## (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
G11C 11/407

(45) 공고일자 1998년12월01일  
(11) 등록번호 특0156968  
(24) 등록일자 1998년07월27일

(21) 출원번호 특1995-011881  
(22) 출원일자 1995년05월15일

(65) 공개번호 특1996-042740  
(43) 공개일자 1996년12월21일

(73) 특허권자 현대전자산업주식회사 김주용  
경기도 이천군 부발읍 아미리 산 136-1  
(72) 발명자 오종훈  
서울특별시 마포구 서교동 332-33호  
(74) 대리인 이권희, 이정훈

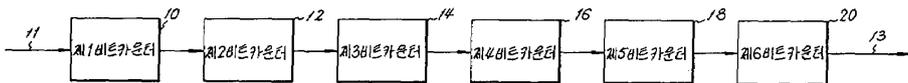
**심사관 : 김용정**

### (54) 고속 카운터 회로

#### 요약

고속 카운터 회로는 클럭신호로부터 카운트 값의 발생될 때까지의 지연시간을 최소화하여 동작속도를 향상시킨다. 이를 위하여, 상기 고속 카운터 회로는 클럭신호를 입력하기 위한 입력라인과, 상기 입력라인으로 부터의 클럭신호에 따라 2비트 이상의 카운트 값을 발생하도록 접속된 적어도 2개이상의 비트 카운터와, 적어도 하나 이상의 하위의 비트카운터의 카운트 값에 따라 상기 입력라인으로 부터의 클럭신호를 상위의 비트 카운터에 공급하는 적어도 1개 이상의 클럭동기부를 구비한다.

#### 대표도



#### 명세서

[발명의 명칭]

고속카운터 회로

[도면의 간단한 설명]

제1도는 종래의 6비트 카운터 회로의 블록도.

제2a도 내지 제2h도는 제1도에 도시된 카운터 회로의 각 부분에 대한 출력 파형도.

제3도는 제1도에 도시된 1비트 카운터의 상세회로도.

제4도는 본 발명의 제1 실시예에 따른 6비트 고속 카운터 회로의 회로도.

제5도는 본 발명의 제2 실시예에 따른 6비트 고속 카운터 회로의 회로도.

\* 도면의 주요부분에 대한 부호의 설명

10내지 20,30내지 52 : 비트 카운터      G11내지G16 : 인버터

GA1내지GA9 : AND 게이트

MN1내지MN4 : NMOS 트랜지스터

MP1내지MP4 : PMOS 트랜지스터

[발명의 상세한 설명]

본 발명은 반도체 집적회로 장치에 사용되는 카운터 회로에 관한 것으로, 특히 전파지연시간을 최소화하여 동작속도를 향상시킬 수 있는 고속카운터 회로에 관한 것이다.

통상의 DRAM(Dynamic Random Access Memory)과 같은 반도체 집적회로 장치는 리플레쉬(Refresh)동작을 수행하기 위하여 카운터 회로를 구비한다. 상기 리플레쉬 동작은 다수의 메모리 셀 어레이에 저장된 데이터들이 유지될 수 있도록 전하를 보충한다. 이를 위하여, 상기 반도체 집적회로 장치에 포함된 상기 카운터 회로는 상기 메모리 셀 어레이들에 대한 어드레스들을 순차적으로 발생한다.

그리고 최근에 개발된 동기식 DRAM의 경우에는 상기 리플레쉬 동작 뿐 아니라 버스트 기록(Burst Write) 및 판독(Read)동작을 수행하기 위하여 카운터 회로를 구비한다. 상기 버스트 기록 동작은 외부로부터 지정한 다수의 메모리셀들을 데이터가 순차적으로 저장되도록 하고, 상기 버스트 판독 동작은 외부로부터 지정한 다수의 메모리셀들에 저장된 데이터들이 순차적으로 독출되도록 한다. 이러한 동작을 위하여, 상

기 동기식 DRAM에 포함된 상기 카운터 회로는 외부로부터의 시작 어드레스에서부터 종료 어드레스까지의 어드레스들을 발생한다. 그러나, 상기 동기식 DRAM에 포함된 카운터 회로에서 발생하는 어드레스들은 외부로부터 공급되는 동기 클럭과 매칭 되어야 하나, 상기 카운터 회로의 전파 지연으로 인하여 상기 외부의 동기 클럭과 매칭 되지 않는다. 이로 인하여, 종래의 카운터 회로는 동기식 DRAM의 오동작을 유발시키는 문제점을 안고 있었다. 상기 종래의 카운터 회로의 문제점을 첨부한 도면을 참조하여 설명하기로 한다.

제1도에는 클럭 입력 라인(11)에 직렬 접속된 제1내지 제6비트 카운터들(10 내지 20)을 구비한 카운터 회로가 도시되어 있다. 상기 클럭 입력라인(11)에는 외부로부터 제2a도와 같은 클럭신호가 입력된다.

그리고 상기 제1비트 카운터(10)는 상기 입력라인(11)으로 부터의 클럭신호를 하강 에지(Edge)에서 출력을 반전시켜, 제2b도와 같이, 상기 클럭신호가 2분주된 펄스신호를 발생한다. 상기 제2비트 카운터(12)는 상기 제1비트 카운터(10)의 출력신호의 하강 에지에서 자신의 출력신호를 발전시켜, 제2c도와 같이, 상기 제1비트 카운터(10)의 출력신호가 2분주된 펄스신호를 발생한다. 상기 제2비트 카운터(12)와 동일한 형태로, 상기 제3 내지 제6비트 카운터들(14 내지 20)은 각각 제2 내지 제5비트 카운터의 출력신호들이 2분주된 제2d도 내지 제2G도와 같은 펄스 신호를 발생한다. 결과적으로, 상기 제1내지 제6비트 카운터(10 내지 20)는, 제2h도에 도시된 바와 같이 0에서부터 31까지의 값을 순환적으로 갖는 어드레스를 발생한다.

그러나, 제1비트 카운터(10)의 출력신호는 상기 클럭신호의 하강에지로부터 상기 제1비트 카운터(10)의 전파지연시간 만큼 지연된 시간에 발생되나, 제2 내지 제6비트 카운터들(12 내지 20)의 출력신호들은 각각 하위의 비트 카운터들의 전파지연시간의 합에 해당하는 시간이 경과된 시점에서 발생된다. 예를 들면, 카운트 값이 31로부터 0으로 환화될 경우, 상기 제6비트 카운터(20)의 출력신호는 상기 클럭신호의 하강 에지로부터 제1 내지 제6비트 카운터들(10 내지 20)의 전파지연시간의 합에 해당하는 지연기간(즉, 제2h도에 도시된 기간(TD))이 경과된 시점에서 발생된다.

제3도는 제1도에 도시된 제1 내지 제6 비트 카운터를 상세하게 도시한다. 제3도에 있어서, 상기 비트 카운터는 제1 및 제2노드(21, 23)의 제3노드(23, 25)를 절환하기 위한 NMOS 및 PMOS 트랜지스터(MN2, MP2)와, 그리고 상기 입력라인(15)으로부터의 펄스신호를 반전시키기 위한 인버터(GI6)를 추가로 구비한다. 상기 NMOS 및 PMOS 트랜지스터(MN1, MP1)는 상기 입력라인(15)상의 펄스신호가 1의 논리값을 가질 경우, 상기 출력라인(17)상의 논리값을 상기 제1노드(21)쪽으로 전송한다. 이와는 달리, 상기 NMOS 및 PMOS 트랜지스터(MN2, MP2)는, 상기 입력라인(15)상의 펄스신호가 0의 논리값을 가질 경우, 상기 제2노드(23)상의 논리값을 상기 제3노드(25)쪽으로 전송한다. 상기 입력라인(15)상의 펄스신호는 상기 두 개의 NMOS 트랜지스터들(MN1, MN3)의 게이트들 및 두 개의 PMOS 트랜지스터들(MP2, MP4)의 게이트들에 공통적으로 공급된다. 그리고 상기 인버터(GI6)의 출력신호도 상기 두 개의 NMOS 트랜지스터들(MN2, MN4)의 게이트들 및 상기 두 개의 PMOS 트랜지스터들(MP1, MP3)의 게이트들에 공통적으로 공급된다.

상기한 바와 같이, 종래의 카운터 회로의 클럭신호에 대한 출력신호의 응답신호가 매우 느린 단점을 갖고 있고, 상기 단점으로 인하여 클럭신호와 매칭된 카운트 값을 발생하기 곤란하다. 이로 인하여, 종래의 카운터 회로는 반도체 집적 회로 장치의 오동작을 유발시키고, 나아가 반도체 집적회로 장치의 신뢰성을 저하시키는 문제점을 안고 있었다.

따라서, 본 발명은 입력되는 클럭신호에 대한 출력신호의 응답속도를 향상시킬 수 있는 고속 카운터 회로를 제공함에 있다.

상기 목적을 달성하기 위하여, 본 발명의 고속 카운터 회로는 클럭신호를 입력하기 위한 입력 라인과, 상기 입력라인으로 부터의 클럭신호에 따라 2비트 이상의 카운트 값을 발생하도록 접속된 적어도 2개 이상의 비트카운터와, 적어도 하나 이상의 하위의 비트카운터의 카운트 값에 따라 상기 입력라인으로 부터의 클럭신호를 상위의 비트카운터에 공급하는 적어도 1개 이상의 클럭동기수단을 구비한다.

이하, 본 발명에 따른 실시예들을 첨부한 도면을 참조하여 상세히 설명하기로 한다.

제4도를 참조하면, 입력라인(31)으로부터 클럭신호를 입력하는 제1 AND 게이트(GA1) 및 상기 제1 AND 게이트(GA1)의 출력신호에 응답하여 카운트 동작을 수행하는 제1 비트카운터(30)를 구비하는 본 발명의 제1 실시예에 따른 고속 카운터 회로가 설명되어 있다. 상기 제1 AND 게이트(GA1)는 전원전압(Vcc)으로부터 전원전압(Vcc)이 공급되는 동안 상기 입력라인(31)으로 부터의 클럭신호를 상기 제1비트카운터(30)의 클럭단자쪽으로 전송한다. 상기 제1 AND 게이트(GA1)의 출력 신호는 상기 클럭신호와 동일한 주파수 및 상기 클럭신호의 펄스 폭 보다 상기 제1 AND 게이트(GA1)에 전파지연시간 만큼 큰 폭의 펄스를 갖는다. 상기 제1비트 카운터(30)는 상기 제1 AND 게이트(GA1)로부터의 클럭신호의 하강 에지(Falling Edge)시 마다 자신의 출력신호의 논리상태를 반전시켜 상기 클럭신호를 2분주한 제1카운트 신호를 발생한다. 그리고 상기 제1비트카운터(30)는 상기 제1카운트 신호를 제2 AND 게이트(GA2)에 공급한다.

그리고 상기 고속 카운터 회로는 상기 제2 AND 게이트(GA2)의 출력 신호에 응답하여 제2 카운트 신호를 발생하는 제2비트카운터(32)와, 상기 제1 및 제2카운트 신호를 입력하는 제3 AND 게이트(GA3)를 추가로 구비한다. 상기 제2 AND 게이트(GA2)는 상기 제1비트카운터(30)로 부터의 상기 제1카운트 신호 및 상기 입력라인(31)으로 부터의 상기 클럭신호를 AND 연산하여 상기 클럭신호에 비하여 1/2에 해당하는 주파수를 갖고 상기 클럭신호의 펄스 폭 보다 자신의 전파지연시간 만큼 큰 폭을 갖는 펄스신호를 발생한다. 상기 제2비트카운터는 제2 AND 게이트(GA2)로 부터의 자신의 클럭단자로 인가되는 상기 펄스신호의 하강에지마다 상기 제2카운트 신호의 논리상태를 발전시킨다. 결과적으로, 상기 제2비트카운터(32)는 제1카운트 신호가 하이논리를 유지하는 동안에 인가되는 클럭신호에 의하여 카운트 동작을 하게 된다. 그리고 상기 제3 AND 게이트(GA3)는 상기 제1카운트 신호 및 상기 제2카운트 신호를 AND 연산하여 상기 제1 및 제2비트카운터(30, 32)의 출력신호들이 모두 하이논리를 갖는 시점을 검출한다. 상기 제3 AND 게이트(GA3)의 출력신호는 상기 제1카운트 신호의 1/2에 해당하는 주파수 및 상기 제1카운트 신호의 펄스 폭과 동일한 폭의 펄스를 갖는다. 상기 제3 AND 게이트(GA3)의 출력신호는 제4 AND 게이트(GA4)에 공급된다.

또한, 상기 고속 카운터 회로는 상기 제4 AND 게이트(GA4)의 출력신호에 응답하여 제3카운트 신호를 발생하는 제3비트카운터(34)와, 상기 제3 AND 게이트(GA3)의 출력신호 및 제3 카운트 신호를 입력하는 제5

AND 게이트(GA5)를 추가로 구비한다. 상기 제4 AND 게이트(GA4)는 상기 제3 AND 게이트(GA3)의 출력 신호 및 상기 입력라인(31)으로부터의 상기 클럭신호를 AND 연산하여 상기 제3 AND 게이트(GA3)의 출력신호를 상기 클럭신호에 동기시킨다. 그리고 상기 제4 AND 게이트(GA4)의 출력신호는 상기 클럭신호에 비하여 1/4에 해당하는 주파수를 갖고 상기 클럭신호의 펄스 폭 보다 상기 제4 AND 게이트(GA4)의 전파 지연시간 만큼 큰 폭의 펄스를 갖는다. 상기 제3비트카운터(34)는 제4 AND 게이트(GA4)로 부터의 자신의 클럭단자로 인가되는 상기 펄스 신호의 하강에지 마다 상기 제3카운트 신호의 논리상태를 반전시킨다. 결과적으로, 상기 제4비트카운터(34)는 제1카운트 신호 및 제2카운트 신호들이 모두 하이논리를 유지하는 동안에 인가되는 클럭신호에 의하여 카운트 동작을 하게 된다. 그리고 상기 제5 AND 게이트(GA5)는 상기 제3 AND 게이트(GA3)의 출력신호 및 상기 제3카운트 신호를 AND연산하여 상기 제1 내지 제3비트카운터(30,32,34)의 출력 신호들이 모두 하이논리를 갖는 시점을 검출한다. 상기 제5 AND 게이트(GA5)의 출력신호는 상기 제1카운트 신호의 1/4에 해당하는 주파수 및 상기 제1카운트 신호의 펄스와 동일한 폭의 펄스를 갖는다. 상기 제5 AND 게이트(GA5)의 출력신호는 제6 AND 게이트(GA6)에 공급된다.

상기 고속 카운트 회로는 상기 제6 AND 게이트(GA6)의 출력신호에 응답하여 제4카운트 신호를 발생하는 제4비트카운터(36)와, 상기 제4비트카운터(36)의 출력신호 및 상기 제5 AND 게이트(GA5)의 출력신호를 AND 연산하는 제7 AND 게이트(GA7)를 구비한다. 상기 제6 AND 게이트(GA6)는 상기 제5 AND 게이트(GA5)의 출력신호가 하이논리를 유지하는 동안 상기 입력라인(31)으로부터의 클럭신호를 상기 제4비트카운터(36)의 클럭단자쪽으로 전송한다. 상기 제6 AND 게이트(GA6)의 출력신호는 상기 클럭신호에 비하여 1/8의 주파수를 갖고 상기 클럭신호의 펄스 폭 보다 상기 제6 AND 게이트(GA6)의 전파지연시간 만큼 큰 폭의 펄스를 갖는다. 상기 제4비트카운터(36)는 상기 제6 AND 게이트(GA6)로 부터의 펄스신호의 하강에지 마다 상기 제4카운트 신호의 논리상태를 반전시킨다. 상기 제4카운트 신호는 상기 클럭신호의 1/16에 해당하는 주파수 및 50%의 듀티비를 갖는다. 상기 제7 AND 게이트(GA7)는 상기 제1 내지 제4비트카운터(30,32,34,36)의 출력신호들이 모두 하이논리를 갖는 시점을 검출한다. 상기 제7 AND 게이트(GA7)의 출력신호는 상기 제1카운트 신호에 비하여 1/8의 주파수를 갖고 상기 제1카운트 신호의 펄스와 동일한 폭의 펄스를 갖는다. 상기 제7 AND 게이트(GA7)의 출력신호는 상기 제8 AND 게이트(GA8)에 공급된다.

또한, 상기 고속 카운터 회로는 상기 제8 AND 게이트(GA8)의 출력신호에 응답하여 제5카운트 신호를 발생하는 제5비트카운터(38)와, 상기 제5비트카운터(38)의 출력신호 및 상기 제7 AND 게이트(GA7)의 출력신호를 AND연산하기 위한 제9 AND 게이트(GA9)를 구비한다. 상기 제8 AND 게이트(GA8)는 상기 제7 AND 게이트(GA7)의 출력신호가 하이논리를 유지하는 동안 상기 입력라인으로 부터의 클럭신호를 상기 제5비트카운터(38)의 클럭단자쪽으로 전송한다. 상기 제8 AND 게이트(GA8)의 출력신호는 상기 클럭신호의 1/16에 해당하는 주파수 및 상기 클럭신호의 펄스 폭 보다 상기 제8 AND 게이트(GA8)의 전파지연시간만큼 큰 폭의 펄스를 갖는다. 상기 제5비트카운터(38)는 상기 제8 AND 게이트(GA8)로 부터의 펄스신호의 하강에지 마다 상기 제5카운트 신호의 논리상태를 반전시킨다. 상기 제5카운트 신호는 상기 클럭신호의 1/32에 해당하는 주파수 및 50%의 듀티싸이클을 갖는다. 상기 제9 AND 게이트(GA9)는 상기 제1 내지 제5비트카운터(30 내지 38)의 출력신호들이 모두 하이논리를 유지하는 기간을 검출한다. 상기 제9 AND 게이트(GA9)의 출력신호는 상기 제1 카운트 신호의 1/16에 해당하는 주파수 및 상기 제1카운트 신호와 동일한 폭의 펄스를 갖는다.

더 나아가, 상기 고속 카운터 회로는 상기 제9 AND 게이트(GA9)의 출력신호 및 상기 입력라인(31)으로부터의 클럭신호를 AND연산하는 제10 AND 게이트(GA10)와, 상기 제10 AND 게이트(GA10)의 출력신호에 응답하여 제6카운트 신호를 발생하는 제6비트카운터(40)를 구비한다. 상기 제10 AND 게이트(GA10)는 상기 제9 AND 게이트(GA9)의 출력신호가 하이논리를 유지하는 동안 상기 입력라인(31)으로부터의 상기 클럭신호를 상기 제6비트카운터(40)의 클럭단자쪽으로 전송하는 기능을 한다. 상기 제10 AND 게이트(GA10)의 출력신호는 상기 클럭신호의 1/32에 해당하는 주파수 및 상기 클럭신호의 펄스 폭 보다 상기 제10 AND 게이트(GA10)의 전파지연시간 만큼 큰 폭의 펄스를 갖는다. 상기 제6비트카운터(40)는 상기 제10 AND 게이트(GA10)로 부터의 펄스신호의 하강에지 마다 자신의 출력신호인 제6카운트 신호를 반전시킨다. 상기 제6카운트 신호는 상기 클럭신호의 1/64에 해당하는 주파수 및 50%의 듀티싸이클을 갖는다. 상기 제6카운트 신호는 출력라인(33)을 경유하여 송출된다.

결과적으로, 상기 제1 내지 제6비트카운터들(30 내지 40)은 상기 클럭신호에 동기되어 동작함으로써 인하여 상기 클럭신호의 하강에지로부터 하나의 AND게이트 및 하나의 비트카운터에 의한 전파지연시간 만큼 지연된 시간에 카운트 값을 발생시킨다.

제5도를 참조하면, 입력라인(41)으로부터 제2클럭신호를 입력하는 제1 AND 게이트(GA11)와, 상기 제1 AND 게이트(GA11)의 출력신호에 응답하여 카운트 동작을 수행하는 제1비트카운터(42) 및 상기 제1비트카운터(42)로 부터의 제1카운트 신호 및 상기 입력라인(41)으로부터의 상기 제1클럭신호를 AND연산하는 제2 AND 게이트(GA12)를 구비하는 본 발명의 제2실시예에 따른 고속 카운트 회로가 설명되어 있다. 상기 제1 AND 게이트(GA11)는 전원전압원(Vcc)으로부터 전원전압(Vcc)이 공급되는 동안 상기 입력라인(41)으로부터의 상기 제1 클럭신호를 상기 제1 비트카운터(42)의 클럭단자쪽으로 전송한다. 상기 제1 비트카운터(42)는 상기 제1 AND 게이트(GA11)로 부터의 상기 제1 클럭신호의 하강 에지시마다 자신의 출력신호의 논리상태를 반전시켜 상기 제1 클럭신호를 2분주한 제1 카운트 신호를 발생한다. 상기 제2 AND 게이트(GA12)는 상기 제1 비트카운터(42)로 부터의 상기 제1 카운트 신호가 하이논리를 유지하는 동안에 상기 입력라인(41)으로부터의 클럭신호를 라인(43)쪽으로 전송하여 제2 클럭신호를 발생시킨다. 상기 제2 클럭신호는 상기 제1 클럭신호의 1/2에 해당하는 주파수를 갖고 상기 제1 클럭신호와 동기된 펄스를 갖는다. 그리고 상기 제2 클럭신호는 상기 제1 클럭신호의 펄스에 비하여 상기 제2 AND 게이트(GA12)의 전파지연시간 만큼 큰 폭을 갖는다.

그리고 상기 고속 카운터 회로는 상기 제2 AND 게이트(GA12)의 출력신호에 응답하여 제2 카운트 신호를 발생하는 제2 비트카운터(44)와, 상기 제2 카운트 신호 및 상기 제2 클럭신호를 입력하는 제3 AND 게이트(GA13)를 추가로 구비한다. 상기 제2 비트카운터(44)는 상기 라인(43)으로부터의 상기 제2 클럭신호의 하강 에지마다 상기 제2 카운트 신호의 논리상태를 반전시킨다. 상기 제2 비트카운터(44)는 상기 제2 클럭신호의 1/2에 해당하는 주파수 및 50%의 듀티싸이클을 갖는다. 그리고 상기 제3 AND 게이트(GA13)는 상기 제2 카운트 신호가 하이논리를 유지하는 동안에 상기 제2 클럭신호를 자신의 출력단자쪽으로 통과시킨

다. 상기 제3 AND 게이트(GA13)의 출력신호는 상기 제2 클럭신호의 1/2에 해당하는 주파수 및 상기 제2 클럭신호와 동기된 펄스를 갖는다. 그리고 상기 제3 AND 게이트(GA13)의 출력신호는 상기 제2 클럭신호의 펄스 폭에 비하여 제3 AND 게이트(GA13)의 전파지연시간 만큼 큰 폭을 갖는다.

또한, 상기 고속 카운터 회로는 상기 제3 AND 게이트(GA14)의 출력 신호에 응답하여 제3 카운트 신호를 발생하는 제3 비트카운터(46) 및 상기 제2 및 제 3 카운트 신호를 입력하는 제4 AND 게이트(GA14)를 추가로 구비한다. 상기 제3 비트카운터(46)는 제3 AND 게이트(GA13)의 출력신호의 하강 에지마다 상기 제3 카운트 신호의 논리상태를 반전시킨다. 결과적으로, 상기 제3 비트카운터(46)는 제2 카운트 신호가 하이논리를 유지하는 동안에 인가되는 상기 제2 클럭신호에 의하여 카운트 동작을 하게 된다. 상기 제4 AND 게이트(GA14)는 상기 제2 및 제3 비트카운터(44, 46)의 출력신호들이 모두 하이논리를 갖는 시점을 검출한다. 상기 제4 AND 게이트(GA14)의 출력신호는 상기 제2 카운트 신호의 1/2에 해당하는 주파수 및 상기 제2 카운트 신호의 펄스와 동일한 폭의 펄스를 갖는다. 상기 제4 AND 게이트(GA14)의 출력신호는 제5 AND 게이트(GA15)에 공급된다.

상기 고속 카운터 회로는 상기 제5 AND 게이트(GA15)의 출력신호에 응답하여 제4 카운트 신호를 발생하는 제4 비트카운터(48) 및 상기 제4 비트카운터(48)의 출력신호 및 상기 제4 AND 게이트(GA14)의 출력신호를 AND 연산하는 제6 AND 게이트(GA16)를 구비한다. 상기 제5 AND 게이트(GA15)는 상기 제4 AND 게이트(GA14)의 출력신호가 하이논리를 유지하는 동안 상기 라인(43)으로 부터의 상기 제2 클럭신호를 상기 제4 비트카운터(48)의 클럭단자쪽으로 전송한다, 상기 제5 AND 게이트(GA15)의 출력신호는 상기 제2 클럭신호의 1/4의 주파수를 갖고 상기 클럭신호와 동기된 펄스를 갖는다. 그리고 상기 제5 AND 게이트(GA15)의 출력신호는 상기 클럭신호에 비하여 상기 제5 AND 게이트(GA15)의 전파지연시간 만큼 큰 폭을 갖는다. 상기 제4 비트카운터(48)는 상기 제5 AND 게이트(GA15)의 출력신호의 하강에지 마다 상기 제4 카운트 신호의 논리상태를 반전시킨다. 상기 제4 카운트 신호는 상기 제2 클럭신호의 1/8에 해당하는 주파수 및 50%의 듀티비를 갖는다. 상기 제6 AND 게이트(GA16)는 상기 제2 내지 제4 비트카운터 (44, 46, 48)의 출력신호들이 모두 하이논리를 갖는 시점을 검출한다. 상기 제6 AND 게이트(GA16)의 출력신호는 상기 제2 카운트신호의 1/4에 해당하는 주파수를 갖고 상기 제1 카운트 신호와 동일한 폭의 펄스를 갖는다. 상기 제6 AND 게이트(GA16)의 출력신호는 제7 AND 게이트(GA17)에 공급된다.

또한, 상기 고속 카운터 회로는 상기 제7 AND 게이트(GA17)의 출력 신호에 응답하여 제5 카운트 신호를 발생하는 제5 비트카운터(50) 및 상기 제5 비트카운터(50)의 출력신호 및 상기 제6 AND 게이트(GA16)의 출력신호를 AND연산하기 위한 제8 AND 게이트(GA18)를 구비한다. 상기 제7 AND 게이트(GA17)는 상기 제6 AND 게이트(GA16)의 출력신호가 하이논리를 유지하는 동안 상기 라인(43)으로 부터의 상기 제2 클럭신호를 상기 제5 비트카운터(50)의 클럭단자쪽으로 전송한다. 상기 제7 AND 게이트(GA17)의 출력신호는 상기 제2 클럭신호의 1/8에 해당하는 주파수 및 상기 제2 클럭신호와 동기된 펄스를 갖는다. 그리고 상기 제7 AND 게이트(GA17)의 출력신호는 상기 제2 클럭신호의 펄스 폭 보다 상기 제7 AND 게이트(GA17)의 전파지연 시간 만큼 큰 폭의 펄스를 갖는다. 상기 제5 비트카운터(38)는 상기 제7 AND 게이트(GA17)의 출력신호의 하강에지 마다 상기 제5 카운트 신호의 논리상태를 반전시킨다. 이 결과, 상기 제5 카운트 신호는 상기 제2 클럭신호의 1/16에 해당하는 주파수 및 50%의 듀티사이클을 갖는다. 상기 제8 AND 게이트(GA18)는 상기 제2 내지 제5 비트카운터(44 내지 50)의 출력신호들이 모두 하이논리를 유지하는 기간을 검출한다. 상기 제8 AND 게이트(GA18)의 출력신호는 상기 제2 카운트 신호의 1/8에 해당하는 주파수 및 상기 제2 카운트 신호와 동일한 폭의 펄스를 갖는다.

더 나아가, 상기 고속 카운터 회로는 상기 제8 AND 게이트(GA18)의 출력신호 및 상기 라인(43)으로 부터의 상기 제2 클럭신호를 AND연산하는 제9 AND 게이트(GA19) 및 상기 제9 AND 게이트(GA19)의 출력신호에 응답하여 제6 카운트 신호를 발생하는 제6 비트카운터(52)를 구비한다. 상기 제9 AND 게이트(GA19)는 상기 제8 AND 게이트(GA18)의 출력신호가 하이논리를 유지하는 동안 상기 라인(43)으로 부터의 상기 제2 클럭신호를 상기 제6 비트카운터(52)의 클럭단자쪽으로 전송하는 기능을 한다. 상기 제9 AND 게이트(GA19)의 출력신호는 상기 제2 클럭신호의 1/16에 해당하는 주파수 및 상기 제2 클럭신호와 동기된 펄스를 갖는다. 그리고 상기 제9 AND 게이트(GA19)의 출력신호는 상기 제2 클럭신호의 펄스 폭 보다 상기 제9 AND 게이트(GA19)의 전파지연시간 만큼 큰 폭을 갖는다. 상기 제6 비트카운터(52)는 상기 제9 AND 게이트(GA19)로 부터의 펄스 신호의 하강에지 마다 자신의 출력신호인 상기 제6 카운트 신호의 논리상태를 반전시킨다. 상기 제6 카운트 신호는 상기 제2 클럭신호의 1/32에 해당하는 주파수 및 50%의 듀티사이클을 갖는다. 그리고 상기 제6 카운트 신호는 출력라인(45)을 경유하여 송출된다.

상기한 바와 같이, 제1 내지 제6 비트카운터들(42 내지 52)은 상기 제1 클럭신호의 하강에지로부터 두 개의 AND 게이트 및 하나의 비트카운터에 의한 전파지연시간의 후에 카운트 값을 발생시킨다. 이는 상기 제1 및 제2 비트카운터(42, 44)의 출력신호들이 제1 클럭신호의 하나의 AND 게이트 및 하나의 비트카운터에 의한 전파지연시간 후에 발생하더라도, 제3 내지 제6 비트카운터(46 내지 52)의 출력들이 상기 제1 클럭신호의 하강에지로부터 두 개의 AND 게이트 및 하나의 비트카운터에 의한 전파지연시간의 후에 발생되는 것에 기인한다. 이로 인하여, 입력 클럭신호의 상승 또는 하강에지로부터 카운트 값의 발생될 때까지의 지연시간은 게이트 및 비트카운터의 수량을 조절함에 의하여 적절하게 설정할 수 있게 된다.

상술한 바와 같이, 본 발명은 고속 카운터 회로는 최하위의 비트카운터와 최상위의 비트카운터가 클럭신호와 동기되어 동시에 동작하도록 하여 클럭신호로부터 카운트 값의 발생시점까지의 지연시간을 최소화할 수 있다. 이로 인하여, 본 발명의 고속 카운터 회로는 카운트 동작을 고속화 할 수 있는 이점을 제공한다. 아울러, 본 발명의 고속 카운터 회로는 필요에 따라 클럭신호로부터 카운트 값의 발생시점을 원하는 기간만큼 지연되도록 할 수 있도록 하여 다른 회로에 출력신호와 카운트 값을 손쉽게 매칭시킬 수 있는 이점을 제공한다.

## (57) 청구의 범위

### 청구항 1

클럭신호를 입력하기 위한 입력라인과, 상기 입력라인으로 부터의 클럭신호에 따라 2비트 이상의 카운트 값을 발생하도록 접속된 적어도 2개 이상의 비트카운터와, 적어도 하나 이상의 하위의 비트카운터의 카운트 값에 따라 상기 입력라인으로 부터의 클럭신호를 상위의 비트카운터에 공급하는 적어도 1개 이상의 클럭동기수단을 구비한 것을 특징으로 하는 고속 카운터 회로.

## 청구항 2

제1항에 있어서, 상기 클럭동기수단이, 적어도 1개 이상의 하위의 비트카운터들의 출력신호들이 모두 제1 논리상태를 유지하는 검출기간을 검출하는 논리연산수단과, 상기 논리연산수단의 출력신호에 의하여 상기 입력라인으로 부터의 클럭신호를 상위의 비트 카운터 쪽으로 절환하는 절환수단을 구비한 것을 특징으로 하는 고속 카운터 회로.

## 청구항 3

제2항에 있어서, 상기 논리연산수단이 상기 적어도 1개 이상의 하위의 비트카운터들이 하이논리를 유지하는 기간을 검출하도록 된 것을 특징으로 하는 고속 카운터 회로.

## 청구항 4

제3항에 있어서, 상기 논리연산수단이 상기 적어도 1개 이상의 하위의 비트카운터들의 출력신호들을 AND 연산하도록 된 것을 특징으로 하는 고속 카운터 회로.

## 청구항 5

제3항에 있어서, 상기 절환수단이 상기 논리연산수단으로부터 하이논리의 논리신호가 인가되는 동안 상기 입력라인으로 부터의 클럭신호를 상기 상위의 비트 카운터 쪽으로 전송하는 AND 게이트를 구비한 것을 특징으로 하는 고속 카운터 회로.

## 청구항 6

제1항에 있어서, 상기 최하위의 비트카운터에 공급될 상기 클럭신호를 상기 클럭동기수단의 전파지연시간 만큼 지연시키는 지연수단을 추가로 구비한 것을 특징으로 하는 고속 카운터 회로.

## 청구항 7

제6항에 있어서, 상기 지연회로가 전원전압에 의하여 구동되어 상기 클럭신호를 지연시키는 논리 게이트를 구비한 것을 특징으로 하는 고속 카운터 회로.

## 청구항 8

제7항에 있어서, 상기 논리게이트에 공급되는 전원전압이 고전위를 갖는 것을 특징으로 하는 고속 카운터 회로.

## 청구항 9

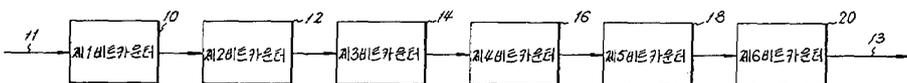
제8항에 있어서, 상기 논리게이트가 AND 게이트로 된 것을 특징으로 하는 고속 카운터 회로.

## 청구항 10

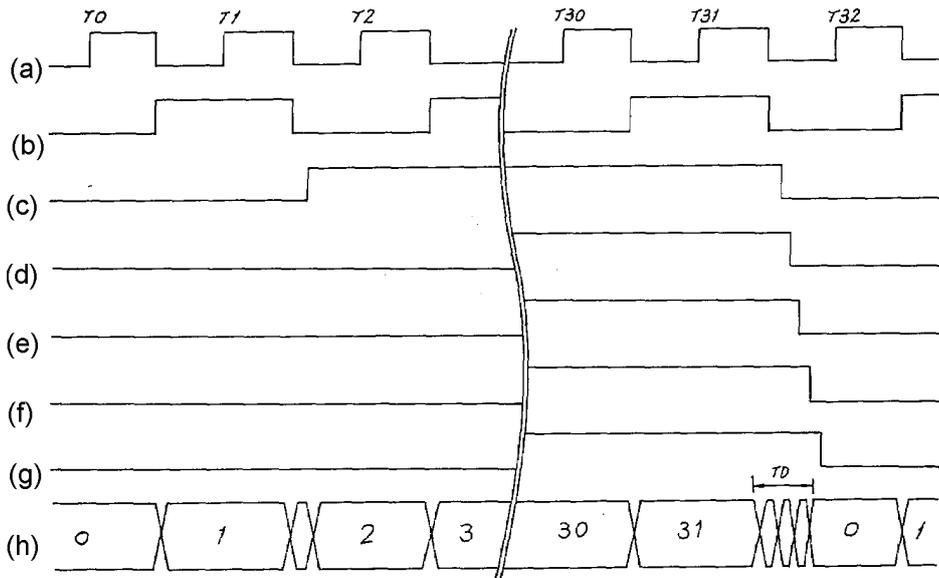
클럭신호를 입력하기 위한 입력라인과, 상기 입력라인상의 클럭신호에 의하여 적어도 2비트 이상의 카운트 값을 발생하도록 접속된 적어도 2개 이상의 비트카운터와, 적어도 하나 이상의 하위의 비트카운터의 카운트 값에 따라 상기 입력 라인으로부터의 클럭신호를 상위의 비트카운터에 공급하는 적어도 1개 이상의 클럭동기수단과, 상기 적어도 1개 이상의 클럭동기수단에 공급될 상기 입력라인으로 부터의 클럭신호를 일정시간 지연시키기 위한 지연수단을 구비한 것을 특징으로 하는 고속 카운터 회로.

## 도면

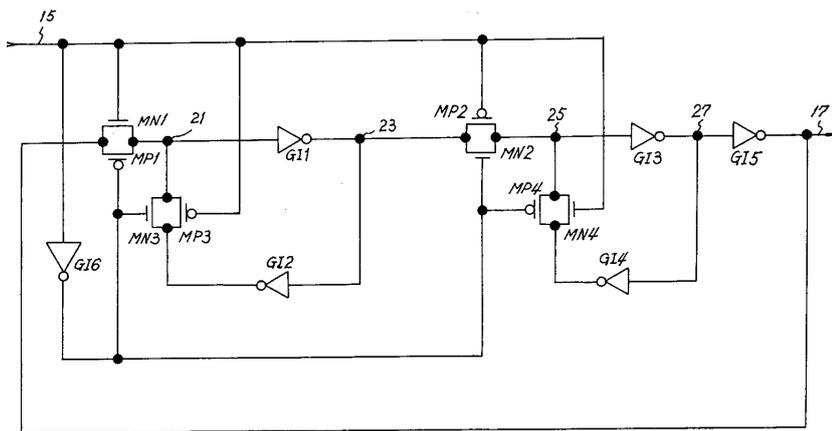
### 도면1



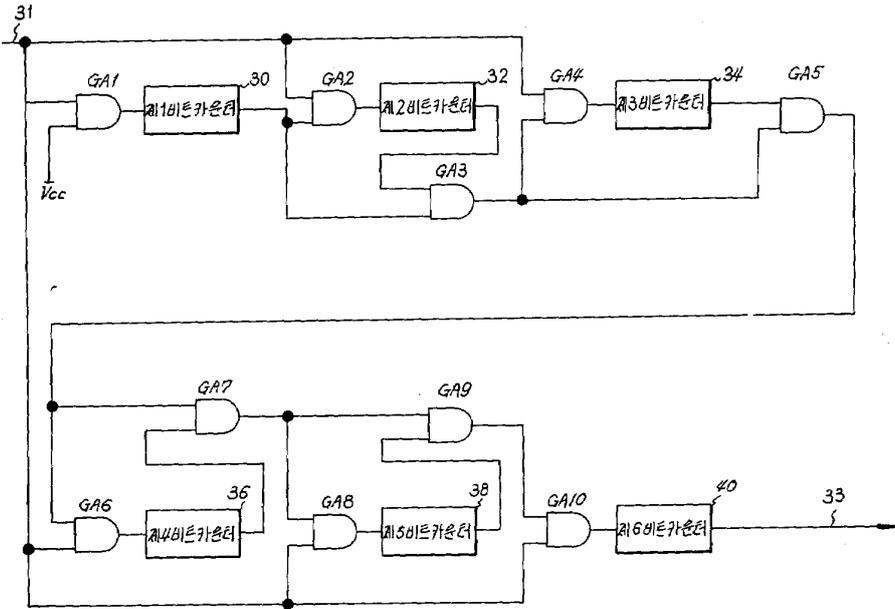
도면2



도면3



도면4



도면5

