

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95104732

※申請日期：95.2.13

※IPC 分類：H01L27/105 (2006.01)

一、發明名稱：(中文/英文)

隨機存取記憶體及其製造方法

Self-Aligned Conductive Spacer Process for Sidewall Control Gate of
High-Speed Random Access Memory

二、申請人：(共1人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀/Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, Li-Hsin Rd.6, Science-Based Industrial Park Hsin-Chu, Taiwan 300-77, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共4人)

姓名：(中文/英文)

1. 李自強/Tzyh-Cheang Lee 2. 楊富量/Fu-Liang Yang

3. 黃俊仁/Jiunn-Ren Hwang 4. 李宗霖/Tsung-Lin Lee

國籍：(中文/英文)

1. 中華民國/TW 2. 中華民國/TW

3. 中華民國/TW 4. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2005/06/09、11/148,342

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明有關於一種高速隨機存取記憶體結構，特別有關於一種用來製造高速隨機存取記憶體中控制閘極的自對準導電間隙壁製程。

【先前技術】

對於高效率數位設備的需求逐漸增加，尤其希望將高速及低耗電量之記憶體整合至系統單晶片(system on chip, SoC)，傳統的記憶元件例如：SRAM、DRAM 或快閃記憶體已無法滿足需求，因此發展出了一種具成本效益及內嵌的記憶元件，直接穿隧記憶體(DTM)，它具有超薄的穿隧氧化層，及創新的浮置閘極。DTM 結構包括一對控制閘極，形成在浮置閘極的兩側、偏移的源極及汲極區域(未與浮置閘極重疊)。其製程與 CMOS 邏輯技術完全相容。且其簡單的結構在高速運轉下具有足夠的穿隧電流以及較低的操作電壓。

第 1 圖顯示一高速隨機存取記憶體結構，具有傳統製程所製造的控制閘極。一般來說，首先將閘極氧化層 12、第一多晶矽層 14 以及遮罩層 16 依次沈積在半導體基底 10 之上，接著將第一多晶矽層 14 圖案化，形成浮置閘極 14。接著在半導體基底上及浮置閘極兩側成長薄氧化矽層 18，沈積第二多晶矽層 20，再以非等向性蝕刻製程形成控制閘極 20 於浮置閘極兩側。在進行上述非等

向性蝕刻製程時也將薄氧化矽層 18 蝕穿，只留下控制閘極 20 下的薄氧化矽層。

傳統的非等向性蝕刻製程無法有效控制控制閘極的尺寸及形狀，不利於元件設計。控制閘極的寬度會有很大的變化範圍，寬度的不固定性也會不利於後續的接觸窗製程，會造成在形成接觸窗時需要額外的多晶矽線路，增加元件設計佈局難度及增加記憶胞尺寸。此外，非等向性蝕刻可將多晶間隙壁之邊角變圓滑，使得後續的矽化製程(silicidation process)，無法有效進行。

【發明內容】

本發明的實施例包括在高速隨機存取記憶體中自對準導電間隙壁製程，用來在浮置閘極的兩側製造控制閘極，可明確定義控制閘極的尺寸及形狀。

本發明提供一隨機存取記憶體結構及其製造方法，包括下列步驟，在半導體基底上形成一浮置閘極；接著在半導體基底上形成一介電層，覆蓋浮置閘極的側壁；在介電層上形成一導電層；接著在導電層上形成一氧化物間隙壁，於浮置閘極的側壁；利用氧化物間隙壁為遮罩，在導電層上進行非等向性蝕刻製程，形成導電間隙壁於浮置閘極的側壁，作為控制閘極。

另一方面，本發明提供一隨機存取記憶體結構及其製造方法，包括下列步驟：提供一半導體基底，具有堆疊結構的第一介電層、浮置閘極及硬遮罩層；在半導體

基底上形成一第二介電層來覆蓋浮置閘極的側壁；在第二介電層及堆疊層上形成導電層；在導電層上形成氧化層；在氧化層上進行一第一非等向性蝕刻製程，在浮置閘極的側壁上形成氧化物間隙壁；進行第二非等向性蝕刻製程，利用氧化物間隙壁當作遮罩，在浮置閘極的側壁上形成導電間隙壁，作為控制閘極。

另一方面，本發明提供一隨機存取記憶體，包括：在半導體基底上形成浮置閘極；在半導體基底上形成一介電層，覆蓋浮置閘極的側壁；分別在浮置閘極的兩側介電層上形成控制閘極；分別在控制閘極的側壁上形成氧化物間隙壁，其中控制閘極及氧化物間隙壁之結合形狀為矩形。

【實施方式】

在本發明的實施例中提供一種在高速隨機存取記憶體中浮置閘極的兩側製造控制閘極的自對準導電間隙壁製程，該製程能精確定義導電間隙壁的尺寸及形狀，形成具有一致寬度的控制閘極，因此在後續製程中，無邊界接觸窗及矽化物可順利形成在自對準控制閘極上。特別的是，本發明實施例提供一自對準多晶矽間隙壁，利用複晶氧化層間隙壁當作回蝕刻遮罩以精確定義控制閘極的寬度、厚度及形狀。實施例中的自對準導電間隙壁製程可與 CMOS 邏輯技術完全相容。

接著會以詳細內容及圖示來表達實施例。圖示或描

述中會相同符號來表示相同或類似的部分。圖示中的形狀或厚度會以叫誇大的方式表現，以求清楚及方便表達本發明，特別是指與本發明裝置相關之元件，或更直接與本發明裝置互動之元件。進一步來說，當發明中描述一層結構在另一層結構之上或在基底上可能是指直接在另一層或基底上，或者也可能是兩者之間具有另一層結構。

第 2A 至 2F 圖顯示本發明實施例中形成控制閘極之自對準導電間隙壁製程。在第 2A 圖中，基底 30 為一半導體材料，例如矽、鍺或半導體化合物。基底 30 包括塊材半導體上的磊晶層、矽塊材上的鍺化矽層、鍺化矽塊材上的矽層或 SOI(silicon on insulator)結構。基底 30 可具有絕緣區，以將基底 30 上的電子元件隔開，該絕緣區例如為一介電絕緣，如局部矽氧化層(LOCOS)、淺溝槽絕緣(STI)、接合絕緣(Junction isolation)、場絕緣(Field isolation)或其他適合的絕緣結構。將第一介電材料、第一閘極材料以及硬遮罩材料依序沈積在基底 30 之主動區域上，然後將上述堆疊結構圖案化形成第一介電層 32、浮置閘極 34 以及硬遮罩層 36。圖案化製程包括微影及蝕刻技術，將光罩所定義的圖案轉換至堆疊層上。微影製程可包括光阻層塗佈，軟烤(soft baking)、遮罩對準、曝光、後曝光烘烤，顯影、烤乾及移除光阻。蝕刻製程可包括，濕蝕刻、乾蝕刻、離子反應式蝕刻以及其他適合的蝕刻製程。

第一介電層 32 可為穿隧氧化層，例如是利用熱氧化製程或化學氣相沈積所形成。第一介電層也可為其他已知材料，例如氮化物、氮氧化物、高介電常數材料、其他非導電材料或上述材料之組合。浮置閘極層 34 可為多晶矽層，以適當的矽原料，利用低壓化學氣相沈積法、化學氣相沈積法或物理氣相沈積法形成，也可視需要進行摻雜以形成所需的導電型態。其他已知的閘極材料，如金屬、金屬合金、矽單晶或上述材料之組合。硬遮罩層 36 用來當作光阻層底部之抗反射層，以及保護浮置閘極避免後續蝕刻及離子佈植所造成的傷害。硬遮罩層 36 可為利用化學氣相沈積法、物理氣相沈積法或原子層沈積法所形成之氧化矽層、氮化矽層、氮氧化矽層，或上述材料之組合。

第 2B 圖中，第二介電層 38 及第二閘極層 40 依序形成在圖案化後的結構上，第二介電層 38 形成在浮置閘極 34 的側壁上，使浮置閘極 34 與第二閘極層 40 電性隔離。在一些實施例中，第二介電層 38 可為氧化矽層，利用熱氧化製程形成在浮置閘極 34 與基底 30 之表面。第二閘極層 40 可以適當的矽源，利用例如低壓化學氣相沈積法、化學氣相沈積法或物理氣相沈積法形成多晶矽層。並可視需要將多晶矽層摻雜所需的導電型態。其他已知的閘極電極材料，例如金屬、金屬合金、單晶矽或上述材料的組合也可用來形成第二閘極層 40。

第 2C 圖中，在第二閘極層 40 上形成一氧化層 42，

其中形成方法包括熱氧化法、快速熱氧化法(RTO)、化學氣相沈積或其他先進的氧化成長技術。在一些實施例中，第二閘極層 40 為多晶矽，以濕式氧化製程，在 100 至 800°C 之間將顯露的多晶矽氧化，產生多晶氧化層。多晶矽的再氧化製程可使第二閘極層 40 變薄，並形成多晶氧化層當作側壁上的硬遮罩，以使在後續回蝕刻製程中用來定義控制閘極的尺寸大小及形狀。氧化層 42 之厚度較佳在 300 埃至 800 埃之間。

第 2D 圖中，氧化層 42 經回蝕刻後，露出第二閘極層 40，只留下氧化物間隙壁 42a 在第二閘極層 40 的側壁上，詳細來說，將氧化層 42 水平部分經蝕刻移除，且蝕刻至第二閘極層 40 即停止，因而沿著第二閘極層 40 的垂直部分留下氧化物間隙壁 42a。其中回蝕刻製程為一非等向性蝕刻，如乾蝕刻、離子反應性蝕刻或其他電漿蝕刻製程。

在第 2E 圖中，以一非等向性回蝕刻製程將硬遮罩層 36 露出，留下浮置閘極 34 側壁上的氧化物間隙壁 42a 及導電間隙壁 40a。另外在回蝕刻製程中，將第二介電層 38 蝕穿，留下導電間隙壁 40a 下之第二介電層 38。留下的導電間隙壁 40a 便當作控制閘極，且利用第二介電層 38 與浮置閘極 34 隔絕。所形成的導電間隙壁 40a 為 L 型。L 型導電間隙壁 40a 與氧化物間隙壁 42a 之結合形狀為矩形。詳細來說，利用氧化物間隙壁 42a 當作側壁硬遮罩，以蝕刻的方式將第二閘極層 40 之水平部分移除，

其中在蝕刻過程中將部分氧化物間隙壁 42a 及第二閘極層 38 移除，直到露出硬遮罩層 36 及基底 30 為止。其中回蝕刻製程包括：乾蝕刻、離子反應式蝕刻或其他電漿蝕刻製程。在自對準導電間隙壁製程中，氧化物間隙壁 42a 用來當作導電間隙壁 40a 側壁上的硬遮罩層，來定義導電間隙壁 40a 的寬度及形狀，以形成一致性的控制閘極 40a。自對準導電間隙壁製程也可形成具有平坦頂部的控制閘極 40a，而避免圓角化(rounded corner)，因此在後續製程中，無邊界接觸窗(borderless contact)及矽化物的形成能有較佳的表現。

第 2F 圖顯示無邊界接觸窗形成在控制閘極 40a 的側壁上，在基底 30 上進行一離子佈植製程形成源極及汲極，分別橫向地相鄰於控制閘極 40a 的側壁。在基底 30 上沈積層間介電層(ILD)，在層間介電層上進行一接觸製程(contact process)，在控制閘極 40a 側壁上形成無邊界接點 46a，以及在源極與汲極區域上形成源極及汲極接點 46b。因本發明的自對準導電間隙壁製程，形成具有平坦頂部的控制閘極 40a，控制閘極 40a 側壁上所形成的接觸窗可為無邊界，因此解決了習知方法中需要額外形成多晶矽線路的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為傳統隨機存取記憶體結構截面圖。

第 2A 至 2F 圖為一系列剖面圖，用以說明本發明一較佳實施例中隨機存取記憶體結構之製造方法。

【主要元件符號說明】

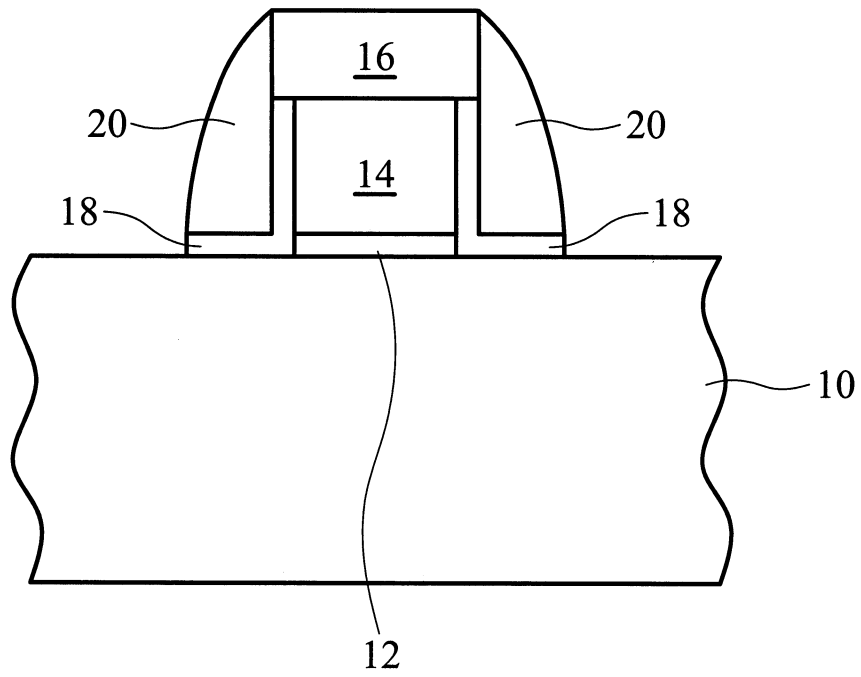
基底 ~ 10 ;	閘極氧化層 ~ 12 ;
多晶矽層 ~ 14 ;	遮罩層 ~ 16 ;
薄氧化層 ~ 18 ;	控制閘極 ~ 20 ;
基底 ~ 30 ;	第一介電層 ~ 32 ;
浮置閘極層 ~ 34 ;	硬遮罩層 ~ 36 ;
第二介電層 ~ 38 ;	第二閘極層 ~ 40 ;
控制閘極 ~ 40a ;	氧化層 ~ 42 ;
氧化物間隙壁 ~ 42a ;	層間介電層 ~ 46 ;
無邊界接點 ~ 46a ;	
源極及汲極接點 ~ 46b 。	

五、中文發明摘要：

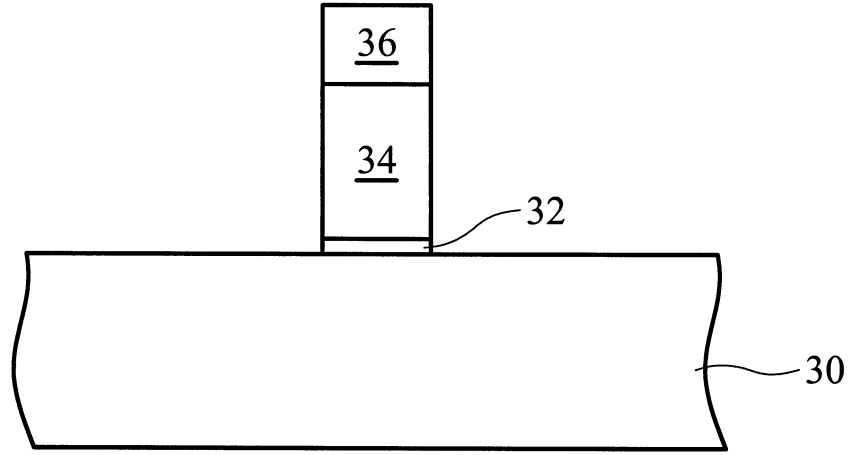
一種在高速隨機存取記憶體中製造控制閘極的自對準導電間隙壁製程，可精確定義控制閘極的尺寸及輪廓。先在介電層上形成導電層，以覆蓋基底上的浮置閘極，然後在相鄰於浮置閘極側壁的導電層上形成氧化物間隙壁。利用氧化物間隙壁作為遮罩，對導電層上進行一非等向性蝕刻製程，便可形成自對準導電間隙壁在浮置閘極之兩側，以作為控制閘極。

六、英文發明摘要：

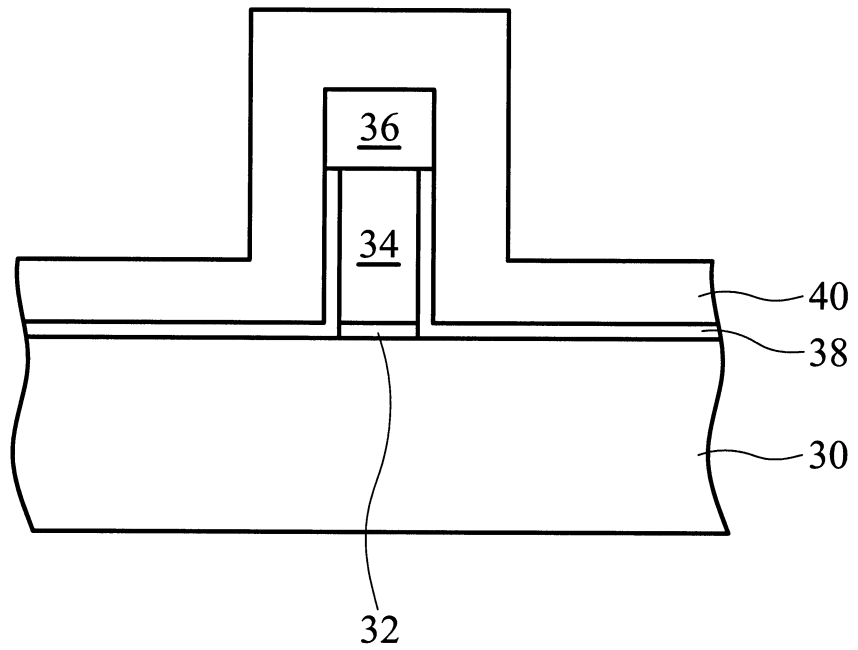
A self-aligned conductive spacer process for fabricating sidewall control gate on both sides of a floating for high-speed RAM applications, which can well define dimensions and profiles of the sidewall control gate. A conductive layer is formed on the dielectric layer to cover a floating gate patterned on a semiconductor substrate. Oxide spacer are formed on the conductive layer adjacent to the sidewalls of the floating gate. Performing an anisotropic etch process on the conductive layer and using the oxide spacers as a hard mask, a conductive spacers are self-aligned fabricated at both sides of the floating gate, serving as sidewall control gate.



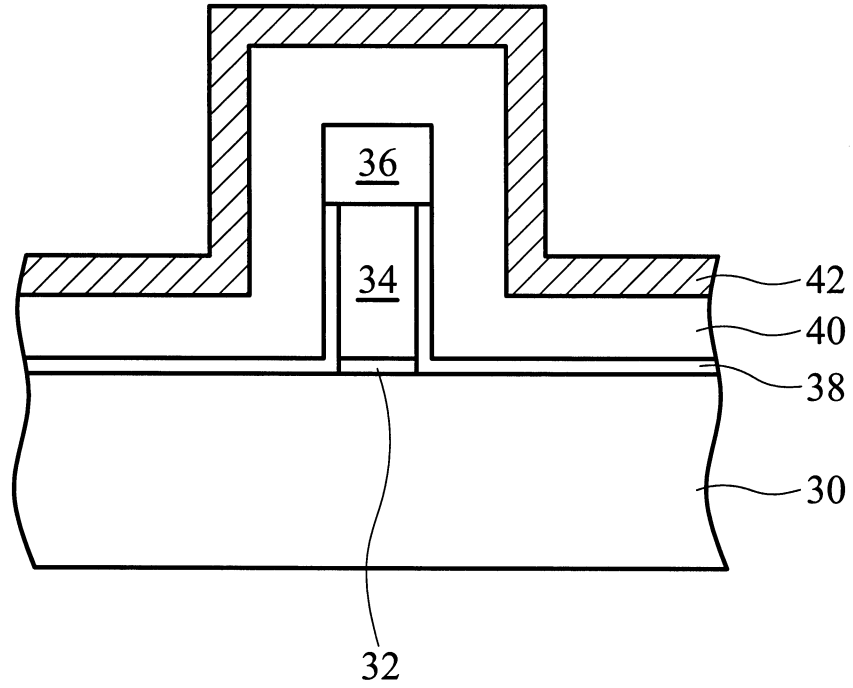
第 1 圖



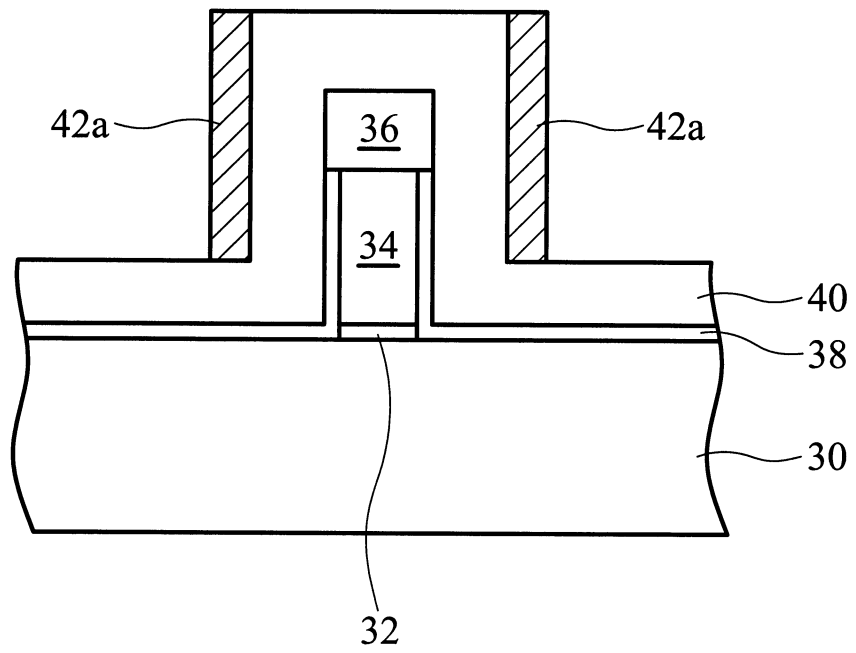
第 2A 圖



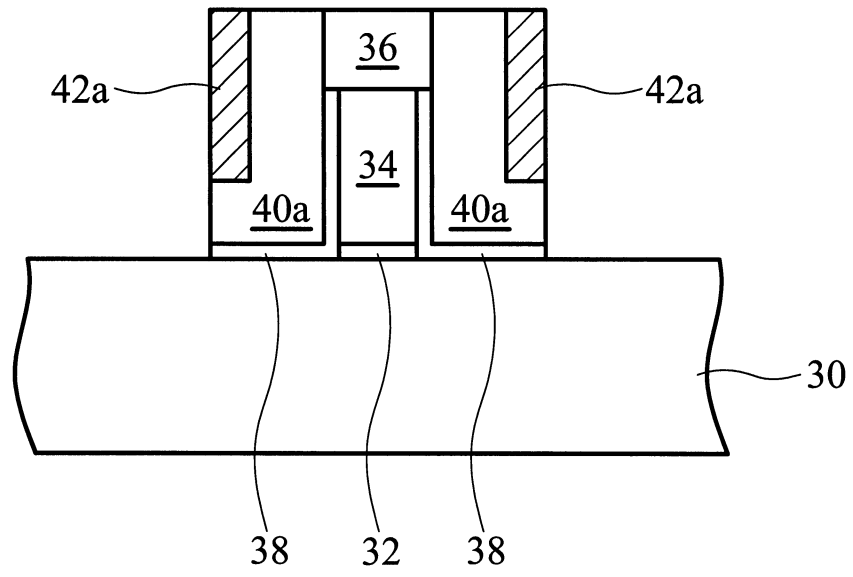
第 2B 圖



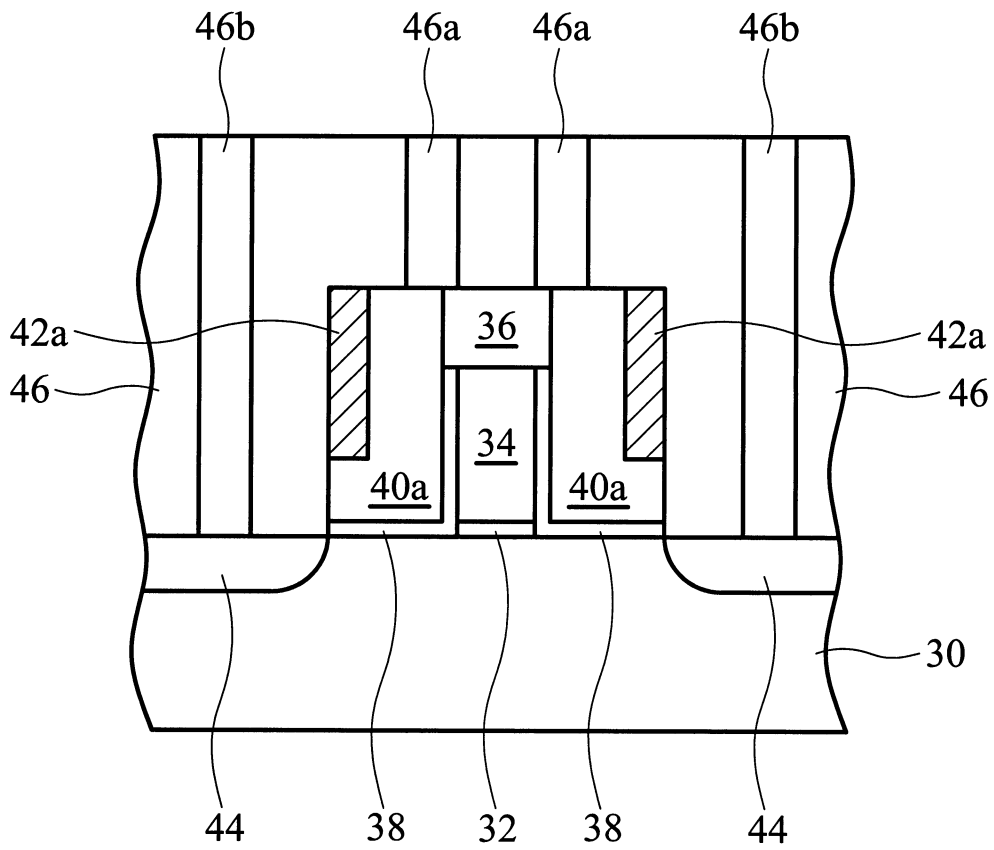
第 2C 圖



第 2D 圖



第 2E 圖



第 2F 圖

七、指定代表圖：

(一)本案指定代表圖為：第(2F)圖。

(二)本代表圖之元件符號簡單說明：

基底～30；	第一介電層～32；
浮置閘極層～34；	硬遮罩層～36；
第二介電層～38；	第二閘極層～40；
控制閘極～40a；	氧化層～42；
氧化物間隙壁～42a；	層間介電層～46；
無邊界接觸窗～46a；	
源極及汲極接觸窗～46b。	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1. 一種隨機存取記憶體之製造方法，包括下列步驟：

在一半導體基底上形成一浮置閘極；

在該半導體基底上形成一介電層，至少覆蓋該浮置閘極的側壁；

形成一導電層在該介電層上；

在該導電層上形成一氧化物間隙壁，且鄰近該浮置閘極的側壁；以及

利用該氧化物間隙壁當作遮罩，在該導電層上進行一非等向性蝕刻製程，在該浮置閘極的兩側形成一對導電間隙壁，其中該導電間隙壁用來當作一控制閘極，且以該介電層將該控制閘極與該浮置閘極隔開，其中形成該氧化物間隙壁的步驟包括：在該導電層上形成一氧化層；以及進行一非等向性蝕刻製程來移除該氧化層的水平部分，露出該導電層，留下鄰近於該浮置閘極側壁之該氧化層的垂直部分。

2. 如申請專利範圍第 1 項所述之隨機存取記憶體之製造方法，其中該氧化層利用一熱氧化法形成在該導電層上。

3. 如申請專利範圍第 2 項所述之隨機存取記憶體之製造方法，其中該導電層為多晶矽。

4. 如申請專利範圍第 1 項所述之隨機存取記憶體之製造方法，其中該非等向性蝕刻製程步驟，包括：移除該導電層的水平部分以及該氧化物間隙壁的頂部，露出

該半導體基底，形成具有大抵平坦頂部的該導電間隙壁。

5.如申請專利範圍第 4 項所述之隨機存取記憶體之製造方法，其中該導電間隙壁為 L 型。

6.如申請專利範圍第 5 項所述之隨機存取記憶體之製造方法，其中該導電間隙壁及該氧化物間隙壁之結合形狀為矩形。

7.如申請專利範圍第 1 項所述之隨機存取記憶體之製造方法，其中該介電層是以熱氧化製程形成在該浮置閘極的側壁上。

8.如申請專利範圍第 1 項所述之隨機存取記憶體之製造方法，其中更包括在該控制閘極側壁形成一無邊界接觸窗。

9.一種隨機存取記憶體之製造方法，包括下列步驟：

提供一半導體基底，具有一堆疊結構，包括：一第一介電層、一浮置閘極以及一硬遮罩層；

在該半導體基底上形成一第二介電層，至少覆蓋該浮置閘極的側壁；

在該第二介電層以及該堆疊結構上形成一導電層；

在該導電層上形成一氧化層；

在該氧化層上進行一第一非等向性蝕刻製程，形成一氧化物間隙壁並露出該導電層，其中該氧化物間隙壁鄰近該浮置閘極的側壁；以及

利用該氧化物間隙壁當作遮罩，進行一第二非等向性蝕刻製程以形成一對導電間隙壁，並露出該半導體基

底，其中該對導電間隙壁形成在該浮置閘極的兩側，當作控制閘極，又該第二非等向性蝕刻製程步驟包括：移除該導電層的水平部分以及該氧化物間隙壁的頂部，以露出該半導體基底，形成具有大抵平坦頂部的該導電間隙壁。

10.如申請專利範圍第 9 項所述之隨機存取記憶體之製造方法，其中該氧化層是利用熱氧化法形成在該導電層上。

11.如申請專利範圍第 10 項所述之隨機存取記憶體之製造方法，其中該導電層為多晶矽。

12.如申請專利範圍第 9 項所述之隨機存取記憶體之製造方法，其中該導電間隙壁為 L 型。

13.如申請專利範圍第 9 項所述之隨機存取記憶體之製造方法，其中該導電間隙壁及該氧化物間隙壁之結合形狀為矩形。

14. 如申請專利範圍第 9 項所述之隨機存取記憶體之製造方法，其中該第一介電層為氧化矽，係利用一熱氧化製程形成在該半導體基底上。

15.如申請專利範圍第 9 項所述之隨機存取記憶體之製造方法，其中更包括在該控制閘極側壁形成一無邊界接觸窗。

16.一種隨機存取記憶體，包括：

一浮置閘極，形成在一半導體基底上；

一介電層，形成在該半導體基底上，用來覆蓋該浮

置閘極的側壁；

一對 L 型控制閘極，分別形成在該浮置閘極兩側的該介電層上；以及

一對氧化物間隙壁，分別在該對 L 型控制閘極上。

17.如申請專利範圍第 16 項所述之隨機存取記憶體，其中該控制閘極及該氧化物間隙壁之結合形狀為矩形。

18.如申請專利範圍第 16 項所述之隨機存取記憶體，其中該控制閘極為多晶矽，且該氧化物間隙壁為多晶氧化物層。