



(12) 发明专利申请

(10) 申请公布号 CN 104639052 A

(43) 申请公布日 2015. 05. 20

(21) 申请号 201410747827. 9

代理人 宋献涛

(22) 申请日 2010. 07. 30

(51) Int. Cl.

(30) 优先权数据

61/230, 089 2009. 07. 30 US

12/704, 432 2010. 02. 11 US

H03F 1/30(2006. 01)

H03F 3/189(2006. 01)

(62) 分案原申请数据

201080033302. 9 2010. 07. 30

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 托马斯·D·马拉

阿里斯托泰莱·哈奇克里斯托斯

内森·M·普莱彻

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

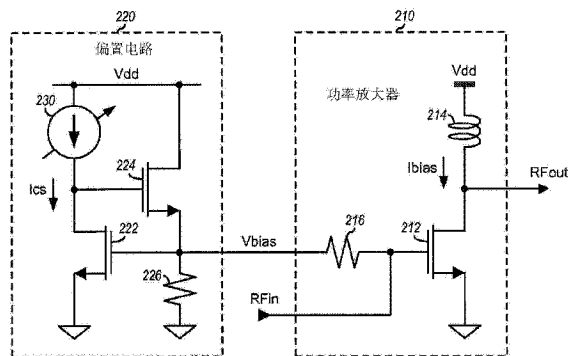
权利要求书3页 说明书14页 附图8页

(54) 发明名称

用于放大器的偏置电流监视器及控制机制

(57) 摘要

本发明涉及用于放大器的偏置电流监视器及控制机制。本发明描述用于监视及控制放大器的偏置电流的技术。在一示范性设计中，一种设备可包括放大器及偏置电路。放大器可包括耦合到电感器的至少一个晶体管。偏置电路可产生用于所述放大器中的所述至少一个晶体管的至少一个偏置电压以获得用于所述放大器的目标偏置电流。所述偏置电路可基于下列各者而产生所述至少一个偏置电压：所述放大器中的所述电感器上的电压，或流过用所述放大器中的所述至少一个晶体管中的一者形成的电流镜的电流，或所述放大器中的所述至少一个晶体管中的一者的栅极到源极电压，或复制所述放大器的复制品电路中的电压，或在停用切换模式电源的情况下施加到所述放大器的电流。



1. 一种设备,其包含:  
放大器,其包含耦合到电感器的晶体管;  
感测电路,其耦合到所述电感器,且用以测量所述电感器上的电压;及  
偏置电路,其耦合到所述晶体管,且用以基于所述电感器上的所述经测量电压来产生用于所述晶体管的可调偏置电压以获得用于所述晶体管的目标偏置电流。
2. 根据权利要求 1 所述的设备,其进一步包含:  
模/数转换器 ADC,其用以数字化所述经测量电压且提供经数字化电压;及  
处理器,其用以接收所述经数字化电压且基于所述经数字化电压来产生用于所述偏置电路的控制。
3. 根据权利要求 2 所述的设备,所述处理器基于所述经数字化电压及所述电感器的电阻器值来确定用于所述晶体管的经测量偏置电流,且基于所述经测量偏置电流及所述目标偏置电流来产生用于所述偏置电路的所述控制。
4. 根据权利要求 3 所述的设备,所述电感器的所述电阻器值是通过施加已知电流经过所述电感器且测量所述电感器上的所述电压加以确定。
5. 根据权利要求 3 所述的设备,所述电感器的所述电阻器值是基于所述放大器所观测到的集成电路 IC 条件加以确定。
6. 一种电子设备,其包含:  
放大器,其包含耦合成堆叠的第一晶体管及第二晶体管;  
感测电路,其耦合到所述放大器中的所述第二晶体管,且用以测量所述第二晶体管的栅极到源极电压  $V_{gs}$ ;及  
偏置电路,其耦合到所述第一晶体管及所述第二晶体管当中的至少一个晶体管,且用以基于所述第二晶体管的所述经测量  $V_{gs}$  电压来产生用于所述至少一个晶体管的至少一个偏置电压以获得用于所述第一晶体管及所述第二晶体管的目标偏置电流。
7. 根据权利要求 6 所述的设备,所述第一晶体管为所述堆叠中的下部晶体管且耦合到电路接地,且所述第二晶体管为所述堆叠中的上部晶体管。
8. 根据权利要求 6 所述的设备,其进一步包含:  
模/数转换器 ADC,其用以数字化所述经测量  $V_{gs}$  电压且提供经数字化电压;及  
处理器,其用以接收所述经数字化电压且基于所述经数字化电压来产生用于所述偏置电路的控制。
9. 根据权利要求 8 所述的设备,所述处理器确定对应于所述目标偏置电流的目标  $V_{gs}$  电压,且基于所述经测量  $V_{gs}$  电压及所述目标  $V_{gs}$  电压来产生用于所述偏置电路的所述控制。
10. 根据权利要求 8 所述的设备,其进一步包含:  
查找表,其用以存储用于所述第二晶体管的偏置电流与  $V_{gs}$  电压,所述处理器从所述查找表获得用于所述经测量  $V_{gs}$  电压的经测量偏置电流,且基于所述经测量偏置电流及所述目标偏置电流来产生用于所述偏置电路的所述控制。
11. 根据权利要求 6 所述的设备,其进一步包含:  
复制品电路,其包含耦合成堆叠且复制所述放大器中的所述第一晶体管及所述第二晶体管的第三晶体管及第四晶体管;及

第二感测电路,其耦合到所述复制品电路中的所述第四晶体管且用以测量所述第四晶体管的  $V_{gs}$  电压,且

所述偏置电路基于所述第二晶体管的所述经测量  $V_{gs}$  电压及所述第四晶体管的所述经测量  $V_{gs}$  电压来产生用于所述放大器中的所述至少一个晶体管的所述至少一个偏置电压。

12. 根据权利要求 11 所述的设备,所述第一晶体管及所述第三晶体管接收第一偏置电压,且所述第二晶体管及所述第四晶体管接收第二偏置电压。

13. 根据权利要求 12 所述的设备,其进一步包含:

模/数转换器 ADC,其用以数字化所述第二晶体管的所述经测量  $V_{gs}$  电压且提供第一经数字化电压,且用以数字化所述第四晶体管的所述经测量  $V_{gs}$  电压且提供第二经数字化电压;及

处理器,其用以接收所述第一经数字化电压及所述第二经数字化电压,且基于所述第一经数字化电压及所述第二经数字化电压来产生用于所述偏置电路的控制。

14. 根据权利要求 13 所述的设备,所述处理器在所述第一偏置电压及所述第二偏置电压具有标称值的情况下获得所述第四晶体管的所述经测量  $V_{gs}$  电压的所述第二经数字化电压,且产生用于所述偏置电路的所述控制以致使所述第二晶体管的所述经测量  $V_{gs}$  电压匹配于所述第四晶体管的所述经测量  $V_{gs}$  电压。

15. 一种设备,其包含:

放大器,其包含至少一个晶体管;

复制品电路,其包含复制所述放大器中的所述至少一个晶体管的至少一个晶体管;及

反馈电路,其耦合到所述放大器及所述复制品电路,且用以感测所述放大器中的第一电压、用以感测所述复制品电路中的第二电压且用以基于所述第一电压及所述第二电压来产生用于所述放大器的偏置电压。

16. 根据权利要求 15 所述的设备,所述反馈电路包含:

滤波器,其用以接收及滤波所述第一电压且提供第三电压;及

感测电路,其用以接收所述第二电压及所述第三电压且产生用于第一晶体管的栅极的偏置电压。

17. 根据权利要求 15 所述的设备,所述放大器包含耦合成堆叠的第一晶体管及第二晶体管,所述复制品电路包含耦合成堆叠的第三晶体管及第四晶体管,所述第一电压为所述第一晶体管的漏极电压,所述第二电压为所述第三晶体管的漏极电压,且所述偏置电压被施加到所述第一晶体管的栅极。

18. 根据权利要求 17 所述的设备,所述第二晶体管及所述第四晶体管接收第二偏置电压,所述第三晶体管接收第三偏置电压,且所述第二偏置电压及所述第三偏置电压提供用于所述复制品电路中的所述第三晶体管及所述第四晶体管的目标偏置电流。

19. 一种设备,其包含:

放大器,其用以放大输入信号且提供输出信号;

切换模式电源 SMPS,其耦合到所述放大器,且用以接收第一供应电压且将第二供应电压提供给所述放大器;及

偏置电路,其耦合到所述放大器,且用以产生用于所述放大器的偏置电压以获得用于

所述放大器的目标偏置电流。

20. 根据权利要求 19 所述的设备,所述偏置电路接收基于在停用所述 SMPS 的情况下用于所述放大器的经测量偏置电流所确定的控制,且基于所述控制来产生用于所述放大器的所述偏置电压。

21. 根据权利要求 19 所述的设备,其进一步包含:

电阻器,其以操作方式耦合到所述放大器,且用以在停用所述 SMPS 时提供用于所述放大器的偏置电流;

感测电路,其耦合到所述电阻器,且用以测量所述电阻器上的电压,且

所述偏置电路接收基于所述电阻器上的所述经测量电压所确定的控制,且基于所述控制来产生用于所述放大器的所述偏置电压。

22. 根据权利要求 21 所述的设备,其进一步包含:

模/数转换器 ADC,其用以数字化所述电阻器上的所述经测量电压且提供经数字化电压;及

处理器,其用以接收所述经数字化电压且基于所述经数字化电压来产生用于所述偏置电路的所述控制。

23. 根据权利要求 22 所述的设备,所述处理器基于所述经数字化电压及所述电阻器的已知值来确定用于所述放大器的经测量偏置电流,且基于所述经测量偏置电流及所述目标偏置电流来产生用于所述偏置电路的所述控制。

24. 根据权利要求 19 所述的设备,所述放大器包含第一晶体管,所述设备进一步包含:

第二晶体管,其经由至少一个开关而耦合到所述放大器中的所述第一晶体管,当所述至少一个开关闭合时,所述第一晶体管及所述第二晶体管形成电流镜;及

感测电路,其耦合到所述第二晶体管,且用以测量流过所述第二晶体管的电流,且

所述偏置电路接收基于流过所述第二晶体管的所述经测量电流及用于所述放大器的所述目标偏置电流所确定的控制。

25. 根据权利要求 24 所述的设备,其进一步包含:

模/数转换器 ADC,其用以数字化来自所述感测电路的经感测电压,所述经感测电压指示流过所述第二晶体管的所述经测量电流;及

处理器,其从所述 ADC 接收所述经数字化电压,且基于所述经数字化电压来产生用于所述偏置电路的所述控制。

26. 根据权利要求 25 所述的设备,所述处理器基于所述经数字化电压来确定用于所述放大器的经测量偏置电流,且基于所述经测量偏置电流及所述目标偏置电流来产生用于所述偏置电路的所述控制。

## 用于放大器的偏置电流监视器及控制机制

### [0001] 分案申请的相关信息

[0002] 本申请是申请号为 PCT/US2010/044033, 申请日为 2010 年 7 月 30 日, 优先权日为 2009 年 7 月 30 日, 发明名称为“用于放大器的偏置电流监视器及控制机制”的 PCT 申请进入国家阶段后申请号为 201080033302.9 的中国发明专利申请的分案申请。

### [0003] 依据 35U. S. C. § 119 主张优先权

[0004] 本专利申请案主张 2009 年 7 月 30 日申请的标题为“功率放大器偏置电流监视器和控制机制 (POWER AMPLIFIER BIAS CURRENT MONITOR AND CONTROL MECHANISM)”的第 61/230, 089 号美国临时申请案的优先权, 所述美国临时申请案已转让给本受让人且以引用的方式明确地并入本文中。

### 技术领域

[0005] 本发明大体上涉及电子设备, 且更具体来说, 涉及用于放大器的偏置电路。

### 背景技术

[0006] 放大器通常用于各种电子装置中以提供信号放大。不同类型的放大器可用于不同用途。举例来说, 例如蜂窝式电话的无线通信装置可包括用于双向通信的发射器及接收器。发射器可包括驱动器放大器 (DA) 及功率放大器 (PA), 接收器可包括低噪声放大器 (LNA), 且发射器及接收器可包括可变增益放大器 (VGA)。

[0007] 放大器可经设计成以目标偏置电流进行操作, 目标偏置电流可基于放大器的所要求性能加以选择。可通过将合适的偏置电压施加到放大器而获得目标偏置电流。此偏置电压可为固定的, 且可接着导致可随着放大器的老化、温度及其它现象而改变的偏置电流。因此, 偏置电流可偏离目标偏置电流, 且所述偏离可不利地影响放大器的性能。举例来说, 较低或较高偏置电流可导致放大器的输出功率移位, 此可为不良的。

### 发明内容

#### 附图说明

[0008] 图 1 展示无线通信装置的框图。

[0009] 图 2 展示使用电流镜的用于功率放大器的偏置调整的示范性设计。

[0010] 图 3 展示基于功率放大器中的电感器上的电压的偏置调整的示范性设计。

[0011] 图 4 展示基于功率放大器中的晶体管的栅极到源极电压的偏置调整的示范性设计。

[0012] 图 5 展示基于功率放大器及复制品电路中的晶体管的栅极到源极电压的偏置调整的示范性设计。

[0013] 图 6 展示利用反馈回路的偏置调整的示范性设计。

[0014] 图 7 及 8 展示使用切换模式电源以使供应电压隔离的偏置调整的两个示范性设计。

计。

[0015] 图 9 展示漏极电流与漏极到源极电压的一族曲线。

[0016] 图 10 展示用于调整偏置电流的过程的示范性设计。

### 具体实施方式

[0017] 下文所陈述的详细描述既定作为对本发明的示范性设计的描述,且既定不表示可实践本发明的仅有设计。术语“示范性”在本文中用以意味着“充当实例、例子或说明”。在本文中描述为“示范性”的任一设计未必应被解释为比其它设计优选或有利。所述详细描述包括特定细节以实现提供对本发明的示范性设计的详尽理解的目的。对于所属领域的技术人员将显而易见,可在无这些特定细节的情况下实践本文中所描述的示范性设计。在一些例子中,以框图形式展示众所周知的结构及装置,以避免使本文中所呈现的示范性设计的新颖性模糊不清。

[0018] 本文中描述用于监视及控制放大器的偏置电流的技术。所述技术可用于各种电子装置,例如无线通信装置、蜂窝式电话、个人数字助理(PDA)、手持型装置、无线调制解调器、膝上型计算机、无绳电话、蓝牙装置、消费型电子装置,等等。为了清楚起见,下文描述所述技术针对无线通信装置的使用。

[0019] 图 1 展示无线通信装置 100 的示范性设计的框图。在此示范性设计中,无线装置 100 包括数据处理器 110 及收发器 120。收发器 120 包括支持双向无线通信的发射器 130 及接收器 150。一般来说,无线装置 100 可包括用于任一数目个通信系统及任一数目个频带的任一数目个发射器及任一数目个接收器。

[0020] 在发射路径中,数据处理器 110 处理待发射的数据且将模拟输出信号提供给发射器 130。在发射器 130 内,模拟输出信号由放大器(Amp) 132 放大、由低通滤波器 134 滤波以移除由数/模转换导致的映像、由 VGA 136 放大,且通过混频器 138 从基带上变频转换到射频(RF)。经上变频转换信号由滤波器 140 滤波、由驱动器放大器(DA) 142 及功率放大器(PA) 144 进一步放大、被路由通过开关/双工器 146,且经由天线 148 而发射。

[0021] 在接收路径中,天线 148 从基站及/或其它发射器台接收信号且提供经接收信号,所述经接收信号被路由通过开关/双工器 146 且提供给接收器 150。在接收器 150 内,经接收信号由 LNA 152 放大、由带通滤波器 154 滤波,且通过混频器 156 从射频下变频转换到基带。经下变频转换信号由 VGA 158 放大、由低通滤波器 160 滤波,且由放大器 162 放大以获得模拟输入信号,模拟输入信号被提供给数据处理器 110。

[0022] 图 1 展示实施直接转换架构的发射器 130 及接收器 150,直接转换架构在一个级中在 RF 与基带之间对信号进行频率转换。发射器 130 及/或接收器 150 也可实施超外差式架构,超外差式架构在多个级中在 RF 与基带之间对信号进行频率转换。本机振荡器(LO)产生器 170 产生发射 LO 信号及接收 LO 信号且将其分别提供给混频器 138 及 156。锁相回路(PLL) 172 从数据处理器 110 接收控制信息且将控制信号提供给 LO 产生器 170,以产生在适当频率下的发射 LO 信号及接收 LO 信号。

[0023] 图 1 展示示范性收发器设计。一般来说,可通过放大器、滤波器、混频器等等的一个或一个以上级执行发射器 130 及接收器 150 中的信号的调节。这些电路可不同于图 1 所示的配置加以布置。此外,也可使用图 1 中未图示的其它电路来调节发射器及接收器中的

信号。也可省略图 1 中的一些电路。收发器 120 的全部或一部分可实施于一个或一个以上模拟集成电路 (IC)、RF IC (RFIC)、混频信号 IC 等等上。举例来说,发射器 130 中的放大器 132 到功率放大器 144 可实施于 RFIC 上。驱动器放大器 142 及功率放大器 144 也可实施于在 RFIC 外部的另一 IC 上。

[0024] 数据处理器 110 可执行用于无线装置 100 的各种功能,例如,用于经发射数据及经接收数据的处理。存储器 112 可存储用于数据处理器 110 的程序代码及数据。数据处理器 110 可实施于一个或一个以上专用集成电路 (ASIC) 及 / 或其它 IC 上。

[0025] 本文中所述的用于监视及控制偏置电流的技术可用于各种类型的放大器,例如图 1 所示的放大器。为了清楚起见,以下描述的大部分涵盖监视及控制功率放大器 (例如,图 1 中的功率放大器 144) 的偏置电流。所述技术可测量功率放大器的偏置电流,且可调整偏置电流以补偿归因于老化以及 IC 工艺的改变、电源电压的改变、温度的改变及 / 或其它现象的偏置变化。

[0026] 图 2 展示使用电流镜的偏置调整的示范性设计的示意图。在图 2 所示的示范性设计中,利用耦合到电感器 214 的 N 沟道金属氧化物半导体 (NMOS) 晶体管 212 实施功率放大器 210。NMOS 晶体管 212 使其栅极接收输入 RF (RF<sub>in</sub>) 信号、使其源极耦合到电路接地,且使其漏极提供输出 RF (RF<sub>out</sub>) 信号。电感器 214 使一个末端耦合到上部电源 V<sub>dd</sub>,且使另一末端耦合到 NMOS 晶体管 212 的漏极。电阻器 216 使一个末端耦合到 NMOS 晶体管 212 的栅极,且使另一末端从偏置电路 220 接收偏置电压 V<sub>bias</sub>。

[0027] NMOS 晶体管 212 提供 RF<sub>in</sub> 信号的信号放大。电感器 214 充当 NMOS 晶体管 212 的无源负载。电感器 214 也充当减小从 V<sub>dd</sub> 供应到 RF<sub>out</sub> 信号的噪声耦合的 RF 扼流器。电感器 214 也可为用于功率放大器 210 的输出匹配电路的部分。电阻器 216 充当可将 V<sub>bias</sub> 电压递送到 NMOS 晶体管 212 同时将高阻抗路径提供给 RF<sub>in</sub> 信号的 RF 扼流器。

[0028] 在偏置电路 220 内,NMOS 晶体管 222 使其源极耦合到电路接地且使其栅极耦合到电阻器 216。电流源 230 使一个末端耦合到 NMOS 晶体管 222 的漏极且使另一末端耦合到 V<sub>dd</sub>。电流源 230 可为可提供可变电流 I<sub>cs</sub> 的可编程电流源。NMOS 晶体管 224 使其源极耦合到 NMOS 晶体管 222 的栅极、使其栅极耦合到 NMOS 晶体管 222 的漏极,且使其漏极耦合到 V<sub>dd</sub>。电阻器 226 耦合于 NMOS 晶体管 222 的栅极与电路接地之间。

[0029] 功率放大器 210 具有偏置电流 I<sub>bias</sub>,其流动通过电感器 214 及 NMOS 晶体管 212。可选择 I<sub>bias</sub> 电流以提供功率放大器 210 的所要性能。I<sub>bias</sub> 电流取决于提供给 NMOS 晶体管 212 的栅极的 V<sub>bias</sub> 电压。可通过将 V<sub>bias</sub> 电压设定为合适值而获得所要 / 目标 I<sub>bias</sub> 电流。然而,归因于例如 NMOS 晶体管 212 的老化、温度改变、电源电压改变及 IC 工艺改变等等的各种因素,可能需要不同 V<sub>bias</sub> 电压来获得目标 I<sub>bias</sub> 电流。

[0030] 偏置电路 220 与功率放大器 210 经耦合以作为电流镜。将相同 V<sub>bias</sub> 电压施加到 NMOS 晶体管 212 及 222 两者的栅极。因此,通过 NMOS 晶体管 212 的 I<sub>bias</sub> 电流与通过 NMOS 晶体管 222 的 I<sub>cs</sub> 电流相关,且可表达为:

[0031]  $I_{bias} = K * I_{cs}$ , 方程式 (1)

[0032] 其中 K 为 NMOS 晶体管 212 的大小对 NMOS 晶体管 222 的大小的比率。K 可大于 1,使得 I<sub>bias</sub> 电流的仅一分率用于偏置电路 220,此可接着减小功率消耗。

[0033] 图 2 所示的示范性设计依赖于功率放大器 210 中的 NMOS 晶体管 212 与偏置电路

220 中的 NMOS 晶体管 222 之间的匹配来获得方程式 (1) 所示的  $I_{bias}$  与  $I_{cs}$  之间的关系。为了获得目标  $I_{bias}$  电流,可将对应目标  $I_{cs}$  电流计算为  $I_{cs} = I_{bias}/K$ 。可接着调整电流源 230 以提供目标  $I_{cs}$  电流。

[0034] 尽管图 2 中未图示,但也可测量  $I_{cs}$  电流,且可控制电流源 230 以获得目标  $I_{cs}$  电流。此可确保将目标  $I_{bias}$  电流提供给功率放大器 210。由于  $I_{bias}$  电流为  $I_{cs}$  电流的按比例缩放版本,因此可经由电流镜有效地测量  $I_{bias}$  电流。此将避免为了测量  $I_{bias}$  电流而添加与电感器 214 串联的电阻器的需要,此又将避免  $V_{dd}$  与 NMOS 晶体管 212 之间的电压降。

[0035] 在一个示范性设计中,可基于  $V_{bias}$  电压与经测量  $I_{cs}$  电流的查找表来执行偏置调整。可通过经由计算机仿真、经验测量等对功率放大器 210 进行特性化来确定此查找表。可将经测量  $I_{cs}$  电流提供给查找表,查找表可接着为 NMOS 晶体管 212 提供  $V_{bias}$  电压。在另一示范性设计中,可反复地执行偏置调整。对于每一反复,可对照目标  $I_{cs}$  电流来比较经测量  $I_{cs}$  电流。如果经测量  $I_{cs}$  电流不在目标  $I_{cs}$  电流的可接受范围内,则可调整  $V_{bias}$  电压,使得经测量  $I_{cs}$  电流更接近地移向目标  $I_{cs}$  电流。当经测量  $I_{cs}$  电流在目标  $I_{cs}$  电流的可接受范围内时,偏置调整可终止。

[0036] 图 3 展示通过测量电感器 214 上的电压的偏置调整的示范性设计的示意图。在图 3 所示的示范性设计中,偏置调整电路 240 包括运算放大器 (op-amp) 252、模 / 数转换器 (ADC) 258、处理器 260 及偏置电路 270。运算放大器 252 使其两个输入耦合到电感器 214 的两个末端且使其输出耦合到 ADC 258。处理器 260 从 ADC 258 接收数字输出且控制偏置电路 270 以产生所要偏置电压  $V_{bias}$ ,所要偏置电压  $V_{bias}$  被提供给电阻器 216。可通过图 1 中的处理器 110 实施处理器 260。可利用图 2 中的偏置电路 220 实施偏置电路 270,且可通过处理器 260 控制电流源 230。也可利用可从处理器 260 接收数字值且产生对应 DC 电压的数 / 模转换器 (DAC) 实施偏置电路 270。

[0037] 运算放大器 252 感测 / 测量电感器 214 上的电压。理想电感器为完全无功的 (reactive) 且在电感器上无电压降。然而,实际电感器具有某一电阻,且电压产生于此寄生电阻器上且可表达为:

[0038]  $V_{ind} = R_{ind} * I_{bias}$ , 方程式 (2)

[0039] 其中  $R_{ind}$  为电感器 214 的电阻,且  $V_{ind}$  为电感器 214 上的电压。

[0040] 运算放大器 252 将经测量  $V_{ind}$  电压提供给 ADC 258,ADC 258 量化经测量  $V_{ind}$  电压且将经数字化  $V_{ind}$  电压提供给处理器 260。处理器 260 基于来自 ADC 258 的经数字化  $V_{ind}$  电压及已知  $R_{ind}$  电阻或  $I_{bias} = V_{ind}/R_{ind}$  来计算通过电感器 214 的  $I_{bias}$  电流。处理器 260 比较经计算 / 经测量  $I_{bias}$  电流与目标  $I_{bias}$  电流且控制偏置电路 270 以产生  $V_{bias}$  电压,使得经测量  $I_{bias}$  电流匹配于目标  $I_{bias}$  电流。举例来说,如果经测量  $I_{bias}$  电流小于目标  $I_{bias}$  电流,则处理器 260 可控制偏置电路 270 以增加  $V_{bias}$  电压,此可接着导致  $I_{bias}$  电流增加。如果经测量  $I_{bias}$  电流大于目标  $I_{bias}$  电流,则相反情况也成立。

[0041] 如方程式 (2) 所示,可基于经测量  $V_{ind}$  电压及已知  $R_{ind}$  电阻来确定  $I_{bias}$  电流。可以各种方式来确定  $R_{ind}$  电阻。在一个示范性设计中,可 (例如) 在制造期间或当功率放大器 210 未操作时在现场通过校准来确定  $R_{ind}$  电阻。对于校准,可通过电感器 214 施加已知  $I_{bias}$  电流,且可测量电感器 214 上的  $V_{ind}$  电压。可接着基于已知  $I_{bias}$  电流及经测量



Vind 电压或  $R_{ind} = V_{ind}/I_{bias}$  来确定  $R_{ind}$  电阻。

[0042] 在另一示范性设计中,可基于给定 IC 芯片所观测到的 IC 工艺条件来确定所述 IC 芯片上的  $R_{ind}$  电阻。举例来说,可经由计算机仿真、经验测量等等而针对许多 IC 芯片且遍及不同 IC 工艺条件来特性化  $R_{ind}$  电阻。可从所述特性化获得  $R_{ind}$  与 IC 工艺条件的查找表。每一 IC 芯片可包括可确定所述 IC 芯片所观测到的 IC 工艺条件的 IC 工艺监视器。可将 IC 芯片所观测到的 IC 工艺条件提供给查找表,查找表可提供对应于所观测到的 IC 工艺条件的  $R_{ind}$  电阻。

[0043] 也可以其它方式来确定电感器 212 的电阻。所述电阻可被确定一次且被存储以供稍后计算  $I_{bias}$  电流。

[0044] 图 3 展示使用电感器 214 来测量功率放大器 210 的偏置电流。图 3 采用电感器 214 的固有电阻来测量所述电感器上的电压。无外部电阻器被串联地添加于 NMOS 晶体管 212 的漏极与  $V_{dd}$  之间。这是合乎需要的,因为外部电阻器会耗散功率且可能具有其它有害效应。

[0045] 图 4 展示通过测量功率放大器 410 内的 NMOS 晶体管的栅极到源极电压 ( $V_{gs}$ ) 的偏置调整的示范性设计的示意图。在图 4 所示的示范性设计中,利用堆叠在一起且耦合到电感器 416 的两个 NMOS 晶体管 412 及 414 实施功率放大器 410。NMOS 晶体管 412 使其栅极接收  $R_{Fin}$  信号且使其源极耦合到电路接地。NMOS 晶体管 414 使其源极耦合到 NMOS 晶体管 412 的漏极且使其漏极提供  $R_{Fout}$  输出。电感器 416 使一个末端耦合到  $V_{dd}$  且使另一末端耦合到 NMOS 晶体管 414 的漏极。NMOS 晶体管 412 提供功率放大器 410 的信号放大。NMOS 晶体管 414 提供功率放大器 410 的缓冲。 $R_{Fout}$  信号的电压摆动可较大且可分摊于 NMOS 晶体管 412 与 NMOS 晶体管 414 之间。每一 NMOS 晶体管接着将观测到较小电压摆动(例如,所述电压摆动的一半),此可接着改善所述 NMOS 晶体管的可靠性。电感器 416 可充当无源负载及 RF 扼流器,且也可为用于功率放大器 410 的输出匹配电路的部分。

[0046] 电阻器 422 使一个末端耦合到 NMOS 晶体管 412 的栅极且使另一末端从偏置电路 470 接收第一偏置电压  $V_{bias1}$ 。电阻器 424 使一个末端耦合到 NMOS 晶体管 414 的栅极且使另一末端从偏置电路 470 接收第二偏置电压  $V_{bias2}$ 。

[0047] 在图 4 所示的示范性设计中,偏置调整电路 440 包括运算放大器 452、ADC 458、处理器 460、查找表 462 及偏置电路 470。可通过图 1 中的处理器 110 实施处理器 460。可利用图 2 中的偏置电路 220 实施偏置电路 470,且可通过处理器 460 控制电流源 230。运算放大器 452 使一个输入耦合到 NMOS 晶体管 414 的源极且使另一输入耦合到 NMOS 晶体管 414 的栅极。运算放大器 452 感测/测量 NMOS 晶体管 414 的  $V_{gs}$  电压且将经测量  $V_{gs}$  电压提供给 ADC 458。ADC 458 量化经测量  $V_{gs}$  电压且将经数字化  $V_{gs}$  电压提供给处理器 460。处理器 460 基于来自 ADC 458 的经数字化  $V_{gs}$  电压来估计通过 NMOS 晶体管 414 的  $I_{bias}$  电流。处理器 460 比较经估计/经测量  $I_{bias}$  电流与目标  $I_{bias}$  电流且控制偏置电路 470 以产生  $V_{bias1}$  及/或  $V_{bias2}$  电压,使得经测量  $I_{bias}$  电流匹配于目标  $I_{bias}$  电流。举例来说,如果经测量  $I_{bias}$  电流小于目标  $I_{bias}$  电流,则处理器 460 可控制偏置电路 470 以增加  $V_{bias1}$  及/或  $V_{bias2}$  电压,此可接着导致  $I_{bias}$  电流增加。如果经测量  $I_{bias}$  电流大于目标  $I_{bias}$  电流,则相反情况也成立。

[0048] 图 9 展示 NMOS 晶体管的漏极电流  $I_d$  与漏极到源极电压  $V_{ds}$  的一族曲线。可针对

给定  $V_{gs}$  电压绘制  $I_d$  与  $V_{ds}$  的曲线。此曲线将展示：在到达所述曲线中的一膝节 (knee) 之前， $I_d$  电流随着  $V_{ds}$  电压增加而增加。在所述膝节之后， $I_d$  电流变平为一终值（理想地）且不会随着  $V_{ds}$  电压增加而增加。图 9 展示三个不同  $V_{gs}$  电压  $V_{gs1}$ 、 $V_{gs2}$  及  $V_{gs3}$  的三个曲线。如图 9 所示，逐渐变高的  $V_{gs}$  电压的曲线具有  $I_d$  电流的逐渐变大的终值。

[0049] 返回参看图 4，功率放大器 410 中的 NMOS 晶体管 414 可在高于所述膝节的饱和区域中操作。因此，可将 NMOS 晶体管 414 的  $V_{gs}$  电压映射到对应  $I_d$  电流。查找表 462 可存储 NMOS 晶体管 414 的  $I_d$  与  $V_{gs}$ ，其可基于经由测量、计算机仿真等等的 NMOS 晶体管的特性化加以确定。可测量 NMOS 晶体管 414 的  $V_{gs}$  电压。可将经测量  $V_{gs}$  电压提供给查找表 462，查找表 462 可提供对应  $I_d$  电流。处理器 460 可接收经测量  $V_{gs}$  电压的  $I_d$  电流，且可指导偏置电路 470 调整  $V_{bias1}$  及 / 或  $V_{bias2}$  电压以获得目标  $I_d$  电流。

[0050] 图 4 展示两个 NMOS 晶体管 412 及 414 堆叠在一起的示范性设计。一般来说，任一数目个 NMOS 晶体管可堆叠在一起。待堆叠的 NMOS 晶体管的数目可取决于  $R_{Fout}$  信号的最大电压摆动、每一 NMOS 晶体管的击穿电压等等。可测量所述堆叠中的一个或一个以上 NMOS 晶体管的  $V_{gs}$  电压，且使用  $V_{gs}$  电压来调整一个或一个以上偏置电压以获得用于功率放大器的目标  $I_{bias}$  电流。

[0051] 图 5 展示通过测量功率放大器 410 及复制品电路 430 内的 NMOS 晶体管的  $V_{gs}$  电压的偏置调整的示范性设计的示意图。复制品电路 430 包括耦合成堆叠配置的两个 NMOS 晶体管 432 及 434。NMOS 晶体管 432 使其栅极耦合到 NMOS 晶体管 412 的栅极且使其源极耦合到电路接地。NMOS 晶体管 434 使其源极耦合到 NMOS 晶体管 432 的漏极、使其栅极耦合到 NMOS 晶体管 414 的栅极，且使其漏极耦合到  $V_{dd}$ 。

[0052] 在图 5 所示的示范性设计中，偏置调整电路 442 包括运算放大器 452 及 454、多路复用器 (Mux) 456、ADC 458、处理器 460、查找表 462 及偏置电路 470。运算放大器 452 使一个输入耦合到 NMOS 晶体管 414 的源极且使另一输入耦合到 NMOS 晶体管 414 的栅极。运算放大器 452 感测 / 测量 NMOS 晶体管 414 的  $V_{gs}$  电压且将此经测量  $V_{gs}$  电压提供给多路复用器 456 的第一输入。类似地，运算放大器 454 使一个输入耦合到 NMOS 晶体管 434 的源极且使另一输入耦合到 NMOS 晶体管 434 的栅极。运算放大器 454 感测 / 测量 NMOS 晶体管 434 的  $V_{gs}$  电压且将此经测量  $V_{gs}$  电压提供给多路复用器 456 的第二输入。多路复用器 456 将来自运算放大器 452 的经测量  $V_{gs}$  电压或来自运算放大器 454 的经测量  $V_{gs}$  电压提供给 ADC 458。ADC 458 量化来自多路复用器 456 的经测量  $V_{gs}$  电压且将经数字化  $V_{gs}$  电压提供给处理器 460。处理器 460 接收 NMOS 晶体管 414 及 434 的经数字化  $V_{gs}$  电压且控制偏置电路 470 以产生  $V_{bias1}$  及 / 或  $V_{bias2}$  电压，使得获得用于功率放大器 410 的目标  $I_{bias}$  电流，如下文所描述。

[0053] 复制品电路 430 为功率放大器 410 中的 NMOS 晶体管 412 及 414 的复制品。然而，复制品电路 430 中的 NMOS 晶体管 432 及 434 的大小可小于功率放大器 410 中的 NMOS 晶体管 412 及 414 的大小，以便减小功率消耗。此外，复制品电路 430 中的 NMOS 晶体管 432 及 434 未遭受功率放大器 410 中的 NMOS 晶体管 412 及 414 所观测到的大电压摆动及高偏置电流。因此，NMOS 晶体管 432 及 434 所经历的老化少于 NMOS 晶体管 412 及 414 所经历的老化。此区别可用以设定用于功率放大器 410 的目标  $I_{bias}$  电流。

[0054] 可如下获得用于功率放大器 410 的目标  $I_{bias}$  电流。最初，可测量复制品电路 430

中的 NMOS 晶体管 434 的  $V_{gs}$  电压, 其中将标称  $V_{bias1}$  电压及  $V_{bias2}$  电压分别施加于 NMOS 晶体管 432 及 434 的栅极。标称  $V_{bias1}$  电压及  $V_{bias2}$  电压应提供通过 NMOS 晶体管 432 及 434 的目标  $I_d$  电流, 且可通过复制品电路 430 的先前特性化来确定。可接着测量功率放大器 410 中的 NMOS 晶体管 414 的  $V_{gs}$  电压, 其中将标称  $V_{bias1}$  电压及  $V_{bias2}$  电压分别施加于 NMOS 晶体管 412 及 414 的栅极。可比较 NMOS 晶体管 414 的经测量  $V_{gs}$  电压与 NMOS 晶体管 434 的  $V_{gs}$  电压。可接着调整  $V_{bias1}$  及 / 或  $V_{bias2}$  电压, 使得 NMOS 晶体管 414 的经测量  $V_{gs}$  电压匹配于 NMOS 晶体管 434 的经测量  $V_{gs}$  电压。通过使 NMOS 晶体管 414 的  $V_{gs}$  电压匹配于 NMOS 晶体管 434 的  $V_{gs}$  电压, 可获得通过 NMOS 晶体管 414 的目标  $I_d$  电流 (且因此获得用于功率放大器 410 的目标  $I_{bias}$  电流)。

[0055] 尽管图 5 中未图示, 但可测量通过 NMOS 晶体管 434 的  $I_d$  电流, 且可改变  $V_{bias1}$  及 / 或  $V_{bias2}$  电压, 使得获得目标  $I_d$  电流。可将可提供通过 NMOS 晶体管 434 的目标  $I_d$  电流的  $V_{bias1}$  电压及  $V_{bias2}$  电压保存为标称  $V_{bias1}$  电压及  $V_{bias2}$  电压。

[0056] 图 6 展示使用反馈回路的偏置调整的示范性设计的示意图。功率放大器 410 与复制品电路 430 如上文分别针对图 4 及图 5 所描述加以耦合。在图 6 所示的示范性设计中, 偏置调整电路 444 包括低通滤波器 462、运算放大器 464、处理器 460 及偏置电路 470。低通滤波器 462 及运算放大器 464 形成反馈电路。低通滤波器 462 使其输入耦合到功率放大器 410 中的 NMOS 晶体管 412 的漏极、执行滤波以移除其输入信号中的 RF 分量, 且提供经感测电压  $V_{sense}$ 。 $V_{sense}$  电压指示 NMOS 晶体管 412 的漏极处的直流 (DC) 电压。运算放大器 464 使其非反相输入耦合到低通滤波器 464 的输出且使其反相输入耦合到 NMOS 晶体管 432 的漏极。运算放大器 464 的输出耦合到电阻器 422 的一个末端, 且电阻器 422 的另一末端耦合到 NMOS 晶体管 412 的栅极。运算放大器 464 为 NMOS 晶体管 412 的栅极提供  $V_{bias1}$  电压。偏置电路 470 将  $V_{bias2}$  电压提供给电阻器 424 的一个末端, 且电阻器 424 的另一末端耦合到 NMOS 晶体管 414 及 434 两者的栅极。偏置电路 470 还将  $V_{bias3}$  电压提供给电阻器 426 的一个末端, 且电阻器 426 的另一末端耦合到复制品电路 430 中的 NMOS 晶体管 432 的栅极。

[0057] 反馈回路 480 由低通滤波器 462、运算放大器 464、电阻器 422 及 NMOS 电阻器 412 形成。复制品 430 产生用于反馈回路的参考电压  $V_{ref}$ 。偏置电路 470 产生分别用于 NMOS 晶体管 434 及 432 的标称  $V_{bias2}$  电压及  $V_{bias3}$  电压, 使得目标  $I_d$  电流流动通过这些 NMOS 晶体管。NMOS 晶体管 432 的漏极处的电压用作反馈回路的  $V_{ref}$  电压。运算放大器 464 比较  $V_{sense}$  电压与  $V_{ref}$  电压且产生  $V_{bias1}$  电压, 使得  $V_{sense}$  电压匹配于  $V_{ref}$  电压。举例来说, 如果  $V_{sense}$  电压高于  $V_{ref}$  电压, 则运算放大器 464 提供较高  $V_{bias1}$  电压, 其接着较强烈地接通 NMOS 晶体管 412 且减小 NMOS 晶体管 412 的漏极处的电压。如果  $V_{sense}$  电压低于  $V_{ref}$  电压, 则相反情况也成立。

[0058] 在图 6 所示的示范性设计中, 反馈回路调整用于 NMOS 晶体管 412 的  $V_{bias1}$  电压, 使得 NMOS 晶体管 412 的漏极处的 DC 电压匹配于 NMOS 晶体管 432 的漏极处的 DC 电压。由于将相同  $V_{bias2}$  电压施加到 NMOS 晶体管 414 及 434 的栅极, 因此反馈回路使 NMOS 晶体管 414 的  $V_{gs}$  电压基本上匹配于 NMOS 晶体管 434 的  $V_{gs}$  电压。此接着将导致获得用于 NMOS 晶体管 414 的目标  $I_d$  电流, 且因此获得用于功率放大器 410 的目标  $I_{bias}$  电流。

[0059] 可通过复制品电路 430 的先前特性化来确定可提供目标  $I_d$  电流的标称  $V_{bias1}$  及

/ 或  $V_{bias2}$  电压。或者,可测量通过 NMOS 晶体管 434 的  $I_d$  电流,且可改变  $V_{bias1}$  及 / 或  $V_{bias2}$  电压,使得获得目标  $I_d$  电流。

[0060] 即使当功率放大器 410 操作时,图 6 中的反馈回路仍可连续地操作。或者,反馈回路可操作以设定  $V_{bias1}$  电压,其可利用 ADC 加以测量。可接着使反馈回路断开,且可产生经测量  $V_{bias1}$  电压(例如,通过偏置电路 470)且将其施加到电阻器 422。

[0061] 图 7 展示使用切换模式电源 (SMPS) 720 以使供应电压与功率放大器 710 隔离的偏置调整的示范性设计的示意图。功率放大器 710 包括 NMOS 晶体管 712、电感器 714 及电阻器 716,其以类似于图 2 的功率放大器 210 中的 NMOS 晶体管 212、电感器 214 及电阻器 216 的方式加以耦合,唯有一种情况除外。电感器 714 耦合到由 SMPS 720 提供的  $V_{smpls}$  供应电压,而非耦合到  $V_{dd}$ 。

[0062] 在 SMPS 720 内,P 沟道金属氧化物半导体 (PMOS) 晶体管 722 使其源极耦合到电池供应  $V_{bat}$ 、使其漏极耦合到节点 X,且使其栅极耦合到 SMPS 控制单元 726。NMOS 晶体管 724 使其源极耦合到电路接地、使其漏极耦合到节点 X,且使其栅极耦合到 SMPS 控制单元 726。SMPS 控制单元 726 接收来自处理器 760 的输出以及节点 Y 处的电压(为了简单起见,图 7 中未图示),且产生用于 PMOS 晶体管 722 的第一控制电压及用于 NMOS 晶体管 724 的第二控制电压。电感器 732 耦合于节点 X 与节点 Y 之间。电容器 734 耦合于节点 Y 与电路接地之间。功率放大器 710 中的电感器 714 耦合到提供  $V_{smpls}$  电压的节点 Y。

[0063] 偏置调整电路 740 产生用于功率放大器 710 中的 NMOS 晶体管 712 的  $V_{bias}$  电压,使得将目标  $I_{bias}$  电流提供给功率放大器 710。在电路 740 内,NMOS 晶体管 752 使其漏极耦合到  $V_{dd}$ 、使其栅极耦合到控制电路 762,且使其源极耦合到电阻器 754 的一个末端。电阻器 754 的另一末端耦合到节点 X。运算放大器 756 使其两个输入耦合到电阻器 754 的两个末端且使其输出耦合到 ADC 758。处理器 760 从 ADC 758 接收数字输出、指导控制电路 762 产生所要  $I_{bias}$  电流,且控制偏置电路 770 以产生用于 NMOS 晶体管 712 的所要  $V_{bias}$  电压。可通过图 1 中的处理器 110 实施处理器 760。可利用图 2 中的偏置电路 220 实施偏置电路 770。

[0064] 在正常操作模式下,NMOS 晶体管 752 断开,且 SMPS 720 接通且基于  $V_{bat}$  电压而产生用于功率放大器 710 的  $V_{smpls}$  电压。SMPS 控制单元 726 可作为脉宽调制器 (PWM) 产生器进行操作,且可交替地接通及断开 PMOS 晶体管 722。在接通状态期间,PMOS 晶体管 722 接通,且 NMOS 晶体管 724 断开。 $V_{bat}$  电压经由 PMOS 晶体管 722 而耦合到存储来自  $V_{bat}$  电压的能量的电感器 732。在接通状态期间, $V_{bat}$  电压将电流提供给电容器 734 及功率放大器 710。在断开状态期间,PMOS 晶体管 722 断开,且 NMOS 晶体管 724 接通。 $V_{bat}$  电压通过 PMOS 晶体管 722 而从电感器 732 断开。电感器 732 通过 NMOS 晶体管 724 而耦合到电路接地且将其存储的能量提供给电容器 734 及功率放大器 710。在断开状态期间,电容器 734 使  $V_{smpls}$  电压维持大致恒定且还将其电荷提供给功率放大器 710。电感器 732 及电容器 734 还形成低通滤波器,其抑制归因于 MOS 晶体管 722 及 724 的切换而引起的  $V_{smpls}$  电压的纹波。

[0065] 在偏置调整模式下,SMPS 720 通过断开 MOS 晶体管 722 及 724 两者而断开。NMOS 晶体管 752 接通且将通过电阻器 754 的  $I_{bias}$  电流传递到功率放大器 710。运算放大器 756 感测 / 测量电阻器 754 上的电压  $V_{res}$ 。ADC 758 量化经测量  $V_{res}$  电压且将经数字化  $V_{res}$

电压提供给处理器 760。处理器 760 基于来自 ADC 758 的经数字化  $V_{res}$  电压及电阻器 754 的已知电阻  $R_{res}$  或  $I_{bias} = V_{res}/R_{res}$  来计算通过电阻器 754 的  $I_{bias}$  电流。处理器 760 比较经计算/经测量  $I_{bias}$  电流与目标  $I_{bias}$  电流且控制偏置电路 770 以产生  $V_{bias}$  电压,使得经测量  $I_{bias}$  电流匹配于目标  $I_{bias}$  电流。举例来说,如果经测量  $I_{bias}$  电流小于目标  $I_{bias}$  电流,则处理器 760 可控制偏置电路 770 以增加  $V_{bias}$  电压,此将接着导致  $I_{bias}$  电流增加。如果经测量  $I_{bias}$  电流大于目标  $I_{bias}$  电流,则相反情况将也成立。处理器 760 可指导控制电路 762 在正常操作模式下断开 NMOS 晶体管 752 或在偏置调整模式下接通 NMOS 晶体管 752。处理器 760 也可指导控制电路 762 产生用于 NMOS 晶体管 752 的控制电压,使得在偏置调整模式下的  $V_{smpls}$  电压类似于在正常操作模式下的  $V_{smpls}$  电压。

[0066] SMPS 720 通常用以将电池电压或外部电压调节到用于功率放大器 710 的较低供应电压,此可接着减小功率消耗且改善附加功率效率 (power-added efficiency, PAE)。图 7 所示的示范性设计采用 SMPS 720 以使  $V_{bat}$  电压与节点 X 隔离,这是通过断开 MOS 晶体管 722 及 724 两者实现。在使节点 X 与  $V_{bat}$  电压隔离的情况下,外部电流可经由 NMOS 晶体管 752 及电阻器 754 而施加到功率放大器 710。可测量此外部电流且使用此外部电流来产生用于 NMOS 晶体管 712 的适当  $V_{bias}$  电压,以获得用于功率放大器 710 的目标  $I_{bias}$  电流。在正常操作模式期间, NMOS 晶体管 752 断开且不会影响功率放大器 710 的操作。

[0067] 图 8 展示使用 SMPS 720 的偏置调整的另一示范性设计的示意图。功率放大器 710 与 SMPS 720 如上文针对图 7 所描述加以耦合。偏置调整电路 742 产生用于功率放大器 710 中的 NMOS 晶体管 712 的  $V_{bias}$  电压,使得将目标  $I_{bias}$  电流提供给所述功率放大器。在电路 742 内, NMOS 晶体管 752、控制电路 762 与处理器 760 如上文针对图 7 所描述加以耦合。利用可将已知电流  $I_{bias}$  提供给功率放大器 710 的电流源 764 来替换图 7 中的电阻器 754。也可利用由控制电路 762 控制的 PMOS 电流源晶体管 (或理想的可调整电流源) 来替换 NMOS 晶体管 752 及电流源 764。开关 772 使一个端子耦合到 NMOS 晶体管 712 的栅极且使另一端子耦合到 NMOS 晶体管 712 的漏极。开关 774 使一个端子耦合到 NMOS 晶体管 712 的栅极且使另一端子耦合到 NMOS 晶体管 782 的栅极。开关 772 及 774 接收  $V_{ctrl}$  控制信号。开关 776 耦合于偏置电路 770 的输出与电阻器 716 之间且接收  $\overline{V_{ctrl}}$  控制信号。NMOS 晶体管 782 使其源极耦合到电路接地且使其漏极耦合到运算放大器 786 的一个输入。PMOS 晶体管 784 使其漏极与栅极耦合到 NMOS 晶体管 782 的漏极且使其源极耦合到  $V_{dd}$ 。也可利用具有已知值的电阻器来替换 PMOS 晶体管 784。运算放大器 786 使其另一输入耦合到  $V_{dd}$  且使其输出耦合到 ADC 758。处理器 760 从 ADC 758 接收数字输出、指导控制电路 762 提供所要  $I_{bias}$  电流,且控制偏置电路 770 以产生用于 NMOS 晶体管 712 的所要  $V_{bias}$  电压。

[0068] 在正常操作模式下, NMOS 晶体管 752 断开、开关 772 及 774 断开、开关 776 闭合,且 SMPS 720 接通,以产生用于功率放大器 710 的  $V_{smpls}$  电压。在偏置调整模式下, SMPS720 通过断开 MOS 晶体管 722 及 724 两者而断开。NMOS 晶体管 752 接通且将已知电流  $I_{bias}$  传递到功率放大器 710。开关 772 及 774 闭合,且 NMOS 晶体管 712 及 782 作为电流镜进行操作。由于将相同 DC 电压施加到 NMOS 晶体管 712 及 782 的栅极,因此通过 NMOS 晶体管 782 的  $I_{cm}$  电流与通过 NMOS 晶体管 712 的  $I_{bias}$  电流相关,或  $I_{cm} = I_{bias}/K$ , 其中 K 为 NMOS 晶体管 712 的大小对 NMOS 晶体管 782 的大小的比率。可将目标  $I_{bias}$  电流转换成对应目标  $I_{cm}$  电流。

[0069] 运算放大器 786 感测 / 测量 PMOS 晶体管 784 的  $V_{gs}$  电压, 其中开关 772 及 774 闭合、开关 776 断开, 且  $V_{bias}$  电压断开。ADC 758 量化经测量  $V_{gs}$  电压且将经数字化  $V_{gs}$  电压提供给处理器 760。处理器 760 基于来自 ADC 758 的经数字化  $V_{gs}$  电压及 PMOS 晶体管 784 的已知漏极到源极电阻  $R_{ds}$  或  $I_{cm} = V_{gs}/R_{ds}$  来计算通过 NMOS 晶体管 782 的  $I_{cm}$  电流。可通过特性化 PMOS 晶体管 784 来确定  $R_{ds}$ 。处理器 760 比较经计算 / 经测量  $I_{cm}$  电流与目标  $I_{cm}$  电流且确定  $V_{bias}$  电压, 使得经测量  $I_{cm}$  电流匹配于目标  $I_{cm}$  电流。举例来说, 如果经测量  $I_{cm}$  电流小于目标  $I_{cm}$  电流, 则处理器 760 可增加  $V_{bias}$  电压, 此将接着导致  $I_{bias}$  电流及  $I_{cm}$  电流两者增加。如果经测量  $I_{cm}$  电流大于目标  $I_{cm}$  电流, 则相反情况将也成立。偏置电路 770 产生  $V_{bias}$  电压 (如处理器 760 所指示) 且经由开关 776 而施加  $V_{bias}$  电压, 其中开关 772 及 774 断开。可依序地或反复地执行  $I_{cm}$  电流的测量及  $V_{bias}$  电压的施加。举例来说, 可在通过断开开关 776 而使  $V_{bias}$  电压断开的情况下测量  $I_{cm}$  电流, 接着, 可在开关 772 及 774 闭合的情况下施加  $V_{bias}$  电压。当开关 772 及 774 闭合且正在测量  $I_{cm}$  电流时, 开关 776 使偏置电路 770 断开。当连接  $V_{bias}$  电压时, 开关 772 及 774 断开。

[0070] 图 2 到 8 展示可直接或间接测量通过功率放大器的偏置电流且设定偏置电压以获得目标偏置电流的偏置调整电路的各种示范性设计。可基于本文中的描述来实施偏置调整电路的其它设计。偏置调整电路可用于功率放大器 (如上文所描述) 以及其它类型的放大器。

[0071] 本文中所描述的技术使得能够测量及调整放大器的偏置电流。通过经由来自放大器的反馈而动态地调整偏置电流, 可补偿老化的效应。此可提供各种优点, 例如更一致的放大器性能、改善的产量、可靠性问题的减轻, 等等。另外, 也可补偿归因于其它效应 (例如 IC 工艺、温度、电源电压, 等等) 的偏置移位。所述技术可使得能够使用可能具有老化相关可靠性问题的较低成本 IC 工艺技术 (例如, 绝缘体上硅 (SOI) 或块状硅 (Si))。

[0072] 一般来说, 在适当时, 可将放大器的偏置电流调整一次或一次以上。在一示范性设计中, 可在呼叫开始时 (例如, 在 RF 发射已开始之前) 调整偏置电流。举例来说, 可调整偏置电压以将功率放大器的偏置电流恢复到目标值, 所述目标值可经选择以获得所要性能。本文中所描述的技术可用以补偿归因于例如老化、IC 工艺改变、电源电压、温度等等的各种因素的偏置移位。

[0073] 在一示范性设计中, 一种设备 (例如, 集成电路、无线装置, 等等) 可包含放大器及偏置电路, 例如, 如图 2 所示。放大器可包含第一晶体管 (例如, NMOS 晶体管 212)。偏置电路可包含耦合到放大器中的第一晶体管的第二晶体管 (例如, NMOS 晶体管 222)。第一晶体管及第二晶体管可形成电流镜。偏置电路可产生用于第一晶体管及第二晶体管的偏置电压以获得用于第一晶体管的目标偏置电流。偏置电路可进一步包含耦合到第二晶体管的电流源 (例如, 电流源 230)。偏置电路可产生偏置电压以从电流源获得目标电流, 所述目标电流可基于用于第一晶体管的目标偏置电流加以确定。放大器可为功率放大器或某一其它类型的放大器。

[0074] 在另一示范性设计中, 一种设备可包含放大器、感测电路及偏置电路, 例如, 如图 3 所示。放大器可包含耦合到电感器 (例如, 电感器 214) 的晶体管 (例如, NMOS 晶体管 212)。感测电路 (例如, 运算放大器 252) 可耦合到电感器且可测量电感器上的电压。偏置电路可

耦合到晶体管,且可基于电感器上的经测量电压而产生用于晶体管的偏置电压以获得用于晶体管的目标偏置电流。

[0075] 所述设备可进一步包含 ADC 及处理器。ADC 可数字化经测量电压且提供经数字化电压。处理器可基于经数字化电压来产生用于偏置电路的控制。处理器可基于经数字化电压及电感器的已知电阻器值来确定用于晶体管的经测量偏置电流。处理器可基于经测量偏置电流及目标偏置电流而产生用于偏置电路的控制。可(例如)在工厂中的校准期间或在呼叫之前在现场通过施加通过电感器的已知电流且测量电感器上的电压来确定电感器的电阻器值。也可基于放大器所观测到的 IC 条件(其可利用 IC 工艺监视器加以确定)来确定电感器的电阻器值。

[0076] 在又一示范性设计中,一种设备可包含放大器、感测电路及偏置电路,例如,如图 4 或 5 所示。放大器可包含经耦合成堆叠的第一晶体管及第二晶体管。第一晶体管(例如, NMOS 晶体管 412)可为堆叠中的下部晶体管且可耦合到电路接地。第二晶体管(例如, NMOS 晶体管 414)可为堆叠中的上部晶体管。感测电路(例如,运算放大器 452)可耦合到第二晶体管且可测量第二晶体管的  $V_{gs}$  电压。偏置电路可耦合到第一晶体管及第二晶体管当中的至少一个晶体管。偏置电路可基于第二晶体管的经测量  $V_{gs}$  电压来产生用于所述至少一个晶体管的至少一个偏置电压以获得用于第一晶体管及第二晶体管的目标偏置电流。

[0077] 所述设备可进一步包含 ADC 及处理器,例如,如图 4 所示。ADC 可数字化经测量  $V_{gs}$  电压且提供经数字化电压。处理器可基于经数字化电压来产生用于偏置电路的控制。在一示范性设计中,处理器可确定对应于目标偏置电流的目标  $V_{gs}$  电压,且可基于经测量  $V_{gs}$  电压及目标  $V_{gs}$  电压来产生用于偏置电路的控制。在另一示范性设计中,查找表可存储用于第二晶体管的偏置电流与  $V_{gs}$  电压。处理器可从查找表获得用于经测量  $V_{gs}$  电压的经测量偏置电流,且可基于经测量偏置电流及目标偏置电流来产生用于偏置电路的控制。

[0078] 所述设备可进一步包含复制品电路及第二感测电路,例如,如图 5 所示。复制品电路可包含经耦合成堆叠且复制放大器中的第一晶体管及第二晶体管的第三晶体管及第四晶体管(例如, NMOS 晶体管 432 及 434)。第一晶体管及第三晶体管可接收第一偏置电压 ( $V_{bias1}$ ),且第二晶体管及第四晶体管可接收第二偏置电压 ( $V_{bias2}$ )。第二感测电路(例如,运算放大器 454)可耦合到复制品电路中的第四晶体管且可测量第四晶体管的  $V_{gs}$  电压。偏置电路可基于第二晶体管及第四晶体管的经测量  $V_{gs}$  电压来产生用于放大器中的所述至少一个晶体管的所述至少一个偏置电压。ADC 可数字化第二晶体管的经测量  $V_{gs}$  电压且提供第一经数字化电压。ADC 也可数字化第四晶体管的经测量  $V_{gs}$  电压且提供第二经数字化电压。处理器可基于第一经数字化电压及第二经数字化电压来产生用于偏置电路的控制。处理器可在第一偏置电压及第二偏置电压具有标称值的情况下获得第四晶体管的经测量  $V_{gs}$  电压的第二经数字化电压。处理器可产生用于偏置电路的控制以致使第二晶体管的经测量  $V_{gs}$  电压匹配于第四晶体管的经测量  $V_{gs}$  电压。

[0079] 在又一示范性设计中,一种设备可包含放大器、复制品电路及反馈电路,例如,如图 6 所示。放大器可包含至少一个晶体管。复制品电路可包含复制放大器中的所述至少一个晶体管的至少一个晶体管。反馈电路可耦合到放大器及复制品电路。反馈电路可感测放大器中的第一电压、感测复制品电路中的第二电压,且基于第一电压及第二电压来产生用于放大器的偏置电压。反馈电路可包含滤波器及感测电路,例如,图 6 中的滤波器 462 及运

算放大器 464。滤波器可接收及滤波第一电压且提供第三电压。感测电路可接收第二电压及第三电压且产生用于第一晶体管的栅极的偏置电压。

[0080] 放大器可包含经耦合堆叠的第一晶体管及第二晶体管,且复制品电路可包含经耦合堆叠的第三晶体管及第四晶体管,例如,如图 6 所示。第一电压可为第一晶体管的漏极电压,第二电压可为第三晶体管的漏极电压,且偏置电压可施加到第一晶体管的栅极。第二晶体管及第四晶体管可接收第二偏置电压 ( $V_{bias2}$ ),且第三晶体管可接收第三偏置电压 ( $V_{bias3}$ )。第二偏置电压及第三偏置电压可提供用于复制品电路中的第三晶体管及第四晶体管的目标偏置电流。

[0081] 在又一示范性设计中,一种设备可包含放大器、SMPS 及偏置电路,例如,如图 7 或 8 所示。放大器可放大输入信号且提供输出信号。SMPS 可耦合到放大器,且可接收第一供应电压且将第二供应电压提供给放大器。偏置电路可耦合到放大器,且可产生用于放大器的偏置电压以获得用于放大器的目标偏置电流。偏置电路可接收基于在停用 SMPS 的情况下用于放大器的经测量偏置电流所确定的控制,且可基于所述控制来产生用于放大器的偏置电压。

[0082] 所述设备可进一步包含电阻器及感测电路,例如,如图 7 所示。电阻器可耦合到放大器(例如,经由 SMPS)且可在停用 SMPS 时提供用于放大器的偏置电流。感测电路(例如,运算放大器 756)可耦合到电阻器且可测量电阻器上的电压。偏置电路可接收基于电阻器上的经测量电压所确定的控制,且可基于所述控制来产生用于放大器的偏置电压。所述设备可进一步包含 ADC 及处理器。ADC 可数字化电阻器上的经测量电压且提供经数字化电压。处理器可基于经数字化电压来产生用于偏置电路的控制。处理器可基于经数字化电压及电阻器的已知值来确定用于放大器的经测量偏置电流。处理器可接着基于经测量偏置电流及目标偏置电流来产生用于偏置电路的控制。

[0083] 放大器可包含第一晶体管(例如,图 8 中的 NMOS 晶体管 712)。所述设备可进一步包含第二晶体管及感测电路。第二晶体管(例如, NMOS 晶体管 782)可经由至少一个开关而耦合到放大器中的第一晶体管。当所述至少一个开关闭合时,第一晶体管及第二晶体管可形成电流镜。感测电路(例如, PMOS 晶体管 784 及运算放大器 786)可耦合到第二晶体管且可测量通过第二晶体管的电流。ADC 可数字化来自感测电路的经感测电压,其可指示通过第二晶体管的经测量电流。处理器可基于经数字化电压来产生用于偏置电路的控制。举例来说,处理器可基于经数字化电压来确定用于放大器的经测量偏置电流,且可基于经测量偏置电流及目标偏置电流来产生用于偏置电路的控制。

[0084] 图 10 展示用于调整偏置电流的过程 1000 的示范性设计。可获得下列各者的测量(框 1012):耦合到放大器中的至少一个晶体管的电感器上的电压(例如,如图 3 所示),或通过利用放大器中的至少一个晶体管中的一者形成的电流镜的电流(例如,如图 2 所示),或放大器中的至少一个晶体管中的一者的  $V_{gs}$  电压(例如,如图 4 或 5 所示),或复制放大器的复制品电路中的电压(例如,如图 6 所示),或在停用 SMSP 的情况下施加到放大器的电流(例如,如图 7 或 8 所示)。可基于所述测量来产生用于放大器中的至少一个晶体管的至少一个偏置电压以获得用于放大器的目标偏置电流(框 1014)。

[0085] 在图 2 所示的框 1014 的一示范性设计中,可基于通过利用放大器中的至少一个晶体管中的一者形成的电流镜的电流来确定用于放大器的经测量偏置电流。可基于用于放大



器的经测量偏置电流及目标偏置电流来产生至少一个偏置电压。

[0086] 在图 3 所示的框 1014 的另一示范性设计中,可数字化电感器上的电压以获得经数字化电压。可基于经数字化电压及电感器的电阻器值来确定用于放大器的经测量偏置电流。可基于用于放大器的经测量偏置电流及目标偏置电流来产生至少一个偏置电压。

[0087] 在图 4 所示的框 1014 的又一示范性设计中,可基于放大器中的至少一个晶体管中的一者的  $V_{gs}$  电压来确定用于放大器的经测量偏置电流。可基于用于放大器的经测量偏置电流及目标偏置电流来产生至少一个偏置电压。或者,可基于放大器中的至少一个晶体管中的一者的  $V_{gs}$  电压及目标  $V_{gs}$  电压来产生至少一个偏置电压。

[0088] 在图 5 所示的框 1014 的又一示范性设计中,可获得复制品电路中的至少一个晶体管中的一者的  $V_{gs}$  电压的第二测量。可进一步基于第二测量来产生用于放大器中的至少一个晶体管的至少一个偏置电压以获得用于放大器的目标偏置电流。

[0089] 在图 6 所示的框 1014 的又一示范性设计中,可感测放大器中的电压。可基于复制品电路中的电压及放大器中的电压而使用反馈回路来产生用于放大器的偏置电压。

[0090] 在图 7 所示的框 1012 的一示范性设计中,可在停用 SMPS 的情况下测量耦合到放大器的电阻器上的电压。可基于经测量电压来确定施加到放大器的电流。

[0091] 在图 8 所示的框 1012 的另一示范性设计中,可测量通过利用放大器中的至少一个晶体管中的一者形成的电流镜的电流。可基于通过电流镜的经测量电流来确定施加到放大器的电流。

[0092] 本文中所描述的放大器及电路可实施于 IC、模拟 IC、RFIC、混频信号 IC、ASIC、印刷电路板 (PCB)、电子装置等等上。也可利用例如互补金属氧化物半导体 (CMOS)、NMOS、PMOS、双极结型晶体管 (BJT)、双极 CMOS (BiCMOS)、硅锗 (SiGe)、砷化镓 (GaAs) 等等的各种 IC 工艺技术来制造放大器及电路。

[0093] 实施本文中所描述的放大器及电路的设备可为独立装置或可为较大装置的部分。装置可为:(i) 独立 IC;(ii) 一个或一个以上 IC 的集合,其可包括用于存储数据及 / 或指令的存储器 IC;(iii) RFIC,例如 RF 接收器 (RFR) 或 RF 发射器 / 接收器 (RTR);(iv) ASIC,例如移动台调制解调器 (MSM);(v) 可嵌入于其它装置内的模块;(vi) 接收器、蜂窝式电话、无线装置、手持机或移动单元;(vii) 等等。

[0094] 在一个或一个以上示范性设计中,所描述的功能可以硬件、软件、固件或其任一组合加以实施。如果以软件加以实施,则所述功能可作为一个或一个以上指令或代码而存储于计算机可读媒体上或经由计算机可读媒体进行传输。计算机可读媒体包括计算机存储媒体及通信媒体两者,通信媒体包括促进计算机程序从一处到另一处的传送的任一媒体。存储媒体可为可由计算机存取的任一可用媒体。通过实例而非限制,这些计算机可读媒体可包含 RAM、ROM、EEPROM、CD-ROM 或其它光盘存储装置、磁盘存储装置或其它磁性存储装置,或可用以载运或存储呈指令或数据结构形式的所要程序代码且可由计算机存取的任一其它媒体。又,可将任一连接适当地称作计算机可读媒体。举例来说,如果使用同轴电缆、光缆、双绞线、数字订户线 (DSL) 或例如红外线、无线电及微波的无线技术而从网站、服务器或其它远程源传输软件,则同轴电缆、光缆、双绞线、DSL 或例如红外线、无线电及微波的无线技术包括于媒体的定义中。如本文中所使用,磁盘及光盘包括压缩光盘 (CD)、激光光盘、光学光盘、数字通用光盘 (DVD)、软性磁盘及蓝光光盘,其中磁盘通常以磁性方式再现数据,

而光盘利用激光以光学方式再现数据。以上各者的组合也应包括于计算机可读媒体的范围内。

[0095] 提供本发明的先前描述以使任一所属领域的技术人员皆能够制造或使用本发明。对本发明的各种修改对于所属领域的技术人员将是显而易见的,且在不脱离本发明的范围的情况下,本文中所界定的一般原理可适用于其它改变。因此,本发明既定不限于本文中所描述的实例及设计,而是应被赋予与本文中所揭示的原理及新颖特征一致的最广范围。

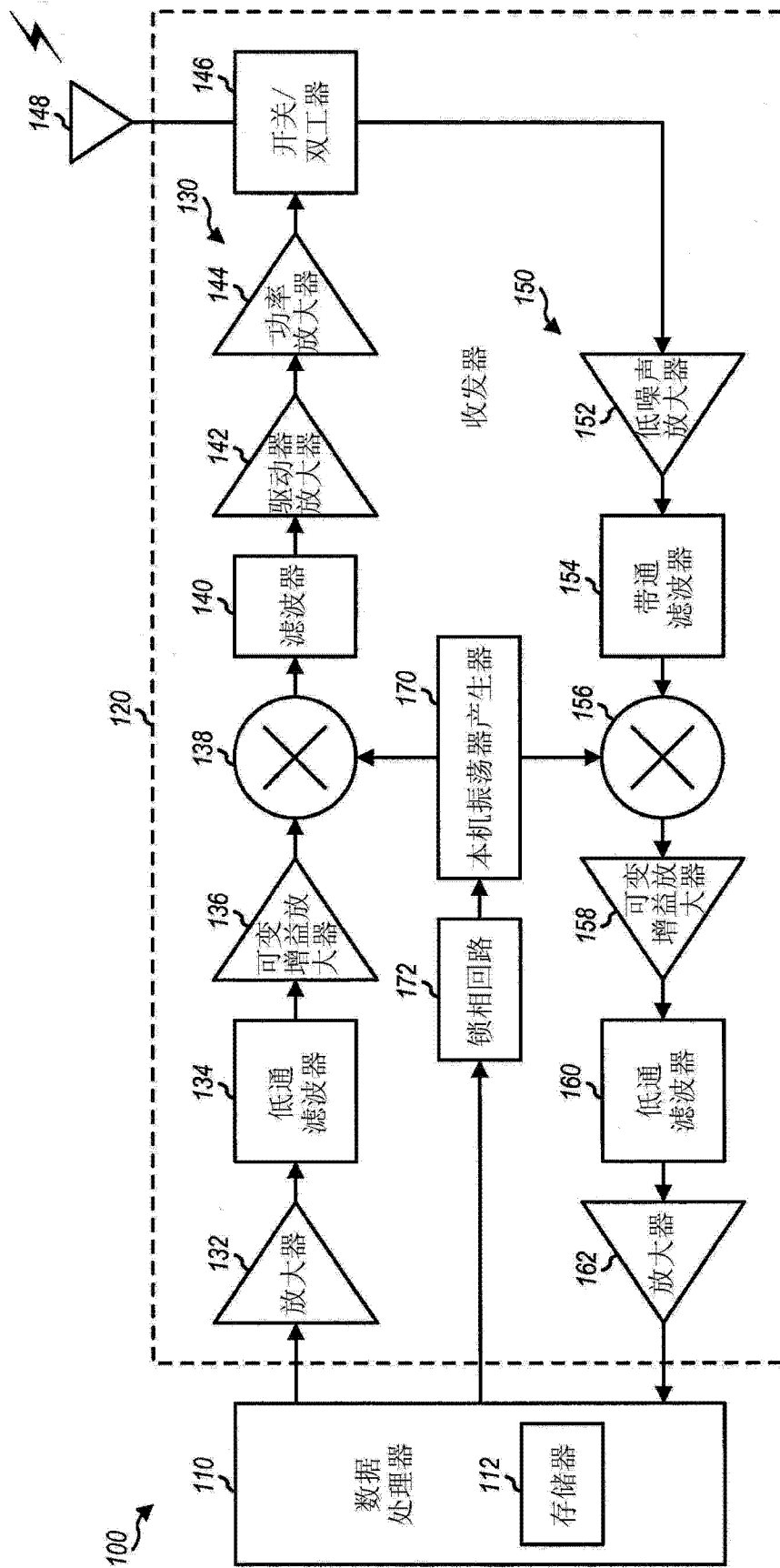


图 1

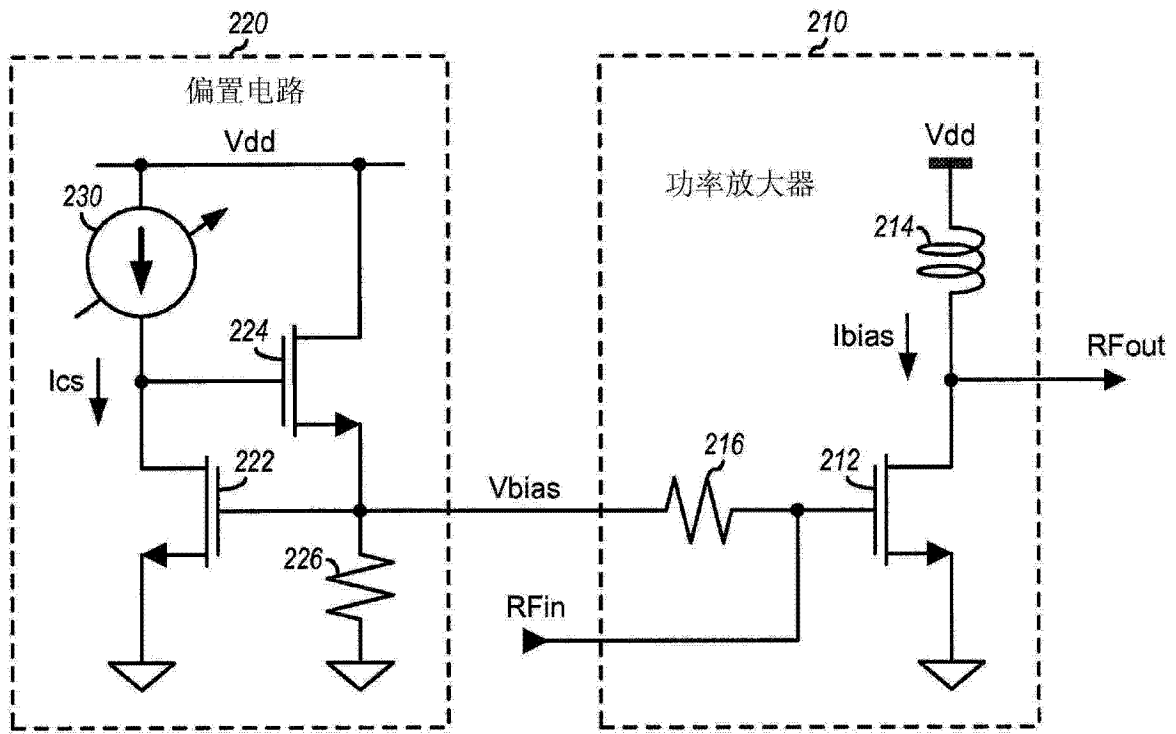


图 2

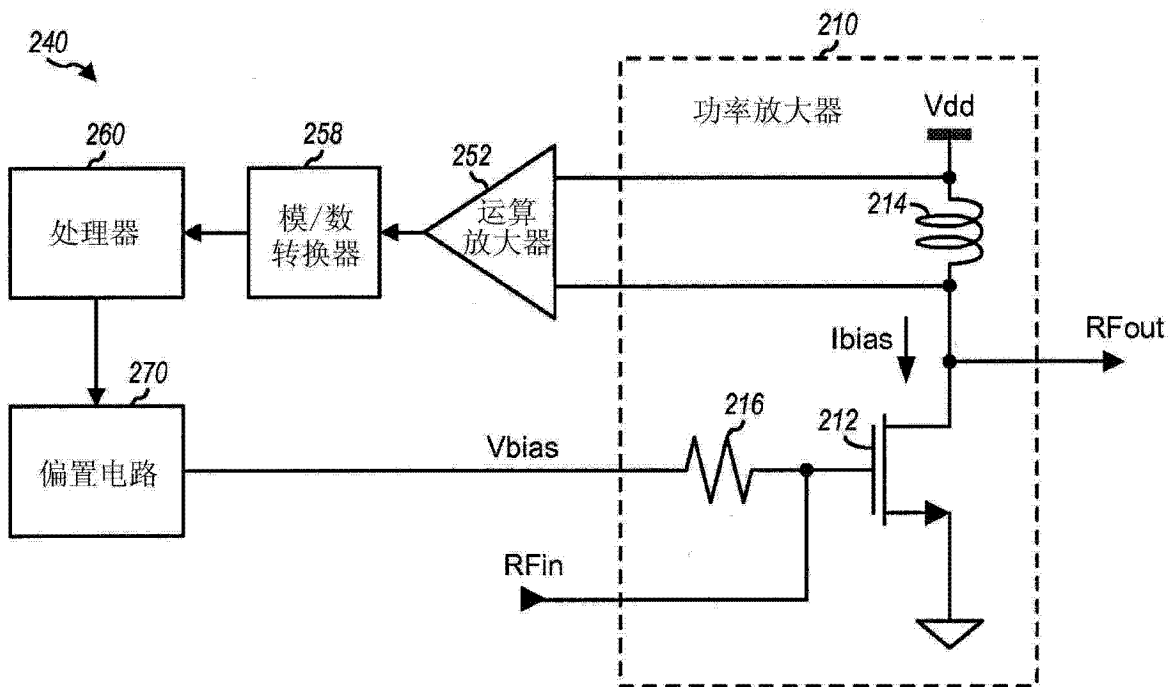


图 3

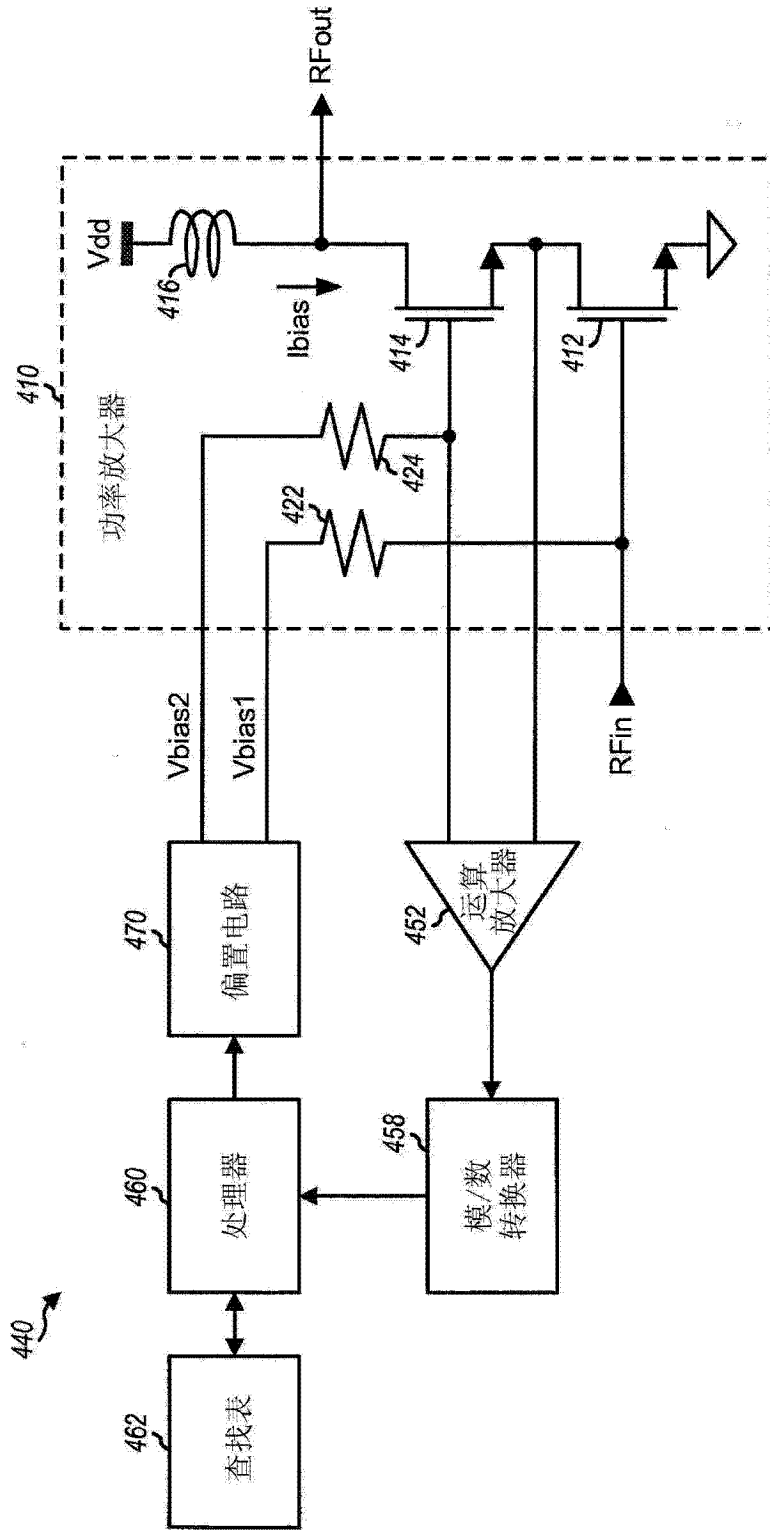


图 4

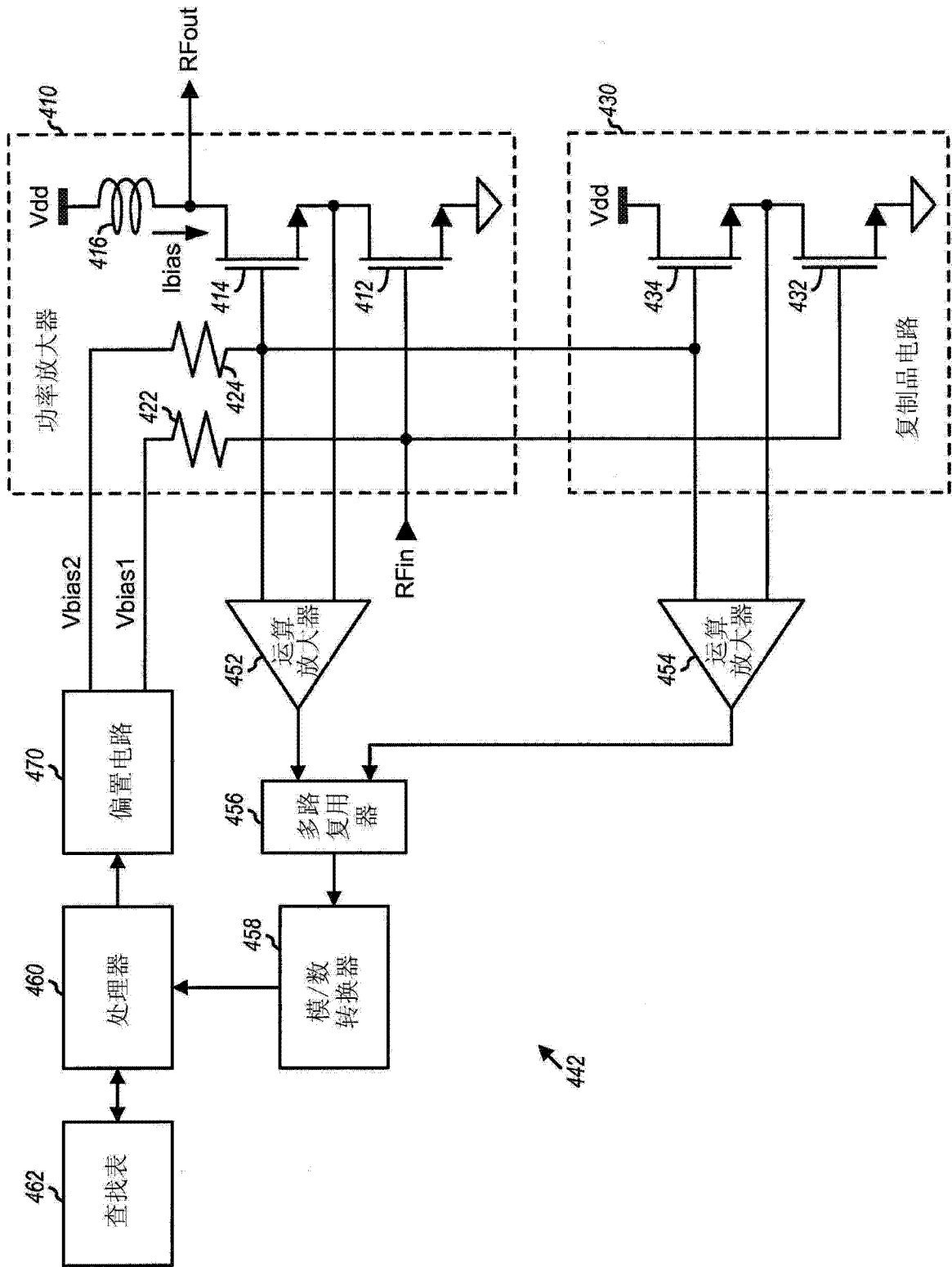


图 5

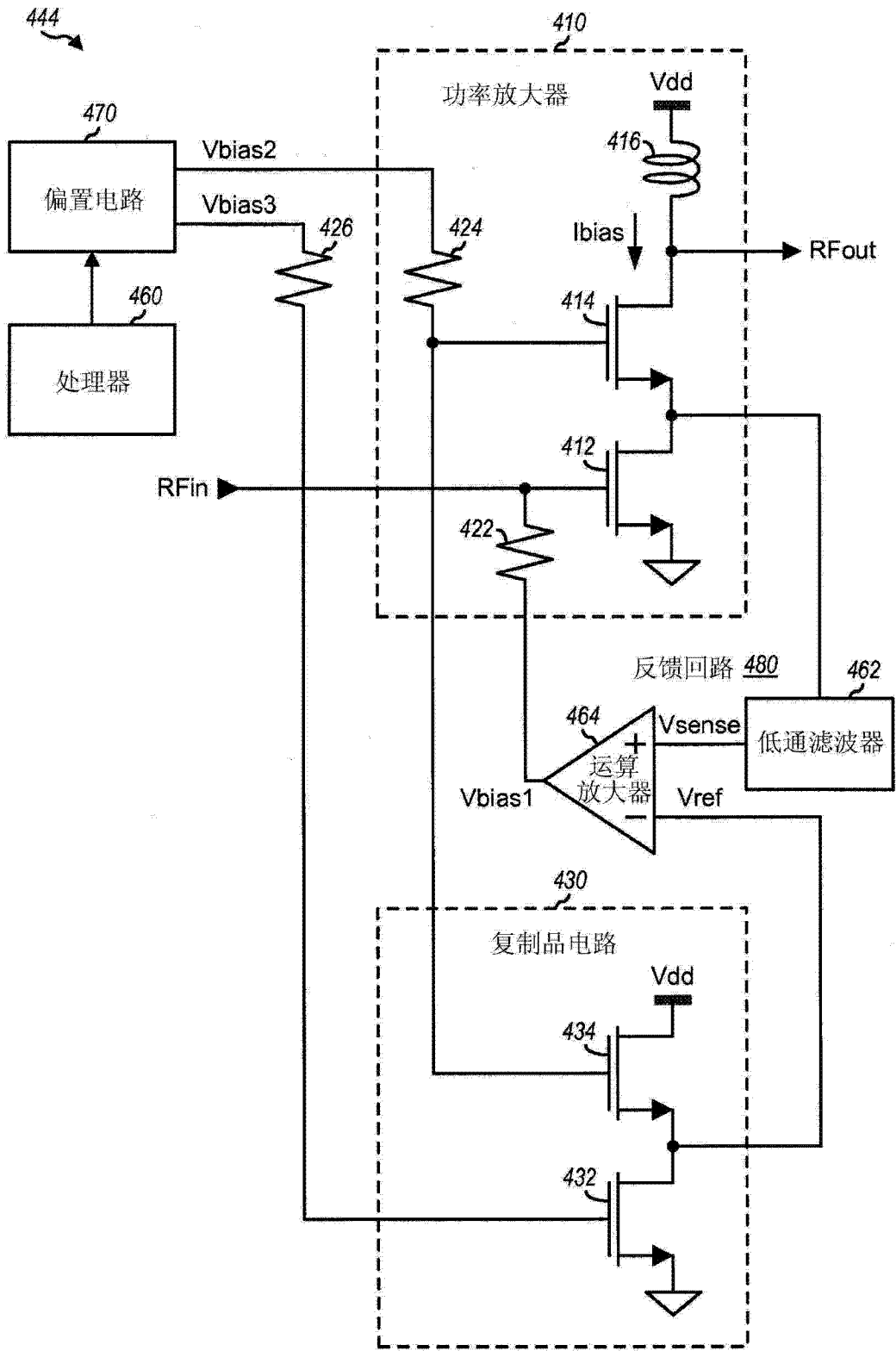


图 6

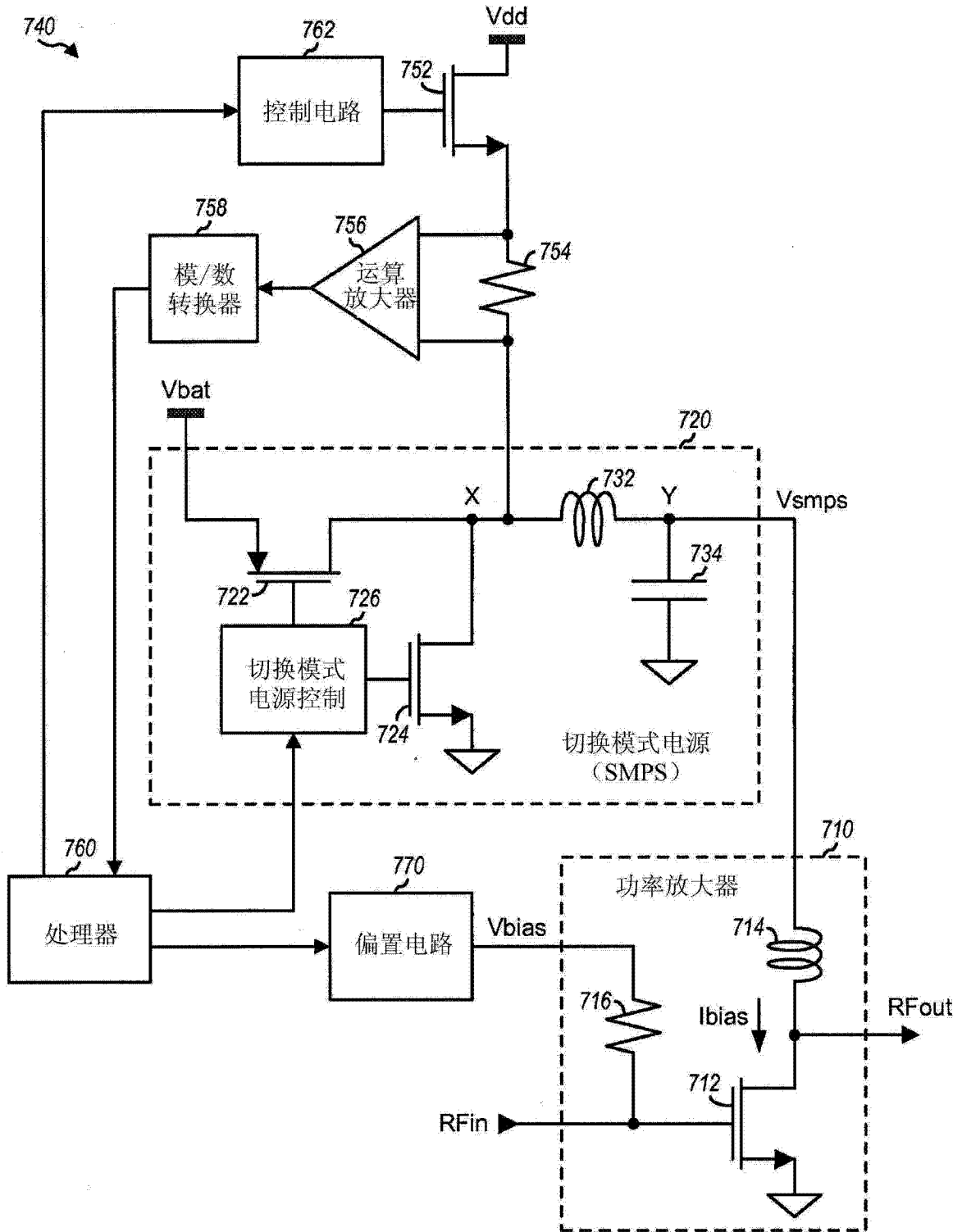


图 7



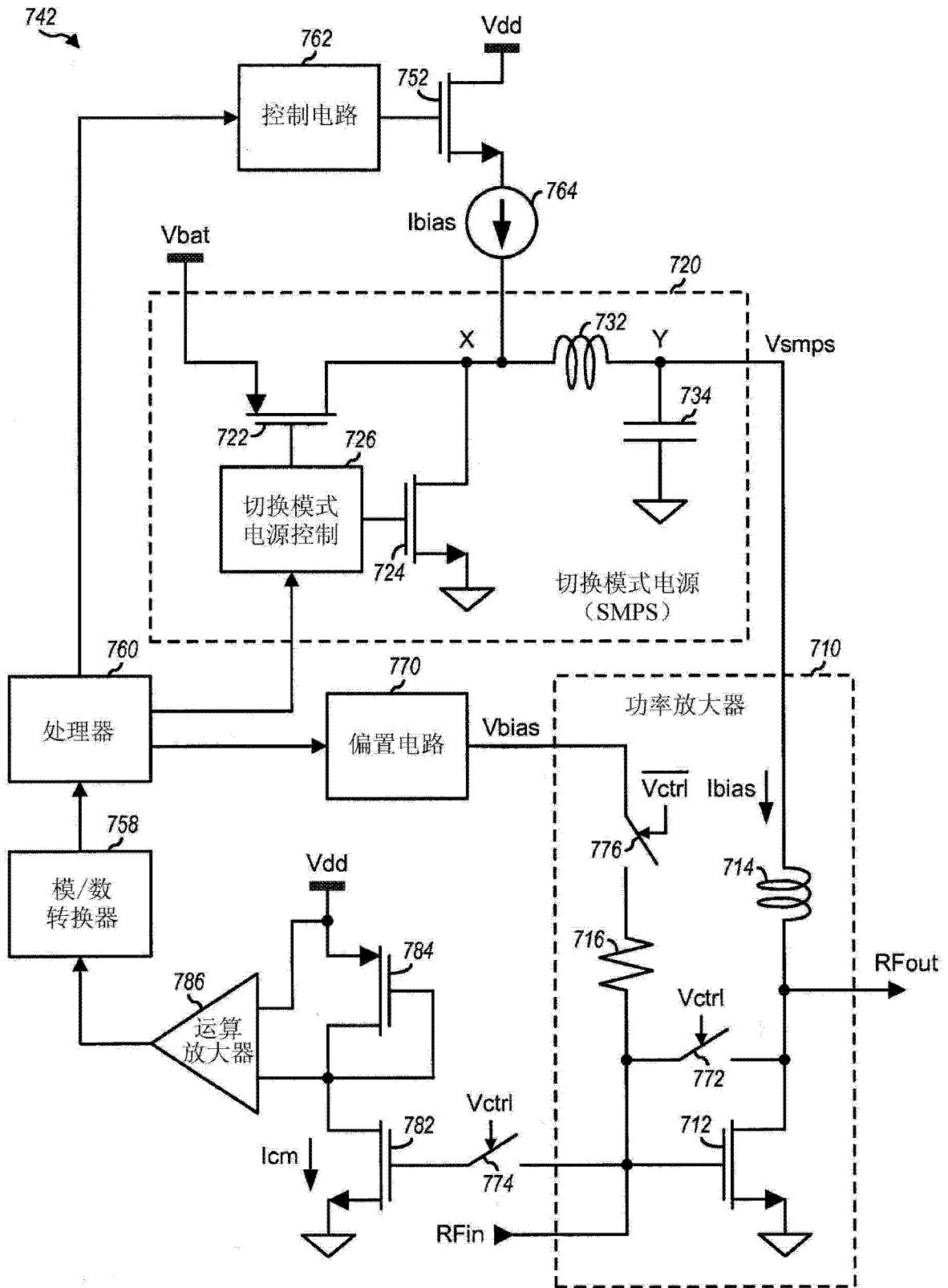


图 8

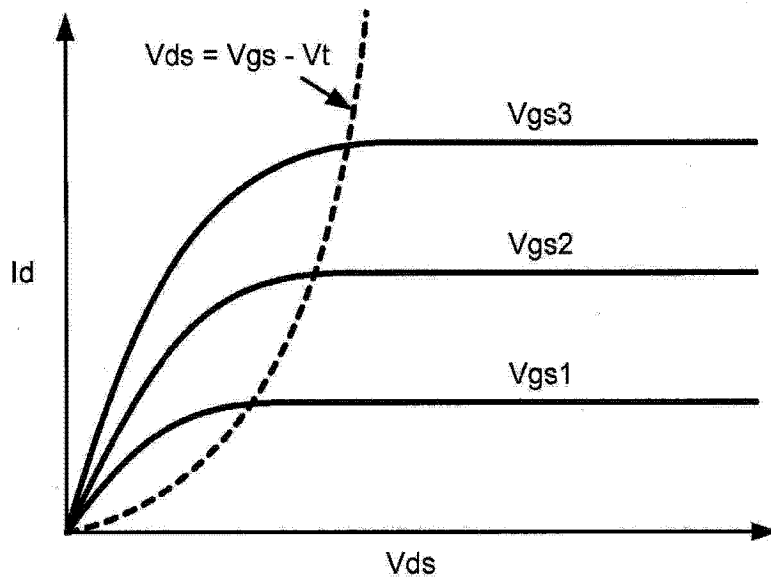


图 9

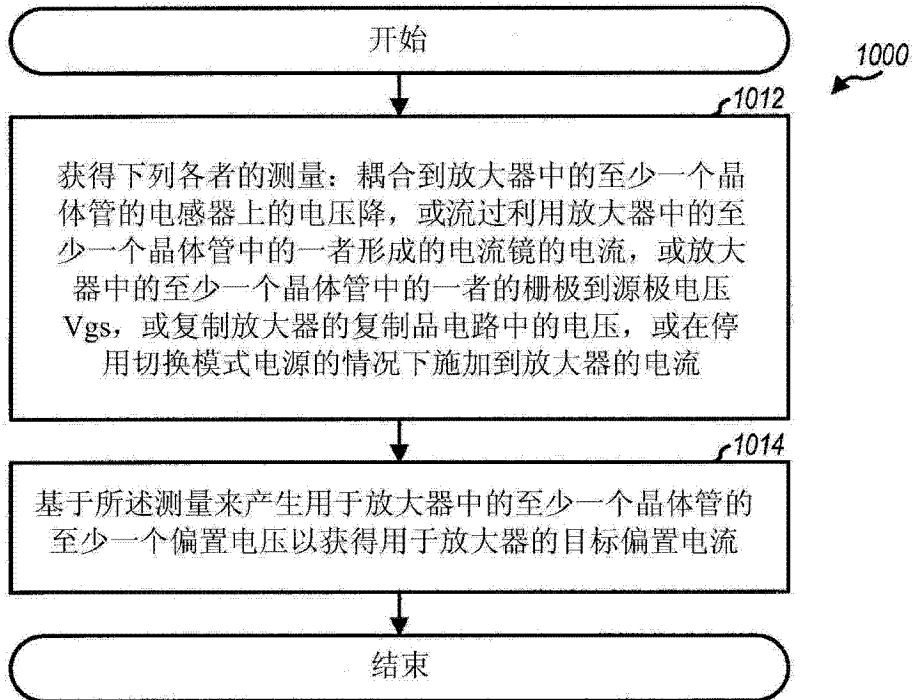


图 10