

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4501352号
(P4501352)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.		F I		
HO 1 L	21/822	(2006.01)	HO 1 L	27/04 B
HO 1 L	27/04	(2006.01)	HO 3 K	19/00 A
HO 3 K	19/00	(2006.01)		

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2003-93768 (P2003-93768)	(73) 特許権者	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成15年3月31日(2003.3.31)	(74) 代理人	100094053 弁理士 佐藤 隆久
(65) 公開番号	特開2004-303882 (P2004-303882A)	(72) 発明者	中井 将勝 東京都品川区北品川6丁目7番35号 ソニー株式会社内
(43) 公開日	平成16年10月28日(2004.10.28)	審査官	大嶋 洋一
審査請求日	平成18年2月17日(2006.2.17)		

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ターゲット回路のクリティカルパス遅延特性を把握するための遅延モニタ手段を有する半導体装置であって、

上記遅延モニタ手段の遅延モニタ結果に基づいて、上記ターゲット回路に供給すべき電源電圧を設定する電圧設定信号を生成する電圧設定信号生成手段と、

上記電圧設定信号により設定される電源電圧の最大値を前記半導体装置の製造ばらつきにおいて最も低速な特性を有するターゲット回路を動作させるために最低限必要な電圧に制限する設定電圧制限手段と

を有する半導体装置。

【請求項2】

上記設定電圧制限手段は、

制限すべき電源電圧の最大値を設定する最大電圧設定信号を記憶する第1の記憶手段と

上記第1の記憶手段に記憶された最大電圧設定信号において設定される電源電圧の最大値と、上記電圧設定信号において設定される電源電圧の値とを比較し、設定電圧が低い方の信号を出力する比較手段とを含む、

請求項1に記載の半導体装置。

【請求項3】

上記第1の記憶手段は、記憶した信号を電氣的に消去して書き換えることが可能である

請求項 2 に記載の半導体装置。

【請求項 4】

上記第 1 の記憶手段は、1 つまたは複数のフューズ回路を含み、上記フューズ回路のフューズの状態によって信号を記憶する、

請求項 2 に記載の半導体装置。

【請求項 5】

複数の上記最大電圧設定信号を記憶する第 2 の記憶手段と、

上記ターゲット回路の動作状態を示す信号に応じて選択した最大電圧設定信号を上記第 2 の記憶手段から読み出して上記第 1 の記憶手段に転送する最大電圧信号転送手段と、をさらに有する

請求項 3 に記載の半導体装置。

【請求項 6】

上記設定電圧制限手段は、上記ターゲット回路の動作状態を示す信号に応じて、制限すべき電源電圧の最大値を決定する、

請求項 1 に記載の半導体装置。

【請求項 7】

上記設定電圧制限手段は、

制限すべき電源電圧の最大値を設定する最大電圧設定信号をそれぞれ記憶する複数の第 1 の記憶手段と、

上記複数の第 1 の記憶手段に記憶される最大電圧設定信号の中から、上記ターゲット回路の動作状態を示す信号に応じた最大電圧設定信号を選択する選択手段と、

上記選択手段が選択した最大電圧設定信号において設定される電源電圧の最大値と、上記電圧設定信号において設定される電源電圧の値とを比較し、設定電圧が低い方の信号を出力する比較手段とを含む、

請求項 6 に記載の半導体装置。

【請求項 8】

上記第 1 の記憶手段は、記憶した信号を電気的に消去して書き換えることが可能である

請求項 7 に記載の半導体装置。

【請求項 9】

上記第 1 の記憶手段は、1 つまたは複数のフューズ回路を含み、上記フューズ回路のフューズの状態によって信号を記憶する、

請求項 7 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ターゲット回路のクリティカルパス遅延特性を把握するためのモニタ回路を有する半導体装置に係り、特に、ターゲット回路である L S I に供給する電源電圧を適応的に制御して低消費電力化を図る技術に関するものである。

【0002】

【従来の技術】

近年、半導体回路では、低電力化のために、電源電圧を下げる方法が一般的に取られている。これは半導体回路 (L S I) の消費電力の A C 成分が電源電圧の 2 乗に比例するため、L S I の低消費電力化には電源電圧の低減が最も効果的であるからである。

【0003】

このような観点から、近年、L S I の動作周波数やプロセスばらつき、温度変化に対して、電源電圧を動的に制御し、L S I が動作可能な最小電圧を適応的に供給する方法が報告されている。

【0004】

10

20

30

40

50

このような適応的電源電圧制御を実現する例として、電源電圧制御の対象となるターゲット回路と同一のチップ上に、ターゲット回路のクリティカルパスに相当する遅延を模倣するレプリカ回路を搭載する手法が知られている（たとえば、特許文献1、特許文献2、特許文献3を参照）。

この手法では、ターゲット回路に供給されるクロック信号の周期とレプリカ回路の遅延値とを比較して、レプリカ回路の遅延値が動作クロックサイクル以内に収まるように電源電圧の制御が行われる。

【0005】

【特許文献1】

特開2000-216338号公報

10

【特許文献2】

特開2000-295084号公報

【特許文献3】

特開2002-100967号公報

【0006】

【発明が解決しようとする課題】

通常、製造されるLSIには、その特性に種々のばらつきが生じる。たとえば、LSIに供給される電源電圧 V_{dd} と、LSIの動作が保証される最大のクロック周波数 $f_{clk-max}$ との関係についても、個々のLSIの特性は異なったものになる。

【0007】

20

図6は、電源電圧 V_{dd} と最大クロック周波数 $f_{clk-max}$ との関係の一例を図解した図である。

図6において、横軸は電源電圧 V_{dd} を示し、縦軸は最大クロック周波数 $f_{clk-max}$ を示す。

また、曲線C1は、特性のばらつき範囲の中において最も動作速度が高速なLSIの特性を示す。曲線C3は、このばらつき範囲の中において最も動作速度が低速なLSIの特性を示す。曲線C2は、このばらつき範囲の中における典型的な特性を示す。

【0008】

図6に示すように、一般に、最大クロック周波数 f_{clk} は電源電圧 V_{dd} が大きくなるほど上昇する傾向がある。このため、同一の電源電圧を与えた場合、曲線C1の特性を有するLSIは、曲線C2、C3の特性を有するLSIより高いクロック周波数で高速に動作させることが可能である。

30

この関係を同一のクロック周波数について見ると、高速動作が可能なLSIは、低速なLSIより低い電源電圧での動作が可能となる。たとえば図6においてクロック周波数 f_1 の場合、曲線C3の特性を有するLSIは最小でも電圧 V_3 より大きな電源電圧が必要になるが、曲線C1、C2の特性を有するLSIはそれより小さい電圧 V_1 、 V_2 まで電源電圧を下げるができる。

【0009】

一般にLSIはこのような特性ばらつきを有しているため、通常は、いかなるサンプルにおいても電圧 V_3 と同じか、またはそれより大きい電源電圧を固定的に供給することによって、LSIの動作を保証している。

40

これに対し、レプリカ回路によって把握したターゲット回路の遅延特性に応じて電源電圧の制御を行う上述した手法によれば、高速な特性を有するLSIの電源電圧を、低速な特性を有するLSIの電源電圧より低く抑えることができるため、固定的な電源電圧を供給する方法に比べて消費電力を削減することができる。

【0010】

ところで、近年における加工寸法の微細化に伴って、ウェーハ間のばらつきや、ウェーハ内のばらつきの他に、同一チップ内における局所的な特性のばらつきも顕著になりつつあり。すなわち、同一のチップ内であっても、製造条件の僅かな揺らぎの影響を受けて、異なる位置に形成されるトランジスタの特性に無視できないずれが生じる。

50

こうした同一チップ内における特性のばらつきは、レプリカ回路とターゲット回路との間にも生じるため、レプリカ回路を使って電源電圧の制御を行う場合は、このような特性ばらつきの方についてもマージンを考慮する必要がある。

【0011】

図7は、ターゲット回路とレプリカ回路とにおける局所的な特性の違いを考慮した場合の動作電源電圧範囲を図解した図である。

ターゲット回路において正常な動作が保証される電源電圧の範囲は、ターゲット回路自体の局所的な特性ばらつきのみを考慮した場合、下限電圧 V_{l1} から上限電圧 V_{lh} までの範囲となる。これに対し、レプリカ回路の局所的な特性ばらつきを考慮した場合の電源電圧範囲は、下限電圧 V_{rl} から上限電圧 V_{rh} までとなり、図7に示すように、下限電圧 V_{l1} から上限電圧 V_{lh} までの範囲に比べて高電圧側にシフトする。供給電圧不足によってターゲット回路に誤動作を生じさせないためには、下限電圧 V_{rl} を上限電圧 V_{lh} と同一か、またはこれより高い電圧に設定する必要がある。

10

【0012】

図8は、ターゲット回路とレプリカ回路との間における局所的な特性の違いを考慮した動作電源電圧範囲を、図6に示す曲線C1~C3の特性を有するLSIについてそれぞれ図解した図である。

電圧 V_3 は、最も低速な特性を有するLSIのターゲット回路をクロック周波数 f_1 で正常に動作させるために必要な電源電圧を示しており、クロック信号を周波数 f_1 に固定して使用する場合には、最小でもこの電圧 V_3 の電源電圧を供給することにより、ターゲット回路の正常な動作が保証される。図8の例において、曲線C1, C2の特性を有する中速から高速のLSIでは、局所的な特性の違いによるマージンを考慮しても、レプリカ回路の遅延特性から決定される電源電圧の最大値 V_{rh} が、この電圧 V_3 を超えることはない。

20

【0013】

しかしながら、LSIが比較的低速な特性を持つ場合、レプリカ回路の遅延特性から決定される電源電圧の最大値 V_{rh} が電圧 V_3 より大きくなる可能性がある。このような場合、電圧 V_3 の固定的な電源電圧を供給する方法に比べて、かえって消費電力が増大してしまう不利益が生じる。

たとえば曲線C3の特性を有する最も低速なLSIの場合、レプリカ回路の特性ばらつきに相当する過剰な電圧($V_{rh} - V_{rl}$)が電圧 V_3 に加わるため、この過剰な電圧による無駄な電力損失を招いてしまう。

30

【0014】

本発明はかかる事情に鑑みてなされたものであり、その目的は、特性のばらつきを考慮した電源電圧のマージン分によって生じる無駄な電力損失を削減することができる半導体装置を提供することにある。

【0015】

【課題を解決するための手段】

上記の目的を達成するため、本発明の半導体装置は、ターゲット回路のクリティカルパス遅延特性を把握するための遅延モニタ手段を有する半導体装置であって、遅延モニタ手段の遅延モニタ結果に基づいて、ターゲット回路に供給すべき電源電圧を設定する電圧設定信号を生成する電圧設定信号生成手段と、電圧設定信号により設定される電源電圧の最大値を前記半導体装置の製造ばらつきにおいて最も低速な特性を有するターゲット回路を動作させるために最低限必要な電圧に制限する設定電圧制限手段とを有する。

40

【0016】

本発明の半導体装置によれば、電圧設定信号生成手段において、遅延モニタ手段の遅延モニタ結果に基づいて、ターゲット回路に供給すべき電源電圧を設定する電圧設定信号が生成される。この電圧設定信号において設定される電源電圧の最大値は、設定電圧制限手段において所定の値、たとえば、半導体装置の製造ばらつきに基づいて決まる電源電圧の最大値に制限される。

50

したがって、遅延モニタ手段の遅延モニタ結果に基づいて設定される電源電圧の値がこの所定の値を超える場合でも、設定電圧制限手段において、電圧設定信号の設定電圧はこの所定の値に制限される。

【0017】

また、設定電圧制限手段は、ターゲット回路の動作状態を示す信号、たとえばターゲット回路の動作クロック周波数を示す信号に応じて、制限すべき電源電圧の最大値を決定しても良い。

【0018】

この場合、設定電圧制限手段は、制限すべき電源電圧の最大値を設定する最大電圧設定信号を記憶する第1の記憶手段と、第1の記憶手段に記憶された最大電圧設定信号において設定される電源電圧の最大値と、電圧設定信号において設定される電源電圧の値とを比較し、設定電圧が低い方の信号を出力する比較手段とを含み、さらに、複数の最大電圧設定信号を記憶する第2の記憶手段と、ターゲット回路の動作状態を示す信号に応じて選択した最大電圧設定信号を第2の記憶手段から読み出して第1の記憶手段に転送する最大電圧信号転送手段とを有しても良い。

10

上述した構成によれば、第2の記憶手段に記憶された複数の最大電圧設定信号の中から、ターゲット回路の動作状態を示す信号に応じた最大設定信号が最大電圧信号転送手段により選択されて読み出され、第1の記憶手段に転送される。比較手段では、第1の記憶手段に記憶された最大電圧設定信号において設定される電源電圧の最大値と、電圧設定信号において設定される電源電圧の値とが比較され、設定電圧が低い方の信号が出力される。

20

【0019】

また、設定電圧制限手段は、制限すべき電源電圧の最大値を設定する最大電圧設定信号をそれぞれ記憶する複数の第1の記憶手段と、複数の第1の記憶手段に記憶される最大電圧設定信号の中から、ターゲット回路の動作状態を示す信号に応じた最大電圧設定信号を選択する選択手段と、選択手段が選択した最大電圧設定信号において設定される電源電圧の最大値と、電圧設定信号において設定される電源電圧の値とを比較し、設定電圧が低い方の信号を出力する比較手段とを含んでも良い。

上述した構成によれば、選択手段において、複数の第1の記憶手段に記憶される最大電圧設定信号の中から、ターゲット回路の動作状態を示す信号に応じた最大電圧設定信号が選択される。比較手段では、選択手段が選択した最大電圧設定信号において設定される電源電圧の最大値と、電圧設定信号において設定される電源電圧の値とが比較され、設定電圧が低い方の信号が出力される。

30

【0020】

また、第1の記憶手段は、記憶した信号を電氣的に消去して書き換えることが可能な記憶手段でも良いし、あるいは、1つまたは複数のフューズ回路を含み、フューズ回路のフューズの状態によって信号を記憶する記憶手段でも良い。

【0021】

【発明の実施の形態】

以下に、本発明の好適な実施形態を添付図面に関連付けて説明する。

【0022】

<第1の実施形態>

図1は、本発明の第1の実施形態に係る半導体装置の構成の一例を示すブロック図である。

40

【0023】

図1に示す半導体装置11は、ターゲット回路(TGT)11と、パルス発生部(PG)12と、レプリカ回路(RPLC)13と、電源電圧制御部(PW-CTL)14とを有する。

また、半導体装置11は、電圧設定信号S14に応じて電圧値が制御される外部電源(EXT-PW)2の電源電圧V_{dd}を受けて動作する。

なお、ターゲット回路11は、本発明のターゲット回路の一実施形態である。

50

レプリカ回路 13 は、本発明の遅延モニタ手段の一実施形態である。

【0024】

ターゲット回路 11 は、半導体装置 1 の主たる回路を含んでおり、たとえば、パルス発生部 12 から出力されるクロック信号 CLK に同期して動作する DSP や CPU などの種々の論理回路がその中に含まれる。これらの回路は、外部電源 2 から供給される電源電圧 V_{dd} を受けて動作する。

【0025】

パルス発生部 12 は、ターゲット回路 11 およびレプリカ回路 13 に供給するクロック信号 CLK を発生する。

【0026】

レプリカ回路 13 は、ターゲット回路 11 のクリティカルパス遅延特性を把握するための回路である。たとえば、ターゲット回路 11 と共通の電源電圧 V_{dd} を供給されて動作する複数の遅延素子を有しており、これらの遅延素子において、ターゲット回路 11 の内部における信号伝播遅延の要因となる遅延成分が模倣される。レプリカ回路 13 に供給されるクロック信号 CLK には、このようにして模倣された遅延が与えられて、遅延信号 S₁₃ として出力される。

【0027】

電源電圧制御部 14 は、レプリカ回路 13 から出力される遅延信号 S₁₃ がクロック信号 CLK に対して有する遅延に基づいて、ターゲット回路 11 に供給すべき電源電圧 V_{dd} を設定する電圧設定信号 S₁₄ を生成する。ただし、電圧設定信号 S₁₄ において設定される電源電圧 V_{dd} の最大値は、所定の値に制限される。たとえば、半導体装置 11 の製造ばらつきを検査した結果に基づいて決定される、電源電圧の最大値 V_{max} に制限される。このため、外部電源 (EXT - PW) 2 から供給される電源電圧 V_{dd} は、最大値 V_{max} に制限される。

【0028】

図 2 は、図 1 に示す電源電圧制御部 14 の構成の一例を示すブロック図である。

図 2 に示す電源電圧制御部 14 は、電圧設定信号生成部 (V - SET) 141 と、比較部 (COMP) 142 と、レジスタ (REG) 143 とを有する。

なお、電圧設定信号生成部 141 は、本発明の電圧設定信号生成手段の一実施形態である。

比較部 142 は、本発明の比較手段の一実施形態である。

レジスタ 143 は、本発明の第 1 の記憶手段の一実施形態である。

比較部 142 およびレジスタ 143 を含むユニットは、本発明の設定電圧制限手段の一実施形態である。

【0029】

電圧設定信号生成部 141 は、レプリカ回路 13 から出力される遅延信号 S₁₃ がクロック信号 CLK に対して有する遅延時間を検出し、この検出結果に基づいて、ターゲット回路 11 に供給すべき電源電圧 V_{dd} を設定する電圧設定信号 S₁₄ を生成する。

電圧設定信号 S₁₄ は、たとえばクロック信号 CLK とレプリカ回路 13 の遅延信号 S₁₃ との位相を比較し、遅延信号 S₁₃ がクロック信号 CLK より 1 周期以上遅れている場合には、電源電圧 V_{dd} を高くするように設定した電圧設定信号 S₁₄ を生成し、1 周期以上進んでいる場合には電源電圧 V_{dd} を低くするように設定した電圧設定信号 S₁₄ を生成する。

【0030】

レジスタ 143 は、制限すべき電源電圧の最大値 V_{max} を設定する最大電圧設定信号 S₁₄₃ を記憶する。

レジスタ 143 としては、たとえば、記憶した信号を電氣的に消去して書き換えることが可能な RAM やフラッシュ ROM などの記憶装置を用いることができる。このような電氣的に書き換え可能な記憶装置を用いることにより、半導体装置の製造・評価後において、個々の半導体装置に適切な最大値 V_{max} を設定することができる。また、製品の出荷後

10

20

30

40

50

であっても、設定した最大値 V_{max} を容易に変更することができる。

また、レジスタ 143 としては、1 つまたは複数のフューズ回路におけるフューズの状態によって信号を記憶する記憶装置でも良い。このような記憶装置を用いても、個々の半導体装置に適切な最大値 V_{max} を設定することができる。また、フューズの切断によって物理的に値が書き込まれるため、一度書き込んだ値を変更することはできないが、電氣的に書き換え可能な記憶装置に比べて回路規模や消費電力を小さくすることができる。

【0031】

比較部 142 は、レジスタ 143 に記憶された最大電圧設定信号 S_{143} において設定される電源電圧の最大値 V_{max} と、電圧設定信号 S_{141} において設定される電源電圧の値とを比較し、設定電圧が低い方の信号を電圧設定信号 S_{14} として出力する。したがって、電圧設定信号 S_{141} において設定される電源電圧の値が最大値 V_{max} を超える場合、電圧設定信号 S_{14} の設定電圧は最大値 V_{max} に制限される。

10

【0032】

ここで、上述した構成を有する半導体装置 1 における電源電圧 V_{dd} の制御動作を説明する。

パルス発生部 12 において生成されたクロック信号 CLK は、レプリカ回路 13 において、ターゲット回路 11 の信号伝播遅延特性を模倣した遅延が与えられ、遅延信号 S_{13} として出力される。

電圧設定信号生成部 141 では、この遅延信号 S_{13} がクロック信号 CLK に対して有する遅延時間の検出が行われ、この検出結果に基づいて、ターゲット回路 11 に供給すべき電源電圧 V_{dd} を設定する電圧設定信号 S_{141} が生成される。

20

生成された電圧設定信号 S_{141} は、比較部 142 において、レジスタ 143 に記憶された最大電圧設定信号 S_{143} と比較され、設定電圧が低い方の信号が、電圧設定信号 S_{14} として外部電源 2 に出力される。

外部電源 2 では、半導体装置 1 へ供給する電源電圧 V_{dd} が、この電圧設定信号 S_{14} において設定された電圧と等しくなるように制御される。

【0033】

以上説明したように、図 1 および図 2 に示す構成を有する半導体装置 1 によれば、電源電圧 V_{dd} の大きさが、レプリカ回路 13 の遅延信号 S_{13} に基づいて把握されるターゲット回路 11 の遅延特性に応じて設定されるとともに、このようにして設定される電圧が最大値 V_{max} に達する場合は、外部電源 2 に対する設定電圧がこの最大値 V_{max} を超えないように制限される。

30

したがって、図 6 の曲線 C_3 に示すように低速な特性を有する半導体装置 1 において、ターゲット回路とレプリカ回路 13 との間の特性ばらつきを考慮したマージン分のために、レプリカ回路 13 の遅延信号 S_{13} に基づいて生成される電圧設定信号 S_{141} の設定電圧が最大値 V_{max} を超えてしまうような場合でも、外部電源 2 に対して設定される電圧を、この最大値 V_{max} 以下に制限することができる。このため、最大値 V_{max} を超える過剰な電源電圧の供給を防止することができ、無駄な電力損失を減らすことができる。

【0034】

< 第 2 の実施形態 >

40

図 3 は、第 2 の実施形態に係る半導体装置 1 A に含まれるパルス発生部 12、レプリカ回路 13 および電源電圧制御部 14 A を抜き出して示したブロック図である。

【0035】

本第 2 の実施形態が上述した第 1 の実施形態と異なる点は、図 1 に示す電源電圧制御部 14 が、以下に述べる電源電圧制御部 14 A に置き換えられることにある。

【0036】

電源電圧制御部 14 A は、レプリカ回路 13 から出力される遅延信号 S_{13} がクロック信号 CLK に対して有する遅延に基づいて、ターゲット回路 11 に供給すべき電源電圧 V_{dd} を設定する電圧設定信号 S_{14} を生成する。ただし、電圧設定信号 14 において設定される電源電圧 V_{dd} の最大値は、たとえば、半導体装置 11 の製造ばらつきを検査した結

50

果に基づいて決定される、電源電圧の最大値 V_{max} に制限される。

さらに、電源電圧制御部 14 A は、ターゲット回路 11 の動作状態を示す信号、たとえばターゲット回路 11 に供給されるクロック信号 CLK の周波数を示す信号 S_{mod} に応じて、制限すべき電源電圧の最大値 V_{max} を決定する。

【0037】

図 4 は、図 3 に示す電源電圧制御部 14 A の構成の一例を示すブロック図である。

図 4 に示す電源電圧制御部 14 A は、電圧設定信号生成部 141 と、比較部 142 と、レジスタ 143-0, ..., 143-3 と、選択部 144 とを有する。ただし、図 4 と図 2 の同一符号は同一の構成要素を示す。

また、レジスタ 143-0, ..., 143-3 は、本発明の複数の第 1 の記憶手段の一実施形態である。

選択部 144 は、本発明の選択手段の一実施形態である。

比較部 142、レジスタ 143-0, ..., 143-3、および選択部 144 を含むユニットは、本発明の設定電圧制限手段の一実施形態である。

【0038】

レジスタ 143-0, ..., 143-3 は、ターゲット回路 11 に供給されるクロック信号 CLK の周波数に応じて定められた複数の電源電圧最大値 $V_{max0} \sim V_{max3}$ を設定する、最大電圧設定信号 $S_{143-0} \sim S_{143-3}$ を記憶する。

レジスタ 143-0, ..., 143-3 についても、上述したレジスタ 143 と同様に、電氣的に消去・書き換えが可能な記憶装置や、フューズ回路を含む記憶装置などを適用することができる。

【0039】

選択部 144 は、レジスタ 143-0, ..., 143-3 に記憶される最大電圧設定信号 $S_{143-0} \sim S_{143-3}$ の中から、クロック信号 CLK の周波数を示す信号 S_{mod} に応じた信号を選択し、最大電圧設定信号 S_{143} として出力する。

【0040】

上述した構成を有する半導体装置 1 A によれば、既に述べた半導体装置 1 と同様に、レプリカ回路 13 の遅延信号 S_{13} がクロック信号 CLK に対して有する遅延時間に基づいて、ターゲット回路 11 に供給すべき電源電圧 V_{dd} を設定する電圧設定信号 S_{141} が生成される。

また選択部 144 では、複数の最大電圧設定信号 $S_{143-0} \sim S_{143-3}$ の中から、クロック信号 CLK の周波数を示す信号 S_{mod} に応じた信号が選択され、最大電圧設定信号 S_{143} として出力される。

比較部 142 では、選択部 144 において選択された最大電圧設定信号 S_{143} と、生成された電圧設定信号 S_{141} とが比較され、設定電圧が低い方の信号が、電圧設定信号 S_{14} として外部電源 2 に出力される。

外部電源 2 では、半導体装置 1 へ供給する電源電圧 V_{dd} が、この電圧設定信号 S_{14} において設定された電圧と等しくなるように制御される。

【0041】

このように、上述した半導体装置 1 A によれば、外部電源 2 に対する設定電圧が最大値 V_{max} を超えないように制限されるため、半導体装置 1 と同様に、電力損失を抑えることができる。

また、この最大値 V_{max} が、たとえばターゲット回路 11 に供給されるクロック周波数を示す信号のような、ターゲット回路 11 の動作状態を示す信号 S_{mod} に応じて決定される。このため、ターゲット回路 11 の動作状態が変化する場合でも、この変化に応じて適切な電源電圧の最大値 V_{max} が設定されるため、過剰な電源電圧の供給による無駄な電力損失をさらに効果的に抑えることができる。

【0042】

たとえば、図 6 において動作クロック周波数が周波数 f_1 の場合には、外部電源 2 に対する設定電圧の最大値 V_{max} を電圧 V_3 に設定することにより、過剰な電源電圧の供給を

10

20

30

40

50

効果的に防止することができる。しかしながら、動作クロック周波数が周波数 f_1 より低い周波数 f_2 に変更されると、製造ばらつきを考慮した最小の動作電源電圧は電圧 V_3 より低くなる。この状態で、周波数 f_1 の最大値 V_{max} (電圧 V_3) をそのまま用いると、より低い電源電圧でも動作可能にも関わらず、過剰な電源電圧を供給してしまう可能性がある。上述した半導体装置 1 A によれば、動作クロック周波数を示す信号 S_{mod} に応じて適切な最大値 V_{max} が選択されるため、上述した電源電圧の過剰な供給を防止し、電力の無駄な損失を抑えることができる。

近年、携帯型電子機器の普及にともなって、消費電力の削減が大きな課題となっており、たとえば機器の動作状態に応じてクロック周波数を動的に変化させることにより低消費電力化を図る手法が多く採用されている。このような電子機器に上述した半導体装置 1 A を適用すれば、動作クロック周波数に応じて適切な電源電圧最大値が設定されるため、無駄な電力損失をより一層減らすことができる。

【0043】

< 第 3 の実施形態 >

図 5 は、第 3 の実施形態に係る半導体装置 1 B に含まれる電源電圧制御部 1 4 B の構成の一例を示すブロック図である。

【0044】

本第 3 の実施形態が上述した第 1 の実施形態と異なる点は、図 1 に示す電源電圧制御部 1 4 が、図 5 に示す電源電圧制御部 1 4 B に置き換えられることにある。

【0045】

図 5 に示す電源電圧制御部 1 4 B は、図 2 に示す電源電圧制御部 1 4 と同一の構成を有するとともに、メモリ 1 4 5 と、最大電圧信号ロード部 1 4 6 とを有する。

なお、メモリ 1 4 5 は、本発明の第 2 の記憶手段の一実施形態である。

最大電圧信号ロード部 1 4 6 は、本発明の最大電圧信号転送手段の一実施形態である。

【0046】

メモリ 1 4 5 は、ターゲット回路 1 1 の動作状態、たとえばクロック信号 CLK の周波数に応じて定められた複数の電源電圧最大値を設定する複数の最大電圧設定信号を記憶する。

メモリ 1 4 5 としては、SRAM や DRAM などの種々の記憶装置を用いることができる。たとえば、ターゲット回路 1 1 において他の回路からもアクセスされる汎用的なメモリを使用しても良い。

【0047】

最大電圧信号ロード部 1 4 6 は、ターゲット回路 1 1 の動作状態を示す信号、たとえばクロック信号 CLK の周波数を示す信号 S_{mod} に応じて選択した最大電圧設定信号をメモリ 1 4 5 から読み出して、レジスタ 1 4 3 に転送 (ロード) する。

【0048】

上述した構成を有する半導体装置 1 B によれば、既に述べた半導体装置 1 と同様に、レプリカ回路 1 3 の遅延信号 S_{13} がクロック信号 CLK に対して有する遅延時間に基づいて、ターゲット回路 1 1 に供給すべき電源電圧 V_{dd} を設定する電圧設定信号 S_{141} が生成される。

また最大電圧信号ロード部 1 4 6 では、メモリ 1 4 5 に記憶された複数の最大電圧設定信号の中から、クロック信号 CLK の周波数を示す信号 S_{mod} に応じて選択した信号が読み出され、レジスタ 1 4 3 にロードされる。

比較部 1 4 2 では、レジスタ 1 4 3 にロードされた最大電圧設定信号 S_{143} と、生成された電圧設定信号 S_{141} とが比較され、設定電圧が低い方の信号が、電圧設定信号 S_{14} として外部電源 2 に出力される。

外部電源 2 では、半導体装置 1 へ供給する電源電圧 V_{dd} が、この電圧設定信号 S_{14} において設定された電圧と等しくなるように制御される。

【0049】

このように、上述した半導体装置 1 B によれば、外部電源 2 に対する設定電圧が最大値 V

10

20

30

40

50

maxを超えないように制限されるため、半導体装置1と同様に、電力損失を抑えることができる。

また、この最大値Vmaxが、たとえばターゲット回路11に供給されるクロック周波数を示す信号のような、ターゲット回路11の動作状態を示す信号Smodに応じて決定されるため、半導体装置1Aと同様に、過剰な電源電圧の供給による無駄な電力損失を減らすことができる。

【0050】

さらに、半導体装置1Bによれば、汎用的なメモリ145から1つのレジスタに対して最大電圧設定信号をロードする構成を有しているため、半導体装置1Aのように最大電圧設定信号を記憶するための専用のレジスタを複数設ける構成に比べて、回路規模や消費電力を小さくすることができる。

10

また、専用のレジスタを設ける半導体装置1Aの構成では、設定すべき電源電圧最大値の数が増加した場合、回路を変更しない限りこれに対応することができないが、半導体装置1Bによれば、ソフトウェアの変更によってメモリ145上に確保する最大電圧設定信号の記憶領域を増やすことが可能なため、こうした変更にも柔軟に対応することができる。

【0051】

なお、本発明は上述した実施形態に限定されない。

たとえば、図4に示す電圧制御回路14Aにおいてレジスタの数は4つであるが、本発明はこれに限定されず、任意の数のレジスタを設けることができる。

【0052】

20

図1に示す半導体装置1では、電源が半導体装置の外部に設けられているが、本発明はこれに限定されず、電源の一部または全部が半導体装置内部に含まれる場合においても、本発明は適用可能である。

【0053】

【発明の効果】

本発明によれば、特性のばらつきを考慮した電源電圧のマージン分によって生じる無駄な電力損失を削減することができる。

また、ターゲット回路の動作状態が変化する場合でも、これに応じた適切な電源電圧の最大値を設定して電力損失の無駄を抑えることができる。

【図面の簡単な説明】

30

【図1】本発明の第1の実施形態に係る半導体装置の構成の一例を示すブロック図である。

【図2】第1の実施形態に係る半導体装置に含まれる、電源電圧制御部の構成の一例を示すブロック図である。

【図3】第2の実施形態に係る半導体装置に含まれるパルス発生部、レプリカ回路および電源電圧制御部を抜き出して示した図である。

【図4】第2の実施形態に係る半導体装置に含まれる電源電圧制御部の構成の一例を示すブロック図である。

【図5】第3の実施形態に係る半導体装置に含まれる電源電圧制御部の構成の一例を示すブロック図である。

40

【図6】電源電圧と最大クロック周波数との関係の一例を図解した図である。

【図7】ターゲット回路とレプリカ回路とにおける局所的な特性の違いを考慮した場合の動作電源電圧範囲を図解した図である。

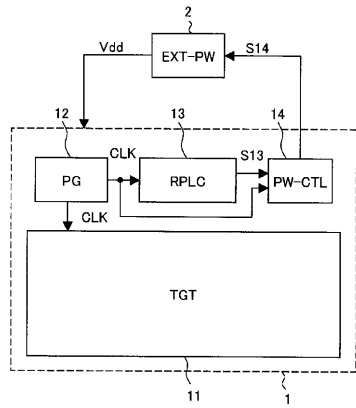
【図8】ターゲット回路とレプリカ回路との間における局所的な特性の違いを考慮した動作電源電圧範囲を、図6に示す各曲線の特性を有するLSIについて図解した図である。

【符号の説明】

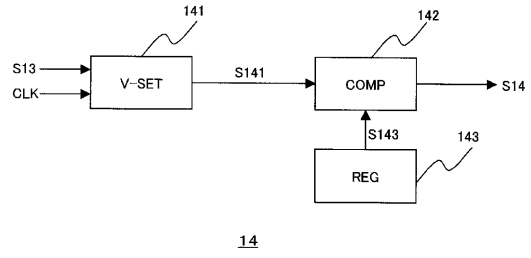
1...半導体装置、2...外部電源、11...ターゲット回路、12...パルス発生部、13...レプリカ回路、14, 14A, 14B...電圧制御部、141...電圧設定信号生成部、142...比較部、143, 143-0~143-3...レジスタ、144...選択部、145...メモリ、146...最大電圧設定信号ロード部

50

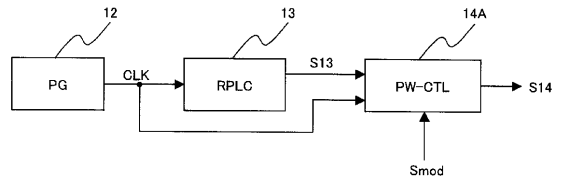
【 図 1 】



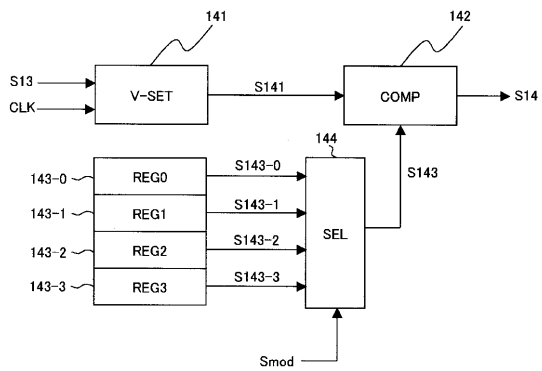
【 図 2 】



【 図 3 】

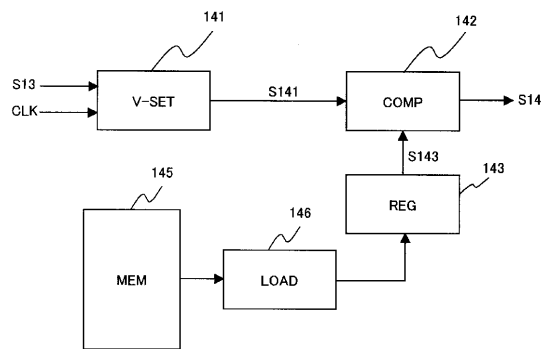


【 図 4 】



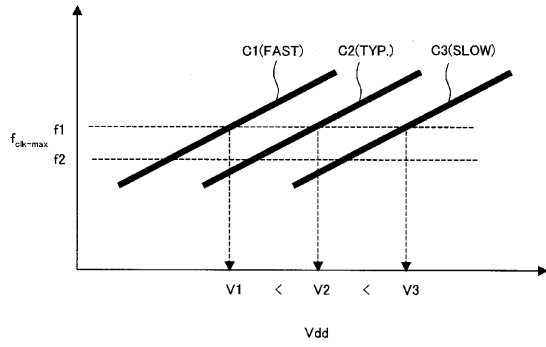
14A

【 図 5 】

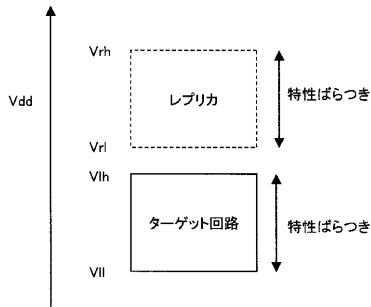


14B

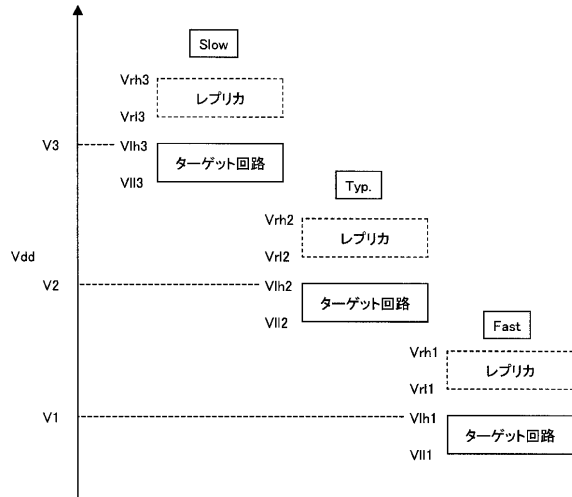
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開平04 - 360312 (JP, A)
特開平11 - 203163 (JP, A)
特開2000 - 133772 (JP, A)
特開2000 - 216338 (JP, A)
特開2000 - 295084 (JP, A)
特開2002 - 100967 (JP, A)
特開2002 - 261242 (JP, A)
特開2002 - 319630 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822
H01L 27/04
H03K 19/00
G06F 11/24
H03K 5/14
G11C 11/401