

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-248192

(P2012-248192A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/00 (2006.01)	G06F 12/00 550K	5B060
H01L 27/10 (2006.01)	H01L 27/10 495	5F083
G11C 11/401 (2006.01)	G11C 11/34 371Z	5M024
G11C 5/00 (2006.01)	G11C 5/00 303Z	
G11C 7/00 (2006.01)	G11C 7/00 311C	

審査請求 未請求 請求項の数 9 O L (全 52 頁)

(21) 出願番号 特願2012-119457 (P2012-119457)
 (22) 出願日 平成24年5月25日 (2012.5.25)
 (31) 優先権主張番号 10-2011-0117380
 (32) 優先日 平成23年11月11日 (2011.11.11)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 61/490,835
 (32) 優先日 平成23年5月27日 (2011.5.27)
 (33) 優先権主張国 米国 (US)

(特許庁注：以下のものは登録商標)

1. RRAM
2. FRAM
3. GSM
4. WCDMA

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 gtong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea

(74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

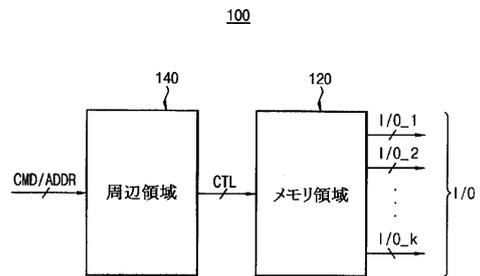
(54) 【発明の名称】 半導体メモリ装置、半導体メモリパッケージ、及び半導体メモリ装置の集積度増大方法

(57) 【要約】

【課題】半導体メモリ装置、半導体メモリパッケージ、及び半導体メモリ装置の集積度増大方法を提供すること。

【解決手段】半導体メモリ装置は、2の指数ビットの集積度で形成された揮発性メモリセル及び揮発性メモリセルのデータ入出力のための入出力端子を各々具備し、1つのチップに形成することによってインテリム集積度 (interim density) を有する複数のメモリ領域、並びに、外部から入力されるコマンド及びアドレスに基づいて複数のメモリ領域にデータを書き込みするか、または、複数のメモリ領域からデータを読み出す動作を制御する少なくとも1つ以上の周辺領域を含む。従って、半導体メモリ装置は、インテリム集積度、即ち、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは0以上の整数として互いに相異なる) の集積度を有することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

2 の指数ビット (b i t) の集積度 (d e n s i t y) で形成された揮発性メモリセル及び前記揮発性メモリセルのデータ入出力のための入出力端子を各々具備し、1つのチップ (c h i p) に形成することによってインテリム集積度 (i n t e r i m d e n s i t y) を有する複数のメモリ領域と、

外部から入力されるコマンド (c o m m a n d) 及びアドレス (a d d r e s s) に基づいて前記メモリ領域にデータを書き込み (w r i t e) したり、または、前記メモリ領域からデータを読み出し (r e a d) する動作を制御する少なくとも1つ以上の周辺領域と、を含み、

前記メモリ領域は、

2^m (ただし、 m は 0 以上の整数) ビットの集積度で形成された第 1 揮発性メモリセル及び前記第 1 揮発性メモリセルのデータ入出力のための第 1 入出力端子を具備する第 1 メモリ領域と、

2^n (ただし、 n は m と相異なる 0 以上の整数) ビットの集積度で形成された第 2 揮発性メモリセル及び前記第 2 揮発性メモリセルのデータ入出力のための第 2 入出力端子を具備する第 2 メモリ領域と、を含むことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 2】

前記第 1 入出力端子の個数と前記第 2 入出力端子の個数は、各々 2 の指数形態に決定されることを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記第 1 入出力端子の個数と前記第 2 入出力端子の個数は、互いに相異なることを特徴とする請求項 2 に記載の半導体メモリ装置。

【請求項 4】

前記第 1 メモリ領域と前記第 2 メモリ領域は半導体メモリモジュールの同一ランク (r a n k) に属することを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 5】

前記第 1 入出力端子及び前記第 2 入出力端子は、同時にチップ入出力端子として動作することを特徴とする請求項 4 に記載の半導体メモリ装置。

【請求項 6】

前記チップ入出力端子の個数は、前記第 1 入出力端子の個数と前記第 2 入出力端子の個数の和に相応することを特徴とする請求項 5 に記載の半導体メモリ装置。

【請求項 7】

前記第 1 メモリ領域と前記第 2 メモリ領域は、半導体メモリモジュールの他のランクに属することを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 8】

前記第 1 入出力端子及び前記第 2 入出力端子は、少なくとも 1 つ以上のチップ選択信号に応答して、選択的にチップ入出力端子として動作することを特徴とする請求項 7 に記載の半導体メモリ装置。

【請求項 9】

前記チップ入出力端子の個数は、前記第 1 入出力端子の個数または前記第 2 入出力端子の個数に相応することを特徴とする請求項 8 に記載の半導体メモリ装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は半導体装置に関し、より一層詳細には、揮発性メモリセルを含む半導体メモリ装置、半導体メモリパッケージ、及び半導体メモリ装置の集積度増大方法に関する。

【背景技術】**【0002】**

10

20

30

40

50

動的ランダムアクセスメモリ (dynamic random access memory; DRAM) 装置の集積度は、技術の進歩で工程微細化が進行されることによって、 2^m 倍に増大 (例えば、4 Gb、8 Gb、16 Gb、32 Gb、64 Gb 順) してきた。一般的に、DRAM 装置の集積度増大は、ローアドレス (row address)、コラムアドレス (column address)、及び/または、バンクアドレス (bank address) を増加させる方式で成り立った。しかし、DRAM 装置の集積度を増大させるための工程微細化がその限界に到達しているから、ローアドレス、コラムアドレス、及び/または、バンクアドレスを増加させた従来の方式としては DRAM 装置の集積度を世代間 2 倍まで増大させることが容易ではない。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-081884号公報

【特許文献2】韓国登録特許第0761755号公報

【特許文献3】韓国登録特許第0468761号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一目的は、 $2^m + 2^n + 2^o \dots$ (ただし、 m 、 n 、 o は、0 以上の整数として互いに相異なる) の集積度、即ち、インテリム集積度 (interim density) を有する半導体メモリ装置を提供することにある。

【0005】

本発明の他の目的は、インテリム集積度を有する複数の半導体メモリ装置で構成された半導体メモリパッケージを提供することにある。

【0006】

本発明のまた他の目的は、半導体メモリ装置をインテリム集積度を有するように製造する半導体メモリ装置の集積度増大方法を提供することにある。

【0007】

本発明の解決しようとする課題は、上述した課題に限定されるのではなく、本発明の思想及び領域から逸脱しない範囲で多様に拡張するべきである。

【課題を解決するための手段】

【0008】

本発明の一目的を達成するために、本発明の実施形態に係る半導体メモリ装置は、2 の指数ビット (bit) の集積度 (density) で形成された揮発性メモリセル、及び前記揮発性メモリセルのデータ入出力のための入出力端子を各々具備し、1 つのチップ (chip) に形成することによってインテリム集積度 (interim density) を有する複数のメモリ領域、及び外部から入力されるコマンド (command)、及びアドレス (address) に基づいて前記メモリ領域にデータを書き込み (write)、または、前記メモリ領域からデータを読み出し (read) する動作を制御する少なくとも 1 つ以上の周辺領域を含むことができる。

【0009】

一実施形態によれば、前記メモリ領域は 2^m (ただし、 m は 0 以上の整数) ビットの集積度で形成された第 1 揮発性メモリセル、及び、前記第 1 揮発性メモリセルのデータ入出力のための第 1 入出力端子を具備する第 1 メモリ領域、並びに、 2^n (ただし、 n は m と相異なる 0 以上の整数) ビットの集積度で形成された第 2 揮発性メモリセル、及び前記第 2 揮発性メモリセルのデータ入出力のための第 2 入出力端子を具備する第 2 メモリ領域を含むことができる。

【0010】

一実施形態によれば、前記第 1 入出力端子の個数と前記第 2 入出力端子の個数は、各々 2 の指数形態に決定することができる。

10

20

30

40

50

【0011】

一実施形態によれば、前記第1入出力端子の個数と前記第2入出力端子の個数は互いに同一であることもできる。

【0012】

一実施形態によれば、前記第1入出力端子の個数と前記第2入出力端子の個数は互いに相異することができる。

【0013】

一実施形態によれば、前記第1メモリ領域と前記第2メモリ領域は半導体メモリモジュールの同一ランク(rank)に属することができる。

【0014】

一実施形態によれば、前記第1入出力端子、及び前記第2入出力端子は同時にチップ入出力端子として動作できる。

【0015】

一実施形態によれば、前記チップ入出力端子の個数は、前記第1入出力端子の個数と前記第2入出力端子の個数の和に相応することができる。

【0016】

一実施形態によれば、前記第1メモリ領域と前記第2メモリ領域は、半導体メモリモジュールの他のランクに属することができる。

【0017】

一実施形態によれば、前記第1入出力端子、及び前記第2入出力端子は、少なくとも1つ以上のチップ選択信号に応答して選択的にチップ入出力端子として動作できる。

【0018】

一実施形態によれば、前記チップ入出力端子の個数は、前記第1入出力端子の個数または前記第2入出力端子の個数に相応することができる。

【0019】

本発明の他の目的を達成するために、本発明の実施形態に係る半導体メモリパッケージは複数の半導体メモリ装置を含み、前記半導体メモリ装置の各々は、2の指数ビット(bit)の集積度(density)で形成された揮発性メモリセル、及び、前記揮発性メモリセルのデータ入出力のための入出力端子を各々具備し、1つのチップ(chip)に形成することによってインテリム集積度(interim density)を有する複数のメモリ領域、及び外部から入力されるコマンド(command)、及びアドレス(address)に基づいて前記メモリ領域にデータを書き込み(write)、または、前記メモリ領域からデータを読み出し(read)する動作を制御する少なくとも1つ以上の周辺領域を含むことができる。

【0020】

一実施形態によれば、前記メモリ領域は 2^m (ただし、 m は0以上の整数)ビットの集積度で形成された第1揮発性メモリセル、及び前記第1揮発性メモリセルのデータ入出力のための第1入出力端子を具備する第1メモリ領域、及び、 2^n (ただし、 n は m と相異なる0以上の整数)ビットの集積度で形成された第2揮発性メモリセル、及び前記第2揮発性メモリセルのデータ入出力のための第2入出力端子を具備する第2メモリ領域を含むことができる。

【0021】

一実施形態によれば、前記第1メモリ領域と前記第2メモリ領域は、半導体メモリモジュールの同一ランク(rank)に属することができる。

【0022】

一実施形態によれば、前記第1入出力端子及び前記第2入出力端子は、同時にチップ入出力端子として動作できる。

【0023】

一実施形態によれば、前記チップ入出力端子の個数は、前記第1入出力端子の個数と前記第2入出力端子の個数の和に相応することができる。

10

20

30

40

50

【0024】

一実施形態によれば、前記第1メモリ領域と前記第2メモリ領域は、半導体メモリモジュールの他のランクに属することができる。

【0025】

一実施形態によれば、前記第1入出力端子及び前記第2入出力端子は、少なくとも1つ以上のチップ選択信号に応答して選択的にチップ入出力端子として動作できる。

【0026】

一実施形態によれば、前記チップ入出力端子の個数は前記第1入出力端子の個数または、前記第2入出力端子の個数に相応することができる。

【0027】

一実施形態によれば、前記半導体メモリ装置は、第1～第k（ただし、kは2以上の整数）半導体メモリ装置を含み、前記第1～第k半導体メモリ装置は、モノリシックパッケージ（monolithic package）形態で結合できる。

【0028】

一実施形態によれば、前記半導体メモリ装置は第1～第k（ただし、kは2以上の整数）半導体メモリ装置を含み、前記第1～第k半導体メモリ装置は、DDP（dual die package）形態で結合できる。

【0029】

一実施形態によれば、前記半導体メモリ装置は第1～第k（ただし、kは2以上の整数）半導体メモリ装置を含み、前記第1～第k半導体メモリ装置は、TSV（through-silicon via）が適用されたデュアル・ダイ・スタック（dual die stack）形態で結合できる。

【0030】

本発明の他の目的を達成するために、本発明の実施形態に係る半導体メモリ装置の集積度増大方法は、2の指数ビット（bit）の集積度（density）で形成された揮発性メモリセル、及び前記揮発性メモリセルのデータ入出力のための入出力端子を各々具備する複数のメモリ領域を形成する段階、及び、前記メモリ領域の各々に備わった前記入出力端子を半導体メモリ装置のチップ入出力端子で決定する段階を含むことができる。この時、前記メモリ領域は、1つのチップ（chip）に形成することによってインテリム集積度（interim density）を有することができる。

【0031】

一実施形態によれば、前記メモリ領域の各々に備わった前記入出力端子の個数は、2の指数形態に決定されることができる。

【0032】

一実施形態によれば、前記メモリ領域を形成する段階は、前記メモリ領域を各々の半導体メモリモジュールの同一ランク（rank）に結合する段階を含むことができる。

【0033】

一実施形態によれば、前記チップ入出力端子で決定する段階は、前記メモリ領域の各々に備わった前記入出力端子を同時に前記チップ入出力端子として動作させる段階を含むことができる。

【0034】

一実施形態によれば、前記チップ入出力端子の個数は、前記メモリ領域の各々に備わった前記入出力端子の個数の和に相応することができる。

【0035】

一実施形態によれば、前記メモリ領域を形成する段階は、前記メモリ領域を各々の半導体メモリモジュールの他のランク（rank）に結合する段階を含むことができる。

【0036】

一実施形態によれば、前記チップ入出力端子で決定する段階は前記メモリ領域の各々に備わった前記入出力端子を少なくとも1つ以上のチップ選択信号に応答して選択的に前記チップ入出力端子として動作させる段階を含むことができる。

10

20

30

40

50

【 0 0 3 7 】

一実施形態によれば、前記チップ入出力端子の個数は、前記メモリ領域の各々に備わった前記入出力端子の個数に各々相応することができる。

【 発明の効果 】

【 0 0 3 8 】

本発明の実施形態に係る半導体メモリ装置はインテリム集積度、即ち、 $2^m + 2^n + 2^o \dots$ （ただし、 m 、 n 、 o は、0以上の整数として互いに相異なる）の集積度を有することによって、従来の半導体メモリ装置に比べて小型で製造することができ、電力消費をおさえることができる。

【 0 0 3 9 】

本発明の実施形態に係る半導体メモリパッケージは、インテリム集積度を有する複数の半導体メモリ装置で構成されることによって、従来の半導体メモリパッケージに比べて小型で製造することができ、電力消費もおさえることができる。従って、それを含むシステムの全般的な性能が向上できる。

【 0 0 4 0 】

本発明の実施形態に係る半導体メモリ装置の集積度増大方法は、半導体メモリ装置がインテリム集積度を有するように製造することができる。

【 0 0 4 1 】

ただし、本発明の効果は、上述した効果に限定されるのではなく、本発明の思想及び領域から逸脱しない範囲で多様に拡張するべきである。

【 図面の簡単な説明 】

【 0 0 4 2 】

【 図 1 】 本発明の一実施形態に係る半導体メモリ装置を示す図面である。

【 図 2 】 図 1 の半導体メモリ装置に備わった複数のメモリ領域を示す図面である。

【 図 3 】 図 2 のメモリ領域が同一ランクに属する場合のチップ入出力端子を示す図面である。

【 図 4 】 図 2 のメモリ領域が同一ランクに属する場合の半導体メモリ装置を示すブロック図である。

【 図 5 】 図 2 のメモリ領域が他のランクに属する場合のチップ入出力端子を示す図面である。

【 図 6 】 図 2 のメモリ領域が他のランクに属する場合の半導体メモリ装置を示すブロック図である。

【 図 7 】 図 1 の半導体メモリ装置を具備した単一ランクの半導体メモリモジュールの一例を示す図面である。

【 図 8 】 図 1 の半導体メモリ装置を具備した単一ランクの半導体メモリモジュールの他の例を示す図面である。

【 図 9 】 図 1 の半導体メモリ装置を具備したマルチランクの半導体メモリモジュールの一例を示す図面である。

【 図 1 0 】 図 1 の半導体メモリ装置を具備したマルチランクの半導体メモリモジュールの他の例を示す図面である。

【 図 1 1 】 本発明の他の実施形態に係る半導体メモリ装置を示す図面である。

【 図 1 2 】 本発明の実施形態に係る半導体メモリパッケージを示す図面である。

【 図 1 3 】 図 1 2 の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合する一例を示す図面である。

【 図 1 4 】 図 1 2 の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合する他の例を示す図面である。

【 図 1 5 】 図 1 2 の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合するまた他の例を示す図面である。

【 図 1 6 】 図 1 2 の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合するまた他の例を示す図面である。

10

20

30

40

50

【図 17】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が DDP 形態で結合する一例を示す図面である。

【図 18】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が DDP 形態で結合する他の例を示す図面である。

【図 19】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が DDP 形態で結合するまた他の例を示す図面である。

【図 20】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が DDP 形態で結合するまた他の例を示す図面である。

【図 21】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が TSV が適用されたデュアル・ダイ・スタック形態で結合する一例を示す図面である。

【図 22】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が TSV が適用されたデュアル・ダイ・スタック形態で結合する他の例を示す図面である。

【図 23】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が TSV が適用されたデュアル・ダイ・スタック形態で結合するまた他の例を示す図面である。

【図 24】図 12 の半導体メモリパッケージで複数の半導体メモリ装置が TSV が適用されたデュアル・ダイ・スタック形態で結合するまた他の例を示す図面である。

【図 25】本発明の実施形態に係る半導体メモリ装置の集積度増大方法を示すフローチャートである。

【図 26】図 25 で複数のメモリ領域が半導体メモリモジュールのランクに接続される時、チップ入出力端子が決定される一例を示すフローチャートである。

【図 27】複数の半導体メモリ装置で構成される半導体メモリモジュールの例を示す図面である。

【図 28】複数の半導体メモリ装置で構成される半導体メモリモジュールの例を示す図面である。

【図 29】複数の半導体メモリ装置で構成される半導体メモリモジュールの例を示す図面である。

【図 30】複数の半導体メモリ装置で構成される半導体メモリモジュールの例を示す図面である。

【図 31】複数の半導体メモリ装置で構成される半導体メモリモジュールの例を示す図面である。

【図 32】複数の半導体メモリ装置で構成される半導体メモリモジュールの例を示す図面である。

【図 33】本発明の実施形態に係るメモリシステムを示すブロック図である。

【図 34】図 33 のメモリシステムを具備したモバイルシステムを示すブロック図である。

【図 35】図 33 のメモリシステムを具備したコンピューティングシステムを示すブロック図である。

【発明を実施するための最良の形態】

【0043】

本明細書に開示されている本発明の実施形態に対して、特定の構造的ないし機能的説明は、単に本発明の実施形態を説明するための目的で例示されたものであり、本発明の実施形態は多様な形態で実施することができ、本明細書に説明された実施形態に限定されるものではない。

【0044】

本発明は多様な変更を加えることができ、種々の形態を有することができるが、特定の実施形態を図面に例示して本明細書に詳細に説明する。しかし、これは本発明を特定の開示形態に限定しようとするものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物ないし代替物を含むと理解するべきである。

【0045】

本明細書において、第 1、第 2 等の用語は多様な構成要素を説明するのに使用すること

10

20

30

40

50

ができるが、これらの構成要素がこのような用語によって限定されてはならない。これらの用語は1つの構成要素を他の構成要素から区別する目的で使われる。例えば、本発明の権利範囲から逸脱せずに第1構成要素は第2構成要素と命名することができ、同様に第2構成要素も第1構成要素と命名することができる。

【0046】

ある構成要素が他の構成要素に「連結されて」いる、または「接続されて」いると言及された場合には、その他の構成要素に直接的に連結されていたり、接続されていることも意味するが、中間に他の構成要素が存在する場合も含むと理解するべきである。

【0047】

一方、ある構成要素が他の構成要素に「直接連結されて」いる、または「直接接続されて」いると言及された場合には、中間に他の構成要素が存在しないと理解すべきである。構成要素の間の関係を説明する他の表現、即ち、「～間に」と「すぐに～間に」または「～に隣接する」と「～に直接隣接する」等も同じように解釈すべきである。

【0048】

本明細書で使用した用語は単に特定の実施形態を説明するために使用したもので、本発明を限定するものではない。単数の表現は文脈上明白に異なるように意味しない限り、複数の表現を含む。本明細書で、「含む」または「有する」等の用語は明細書上に記載された特徴、数字、段階、動作、構成要素、部品または、これを組み合わせたのが存在するというを示すものであって、1つまたはそれ以上の他の特徴や数字、段階、動作、構成要素、部品または、これを組み合わせたものなどの存在または、付加の可能性を、予め排除するわけではない。

【0049】

また、別に定義しない限り、技術的或いは科学的用語を含み、本明細書中において使用される全ての用語は本発明が属する技術分野で通常の知識を有する者であれば、一般的に理解するのと同じの意味を有する。

【0050】

一般的に使用される辞書において定義する用語と同じ用語は関連技術の文脈上に有する意味と一致する意味を有するものと理解するべきで、本明細書において明白に定義しない限り、理想的或いは形式的な意味として解釈してはならない。

【0051】

以下、添付図面を参照して、本発明の望ましい実施形態をより詳細に説明する。図面上の同一構成要素に対しては同一参照符号を使用し、同一構成要素に対しては重複される説明は省略する。

【0052】

図1は本発明の一実施形態に係る半導体メモリ装置を示す図面である。

【0053】

図1を参照すれば、半導体メモリ装置100は、複数のメモリ領域120、及びそれを制御するための周辺領域140を含むことができる。

【0054】

複数のメモリ領域120は、2の指数ビット(bit)の集積度(density)で形成された揮発性メモリセルと前記揮発性メモリセルのデータ入出力のための入出力端子(I/O₁, ..., I/O_k)を各々具備することができる。この時、複数のメモリ領域120は、1つのチップ(chip)に形成する。このように、複数のメモリ領域120の各々が2の指数ビットの集積度(即ち、標準集積度)で形成された揮発性メモリセルを具備するから、複数のメモリ領域120を含む半導体メモリ装置100は、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは、0以上の整数として互いに相異なる)の集積度、即ち、インテリム集積度(interim density)を有することができる。実施形態により、複数のメモリ領域120の各々は、メモリセルアレイ部、センスアンプ部、入出力ゲーティング部などを含むことができる。説明の便宜のために、複数のメモリ領域120が第1メモリ領域と第2メモリ領域とで構成されると仮定する。この場合、第1メモ

10

20

30

40

50

り領域は、 2^m （ただし、 m は0以上の整数）ビットの集積度で形成された第1揮発性メモリセル、及び前記第1揮発性メモリセルのデータ入出力のための第1入出力端子I/O₁を具備でき、第2メモリ領域は、 2^n （ただし、 n は m と相異なる0以上の整数）ビットの集積度で形成された第2揮発性メモリセル、及び、前記第2揮発性メモリセルのデータ入出力のための第2入出力端子I/O₂を具備することができる。ただし、これは1つの例示として複数のメモリ領域120は、3以上のメモリ領域で構成されることができる。一実施形態において、第1入出力端子I/O₁の個数と第2入出力端子I/O₂の個数は、各々2の指数形態に決定されることができる。例えば、第1入出力端子I/O₁と第2入出力端子I/O₂の個数は、各々、1つ、2つ、4つ、8つ、16個、32個、64個でありうる。このような場合、第1入出力端子I/O₁と第2入出力端子I/O₂は、各々1ビット、2ビット、4ビット、8ビット、16ビット、32ビット、または、64ビットのデータを入出力させることができる。ただし、これは1つの例示として、第1入出力端子I/O₁と第2入出力端子I/O₂の個数がそれに限定されるのではない。

10

【0055】

一般的に、第1メモリ領域の第1入出力端子I/O₁の個数と第2メモリ領域の第2入出力端子I/O₂の個数は、システムに要求される条件によって決定されるか、または、第1メモリ領域と第2メモリ領域の集積度により決定されることもできる。一実施形態において、第1入出力端子I/O₁の個数と第2入出力端子I/O₂の個数は、互いに同一であることもできる。このような場合、第1メモリ領域と第2メモリ領域の集積度は、互いに同一であることもできる。他の実施形態において、第1入出力端子I/O₁の個数と第2入出力端子I/O₂の個数は互いに相異なることができる。このような場合、第1メモリ領域と第2メモリ領域の集積度は、互いに相異なることができる。一方、第1メモリ領域と第2メモリ領域が、半導体メモリモジュールの同一ランクに属する場合に、第1メモリ領域と第2メモリ領域のデータを同時に入出力させるために、第1入出力端子I/O₁と第2入出力端子I/O₂が同時に半導体メモリ装置100のチップ入出力端子I/Oとして動作できる。この時、チップ入出力端子I/Oの個数は、第1入出力端子I/O₁の個数と第2入出力端子I/O₂の個数の和に相応することができる。反面、第1メモリ領域と第2メモリ領域が半導体メモリモジュールの他のランクに属する場合、第1メモリ領域と第2メモリ領域のデータを選択的に入出力させるために、第1入出力端子I/O₁と第2入出力端子I/O₂は少なくとも1つ以上のチップ選択信号に応答して選択的に半導体メモリ装置100のチップ入出力端子I/Oとして動作できる。この時、チップ入出力端子I/Oの個数は、第1入出力端子I/O₁の個数または第2入出力端子I/O₂の個数に相応することができる。

20

30

【0056】

周辺領域140は、外部から入力されるコマンド（command；CMD）、及びアドレス（address；ADDR）に基づいて複数のメモリ領域120にデータを書き込み（write）したり、または、複数のメモリ領域120からデータを読み出し（read）する動作を制御することができる。このために、周辺領域140は、外部から入力されるコマンドCMD及びアドレスADDRに基づいて制御信号（CTL）を生成して、前記制御信号（CTL）を複数のメモリ領域120に同時にまたは、選択的に提供することができる。従って、複数のメモリ領域120は、制御信号（CTL）に基づいて外部から入力されるデータを内部の揮発性メモリセルに書き込みさせるか、または、内部の揮発性メモリセルに保存されているデータを読み出しさせることができる。実施形態によって、周辺領域140は、コントロールロジック部、アドレスレジスタ部、バンクコントロールロジック部、ローデコーダ部、コラムデコーダ部、コラムアドレスラッチ部、データ入出力バッファ部などを含むことができる。ただし、これに対しては詳しく後述する。上述した通り、複数のメモリ領域120は、各々2の指数ビットの集積度（即ち、標準集積度）を有するから、複数のメモリ領域120を含む半導体メモリ装置100は、 $2^m + 2^n + 2^o \dots$ （ただし、 m 、 n 、 o は、0以上の整数として互いに相異なる）の集積度、即

40

50

ち、インテリム集積度を有することができる。また、複数のメモリ領域120を含む半導体メモリ装置100は、複数のメモリ領域120のそれぞれの入出力端子(I/O₁, ..., I/O_k)をチップ入出力端子I/Oとして使うことができる。その結果、複数のメモリ領域120が1つのチップに形成された半導体メモリ装置100は、従来の半導体メモリ装置に比べて小型で製造することができ、電力消費をおさえることができる。一方、図1では半導体メモリ装置100が揮発性メモリ装置の動的ランダムアクセスメモリDRAM装置であると説明しているが、半導体メモリ装置100は非揮発性メモリ装置にも適用することができる。例えば、半導体メモリ装置100は、EEPROM(Electrically Erasable Programmable Read-Only Memory)、フラッシュメモリ(Flash Memory)、PRAM(Phase Change Random Access Memory)、RRAM(Resistance Random Access Memory)、NFGM(Nano Floating Gate Memory)、PoRAM(Polymer Random Access Memory)、MRAM(Magnetic Random Access Memory)、FRAM(Ferroelectric Random Access Memory)などに適用することができる。

10

【0057】

図2は図1の半導体メモリ装置に備わった複数のメモリ領域を示す図面である。

【0058】

図2を参照すれば、複数のメモリ領域120は、第1メモリ領域~第kメモリ領域(122, ..., 126)を含むことができる。この時、第1メモリ領域~第kメモリ領域(122, ..., 126)は、1つのチップに形成する。ただし、説明の便宜のために、kは3であると仮定する。上述した通り、第1メモリ領域~第kメモリ領域(122, ..., 126)は、各々2の指数ビットの集積度(即ち、標準集積度)で形成された揮発性メモリセルを具備するから、第1メモリ領域~第kメモリ領域(122, ..., 126)を具備する半導体メモリ装置100は、インテリム集積度を有することができる。例えば、第1メモリ領域122は、 2^m (ただし、mは0以上の整数)Gb(gigabit)の容量(capacity)を有することができ、第2メモリ領域124は、 2^n (ただし、nはmと相異なる0以上の整数)Gbの容量を有することができ、第kメモリ領域126は、 2^o (ただし、oは0以上の整数)Gbの容量を有することができる。即ち、第1メモリ領域122は、 $2^{(m+30)}$ 個の第1揮発性メモリセルを含むことができ、第2メモリ領域124は $2^{(n+30)}$ 個の第2揮発性メモリセルを含むことができ、第kメモリ領域126は $2^{(o+30)}$ 個の第k揮発性メモリセルを含むことができる。一方、第1メモリ領域122は、 $2^{(m+30)}$ 個の第1揮発性メモリセルのデータ入出力のための第1入出力端子I/O₁を有することができ、第2メモリ領域124は $2^{(n+30)}$ 個の第2揮発性メモリセルのデータ入出力のための第2入出力端子I/O₂を有することができ、第kメモリ領域126は $2^{(o+30)}$ 個の第k揮発性メモリセルのデータ入出力のための第k入出力端子I/O_kを有することができる。一実施形態において、第1メモリ領域122、第2メモリ領域124、及び第kメモリ領域126が半導体メモリモジュールの同一ランクに属する場合に、第1メモリ領域122、第2メモリ領域124、及び第kメモリ領域126のデータを同時に入出力させるために、第1入出力端子I/O₁、第2入出力端子I/O₂、及び第k入出力端子I/O_kが同時にチップ入出力端子I/Oとして動作できる。他の実施形態において、第1メモリ領域122、第2メモリ領域124、及び第kメモリ領域126が半導体メモリモジュールの他のランクに属する場合、第1メモリ領域122、第2メモリ領域124、及び第kメモリ領域126のデータを選択的に入出力させるために、第1入出力端子I/O₁、第2入出力端子I/O₂、及び第k入出力端子I/O_kは少なくとも1つ以上のチップ選択信号に応答して選択的にチップ入出力端子I/Oとして動作できる。このように、第1メモリ領域122~第kメモリ領域126が各々2の指数ビットの集積度(即ち、標準集積度)を有するから、第1メモリ領域122~第kメモリ領域126を含む半導体メモ

20

30

40

50

リ装置 100 は、 $2^m + 2^n + 2^o \dots$ (ただし、 m 、 n 、 o は 0 以上の整数として互いに相異なる) の集積度、即ち、インテリム集積度を有することができる。

【0059】

図 3 は図 2 のメモリ領域が同一ランクに属する場合のチップ入出力端子を示す図面である。

【0060】

図 3 を参照すれば、第 1 メモリ領域 122 ~ 第 k メモリ領域 126 が、半導体メモリモジュールの同一ランクに属することができる。ただし、説明の便宜のために k は 3 であると仮定する。このような場合に、第 1 メモリ領域 122 ~ 第 k メモリ領域 126 のデータを各々入出力するための第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k は、同時にチップ入出力端子 (PDQ_G1, \dots, PDQ_Gk) として動作できる。このために、第 1 メモリ領域 122 ~ 第 k メモリ領域 126 に各々備わった第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k は入出力接続動作を通じて同時にチップ入出力端子 (PDQ_G1, \dots, PDQ_Gk) に接続されることができる。例えば、第 1 メモリ領域 122 の第 1 入出力端子 I/O_1 は第 1 チップ入出力端子 PDQ_G1 に接続されることができ、第 2 メモリ領域 124 の第 2 入出力端子 I/O_2 は第 2 チップ入出力端子 PDQ_G2 に接続されることができ、第 k メモリ領域 126 の第 k 入出力端子 I/O_k は第 k チップ入出力端子 PDQ_Gk に接続されることができる。実施形態により、第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k それぞれの個数は、2 の指数形態に決定されるが、それに限定されるのではない。例えば、第 1 入出力端子 I/O_1 が 8 ビットのデータを入出力させる場合、第 1 チップ入出力端子 PDQ_G1 の個数は、8 つになることができ、第 2 入出力端子 I/O_2 が 16 ビットのデータを入出力させる場合、第 2 チップ入出力端子 PDQ_G2 の個数は 16 個になることができ、第 k 入出力端子 I/O_k が 32 ビットのデータを入出力させる場合、第 k チップ入出力端子 PDQ_Gk の個数は 32 個になることができる。一方、第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k の個数の合計は、第 1 チップ入力端子 PDQ_G1 ~ 第 k チップ入出力端子 PDQ_Gk の個数に相応することができる。一般的に、第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k それぞれの個数は、システムに要求される条件により決定されるか、または、第 1 メモリ領域 122 ~ 第 k メモリ領域 126 それぞれの集積度により決定されることもできる。一実施形態において、第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k それぞれの個数は互いに同一であることもできる。他の実施形態において、第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k それぞれの個数は互いに相異なることができる。上述では、第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k が第 1 チップ入力端子 PDQ_G1 ~ 第 k チップ入出力端子 PDQ_Gk に接続されると説明したが、前記入出力接続動作は第 1 入力端子 I/O_1 ~ 第 k 入出力端子 I/O_k がチップ入出力端子 (PDQ_G1, \dots, PDQ_Gk) として動作するための多様な方式を含むことと理解しなければならない。

【0061】

図 4 は図 2 のメモリ領域が同一ランクに属する場合の半導体メモリ装置を示すブロック図である。

【0062】

図 4 を参照すれば、半導体メモリ装置 200 は、複数のメモリ領域 220、及びそれを制御するための周辺領域 240 を含むことができる。この時、半導体メモリ装置 200 は、揮発性メモリセルを含む揮発性メモリ装置として、SDRAM (Synchronous Dynamic Random Access Memory)、DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory)、LPDDR (Low Power Double Data Rate)、GDDR (Graphics Double Data Rate)、RDRAM (Rambus Dynamic Random Access Memory) などのような動的ランダムアクセスメモリ DRAM 装置であることが

10

20

30

40

50

できる。

【0063】

複数のメモリ領域220は、メモリセルアレイ部222、センスアンプ部224、及び入出力ゲーティング部226を含むことができる。上述した通り、複数のメモリ領域220は、1つのチップに形成され、各々2の指数ビットの集積度（即ち、標準集積度）で形成された揮発性メモリセルを具備することができる。従って、複数のメモリ領域220に相応するメモリセルアレイ部222は、 $2^m + 2^n + 2^o \dots$ （ただし、 m 、 n 、 o は0以上の整数として互いに相異なる）の集積度、即ち、インテリム集積度を有することができる。メモリセルアレイ部222は、ローデコーダ部244に提供されるロー制御信号（CTL_R）、及びコラムデコーダ部246に提供されるコラム制御信号（CTL_C）に基づいて内部の揮発性メモリセルにデータを書き込みするか、または、内部の揮発性メモリセルに保存されているデータを読み出しすることができる。実施形態により、メモリセルアレイ部222は、複数のバンクアレイを含むことができる。センスアンプ部224は、外部から入力されるデータをメモリセルアレイ部222に印加して書き込み動作を遂行し、メモリセルアレイ部222に保存されているデータをセンシングして読み出し動作を遂行できる。入出力ゲーティング部226は半導体メモリ装置200の書き込み動作、または、読み出し動作の時に、外部から入力されるデータ、及びメモリセルアレイ部222に保存されているデータに対してゲーティング動作を遂行することができる。

10

【0064】

周辺領域240は、コントロールロジック部241、アドレスレジスタ部242、バンクコントロールロジック部243、ローデコーダ部244、コラムアドレスラッチ部245、コラムデコーダ部246、及びデータ入出力バッファ部247を含むことができる。コントロールロジック部241は、半導体メモリ装置200の全般的な動作を制御することができる。例えば、コントロールロジック部241は、半導体メモリ装置200の書き込み動作、及び読み出し動作のために内部制御信号ICMDを生成することができる。実施形態により、コントロールロジック部241は、外部（即ち、メモリコントローラ）から受信されるコマンドCMDをデコードするコマンドデコーダ241a、及び、半導体メモリ装置200の動作モードを設定するためのモードレジスタ241bを含むことができる。例えば、コマンドデコーダ241aは、書き込みイネーブル信号/WE、ローアドレスストローブ信号/RAS、コラムアドレスストローブ信号/CAS、チップ選択信号/CSなどをデコードしてコマンドCMDに相応する内部制御信号ICMDを生成することができる。一方、コントロールロジック部241は、同期方式で半導体メモリ装置200を駆動するためにクロック信号CLK、及びクロックイネーブル信号/CKEをさらに受信することができる。さらに、コントロールロジック部241は、リフレッシュコマンドREFに応答して半導体メモリ装置200のリフレッシュ動作を制御することができる。アドレスレジスタ部242は、外部（即ち、メモリコントローラ）からバンクアドレスBANK_ADDR、ローアドレスROW_ADDR、及びコラムアドレスCOL_ADDRを含むアドレスADDRを受信することができる。アドレスレジスタ部242は、バンクアドレスBANK_ADDRをバンクコントロールロジック部243に提供し、ローアドレスROW_ADDRをローデコーダ部244に提供し、コラムアドレスCOL_ADDRをコラムアドレスラッチ部245を通じてコラムデコーダ部246に提供することができる。

20

30

40

【0065】

バンクコントロールロジック部243は、バンクアドレスBANK_ADDRに응答して第1及び第2バンク制御信号BCT_R、BCT_Cを生成することができる。例えば、メモリセルアレイ部222が複数のバンクアレイを含む場合、第1バンク制御信号BCT_Rに응答してローデコーダ部244内に含まれた複数のバンクローデコーダのうち、バンクアドレスBANK_ADDRに相応するバンクローデコーダが活性化し、第2バンク制御信号BCT_Cに응答してコラムデコーダ部246内に含まれた複数のバンクコラムデコーダのうち、バンクアドレスBANK_ADDRに相応するバンクコラムデコー

50

ダが活性化することができる。ローデコーダ部 244 は、ローアドレス ROW__ADDR をデコードして、それに相応するワードライン (word-line) を活性化させることができる。例えば、ローデコーダ部 244 は、ローアドレス ROW__ADDR に相応するワードラインにワードライン駆動電圧を印加することができる。コラムアドレスラッチ部 245 は、アドレスレジスタ部 242 からコラムアドレス COL__ADDR を受信して一時的に保存し、これをコラムデコーダ部 246 に提供することができる。実施形態により、コラムアドレスラッチ部 242 は、バーストモードでコラムアドレス COL__ADDR を徐々に増加させることもできる。コラムデコーダ部 246 は、入出力ゲーティング部 226 を通じてバンクアドレス BANK__ADDR、及びコラムアドレス COL__ADDR に相応するセンスアンプを活性化させることができる。データ入出力バッファ部 247 は入出力データに対してバッファ動作を遂行できる。

10

【0066】

上述した通り、複数のメモリ領域 220 はそれぞれのデータを入出力するための第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k を有することができる。即ち、メモリセルアレイ部 222 は、複数のメモリ領域 220 に相応するメモリセルアレイを有することができ、メモリセルアレイ各々は第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k を通じてアクセスされることことができる。図 4 に図示したように、複数のメモリ領域 220 が半導体メモリモジュールの同一ランクに属する場合に第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k は、入出力接続動作を遂行して同時にチップ入出力端子 PDQ__G1, ..., PDQ__Gk に接続されることができる。この時、前記入出力接続動作は第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k が、チップ入出力端子 PDQ__G1 ~ PDQ__Gk として動作するための多様な方式を含むことと理解しなければならない。その結果、第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k は、同時にチップ入出力端子 PDQ__G1 ~ PDQ__Gk として動作できる。例えば、第 1 入出力端子 I/O__1 は、第 1 チップ入出力端子 PDQ__G1 に接続されることができ、第 2 入出力端子 I/O__2 は、第 2 チップ入出力端子 PDQ__G2 に接続することができ、第 k 入出力端子 I/O__k は、第 k チップ入出力端子 PDQ__Gk に接続することができる。実施形態により、第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k それぞれの個数は、2 の指数形態に決定されるが、それに限定されるのではない。一方、第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k の個数の合計は、第 1 チップ入力端子 PDQ__G1 ~ 第 k チップ入出力端子 PDQ__Gk の個数に相応することができる。

20

30

【0067】

図 5 は図 2 のメモリ領域が他のランクに属する場合のチップ入出力端子を示す図面である。

【0068】

図 5 を参照すれば、第 1 メモリ領域 122 ~ 第 k メモリ領域 126 が、半導体メモリモジュールの他のランクに属することができる。ただし、説明の便宜のために k は、3 であると仮定する。このような場合に、第 1 メモリ領域 122 ~ 第 k メモリ領域 126 のデータを各々入出力するための第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k は、少なくとも 1 つ以上のチップ選択信号に応答して選択的にチップ入出力端子 PDQ__G として動作できる。このために、第 1 メモリ領域 122 ~ 第 k メモリ領域 126 に、各々備わった第 1 入力端子 I/O__1 ~ 第 k 入出力端子 I/O__k は、入出力接続動作を通じて選択的にチップ入出力端子 PDQ__G に接続されることができる。例えば、少なくとも 1 つ以上のチップ選択信号によって第 1 メモリ領域 122 が選択されると、第 1 メモリ領域 122 の第 1 入出力端子 I/O__1 がチップ入出力端子 PDQ__G に接続されることができ、少なくとも 1 つ以上のチップ選択信号によって第 2 メモリ領域 124 が選択されると、第 2 メモリ領域 124 の第 2 入出力端子 I/O__2 がチップ入出力端子 PDQ__G に接続されることができ、少なくとも 1 つ以上のチップ選択信号によって第 k メモリ領域 126 が選択されると、第 k メモリ領域 126 の第 k 入出力端子 I/O__k がチップ入出力端子 PDQ__G に接続されることができる。実施形態により、第 1 入力端子 I/O__1 ~ 第 k 入

40

50

出力端子 I / O __ k それぞれの個数は、2 の指数形態に決定されるが、それに限定されるのではない。一方、チップ入出力端子 P D Q __ G の個数は、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k それぞれの個数に相応することができる。一般的に、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k それぞれの個数は、システムに要求される条件によって決定されるか、または、第 1 メモリ領域 1 2 2 ~ 第 k メモリ領域 1 2 6 それぞれの集積度によって決定されることもできる。一実施形態において、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k それぞれの個数は、互いに同一であることもできる。他の実施形態において、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k それぞれの個数は、互いに相異することができる。上述では、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k がチップ入出力端子 P D Q __ G に接続されると説明したが、前記入出力接続動作は、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k が、チップ入出力端子 P D Q __ G として動作するための多様な方式を含むことと理解しなければならない。

10

【 0 0 6 9 】

図 6 は図 2 のメモリ領域が他のランクに属する場合の半導体メモリ装置を示すブロック図である。

【 0 0 7 0 】

図 6 を参照すれば、半導体メモリ装置 3 0 0 は、複数のメモリ領域 3 2 0、及びそれを制御するための周辺領域 3 4 0 を含むことができる。この時、半導体メモリ装置 3 0 0 は揮発性メモリセルを含む揮発性メモリ装置として、S D R A M、D D R S D R A M、L P D D R、G D D R、R D R A M などのような動的ランダムアクセスメモリ D R A M 装置

20

【 0 0 7 1 】

複数のメモリ領域 3 2 0 は、メモリセルアレイ部 3 2 2、センスアンプ部 3 2 4、及び入出力ゲーティング部 3 2 6 を含むことができる。上述した通り、複数のメモリ領域 3 2 0 は、1 つのチップに形成され、各々 2 の指数ビットの集積度（即ち、標準集積度）で形成された揮発性メモリセルを具備することができる。従って、複数のメモリ領域 3 2 0 に相応するメモリセルアレイ部 3 2 2 は、 $2^m + 2^n + 2^o \dots$ （ただし、 m 、 n 、 o は 0 以上の整数として互いに相異なる）の集積度、即ち、インテリム集積度を有することができる。周辺領域 3 4 0 は、コントロールロジック部 3 4 1、アドレスレジスタ部 3 4 2、バンクコントロールロジック部 3 4 3、ローデコーダ部 3 4 4、コラムアドレスラッチ部 3 4 5、コラムデコーダ部 3 4 6、及びデータ入出力バッファ部 3 4 7 を含むことができる。ただし、複数のメモリ領域 3 2 0 のメモリセルアレイ部 3 2 2、センスアンプ部 3 2 4、入出力ゲーティング部 3 2 6、コントロールロジック部 3 4 1、アドレスレジスタ部 3 4 2、バンクコントロールロジック部 3 4 3、ローデコーダ部 3 4 4、コラムアドレスラッチ部 3 4 5、コラムデコーダ部 3 4 6、及びデータ入出力バッファ部 3 4 7 に対しては、図 4 で説明したことがあるので、それに対する重複する説明は省略する。

30

【 0 0 7 2 】

上述した通り、複数のメモリ領域 3 2 0 はそれぞれのデータを入出力するための第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k を有することができる。即ち、メモリセルアレイ部 3 2 2 は、複数のメモリ領域 3 2 0 に相応するメモリセルアレイを有することができ、メモリセルアレイの各々は第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k を通じてアクセスできる。図 6 に図示したように、複数のメモリ領域 3 2 0 が半導体メモリモジュールの他のランクに属する場合に第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k は、少なくとも 1 つ以上のチップ選択信号に応答して選択的に入出力接続動作を遂行してチップ入出力端子 P D Q __ G に接続されることができる。この時、前記入出力接続動作は、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k がチップ入出力端子 P D Q __ G として動作するための多様な方式を含むことと理解しなければならない。その結果、第 1 入力端子 I / O __ 1 ~ 第 k 入出力端子 I / O __ k は選択的にチップ入出力端子 P D Q __ G として動作できる。例えば、少なくとも 1 つ以上のチップ選択信号によって第 1 メモリ領域が選択されると、第 1 入出力端子 I / O __ 1 がチップ入出力端子 P D Q __ G に接続さ

40

50

れることができ、少なくとも1つ以上のチップ選択信号によって第2メモリ領域が選択されると、第2入出力端子I/O__2がチップ入出力端子PDQ__Gに接続され、少なくとも1つ以上のチップ選択信号によって第kメモリ領域が選択されると、第k入出力端子I/O__kがチップ入出力端子PDQ__Gに接続されることができる。実施形態により、第1入力端子I/O__1～第k入出力端子I/O__kそれぞれの個数は、2の指数形態に決定されるが、それに限定されるのではない。一方、チップ入出力端子PDQ__Gの個数は、第1入力端子I/O__1～第k入出力端子I/O__kそれぞれの個数に相応することができる。

【0073】

図7は図1の半導体メモリ装置を具備した単一ランクの半導体メモリモジュールの一例を示す図面である。

10

【0074】

図7を参照すれば、半導体メモリモジュール420は、単一ランクで構成し、複数の半導体メモリ装置420aを含むことができる。実施形態により、半導体メモリモジュール420はRDIMM(Registered Dual In-line Memory Module)でありうる。図7では半導体メモリモジュール420に3つの半導体メモリ装置420aが含まれているので、半導体メモリモジュール420に含まれる半導体メモリ装置420aの個数はそれに限定されない。

【0075】

図7に図示したように、半導体メモリモジュール420は、12Gb容量の半導体メモリ装置420aの3つで構成され、総36Gbの容量を有することができる。この時、半導体メモリ装置420aは、インテリム集積度、即ち、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは、0以上の整数として互いに相異なる)の集積度を有することができる。例えば、12Gb容量の半導体メモリ装置420aは、 2^3 Gbの集積度を有するメモリ領域と 2^2 Gbの集積度を有するメモリ領域が1つのチップに形成することによって製造されることができる。ただし、これは1つの例示として、前記数学式、即ち、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは、0以上の整数として互いに相異なる)を満足する線で、半導体メモリ装置420aは複数のメモリ領域を含んで自由に構成することができる。一方、半導体メモリ装置420aが複数のメモリ領域を含むことによって、半導体メモリ装置420aのチップ入出力端子I/Oの個数が増加することができる。例えば、4Gb

20

30

【0076】

このように、半導体メモリ装置420aは、インテリム集積度を有することができ、前記半導体メモリ装置420aのチップ入出力端子I/Oの個数もインテリム形態になることができる。従って、半導体メモリモジュール420が、3つの半導体メモリ装置420aを含むと仮定する時、半導体メモリ装置420aの各々が12つのチップ入出力端子I/Oを有する場合、半導体メモリモジュール420は、36個のチップ入出力端子I/Oを有することができる。即ち、半導体メモリ装置420aが各々12ビットのデータバスを有すれば、半導体メモリモジュール420は36ビットのデータバスを有することができる。一方、従来の半導体メモリ装置はインテリム集積度で製造されないので、半導体メモリ装置420aのように12Gbの容量を有することはできない。その結果、従来の半導体メモリモジュールが36Gbの容量を有するためには、4Gb容量の従来の半導体メモリ装置を9つ含まなければならない。従って、従来の半導体メモリモジュールは、コンポーネント(即ち、半導体メモリ装置)の個数が増加するから小型で製造することができず電力消費をおさえることができない。しかし、半導体メモリモジュール420は、従来の半導体メモリモジュールに比べてコンポーネントの個数が減少するので、小型で製造することができて電力消費をおさえるだけでなく、同一サイズ(size)の場合にはコン

40

50

ポーネントの個数が増大して集積度が大きく向上することができる。

【0077】

図8は図1の半導体メモリ装置を具備した単一ランクの半導体メモリモジュールの他の例を示す図面である。

【0078】

図8を参照すれば、半導体メモリモジュール440は、単一ランクで構成され、複数の半導体メモリ装置440a、440bを含むことができる。実施形態により、半導体メモリモジュール440はRDIMMでありうる。図8では半導体メモリモジュール440に3つの半導体メモリ装置440a、440bが含まれているので、半導体メモリモジュール440に含まれる半導体メモリ装置440a、440bの個数はそれに限定されない。

10

【0079】

図8に図示したように、半導体メモリモジュール440は、12Gb容量の半導体メモリ装置440aの2つと8Gb容量の半導体メモリ装置440bの1つで構成され、総32Gbの容量を有することができる。この時、半導体メモリ装置440a、440bは、インテリム集積度、即ち、 $2^m + 2^n + 2^o \dots$ （ただし、m、n、oは、0以上の整数として互いに相異なる）の集積度を有することができる。例えば、12Gb容量の半導体メモリ装置440aは、 2^3 Gbの集積度を有するメモリ領域と 2^2 Gbの集積度を有するメモリ領域が1つのチップに形成することによって製造されることができて、8Gb容量の半導体メモリ装置440bは 2^2 Gbの集積度を有するメモリ領域と 2^2 Gbの集積度を有するメモリ領域が1つのチップに形成することによって製造されることができ

。ただし、これは1つの例示として、前記数学式、即ち、 $2^m + 2^n + 2^o \dots$ （ただし、m、n、oは、0以上の整数として互いに相異なる）を満足する線で、半導体メモリ装置440a、440bは複数のメモリ領域を含んで自由に構成することができる。一方、半導体メモリ装置440a、440bが複数のメモリ領域を含むことによって、半導体メモリ装置440a、440bのチップ入出力端子I/Oの個数が増加することができる。例えば、4Gb容量のメモリ領域が4つの入出力端子を有し、8Gb容量のメモリ領域が8つの入出力端子を有する場合に、4Gb容量のメモリ領域と8Gb容量のメモリ領域が1つのチップで製造される12Gb容量の半導体メモリ装置440aは、12つのチップ入出力端子I/Oを有することができ、4Gb容量のメモリ領域と4Gb容量のメモリ領域が1つのチップで製造される8Gb容量の半導体メモリ装置440bは8つのチップ入出力端子I/Oを有することができる。

20

30

【0080】

このように、半導体メモリ装置440a、440bはインテリム集積度を有することができ、前記半導体メモリ装置440a、440bのチップ入出力端子I/Oの個数もインテリム形態になることができる。従って、半導体メモリモジュール440が3つの半導体メモリ装置440a、440bらを含むと仮定する時、12Gbの半導体メモリ装置440aが12つのチップ入出力端子I/Oを有し、8Gbの半導体メモリ装置440bが8つのチップ入出力端子I/Oを有する場合、半導体メモリモジュール440は、32個のチップ入出力端子I/Oを有することができる。即ち、12Gbの半導体メモリ装置440aが12ビットのデータバスを有し、8Gbの半導体メモリ装置440bが8ビットのデータバスを有すれば、半導体メモリモジュール440は、32ビットのデータバスを有することができる。しかし、従来の半導体メモリ装置はインテリム集積度、即ち、 $2^m + 2^n + 2^o \dots$ （ただし、m、n、oは、0以上の整数として互いに相異なる）の集積度を有することはできない。その結果、従来の半導体メモリモジュールは、コンポーネント（即ち、半導体メモリ装置）の個数が増加するから小型で製造することができなくて電力消費をおさえることができない。反面、半導体メモリモジュール440は従来の半導体メモリモジュールに比べてコンポーネントの個数が減少するので、小型で製造することができて電力消費をおさえるだけでなく、同一サイズの場合にはコンポーネントの個数が増大して集積度が大きく向上することができる。

40

【0081】

50

図9は図1の半導体メモリ装置を具備したマルチランクの半導体メモリモジュールの一例を示す図面である。

【0082】

図9を参照すれば、半導体メモリモジュール460は、デュアルランクで構成され、半導体メモリモジュール460の第1ランクRANK1と第2ランクRANK2は、各々複数の半導体メモリ装置460aを含むことができる。実施形態により、メモリモジュール460はRDIMMでありうる。図9では半導体メモリモジュール460の第1ランクRANK1及び第2ランクRANK2に各々3つの半導体メモリ装置460aが含まれているので、半導体メモリモジュール460の第1ランクRANK1及び第2ランクRANK2に各々含まれる半導体メモリ装置460aの個数はそれに限定されない。

10

【0083】

図9に図示したように、半導体メモリモジュール460は12Gb容量の半導体メモリ装置460aの3つで構成された第1ランクRANK1及び第2ランクRANK2を含むから、総72Gbの容量を有することができる。この時、第1ランクRANK1及び第2ランクRANK2は、少なくとも1つ以上のチップ選択信号に基づいて選択的にアクセス(access)できる。半導体メモリ装置460aはインテリム集積度、即ち、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは、0以上の整数として互いに相異なる)の集積度を有することができる。即ち、半導体メモリ装置460aは、前記数学式、即ち、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは0以上の整数として互いに相異なる)を満足する線で複数のメモリ領域を含んで自由に構成することができる。一方、半導体メモリ装置460aが複数のメモリ領域を含むということによって、半導体メモリ装置460aのチップ入出力端子I/Oの個数は増加することができる。この時、半導体メモリ装置460aは、インテリム集積度を有することができ、前記半導体メモリ装置460aのチップ入出力端子I/Oの個数もインテリム形態になることができる。上述した通り、半導体メモリモジュール460は、従来の半導体メモリモジュールに比べてコンポーネント(即ち、半導体メモリ装置)の個数が減少するから、小型で製造されることができて電力消費もおさえるだけでなく、同一サイズの場合にはコンポーネントの個数が増大して集積度が大きく向上することができる。

20

【0084】

図10は図1の半導体メモリ装置を具備したマルチランクの半導体メモリモジュールの他の例を示す図面である。

30

【0085】

図10を参照すれば、半導体メモリモジュール480は、デュアルランクで構成され、半導体メモリモジュール480の第1ランクRANK1と第2ランクRANK2は、各々複数の半導体メモリ装置480a、480bを含むことができる。実施形態により、メモリモジュール480は、RDIMMであることができる。図10では半導体メモリモジュール480の第1ランクRANK1及び第2ランクRANK2に、各々12Gb容量の半導体メモリ装置480aの2つと8Gb容量の半導体メモリ装置480bの1つが含まれているので、半導体メモリモジュール480の第1ランクRANK1及び第2ランクRANK2に、各々含まれる半導体メモリ装置480a、480bの個数はそれに限定されない。

40

【0086】

図10に図示したように、半導体メモリモジュール480は12Gb容量の半導体メモリ装置480aの2つと8Gb容量の半導体メモリ装置480bの1つで構成された第1ランクRANK1及び第2ランクRANK2を含むから、総64Gbの容量を有することができる。この時、第1ランクRANK1、及び第2ランクRANK2は少なくとも1つ以上のチップ選択信号に基づいて選択的にアクセスされることができる。半導体メモリ装置480a、480bは、インテリム集積度、即ち、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは、0以上の整数として互いに相異なる)の集積度を有することができる。即ち、半導体メモリ装置480a、480bは前記数学式、即ち、 $2^m + 2^n + 2^o \dots$ (ただし

50

、 m 、 n 、 o は0以上の整数として互いに相異なる)を満足する線で複数のメモリ領域を含んで自由に構成することができる。一方、半導体メモリ装置480a、480bが複数のメモリ領域を含むということによって、半導体メモリ装置480a、480bのチップ入出力端子I/Oの個数は増加することができる。この時、半導体メモリ装置480a、480bは、インテリム集積度を有することができ、前記半導体メモリ装置480a、480bのチップ入出力端子I/Oの個数もインテリム形態になることができる。上述した通り、半導体メモリモジュール480は従来の半導体メモリモジュールに比べてコンポーネント(即ち、半導体メモリ装置)の個数が減少するから、小型で製造でき電力消費もおさえるだけでなく、同一サイズの場合にはコンポーネントの個数が増大して集積度が大きく向上することができる。

10

【0087】

図11は本発明の他の実施形態に係る半導体メモリ装置を示す図面である。

【0088】

図11を参照すれば、半導体メモリ装置500は、複数のメモリ領域520、及び、それを制御するための複数の周辺領域540__1~540__kを含むことができる。

【0089】

複数のメモリ領域520は、2の指数ビットの集積度で形成された揮発性メモリセルと前記揮発性メモリセルのデータ入出力のための入出力端子I/O__1~I/O__kを各々具備することができる。この時、複数のメモリ領域520は1つのチップに形成する。このように、複数のメモリ領域520の各々が2の指数ビットの集積度(即ち、標準集積度)で形成された揮発性メモリセルを具備するから、複数のメモリ領域520を含む半導体メモリ装置500は、 $2^m + 2^n + 2^o \dots$ (ただし、 m 、 n 、 o は、0以上の整数として互いに相異なる)の集積度、即ち、インテリム集積度を有することができる。実施形態により、複数のメモリ領域520の各々は、メモリセルアレイ部、センスアンプ部、入出力ゲーティング部などを含むことができる。説明の便宜のために、複数のメモリ領域520が第1メモリ領域と第2メモリ領域で構成されると仮定する。この場合、第1メモリ領域は、 2^m (ただし、 m は0以上の整数)ビットの集積度で形成された第1揮発性メモリセル、及び、前記第1揮発性メモリセルのデータ入出力のための第1入出力端子I/O__1を具備することができる。第2メモリ領域は 2^n (ただし、 n は m と相異なる0以上の整数)ビットの集積度で形成された第2揮発性メモリセル、及び、前記第2揮発性メモリセルのデータ入出力のための第2入出力端子I/O__2を具備することができる。ただし、これは1つの例示として複数のメモリ領域520は、3以上のメモリ領域で構成することができる。一実施形態において、第1入出力端子I/O__1の個数と第2入出力端子I/O__2の個数は、各々2の指数形態に決定されることができる。例えば、第1入出力端子I/O__1と第2入出力端子I/O__2の個数は、各々1つ、2つ、4つ、8つ、16個、32個、64個であることができる。このような場合、第1入出力端子I/O__1と第2入出力端子I/O__2は、各々1ビット、2ビット、4ビット、8ビット、16ビット、32ビット、または、64ビットのデータを入出力させることができる。ただし、これは1つの例示として、第1入出力端子I/O__1と第2入出力端子I/O__2の個数がそれに限定されるのではない。

20

30

40

【0090】

一般的に、第1メモリ領域の第1入出力端子I/O__1の個数と第2メモリ領域の第2入出力端子I/O__2の個数は、システムに要求される条件によって決定するか、または、第1メモリ領域と第2メモリ領域の集積度によって決定することもできる。一実施形態において、第1入出力端子I/O__1の個数と第2入出力端子I/O__2の個数は、互いに同一であることもできる。このような場合、第1メモリ領域と第2メモリ領域の集積度は互いに同一であることもできる。他の実施形態において、第1入出力端子I/O__1の個数と第2入出力端子I/O__2の個数は、互いに相異なることができる。このような場合、第1メモリ領域と第2メモリ領域の集積度は互いに相異なることができる。一方、第1メモリ領域と第2メモリ領域が半導体メモリモジュールの同一ランクに属する場合に、

50

第1メモリ領域と第2メモリ領域のデータを同時に入出力させるために、第1入出力端子I/O_1と第2入出力端子I/O_2が同時に半導体メモリ装置500のチップ入出力端子I/Oとして動作できる。この時、チップ入出力端子I/Oの個数は、第1入出力端子I/O_1の個数と第2入出力端子I/O_2の個数の和に相応することができる。反面、第1メモリ領域と第2メモリ領域が、半導体メモリモジュールの他のランクに属する場合、第1メモリ領域と第2メモリ領域のデータを選択的に入出力させるために、第1入出力端子I/O_1と第2入出力端子I/O_2は、少なくとも1つ以上のチップ選択信号に応答して選択的に半導体メモリ装置500のチップ入出力端子I/Oとして動作できる。この時、チップ入出力端子I/Oの個数は、第1入出力端子I/O_1の個数または第2入出力端子I/O_2の個数に相応することができる。

10

【0091】

複数の周辺領域540_1~540_kは、各々外部から入力されるコマンドCMD、及び、アドレスADDRに基づいて複数のメモリ領域520にデータを書き込み(write)するか、または、複数のメモリ領域520からデータを読み出し(read)する動作を制御することができる。例えば、第1周辺領域540_1は、複数のメモリ領域520の第1メモリ領域を制御して、第2周辺領域540_2は、複数のメモリ領域520の第2メモリ領域を制御して、第k周辺領域540_kは、複数のメモリ領域520の第kメモリ領域を制御することができる。このために、複数の周辺領域540_1~540_kは、外部から入力されるコマンドCMD、及びアドレスADDRに基づいて各々第1制御信号CTL_1~第k制御信号CTL_kを生成し、前記第1制御信号CTL_1~第k制御信号CTL_kを各々複数のメモリ領域520に同時に、または、選択的に提供することができる。従って、複数のメモリ領域520は、第1制御信号CTL_1~第k制御信号CTL_kに基づいて外部から入力されるデータを内部の揮発性メモリセルに書き込みさせるか、または、内部の揮発性メモリセルに保存されているデータを読み出しさせることができる。実施形態により、複数の周辺領域540_1~540_kの各々は、コントロールロジック部、アドレスレジスタ部、バンクコントロールロジック部、ローデコーダ部、コラムデコーダ部、コラムアドレスラッチ部、データ入出力バッファ部などを含むことができる。上述した通り、複数のメモリ領域520は、各々2の指数ビットの集積度(即ち、標準集積度)を有するので、複数のメモリ領域520を含む半導体メモリ装置100は、 $2^m + 2^n + 2^o \dots$ (ただし、m、n、oは、0以上の整数として互いに相異なる)の集積度、即ち、インテリム集積度を有することができる。また、複数のメモリ領域520を含む半導体メモリ装置500は複数のメモリ領域520それぞれの入出力端子I/O_1~I/O_kをチップ入出力端子I/Oとして使うことができる。その結果、複数のメモリ領域520が1つのチップに形成された半導体メモリ装置500は、従来の半導体メモリ装置に比べて小型で製造することができ、電力消費をおさえることができる。一方、図1では半導体メモリ装置500が揮発性メモリ装置の動的ランダムアクセスメモリDRAM装置であると説明しているが、半導体メモリ装置500は、非揮発性メモリ装置にも適用することができる。例えば、半導体メモリ装置500はEEPROM、フラッシュメモリ、PRAM、RRAM、NFGM、PoRAM、MRAM、FRAMなどに適用することができる。

20

30

40

【0092】

図12は本発明の実施形態に係る半導体メモリパッケージを示す図面である。

【0093】

図12を参照すれば、半導体メモリパッケージ600は、複数の半導体メモリ装置を含むことができる。半導体メモリパッケージ600には複数の半導体メモリ装置を1つのパッケージで構成するマルチ・チップ・パッケージ技術が適用される。実施形態により、半導体メモリパッケージ600は、複数の半導体メモリ装置がモノリシックパッケージ(monolithic package)形態に結合されるか、または、複数の半導体メモリ装置がDDP(dual die package)形態に結合されたり、または、複数の半導体メモリ装置がTSV(through-silicon via)が適用され

50

たデュアル・ダイ・スタック (d u a l d i e s t a c k) 形態で結合できる。図 1 2 では、半導体メモリパッケージ 6 0 0 に含まれる複数の半導体メモリ装置各々が 2 の指数ビットの集積度で形成された揮発性メモリセル、及び前記揮発性メモリセルのデータ入出力のための入出力端子を各々具備する複数のメモリ領域、並び、外部から入力されるコマンド C M D 及びアドレス A D D R に基づいて複数のメモリ領域にデータを書き込みするか、または、複数のメモリ領域からデータを読み出しする動作を制御する少なくとも 1 つ以上の周辺領域を含むことができる。この時、複数のメモリ領域は、1 つのチップに形成される。

【 0 0 9 4 】

図 1 2 は半導体メモリパッケージ 6 0 0 が 5 1 2 メガビット (M b) の容量を有する場合の例を見せている。即ち、半導体メモリパッケージ 6 0 0 は、電源電圧ピン V D D 、接地電圧ピン V S S 、アドレスピン A 1 ~ A 1 2 とアドレスピン B A 0 ~ B A 1 、コマンドピン C S B 、 W E B 、 C A S B 、 R A S B 、及びチップ入出力ピン D Q 0 ~ D Q 3 などを含むことができる。ただし、これは 1 つの例示として、半導体メモリパッケージ 6 0 0 のピン (p i n) 構成は要求される条件に従って、多様に設計変更されることができる。このように、半導体メモリパッケージ 6 0 0 に含まれた複数の半導体メモリ装置は、コマンドピン C S B 、 W E B 、 C A S B 、 R A S B を通じて外部からコマンド C M D を受信し、アドレスピン A 0 ~ A 1 2 とアドレスピン B A 0 ~ B A 1 を通じてアドレス A D D R を受信する。以後、チップ入出力ピン D Q 0 ~ D Q 3 を通じて入出力される入出力データに基づいて内部の半導体メモリ装置でとって書き込み動作、及び読み出し動作を遂行するよう

【 0 0 9 5 】

上述した通り、半導体メモリパッケージ 6 0 0 に含まれる複数の半導体メモリ装置各々は複数のメモリ領域を含み、このようなメモリ領域の各々は 2 の指数ビットの集積度 (即ち、標準集積度) で形成された揮発性メモリセルを具備するから、半導体メモリパッケージ 6 0 0 に含まれる複数の半導体メモリ装置は、各々 $2^m + 2^n + 2^o \dots$ (ただし、m、n、o は、0 以上の整数として互いに相異なる) の集積度、即ち、インテリム集積度を有

【 0 0 9 6 】

一実施形態において、半導体メモリパッケージ 6 0 0 内部の複数の半導体メモリ装置の各々は、 2^m (ただし、m は 0 以上の整数) ビットの集積度で形成された第 1 揮発性メモリセル、及び、前記第 1 揮発性メモリセルのデータ入出力のための第 1 入出力端子を具備する第 1 メモリ領域、及び 2^n (ただし、n は m と相異なる 0 以上の整数) ビットの集積度で形成された第 2 揮発性メモリセル、及び前記第 2 揮発性メモリセルのデータ入出力のための第 2 入出力端子を具備する第 2 メモリ領域を含むことができる。この時、第 1 メモリ領域と第 2 メモリ領域が半導体メモリモジュールの同一ランクに属する場合、第 1 入出力端子及び第 2 入出力端子は、同時にチップ入出力端子として動作でき、チップ入出力端子の個数は第 1 入出力端子の個数と第 2 入出力端子の個数の和に相応することができる。反面、第 1 メモリ領域と第 2 メモリ領域は、半導体メモリモジュールの他のランクに属する場合、第 1 入出力端子及び第 2 入出力端子は、少なくとも 1 つ以上のチップ選択信

号に応答して選択的にチップ入出力端子として動作でき、チップ入出力端子の個数は、第1入出力端子の個数または第2入出力端子の個数に相応することができる。ただし、これに対しては上述したことがあるので、重複する説明は省略することにする。一方、複数の半導体メモリ装置それぞれのチップ入出力端子は、要求される条件によって他の半導体メモリ装置のチップ入出力端子と半導体メモリパッケージ600のチップ入出力ピンDQ_Gに共通に接続されることもでき、選択的に接続されることもできる。

【0097】

図13は図12の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合する一例を示す図面である。

【0098】

図13を参照すれば、半導体メモリパッケージ700は、第1半導体メモリ装置720及び第2半導体メモリ装置740がモノリシックパッケージ形態に結合し製造されることができる。第1半導体メモリ装置720は4Gb容量の第1メモリ領域725、及び2Gb容量の第2メモリ領域730を含み、第2半導体メモリ装置740も4Gb容量の第1メモリ領域745、及び、2Gb容量の第2メモリ領域750を含むことができる。即ち、第1半導体メモリ装置720及び第2半導体メモリ装置740は、各々6Gb容量即ち、インテリム集積度を有することができる。この時、第1半導体メモリ装置720は、第1メモリ領域725を活性化/非活性化させるためのチップ選択信号が入力される第1チップ選択端子CS0、及び、第2メモリ領域730を活性化/非活性化させるためのチップ選択信号が入力される第2チップ選択端子CS1を含むことができる。同様に、第2半導体メモリ装置740は、第1メモリ領域745を活性化/非活性化させるためのチップ選択信号が入力される第1チップ選択端子CS0、及び、第2メモリ領域750を活性化/非活性化させるためのチップ選択信号が入力される第2チップ選択端子CS1を含むことができる。このように、第1半導体メモリ装置720で4Gb容量の第1メモリ領域725と2Gb容量の第2メモリ領域730が、半導体メモリモジュールの他のランクに属し、第2半導体メモリ装置740で4Gb容量の第1メモリ領域745と2Gb容量の第2メモリ領域750も半導体メモリモジュールの他のランクに属することができる。

【0099】

半導体メモリパッケージ700に第1チップ選択信号CSS0、第2チップ選択信号CSS1及び第3チップ選択信号CSS2が、入力されると、第1半導体メモリ装置720には、第1チップ選択信号CSS0及び第2チップ選択信号CSS1が入力され、第2半導体メモリ装置740には、第2チップ選択信号CSS1及び第3チップ選択信号CSS2が入力されることができる。この時、第2チップ選択信号CSS1は第1半導体メモリ装置720と第2半導体メモリ装置740に共通に入力されることができる。具体的に、第1半導体メモリ装置720の第1メモリ領域725は、第1チップ選択信号CSS0の入力を受け、第2半導体メモリ装置740の第1メモリ領域745は第3チップ選択信号CSS2の入力を受け、第1半導体メモリ装置720の第2メモリ領域730と第2半導体メモリ装置740の第2メモリ領域750は、第2チップ選択信号CSS1の入力を受けることができる。その結果、半導体メモリパッケージ700は、実質的に半導体メモリモジュールの3つのランクで動作できる。例えば、第1半導体メモリ装置720の4Gb容量の第1メモリ領域725は半導体メモリモジュールの第1ランクRANK1に相応し、第2半導体メモリ装置740の4Gb容量の第1メモリ領域745は半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置720の2Gb容量の第2メモリ領域730と第2半導体メモリ装置740の2Gb容量の第2メモリ領域750は半導体メモリモジュールの第3ランクRANK3に相応することができる。

【0100】

図13に図示したように、半導体メモリパッケージ700で第1半導体メモリ装置720と第2半導体メモリ装置740は、モノリシックパッケージ形態で結合するものの、コマンドピンCMD、アドレスピンADDR、及びチップ入出力ピンDQ_Gを共有することができる。一方、第2チップ選択信号CSS1が第1半導体メモリ装置720の第2メ

10

20

30

40

50

メモリ領域 730 と第 2 半導体メモリ装置 740 の第 2 メモリ領域 750 に共通に入力されるから、第 1 半導体メモリ装置 720 の第 2 メモリ領域 730 は、バンクアドレス (bank address)、ローアドレス (row address)、または、コラムアドレス (column address) によって第 2 半導体メモリ装置 740 の第 2 メモリ領域 750 と区別されるのに、このために、パッケージ/ボンディングオプション (package/bonding option)、フューズオプション (fuse option)、チップカウンタ (chip counter) などのような手段が適用されることもできる。このように、半導体メモリパッケージ 700 が実質的に半導体メモリモジュールの 3 つのランクで動作するから、2 つのランクで動作する半導体メモリモジュールと 1 つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べて、チャンネル (channel) 当たりの半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ 700 を含むシステムの全般的な性能は、大きく向上することができる。上述では、第 1 半導体メモリ装置 720 と第 2 半導体メモリ装置 740 が、モノリシックパッケージ形態で結合することを図示しているが、モノリシックパッケージ形態で結合する半導体メモリ装置の個数はそれに限定されない。

10

【0101】

図 14 は図 12 の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合する他の例を示す図面である。

20

【0102】

図 14 を参照すれば、半導体メモリパッケージ 800 は、第 1 半導体メモリ装置 820 及び第 2 半導体メモリ装置 840 が、モノリシックパッケージ形態に結合し製造されることができる。第 1 半導体メモリ装置 820 は、2 Gb 容量の第 1 メモリ領域 825、2 Gb 容量の第 2 メモリ領域 830 及び 2 Gb 容量の第 3 メモリ領域 835 を含み、第 2 半導体メモリ装置 840 も 2 Gb 容量の第 1 メモリ領域 845、2 Gb 容量の第 2 メモリ領域 850 及び 2 Gb 容量の第 3 メモリ領域 855 を含むことができる。即ち、第 1 半導体メモリ装置 820 及び第 2 半導体メモリ装置 840 は、各々 6 Gb 容量、即ち、インテリム集積度を有することができる。この時、第 1 半導体メモリ装置 820 は、第 1 メモリ領域 825 を活性化/非活性化させるためのチップ選択信号が入力される第 1 チップ選択端子 CS0、第 2 メモリ領域 830 を活性化/非活性化させるためのチップ選択信号が入力される第 2 チップ選択端子 CS1、及び第 3 メモリ領域 835 を活性化/非活性化させるためのチップ選択信号が入力される第 3 チップ選択端子 CS2 を含むことができる。同様に、第 2 半導体メモリ装置 840 は第 1 メモリ領域 845 を活性化/非活性化させるためのチップ選択信号が入力される第 1 チップ選択端子 CS0、第 2 メモリ領域 850 を活性化/非活性化させるためのチップ選択信号が入力される第 2 チップ選択端子 CS1、及び第 3 メモリ領域 855 を活性化/非活性化させるためのチップ選択信号が入力される第 3 チップ選択端子 CS2 を含むことができる。このように、第 1 半導体メモリ装置 820 で 2 Gb 容量の第 1 メモリ領域 825、2 Gb 容量の第 2 メモリ領域 830、及び 2 Gb 容量の第 3 メモリ領域 835 が半導体メモリモジュールの他のランクに属し、第 2 半導体メモリ装置 840 で 2 Gb 容量の第 1 メモリ領域 845、2 Gb 容量の第 2 メモリ領域 850、及び 2 Gb 容量の第 3 メモリ領域 855 も半導体メモリモジュールの他のランクに属することができる。

30

40

【0103】

半導体メモリパッケージ 800 に第 1 チップ選択信号 CSS0、第 2 チップ選択信号 CSS1、及び第 3 チップ選択信号 CSS2 が入力されれば、第 1 半導体メモリ装置 820 に第 1 チップ選択信号 CSS0、第 2 チップ選択信号 CSS1、及び第 3 チップ選択信号 CSS2 が入力され、第 2 半導体メモリ装置 840 にも第 1 チップ選択信号 CSS0、第 2 チップ選択信号 CSS1、及び第 3 チップ選択信号 CSS2 が入力されることができる。このように、第 1 チップ選択信号 CSS0、第 2 チップ選択信号 CSS1、及び第 3 チップ選択信号 CSS2 は、第 1 半導体メモリ装置 820 と第 2 半導体メモリ装置 840 に

50

共通に入力されることができる。具体的に、第1半導体メモリ装置820の第1メモリ領域825と第2半導体メモリ装置840の第1メモリ領域845は、第1チップ選択信号CSS0の入力を受け、第1半導体メモリ装置820の第2メモリ領域830と第2半導体メモリ装置840の第2メモリ領域850は、第2チップ選択信号CSS1の入力を受け、第1半導体メモリ装置820の第3メモリ領域835と第2半導体メモリ装置840の第3メモリ領域855は、第3チップ選択信号CSS2の入力を受けることができる。その結果、半導体メモリパッケージ800は、実質的に半導体メモリモジュールの3つのランクで動作できる。例えば、第1半導体メモリ装置820の2Gb容量の第1メモリ領域825と第2半導体メモリ装置840の2Gb容量の第1メモリ領域845は、半導体メモリモジュールの第1ランクRANK1に相応し、第1半導体メモリ装置820の2Gb容量の第2メモリ領域830と第2半導体メモリ装置840の2Gb容量の第2メモリ領域850は、半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置820の2Gb容量の第3メモリ領域835と第2半導体メモリ装置840の2Gb容量の第3メモリ領域855は、半導体メモリモジュールの第3ランクRANK3に相応することができる。

10

20

30

【0104】

図14に図示したように、半導体メモリパッケージ800で第1半導体メモリ装置820と第2半導体メモリ装置840は、モノリシックパッケージ形態で結合するものの、コマンドピンCMD、アドレスピンADDR、及びチップ入出力ピンDQ_Gを共有することができる。一方、第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が第1半導体メモリ装置820の第1メモリ領域825、第2メモリ領域830及び第3メモリ領域835と、第2半導体メモリ装置840の第1メモリ領域845、第2メモリ領域850及び第3メモリ領域855に共通に入力されるから、第1半導体メモリ装置820の第1メモリ領域825、第2メモリ領域830及び第3メモリ領域835は、バンクアドレス、ローアドレス、または、コラムアドレスで第2半導体メモリ装置840の第1メモリ領域845、第2メモリ領域850及び第3メモリ領域855と区別されることができる。このために、半導体メモリパッケージ800には、パッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもできる。このように、半導体メモリパッケージ800が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ800を含むシステムの全般的な性能は、大きく向上することができる。上述では、第1半導体メモリ装置820と第2半導体メモリ装置840が、モノリシックパッケージ形態で結合することが図示されているが、モノリシックパッケージ形態で結合する半導体メモリ装置の個数はそれに限定されない。

【0105】

図15は図12の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合するまた他の例を示す図面である。

40

【0106】

図15を参照すれば、半導体メモリパッケージ900は、第1半導体メモリ装置920、及び第2半導体メモリ装置940が、モノリシックパッケージ形態に結合し製造されることができる。第1半導体メモリ装置920は、2Gb容量の第1メモリ領域925、2Gb容量の第2メモリ領域930、及び2Gb容量の第3メモリ領域935を含み、第2半導体メモリ装置940も2Gb容量の第1メモリ領域945、2Gb容量の第2メモリ領域950、及び2Gb容量の第3メモリ領域955を含むことができる。即ち、第1半導体メモリ装置920及び第2半導体メモリ装置940は、各々6Gb容量、即ち、インテリム集積度を有することができる。この時、第1半導体メモリ装置920は、第1チップ選択端子CS0と第2チップ選択端子CS1を含むことができ、第1チップ選択端子

50

C S 0 に入力される第 1 チップ選択信号 C S S 0 と第 2 チップ選択端子 C S 1 に入力される第 2 チップ選択信号 C S S 1 の論理組合 (l o g i c c o m b i n a t i o n) に基づいて第 1 半導体メモリ装置 9 2 0 の第 1 メモリ領域 9 2 5、第 2 メモリ領域 9 3 0 及び第 3 メモリ領域 9 3 5 を選択的に活性化させることができる。同様に、第 2 半導体メモリ装置 9 4 0 は、第 1 チップ選択端子 C S 0 と第 2 チップ選択端子 C S 1 を含むことができ、第 1 チップ選択端子 C S 0 に入力される第 1 チップ選択信号 C S S 0 と第 2 チップ選択端子 C S 1 に入力される第 2 チップ選択信号 C S S 1 の論理組合に基づいて第 2 半導体メモリ装置 9 4 0 の第 1 メモリ領域 9 4 5、第 2 メモリ領域 9 5 0 及び第 3 メモリ領域 9 5 5 を選択的に活性化させることができる。このように、第 1 半導体メモリ装置 9 2 0 で 2 G b 容量の第 1 メモリ領域 9 2 5、2 G b 容量の第 2 メモリ領域 9 3 0、及び 2 G b 容量の第 3 メモリ領域 9 3 5 が半導体メモリモジュールの他のランクに属して、第 2 半導体メモリ装置 9 4 0 で 2 G b 容量の第 1 メモリ領域 9 4 5、2 G b 容量の第 2 メモリ領域 9 5 0、及び 2 G b 容量の第 3 メモリ領域 9 5 5 も半導体メモリモジュールの他のランクに属することができる。

10

20

30

40

50

【 0 1 0 7 】

半導体メモリパッケージ 9 0 0 に第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 が入力されれば、第 1 半導体メモリ装置 9 2 0 に第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 が入力され、第 2 半導体メモリ装置 9 4 0 にも第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 が入力されることことができる。このように、第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 は第 1 半導体メモリ装置 9 2 0 と第 2 半導体メモリ装置 9 4 0 に共通に入力されることことができる。この時、第 1 半導体メモリ装置 9 2 0 の第 1 チップ選択領域 9 3 6 で第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 の論理組合が検出されれば、前記検出結果により第 1 メモリ領域 9 2 5、第 2 メモリ領域 9 3 0 及び第 3 メモリ領域 9 3 5 のうち、いずれか 1 つが選択されることができ。同様に、第 2 半導体メモリ装置 9 4 0 の第 2 チップ選択領域 9 5 6 で第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 の論理組合が検出されれば、前記検出結果により第 1 メモリ領域 9 4 5、第 2 メモリ領域 9 5 0 及び第 3 メモリ領域 9 5 5 のうち、いずれか 1 つが選択されることができ。具体的に、第 1 半導体メモリ装置 9 2 0 及び第 2 半導体メモリ装置 9 4 0 で、第 1 チップ選択信号 C S S 0 と第 2 チップ選択信号 C S S 1 が全部第 1 論理レベル (例えば、イネーブル (e n a b l e) レベル) を有する場合、第 1 メモリ領域 9 2 5、9 4 5 が選択されて、第 1 チップ選択信号 C S S 0 が第 1 論理レベルを有し、第 2 チップ選択信号 C S S 1 が第 2 論理レベルを有する場合、第 2 メモリ領域 9 3 0、9 5 0 が選択され、第 1 チップ選択信号 C S S 0 が第 2 論理レベルを有して第 2 チップ選択信号 C S S 1 が第 1 論理レベルを有する場合、第 3 メモリ領域 9 3 5、9 5 5 が選択されることができ。さらに、第 1 チップ選択信号 C S S 0 と第 2 チップ選択信号 C S S 1 が全部第 2 論理レベルを有する場合、いずれのメモリ領域も選択されないことがある。このように、半導体メモリパッケージ 9 0 0 は実質的に半導体メモリモジュールの 3 つのランクで動作できる。例えば、第 1 半導体メモリ装置 9 2 0 の 2 G b 容量の第 1 メモリ領域 9 2 5 と第 2 半導体メモリ装置 9 4 0 の 2 G b 容量の第 1 メモリ領域 9 4 5 は半導体メモリモジュールの第 1 ランク R A N K 1 に相応し、第 1 半導体メモリ装置 9 2 0 の 2 G b 容量の第 2 メモリ領域 9 3 0 と第 2 半導体メモリ装置 9 4 0 の 2 G b 容量の第 2 メモリ領域 9 5 0 は半導体メモリモジュールの第 2 ランク R A N K 2 に相応し、第 1 半導体メモリ装置 9 2 0 の 2 G b 容量の第 3 メモリ領域 9 3 5 と第 2 半導体メモリ装置 9 4 0 の 2 G b 容量の第 3 メモリ領域 9 5 5 は半導体メモリモジュールの第 3 ランク R A N K 3 に相応することができる。

【 0 1 0 8 】

図 1 5 に図示したように、半導体メモリパッケージ 9 0 0 で第 1 半導体メモリ装置 9 2 0 と第 2 半導体メモリ装置 9 4 0 は、モノリシックパッケージ形態で結合するものの、コマンドピン C M D、アドレスピン A D D R、及びチップ入出力ピン D Q _ G を共有することができる。一方、第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 が、第

1半導体メモリ装置920と第2半導体メモリ装置940に共通に入力されるから、第1半導体メモリ装置920の第1メモリ領域925、第2メモリ領域930及び第3メモリ領域935はバンクアドレス、ローアドレス、または、コラムアドレスで第2半導体メモリ装置940の第1メモリ領域945、第2メモリ領域950及び第3メモリ領域955と区別されることができる。このために、半導体メモリパッケージ900にはパッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもできる。このように、半導体メモリパッケージ900が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ900を含むシステムの全般的な性能は大きく向上することができる。上述では、第1半導体メモリ装置920と第2半導体メモリ装置940が、モノリシックパッケージ形態で結合することが図示されているが、モノリシックパッケージ形態で結合する半導体メモリ装置の個数はそれに限定されない。

10

【0109】

図16は図12の半導体メモリパッケージで複数の半導体メモリ装置がモノリシックパッケージ形態で結合するまた他の例を示す図面である。

【0110】

図16を参照すれば、半導体メモリパッケージ1000は、第1半導体メモリ装置1020、及び第2半導体メモリ装置1040がモノリシックパッケージ形態に結合し製造されることができる。第1半導体メモリ装置1020は2Gb容量の第1メモリ領域1025、2Gb容量の第2メモリ領域1030、及び2Gb容量の第3メモリ領域1035を含み、第2半導体メモリ装置1040も2Gb容量の第1メモリ領域1045、2Gb容量の第2メモリ領域1050、及び2Gb容量の第3メモリ領域1055を含むことができる。即ち、第1メモリ装置1020及び第2半導体メモリ装置1040は、各々6Gb容量、即ち、インテリム集積度を有することができる。この時、第1半導体メモリ装置1020は、第1メモリ領域1025を活性化/非活性化させるためのチップ選択信号が入力される第1チップ選択端子CS0、第2メモリ領域1030を活性化/非活性化させるためのチップ選択信号が入力される第2チップ選択端子CS1、及び、第3メモリ領域1035を活性化/非活性化させるためのチップ選択信号が入力される第3チップ選択端子CS2を含むことができる。同様に、第2半導体メモリ装置1040は第1メモリ領域1045を活性化/非活性化させるためのチップ選択信号が入力される第1チップ選択端子CS0、第2メモリ領域1050を活性化/非活性化させるためのチップ選択信号が入力される第2チップ選択端子CS1、及び第3メモリ領域1055を活性化/非活性化させるためのチップ選択信号が入力される第3チップ選択端子CS2を含むことができる。このように、第1半導体メモリ装置1020で2Gb容量の第1メモリ領域1025、2Gb容量の第2メモリ領域1030、及び2Gb容量の第3メモリ領域1035が半導体メモリモジュールの他のランクに属し、第2半導体メモリ装置1040で2Gb容量の第1メモリ領域1045、2Gb容量の第2メモリ領域1050、及び2Gb容量の第3メモリ領域1055も半導体メモリモジュールの他のランクに属することができる。

20

30

40

【0111】

半導体メモリパッケージ1000に第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力されれば、第1半導体メモリ装置1020に第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力され、第2半導体メモリ装置1040にも第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力されることができる。このように、第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2は、第1半導体メモリ装置1020と第2半導体メモリ装置1040に共通に入力されることができる。具体的に、第1半導体メモリ装置1020の第1メモリ領域1025と第2半導体メモリ装置1040の第1メモリ領域1045は、

50

第1チップ選択信号CSS0の入力を受け、第1半導体メモリ装置1020の第2メモリ領域1030と第2半導体メモリ装置1040の第2メモリ領域1050は、第2チップ選択信号CSS1の入力を受け、第1半導体メモリ装置1020の第3メモリ領域1035と第2半導体メモリ装置1040の第3メモリ領域1055は第3チップ選択信号CSS2を入力受けることができる。その結果、半導体メモリパッケージ1000は実質的に半導体メモリモジュールの3つのランクで動作できる。例えば、第1半導体メモリ装置1020の2Gb容量の第1メモリ領域1025と第2半導体メモリ装置1040の2Gb容量の第1メモリ領域1045は半導体メモリモジュールの第1ランクRANK1に相応し、第1半導体メモリ装置1020の2Gb容量の第2メモリ領域1030と第2半導体メモリ装置1040の2Gb容量の第2メモリ領域1050は半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置1020の2Gb容量の第3メモリ領域1035と第2半導体メモリ装置1040の2Gb容量の第3メモリ領域1055は半導体メモリモジュールの第3ランクRANK3に相応することができる。

10

20

30

40

50

【0112】

図16に図示したように、半導体メモリパッケージ1000で第1半導体メモリ装置1020と第2半導体メモリ装置1040は、モノリシックパッケージ形態で結合するものの、コマンドピンCMD、及びアドレスピンADDRを共有することができる。しかし、第1半導体メモリ装置1020と第2半導体メモリ装置1040は、チップ入出力ピンは共有しない。即ち、第1半導体メモリ装置1020は、第1チップ入出力ピンDQ_G1を有し、第2半導体メモリ装置1040は第2チップ入出力ピンDQ_G2を有する。このように、第1半導体メモリ装置1020と第2半導体メモリ装置1040がチップ入出力ピンを共有しないので、第1半導体メモリ装置1020の第1メモリ領域1025、第2メモリ領域1030及び第3メモリ領域1035と、第2半導体メモリ装置1040の第1メモリ領域1045、第2メモリ領域1050及び第3メモリ領域1055は、バンクアドレス、ローアドレス、または、コラムアドレスに区別する必要がない。その結果、半導体メモリパッケージ1000には、パッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されないことがある。さらに、第1半導体メモリ装置1020と第2半導体メモリ装置1040がチップ入出力ピンを共有しないので、これらの間のシームレス(seamless)動作が除去されてチャンネル効率性(channel efficiency)が低下しないことができる。上述したように、半導体メモリパッケージ1000が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当たり半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ1000を含むシステムの全般的な性能は大きく向上することができる。上述では、第1半導体メモリ装置1020と第2半導体メモリ装置1040が、モノリシックパッケージ形態で結合することが図示されているが、モノリシックパッケージ形態で結合する半導体メモリ装置の個数はそれに限定されない。

【0113】

図17は図12の半導体メモリパッケージで複数の半導体メモリ装置がDDP形態で結合する一例を示す図面である。

【0114】

図17を参照すれば、半導体メモリパッケージ1100は、第1半導体メモリ装置1120、及び第2半導体メモリ装置1140がDDP(dual die package)形態に結合し製造できる。この時、第1半導体メモリ装置1120は、上部ダイに相応できて、第2半導体メモリ装置1140は下部ダイに相応することができる。実施形態によって、半導体メモリパッケージ1100は3つ以上の半導体メモリ装置(即ち、ダイ)を含むことができる。例えば、半導体メモリパッケージ1100が4つの半導体メモリ装置を含む場合にはクアドダイパッケージと命名することができる。半導体メモリパッケージ1100で上部ダイと下部ダイの区別は多様な方式で成り立つことができる。

【0115】

図17に図示したように、第1半導体メモリ装置1120は4Gb容量の第1メモリ領域1125、及び2Gb容量の第2メモリ領域1130を含み、第2半導体メモリ装置1140も4Gb容量の第1メモリ領域1145及び2Gb容量の第2メモリ領域1150を含むことができる。即ち、第1半導体メモリ装置1120及び第2半導体メモリ装置1140は、各々6Gb容量、即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ1100は第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力されれば、これらを第1半導体メモリ装置1120及び第2半導体メモリ装置1140に提供するためのチップ選択信号制御部1160を含むことができる。即ち、半導体メモリパッケージ1100はチップ選択信号制御部1160を通じて第1半導体メモリ装置1120及び第2半導体メモリ装置1140の第1メモリ領域1125、1145と、第2メモリ領域1130、1150を選択的に活性化させることができる。従って、第1半導体メモリ装置1120で4Gb容量の第1メモリ領域1125と2Gb容量の第2メモリ領域1130が半導体メモリモジュールの他のランクに属し、第2半導体メモリ装置1140で4Gb容量の第1メモリ領域1145と2Gb容量の第2メモリ領域1150も半導体メモリモジュールの他のランクに属することができる。例えば、第1半導体メモリ装置1120の4Gb容量の第1メモリ領域1125は、半導体メモリモジュールの第1ランクRANK1に相応し、第2半導体メモリ装置1140の4Gb容量の第1メモリ領域1145は半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置1120の2Gb容量の第2メモリ領域1130と第2半導体メモリ装置1140の2Gb容量の第2メモリ領域1150は半導体メモリモジュールの第3ランクRANK3に相応することができる。即ち、半導体メモリパッケージ1100は実質的に半導体メモリモジュールの3つのランクで動作できる。

【0116】

半導体メモリパッケージ1100で、第1半導体メモリ装置1120と第2半導体メモリ装置1140は、DDP形態で結合するものの、コマンドピンCMD、アドレスピンADDR、及びチップ入出力ピンDQ_Gを共有することができる。一方、半導体メモリパッケージ1100のチップ選択信号制御部1160出力される第2チップ選択信号CSS1が第1半導体メモリ装置1120の第2メモリ領域1130と第2半導体メモリ装置1140の第2メモリ領域1150に共通に入力されるから、第1半導体メモリ装置1120の第2メモリ領域1130は、バンクアドレス、ローアドレスまたは、コラムアドレスで第2半導体メモリ装置1140の第2メモリ領域1150と区別することができる。このために、半導体メモリパッケージ1100にはパッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもできる。このように、半導体メモリパッケージ1100が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ1100を含むシステムの全般的な性能は大きく向上することができる。

【0117】

図18は図12の半導体メモリパッケージで複数の半導体メモリ装置がDDP形態で結合する他の例を示す図面である。

【0118】

図18を参照すれば、半導体メモリパッケージ1200は第1半導体メモリ装置1220、及び第2半導体メモリ装置1240がDDP形態に結合し製造されることができる。この時、第1半導体メモリ装置1220は、上部ダイに相応でき、第2半導体メモリ装置1240は下部ダイに相応することができる。この時、半導体メモリパッケージ1200で上部ダイと下部ダイの区別は多様な方式で成り立つことができる。実施形態により、半導体メモリパッケージ1200は3つ以上の半導体メモリ装置(即ち、ダイ)を含むことができる。

【0119】

図18に図示したように、第1半導体メモリ装置1220は、2Gb容量の第1メモリ領域1225、2Gb容量の第2メモリ領域1230、及び2Gb容量の第3メモリ領域1235を含み、第2半導体メモリ装置1240も2Gb容量の第1メモリ領域1245、2Gb容量の第2メモリ領域1250、及び2Gb容量の第3メモリ領域1255を含むことができる。即ち、第1半導体メモリ装置1220及び第2半導体メモリ装置1240は、各々6Gb容量即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ1200は、第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力されれば、これらを第1半導体メモリ装置1220及び第2半導体メモリ装置1240に提供するためのチップ選択信号制御部1260を含むことができる。即ち、半導体メモリパッケージ1200は、チップ選択信号制御部1260を通じて第1半導体メモリ装置1220及び第2半導体メモリ装置1240の第1メモリ領域1225、1245、第2メモリ領域1230、1250、及び第3メモリ領域1235、1255を選択的に活性化させることができる。従って、第1半導体メモリ装置1220で2Gb容量の第1メモリ領域1225、第2メモリ領域1230及び第3メモリ領域1235は、半導体メモリモジュールの他のランクに属し、第2半導体メモリ装置1240で2Gb容量の第1メモリ領域1245、第2メモリ領域1250及び第3メモリ領域1255も、半導体メモリモジュールの他のランクに属することができる。例えば、第1半導体メモリ装置1220の2Gb容量の第1メモリ領域1225と第2半導体メモリ装置1240の2Gb容量の第1メモリ領域1245は、半導体メモリモジュールの第1ランクRANK1に相応し、第1半導体メモリ装置1220の2Gb容量の第2メモリ領域1230と第2半導体メモリ装置1240の2Gb容量の第2メモリ領域1250は半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置1220の2Gb容量の第3メモリ領域1235と第2半導体メモリ装置1240の2Gb容量の第3メモリ領域1255は半導体メモリモジュールの第3ランクRANK3に相応することができる。即ち、半導体メモリパッケージ1200は実質的に半導体メモリモジュールの3つのランクで動作できる。

10

20

【0120】

半導体メモリパッケージ1200で、第1半導体メモリ装置1220と第2半導体メモリ装置1240はDDP形態で結合するものの、コマンドピンCMD、アドレスピンADDR、及びチップ入出力ピンDQ_Gを共有することができる。一方、半導体メモリパッケージ1200のチップ選択信号制御部1260出力される第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が第1半導体メモリ装置1220の第1メモリ領域1225、第2メモリ領域1230及び第3メモリ領域1235と、第2半導体メモリ装置1240の第1メモリ領域1245、第2メモリ領域1250及び第3メモリ領域1255に共通に入力されるから、第1半導体メモリ装置1220の第1メモリ領域1225、第2メモリ領域1230及び第3メモリ領域1235は、バンクアドレス、ローアドレス、または、コラムアドレスで第2半導体メモリ装置1240の第1メモリ領域1245、第2メモリ領域1250及び第3メモリ領域1255と区別されることができる。このために、半導体メモリパッケージ1200にはパッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもできる。このように、半導体メモリパッケージ1200が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ1200を含むシステムの全般的な性能は大きく向上することができる。

30

40

【0121】

図19は図12の半導体メモリパッケージで複数の半導体メモリ装置がDDP形態で結合するまた他の例を示す図面である。

50

【 0 1 2 2 】

図 1 9 を参照すれば、半導体メモリパッケージ 1 3 0 0 は第 1 半導体メモリ装置 1 3 2 0、及び第 2 半導体メモリ装置 1 3 4 0 が D D P 形態に結合し製造されることができる。この時、第 1 半導体メモリ装置 1 3 2 0 は上部ダイに相応でき、第 2 半導体メモリ装置 1 3 4 0 は下部ダイに相応することができる。この時、半導体メモリパッケージ 1 3 0 0 で上部ダイと下部ダイの区別は多様な方式で成り立つことができる。実施形態により、半導体メモリパッケージ 1 3 0 0 は 3 つ以上の半導体メモリ装置（即ち、ダイ）を含むことができる。

【 0 1 2 3 】

図 1 9 に図示したように、第 1 半導体メモリ装置 1 3 2 0 は 2 G b 容量の第 1 メモリ領域 1 3 2 5、2 G b 容量の第 2 メモリ領域 1 3 3 0、及び 2 G b 容量の第 3 メモリ領域 1 3 3 5 を含み、第 2 半導体メモリ装置 1 3 4 0 も 2 G b 容量の第 1 メモリ領域 1 3 4 5、2 G b 容量の第 2 メモリ領域 1 3 5 0、及び 2 G b 容量の第 3 メモリ領域 1 3 5 5 を含むことができる。即ち、第 1 半導体メモリ装置 1 3 2 0 及び第 2 半導体メモリ装置 1 3 4 0 は、各々 6 G b 容量即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ 1 3 0 0 は、第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 が入力されれば、これらを第 1 半導体メモリ装置 1 3 2 0 及び第 2 半導体メモリ装置 1 3 4 0 に提供するためのチップ選択信号制御部 1 3 6 0 を含むことができる。この時、半導体メモリパッケージ 1 3 0 0 はチップ選択信号制御部 1 3 6 0 を通じて第 1 半導体メモリ装置 1 3 2 0 及び第 2 半導体メモリ装置 1 3 4 0 に第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 を提供でき、第 1 半導体メモリ装置 1 3 2 0 の第 1 メモリ装置 1 3 2 5、第 1 メモリ装置 1 3 3 0、及び第 3 メモリ領域 1 3 3 5、並びに、第 2 半導体メモリ装置 1 3 4 0 の第 1 メモリ領域 1 3 4 5、第 2 メモリ領域 1 3 5 0、及び第 3 メモリ領域 1 3 5 5 は、前記第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 の論理組合に基づいて選択的に活性化することができる。従って、第 1 半導体メモリ装置 1 3 2 0 で 2 G b 容量の第 1 メモリ装置 1 3 2 5、第 2 メモリ装置 1 3 3 0、及び第 3 メモリ領域 1 3 3 5 は、半導体メモリモジュールの他のランクに属し、第 2 半導体メモリ装置 1 3 4 0 で 2 G b 容量の第 1 メモリ装置 1 3 4 5、第 1 メモリ装置 1 3 5 0、及び第 3 メモリ領域 1 3 5 5 も半導体メモリモジュールの他のランクに属することができる。例えば、第 1 半導体メモリ装置 1 3 2 0 の 2 G b 容量の第 1 メモリ領域 1 3 2 5 と第 2 半導体メモリ装置 1 3 4 0 の 2 G b 容量の第 1 メモリ領域 1 3 4 5 は、半導体メモリモジュールの第 1 ランク R A N K 1 に相応し、第 1 半導体メモリ装置 1 3 2 0 の 2 G b 容量の第 2 メモリ領域 1 3 3 0 と第 2 半導体メモリ装置 1 3 4 0 の 2 G b 容量の第 2 メモリ領域 1 3 5 0 は半導体メモリモジュールの第 2 ランク R A N K 2 に相応し、第 1 半導体メモリ装置 1 3 2 0 の 2 G b 容量の第 3 メモリ領域 1 3 3 5 と第 2 半導体メモリ装置 1 3 4 0 の 2 G b 容量の第 3 メモリ領域 1 3 5 5 は、半導体メモリモジュールの第 3 ランク R A N K 3 に相応することができる。即ち、半導体メモリパッケージ 1 3 0 0 は実質的に半導体メモリモジュールの 3 つのランクで動作できる。

【 0 1 2 4 】

半導体メモリパッケージ 1 3 0 0 で、第 1 半導体メモリ装置 1 3 2 0 と第 2 半導体メモリ装置 1 3 4 0 は D D P 形態で結合するものの、コマンドピン C M D、アドレスピン A D D R、及びチップ入出力ピン D Q _ G を共有することができる。一方、半導体メモリパッケージ 1 3 0 0 のチップ選択信号制御部 1 3 6 0 出力される第 1 チップ選択信号 C S S 0 及び第 2 チップ選択信号 C S S 1 が第 1 半導体メモリ装置 1 3 2 0 と第 2 半導体メモリ装置 1 3 4 0 に共通に入力されるから、第 1 半導体メモリ装置 1 3 2 0 の第 1 メモリ領域 1 3 2 5、第 2 メモリ領域 1 3 3 0、及び第 3 メモリ領域 1 3 3 5 は、バンクアドレス、ローアドレス、または、コラムアドレスで第 2 半導体メモリ装置 1 3 4 0 の第 1 メモリ装置 1 3 4 5、第 1 メモリ装置 1 3 5 0、及び第 3 メモリ領域 1 3 5 5 と区別されることができる。このために、半導体メモリパッケージ 1 3 0 0 にはパッケージ / ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもでき

る。このように、半導体メモリパッケージ1300が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ1300を含むシステムの全般的な性能は大きく向上することができる。

【0125】

図20は図12の半導体メモリパッケージで複数の半導体メモリ装置がDDP形態で結合するまた他の例を示す図面である。

【0126】

図20を参照すれば、半導体メモリパッケージ1400は、第1半導体メモリ装置1420、及び第2半導体メモリ装置1440がDDP形態に結合し製造されることができる。この時、第1半導体メモリ装置1420は上部ダイに相応できて、第2半導体メモリ装置1440は下部ダイに相応することができる。この時、半導体メモリパッケージ1400で上部ダイと下部ダイの区別は多様な方式で成り立つことができる。実施形態により、半導体メモリパッケージ1400は3つ以上の半導体メモリ装置（即ち、ダイ）を含むことができる。

【0127】

図20に図示したように、第1半導体メモリ装置1420は、2Gb容量の第1メモリ領域1425、2Gb容量の第2メモリ領域1430、及び2Gb容量の第3メモリ領域1435を含み、第2半導体メモリ装置1440も2Gb容量の第1メモリ領域1445、2Gb容量の第2メモリ領域1450、及び2Gb容量の第3メモリ領域1455を含むことができる。即ち、第1半導体装置1420及び第2半導体メモリ装置1440は、各々6Gb容量、即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ1400は、第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力されれば、これらを第1半導体メモリ装置1420及び第2半導体メモリ装置1440に提供するためのチップ選択信号制御部1460を含むことができる。即ち、半導体メモリパッケージ1400はチップ選択信号制御部1460を通じて第1半導体メモリ装置1420及び第2半導体メモリ装置1440の第1メモリ領域1425、1445、第2メモリ領域1430、1450、及び、第3メモリ領域1435、1455を選択的に活性化させることができる。従って、第1半導体メモリ装置1420で2Gb容量の第1メモリ領域1425、第2メモリ領域1430、及び第3メモリ領域1435は、半導体メモリモジュールの他のランクに属して、第2半導体メモリ装置1440で2Gb容量の第1メモリ領域1445、第2メモリ領域1450、及び第3メモリ領域1455も半導体メモリモジュールの他のランクに属することができる。例えば、第1半導体メモリ装置1420の2Gb容量の第1メモリ領域1425と第2半導体メモリ装置1440の2Gb容量の第1メモリ領域1445は半導体メモリモジュールの第1ランクRANK1に相応し、第1半導体メモリ装置1420の2Gb容量の第2メモリ領域1430と第2半導体メモリ装置1440の2Gb容量の第2メモリ領域1450は半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置1420の2Gb容量の第3メモリ領域1435と第2半導体メモリ装置1440の2Gb容量の第3メモリ領域1455は、半導体メモリモジュールの第3ランクRANK3に相応することができる。即ち、半導体メモリパッケージ1400は実質的に半導体メモリモジュールの3つのランクで動作できる。

【0128】

半導体メモリパッケージ1400で、第1半導体メモリ装置1420と第2半導体メモリ装置1440はDDP形態で結合するものの、コマンドピンCMD、及びアドレスピンADDRを共有することができる。しかし、第1半導体メモリ装置1420と第2半導体メモリ装置1440は、チップ入出力ピンは共有しない。即ち、第1半導体メモリ装置1420は第1チップ入出力ピンDQ_G1を有し、第2半導体メモリ装置1440は第2

10

20

30

40

50

チップ入出力ピンDQ_G2を有する。このように、第1半導体メモリ装置1420と第2半導体メモリ装置1440がチップ入出力ピンを共有しないので、第1半導体メモリ装置1420の第1メモリ領域1425、第2メモリ領域1430、及び第3メモリ領域1435、並びに、第2半導体メモリ装置1440の第1メモリ領域1445、第2メモリ領域1450、及び第3メモリ領域1455は、バンクアドレス、ローアドレス、またはコラムアドレスに区別する必要がない。その結果、半導体メモリパッケージ1400には、パッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されないことがある。さらに、第1半導体メモリ装置1420と第2半導体メモリ装置1440がチップ入出力ピンを共有しないので、これらの間のシームレス動作が除去されてチャンネル効率性が低下できないことがある。このように、半導体メモリパッケージ1400が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ1400を含むシステムの全般的な性能は大きく向上することができる。

10

【0129】

図21は図12の半導体メモリパッケージで複数の半導体メモリ装置がTSVが適用されたデュアル・ダイ・スタック形態で結合する一例を示す図面である。

【0130】

図21を参照すれば、半導体メモリパッケージ1500は、第1半導体メモリ装置1520及び第2半導体メモリ装置1540がTSV(through-silicon via)が適用されたデュアル・ダイ・スタック(dual die stack)形態に結合し製造されることができる。一般的に、デュアル・ダイ・スタックは複数のダイ(即ち、半導体メモリ装置)を積層あるパッケージとして、製造単価を低くすることができて大量生産に適合する。特に、TSVが適用されたデュアル・ダイ・スタックはウェハレベル(wafer level)でそれぞれの半導体メモリ装置内に垂直方向でTSVを形成することによって半導体メモリ装置を物理的及び電氣的に結合する構造を有する。実施形態により、半導体メモリパッケージ1500は半導体メモリ装置の間に間隔(space)を形成するためのパンプ(図示せず)を含むこともできる。

20

【0131】

図21に図示したように、半導体メモリパッケージ1500は、第1半導体メモリ装置1520及び第2半導体メモリ装置1540を含むことができるのに、第1半導体メモリ装置1520はスレーブ装置(slave device)であって、第2半導体メモリ装置1540はマスター装置(master device)でありうる。一実施形態において、マスター装置即ち、第2半導体メモリ装置1540には外部とインターフェース(interface)するための入出力制御部1590が備わることができる。一方、第2半導体メモリ装置1540に備わる入出力制御部1590は、複数のTSVを通じて第1半導体メモリ装置1520及び第2半導体メモリ装置1540に、第1チップ選択信号CSS0、第2チップ選択信号CSS1及び第3チップ選択信号CSS2、コマンドCMD、アドレスADDR、並びに/または、入出力データを提供することができる。実施形態により、半導体メモリパッケージ1500は3つ以上の半導体メモリ装置(即ち、ダイ)を含むことができる。

30

40

【0132】

図21に図示したように、第1半導体メモリ装置1520は4Gb容量の第1メモリ領域1525及び2Gb容量の第2メモリ領域1530を含み、第2半導体メモリ装置1540も、4Gb容量の第1メモリ領域1545及び2Gb容量の第2メモリ領域1550を含むことができる。即ち、第1半導体メモリ装置1520及び第2半導体メモリ装置1540は、各々6Gb容量、即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ1500は第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力されれば、第2半導体メモリ装置1540の

50

入出力制御部 1590 に接続された複数の TSV を通じて第 1 半導体メモリ装置 1520 及び第 2 半導体メモリ装置 1540 に、第 1 チップ選択信号 C S S 0、第 2 チップ選択信号 C S S 1、及び第 3 チップ選択信号 C S S 2 を提供することができる。従って、第 1 半導体メモリ装置 1520 及び第 2 半導体メモリ装置 1540 の第 1 メモリ領域 1525、1545 と、第 2 メモリ領域 1530、1550 は、選択的に活性化することができる。このように、第 1 半導体メモリ装置 1520 で 4 G b 容量の第 1 メモリ領域 1525 と 2 G b 容量の第 2 メモリ領域 1530 は、半導体メモリモジュールの他のランクに属し、第 2 半導体メモリ装置 1540 で 4 G b 容量の第 1 メモリ領域 1545 と 2 G b 容量の第 2 メモリ領域 1550 も半導体メモリモジュールの他のランクに属することができる。例えば、第 1 半導体メモリ装置 1520 の 4 G b 容量の第 1 メモリ領域 1525 は、半導体メモリモジュールの第 1 ランク R A N K 1 に相応し、第 2 半導体メモリ装置 1540 の 4 G b 容量の第 1 メモリ領域 1545 は半導体メモリモジュールの第 2 ランク R A N K 2 に相応し、第 1 半導体メモリ装置 1520 の 2 G b 容量の第 2 メモリ領域 1530 と第 2 半導体メモリ装置 1540 の 2 G b 容量の第 2 メモリ領域 1550 は、半導体メモリモジュールの第 3 ランク R A N K 3 に相応することができる。即ち、半導体メモリパッケージ 1500 は実質的に半導体メモリモジュールの 3 つのランクで動作できる。

10

【0133】

半導体メモリパッケージ 1500 で、第 1 半導体メモリ装置 1520 と第 2 半導体メモリ装置 1540 は TSV が適用されたデュアル・ダイ・スタック形態で結合するものの、コマンドピン C M D、アドレスピン A D D R、及びチップ入出力ピン D Q _ G を共有することができる。一方、第 2 チップ選択信号 C S S 1 が第 2 半導体メモリ装置 1540 の入出力制御部 1590 に接続された複数の TSV を通じて第 1 半導体メモリ装置 1520 の第 2 メモリ領域 1530 と、第 2 半導体メモリ装置 1540 の第 2 メモリ領域 1550 に共通に入力されるから、第 1 半導体メモリ装置 1520 の第 2 メモリ領域 1530 は、バンクアドレス、ローアドレスまたは、コラムアドレスで第 2 半導体メモリ装置 1540 の第 2 メモリ領域 1550 と区別されることができる。このために、半導体メモリパッケージ 1500 には、パッケージ / ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもできる。このように、半導体メモリパッケージ 1500 が実質的に半導体メモリモジュールの 3 つのランクで動作するから、2 つのランクで動作する半導体メモリモジュールと 1 つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ 1500 を含むシステムの全般的な性能は大きく向上することができる。

20

30

【0134】

図 22 は図 12 の半導体メモリパッケージで複数の半導体メモリ装置が TSV が適用されたデュアル・ダイ・スタック形態で結合する他の例を示す図面である。

【0135】

図 22 を参照すれば、半導体メモリパッケージ 1600 は、第 1 半導体メモリ装置 1620 及び第 2 半導体メモリ装置 1640 が TSV が適用されたデュアル・ダイ・スタック形態に結合し製造されることができる。この時、第 1 半導体メモリ装置 1620 はスレーブ装置に相応して、第 2 半導体メモリ装置 1640 はマスター装置に相応することができる。第 2 半導体メモリ装置 1640 には外部とインターフェースするための入出力制御部 1690 が備わることができる。前記入出力制御部 1690 は複数の TSV を通じて第 1 半導体メモリ装置 1620 及び第 2 半導体メモリ装置 1640 に第 1 チップ選択信号 C S S 0、第 2 チップ選択信号 C S S 1 及び第 3 チップ選択信号 C S S 2、コマンド C M D、アドレス A D D R、並びに / または、入出力データを提供することができる。実施形態により、半導体メモリパッケージ 1600 は 3 つ以上の半導体メモリ装置 (即ち、ダイ) を含むことができる。

40

【0136】

図 22 に図示したように、第 1 半導体メモリ装置 1620 は 2 G b 容量の第 1 メモリ領

50

域 1 6 2 5、2 G b 容量の第 2 メモリ領域 1 6 3 0 及び 2 G b 容量の第 3 メモリ領域 1 6 3 5 を含み、第 2 半導体メモリ装置 1 6 4 0 も 2 G b 容量の第 1 メモリ領域 1 6 4 5、2 G b 容量の第 2 メモリ領域 1 6 5 0 及び 2 G b 容量の第 3 メモリ領域 1 6 5 5 を含むことができる。即ち、第 1 半導体メモリ装置 1 6 2 0 及び第 2 半導体メモリ装置 1 6 4 0 は、各々 6 G b 容量、即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ 1 6 0 0 は、第 1 チップ選択信号 C S S 0、第 2 チップ選択信号 C S S 1 及び第 3 チップ選択信号 C S S 2 が入力されれば、第 2 半導体メモリ装置 1 6 4 0 の入出力制御部 1 6 9 0 に接続された複数の T S V を通じて第 1 半導体メモリ装置 1 6 2 0 及び第 2 半導体メモリ装置 1 6 4 0 に第 1 チップ選択信号 C S S 0、第 2 チップ選択信号 C S S 1 及び第 3 チップ選択信号 C S S 2 を提供することができる。従って、第 1 半導体メモリ装置 1 6 2 0 及び第 2 半導体メモリ装置 1 6 4 0 の第 1 メモリ領域 1 6 2 5、1 6 4 5、第 2 メモリ領域 1 6 3 0、1 6 5 0、及び、第 3 メモリ領域 1 6 3 5、1 6 5 5 は選択的に活性化することができる。このように、第 1 半導体メモリ装置 1 6 2 0 で 2 G b 容量の第 1 メモリ領域 1 6 2 5、第 2 メモリ領域 1 6 3 0、第 3 メモリ領域 1 6 3 5 は、半導体メモリモジュールの他のランクに属し、第 2 半導体メモリ装置 1 6 4 0 で 2 G b 容量の第 1 メモリ領域 1 6 4 5、第 2 メモリ領域 1 6 5 0、第 3 メモリ領域 1 6 5 5 も半導体メモリモジュールの他のランクに属することができる。例えば、第 1 半導体メモリ装置 1 6 2 0 の 2 G b 容量の第 1 メモリ領域 1 6 2 5 と第 2 半導体メモリ装置 1 6 4 0 の 2 G b 容量の第 1 メモリ領域 1 6 4 5 は、半導体メモリモジュールの第 1 ランク R A N K 1 に相応し、第 1 半導体メモリ装置 1 6 2 0 の 2 G b 容量の第 2 メモリ領域 1 6 3 0 と第 2 半導体メモリ装置 1 6 4 0 の 2 G b 容量の第 2 メモリ領域 1 6 5 0 は半導体メモリモジュールの第 2 ランク R A N K 2 に相応し、第 1 半導体メモリ装置 1 6 2 0 の 2 G b 容量の第 3 メモリ領域 1 6 3 5 と第 2 半導体メモリ装置 1 6 4 0 の 2 G b 容量の第 3 メモリ領域 1 6 5 5 は半導体メモリモジュールの第 3 ランク R A N K 3 に相応することができる。即ち、半導体メモリパッケージ 1 6 0 0 は実質的に半導体メモリモジュールの 3 つのランクで動作できる。

【 0 1 3 7 】

半導体メモリパッケージ 1 6 0 0 で、第 1 半導体メモリ装置 1 6 2 0 と第 2 半導体メモリ装置 1 6 4 0 は T S V が適用されたデュアル・ダイ・スタック形態で結合するものの、コマンドピン C M D、アドレスピン A D D R、及びチップ入出力ピン D Q __ G を共有することができる。一方、第 1 チップ選択信号 C S S 0、第 2 チップ選択信号 C S S 1、及び第 3 チップ選択信号 C S S 2 が、第 2 半導体メモリ装置 1 6 4 0 の入出力制御部 1 6 9 0 に接続された複数の T S V を通じて第 1 半導体メモリ装置 1 6 2 0 の第 1 メモリ領域 1 6 2 5、第 2 メモリ領域 1 6 3 0 及び第 3 メモリ領域 1 6 3 5 と、第 2 半導体メモリ装置 1 6 4 0 の第 1 メモリ領域 1 6 4 5、第 2 メモリ領域 1 6 5 0、及び第 3 メモリ領域 1 6 5 5 に共通に入力されるから、第 1 半導体メモリ装置 1 6 2 0 の第 1 メモリ領域 1 6 2 5、第 2 メモリ領域 1 6 3 0、及び第 3 メモリ領域 1 6 3 5 は、バンクアドレス、ローアドレスまたはコラムアドレスで第 2 半導体メモリ装置 1 6 4 0 の第 1 メモリ領域 1 6 4 5、第 2 メモリ領域 1 6 5 0、及び第 3 メモリ領域 1 6 5 5 と区別されることができる。このために、半導体メモリパッケージ 1 6 0 0 にはパッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもできる。このように、半導体メモリパッケージ 1 6 0 0 が実質的に半導体メモリモジュールの 3 つのランクで動作するから、2 つのランクで動作する半導体メモリモジュールと 1 つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ 1 6 0 0 を含むシステムの全般的な性能は大きく向上することができる。

【 0 1 3 8 】

図 2 3 は図 1 2 の半導体メモリパッケージで複数の半導体メモリ装置が、T S V が適用されたデュアル・ダイ・スタック形態で結合するまた他の例を示す図面である。

【 0 1 3 9 】

図 2 3 を参照すれば、半導体メモリパッケージ 1 7 0 0 は、第 1 半導体メモリ装置 1 7

20及び第2半導体メモリ装置1740がTSVが適用されたデュアル・ダイ・スタック形態に結合し製造されることができる。この時、第1半導体メモリ装置1720は、スレーブ装置に相応し、第2半導体メモリ装置1740は、マスター装置に相応することができる。第2半導体メモリ装置1740には外部とインターフェースするための入出力制御部1790が備わることができる。前記入出力制御部1790は、複数のTSVを通じて第1半導体メモリ装置1720及び第2半導体メモリ装置1740に、第1チップ選択信号CSS0及び第2チップ選択信号CSS1、コマンドCMD、アドレスADDR、並びに/または、入出力データを提供することができる。実施形態により、半導体メモリパッケージ1700は3つ以上の半導体メモリ装置(即ち、ダイ)を含むことができる。

【0140】

図23に図示したように、第1半導体メモリ装置1720は2Gb容量の第1メモリ領域1725、2Gb容量の第2メモリ領域1730、及び2Gb容量の第3メモリ領域1735を含み、第2半導体メモリ装置1740も2Gb容量の第1メモリ領域1745、2Gb容量の第2メモリ領域1750及び2Gb容量の第3メモリ領域1755を含むことができる。即ち、第1半導体メモリ装置1720及び第2半導体メモリ装置1740は、各々6Gb容量即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ1700は、第1チップ選択信号CSS0及び第2チップ選択信号CSS1が入力されれば、第2半導体メモリ装置1740の入出力制御部1790に接続された複数のTSVを通じて第1半導体メモリ装置1720及び第2半導体メモリ装置1740に第1チップ選択信号CSS0及び第2チップ選択信号CSS1を提供することができる。この時、第1半導体メモリ装置1720の第1メモリ装置1725、第2メモリ装置1730及び第3メモリ領域1735、並びに、第2半導体メモリ装置1740の第1メモリ装置1745、第2メモリ装置1750及び第3メモリ領域1755は、前記第1チップ選択信号CSS0及び第2チップ選択信号CSS1の論理組合に基づいて選択的に活性化することができる。従って、第1半導体メモリ装置1720で2Gb容量の第1メモリ装置1725、第2メモリ装置1730及び第3メモリ領域1735は、半導体メモリモジュールの他のランクに属し、第2半導体メモリ装置1740で2Gb容量の第1メモリ装置1745、第2メモリ装置1750及び第3メモリ領域1755も半導体メモリモジュールの他のランクに属することができる。例えば、第1半導体メモリ装置1720の2Gb容量の第1メモリ領域1725と第2半導体メモリ装置1740の2Gb容量の第1メモリ領域1745は、半導体メモリモジュールの第1ランクRANK1に相応し、第1半導体メモリ装置1720の2Gb容量の第2メモリ領域1730と第2半導体メモリ装置1740の2Gb容量の第2メモリ領域1750は、半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置1720の2Gb容量の第3メモリ領域1735と第2半導体メモリ装置1740の2Gb容量の第3メモリ領域1755は半導体メモリモジュールの第3ランクRANK3に相応することができる。即ち、半導体メモリパッケージ1700は実質的に半導体メモリモジュールの3つのランクで動作できる。

【0141】

半導体メモリパッケージ1700で、第1半導体メモリ装置1720と第2半導体メモリ装置1740はTSVが適用されたデュアル・ダイ・スタック形態で結合するものの、コマンドピンCMD、アドレスピンADDR、及びチップ入出力ピンDQ_Gを共有することができる。一方、第1チップ選択信号CSS0及び第2チップ選択信号CSS1が第2半導体メモリ装置1740の入出力制御部1790に接続された複数のTSVを通じて第1半導体メモリ装置1720の第1メモリ装置1725、第2メモリ装置1730及び第3メモリ領域1735と、第2半導体メモリ装置1740の第1メモリ装置1745、第2メモリ装置1750及び第3メモリ領域1755に共通に入力されるから、第1半導体メモリ装置1720の第1メモリ装置1725、第2メモリ装置1730及び第3メモリ領域1735は、バンクアドレス、ローアドレスまたは、コラムアドレスで第2半導体メモリ装置1740の第1メモリ装置1745、第2メモリ装置1750及び第3メモリ領域1755と区別されることができる。このために、半導体メモリパッケージ1700

10

20

30

40

50

にはパッケージ/ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されることもできる。このように、半導体メモリパッケージ1700が実質的に半導体メモリモジュールの3つのランクで動作するから、2つのランクで動作する半導体メモリモジュールと1つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ1700を含むシステムの一般的な性能は大きく向上することができる。

【0142】

図24は図12の半導体メモリパッケージで複数の半導体メモリ装置がTSVが適用されたデュアル・ダイ・スタック形態で結合するまた他の例を示す図面である。

10

【0143】

図24を参照すれば、半導体メモリパッケージ1800は、第1半導体メモリ装置1820及び第2半導体メモリ装置1840がTSVが適用されたデュアル・ダイ・スタック形態に結合し製造されることができる。この時、第1半導体メモリ装置1820は、スレーブ装置に相応し、第2半導体メモリ装置1840はマスター装置に相応することができる。第2半導体メモリ装置1840には外部とインターフェースするための入出力制御部1890が備わることができる。前記入出力制御部1890は、複数のTSVを通じて第1半導体メモリ装置1820及び第2半導体メモリ装置1840に、第1チップ選択信号CSS0、第2チップ選択信号CSS1及び第3チップ選択信号CSS2、コマンドCMD、アドレスADDR、並びに/または、入出力データを提供することができる。実施形態により、半導体メモリパッケージ1800は3つ以上の半導体メモリ装置(即ち、ダイ)を含むことができる。

20

【0144】

図24に図示したように、第1半導体メモリ装置1820は、2Gb容量の第1メモリ領域1825、2Gb容量の第2メモリ領域1830及び2Gb容量の第3メモリ領域1835を含み、第2半導体メモリ装置1840も、2Gb容量の第1メモリ領域1845、2Gb容量の第2メモリ領域1850及び2Gb容量の第3メモリ領域1855を含むことができる。即ち、第1半導体メモリ装置1820及び第2半導体メモリ装置1840は、各々6Gb容量即ち、インテリム集積度を有することができる。一方、半導体メモリパッケージ1800は第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2が入力されれば、第2半導体メモリ装置1840の入出力制御部1890に接続された複数のTSVを通じて第1半導体メモリ装置1820及び第2半導体メモリ装置1840に、第1チップ選択信号CSS0、第2チップ選択信号CSS1、及び第3チップ選択信号CSS2を提供することができる。従って、第1半導体メモリ装置1820及び第2半導体メモリ装置1840の第1メモリ領域1825、1845、第2メモリ領域1830、1850、及び、第3メモリ領域1835、1855は、選択的に活性化することができる。このように、第1半導体メモリ装置1820で2Gb容量の第1メモリ領域1825、第2メモリ領域1830及び第3メモリ領域1835は、半導体メモリモジュールの他のランクに属し、第2半導体メモリ装置1840で2Gb容量の第1メモリ領域1845、第2メモリ領域1850及び第3メモリ領域1855も半導体メモリモジュールの他のランクに属することができる。例えば、第1半導体メモリ装置1820の2Gb容量の第1メモリ領域1825と第2半導体メモリ装置1840の2Gb容量の第1メモリ領域1845は、半導体メモリモジュールの第1ランクRANK1に相応して、第1半導体メモリ装置1820の2Gb容量の第2メモリ領域1830と第2半導体メモリ装置1840の2Gb容量の第2メモリ領域1850は、半導体メモリモジュールの第2ランクRANK2に相応し、第1半導体メモリ装置1820の2Gb容量の第3メモリ領域1835と第2半導体メモリ装置1840の2Gb容量の第3メモリ領域1855は、半導体メモリモジュールの第3ランクRANK3に相応することができる。即ち、半導体メモリパッケージ1800は実質的に半導体メモリモジュールの3つのランクで動作できる。

30

40

50

【 0 1 4 5 】

半導体メモリパッケージ 1800 で、第 1 半導体メモリ装置 1820 と第 2 半導体メモリ装置 1840 は、TSV が適用されたデュアル・ダイ・スタック形態で結合するものの、コマンドピン CMD、及びアドレスピン ADDR を共有することができる。しかし、第 1 半導体メモリ装置 1820 と第 2 半導体メモリ装置 1840 は、チップ入出力ピンは共有しない。即ち、第 1 半導体メモリ装置 1820 は第 1 チップ入出力ピン DQ_{G1} を有し、第 2 半導体メモリ装置 1840 は第 2 チップ入出力ピン DQ_{G2} を有する。このように、第 1 半導体メモリ装置 1820 と第 2 半導体メモリ装置 1840 がチップ入出力ピンを共有しないので、第 1 半導体メモリ装置 1820 の第 1 メモリ領域 1825、第 2 メモリ領域 1830 及び第 3 メモリ領域 1835 と、第 2 半導体メモリ装置 1840 の第 1 メモリ領域 1845、第 2 メモリ領域 1850 及び第 3 メモリ領域 1855 は、バンクアドレス、ローアドレスまたは、コラムアドレスに区別する必要がない。その結果、半導体メモリパッケージ 1800 にはパッケージ / ボンディングオプション、フューズオプション、チップカウンタなどのような手段が適用されないことがある。さらに、第 1 半導体メモリ装置 1820 と第 2 半導体メモリ装置 1840 がチップ入出力ピンを共有しないので、これらの間のシームレス動作が除去されてチャンネル効率性が低下できないことがある。このように、半導体メモリパッケージ 1800 が実質的に半導体メモリモジュールの 3 つのランクで動作するから、2 つのランクで動作する半導体メモリモジュールと 1 つのランクで動作する半導体メモリモジュールを含む従来の半導体メモリパッケージの組合に比べてチャンネル当り半導体メモリモジュールの個数が減少することができる。その結果、半導体メモリパッケージ 1800 を含むシステムの全般的な性能は大きく向上することができる。

10

20

【 0 1 4 6 】

図 25 は本発明の実施形態に係る半導体メモリ装置の集積度増大方法を示すフローチャートである。

【 0 1 4 7 】

図 25 を参照すれば、半導体メモリ装置の集積度増大方法は 2 の指数ビットの集積度で形成された揮発性メモリセル、及び前記揮発性メモリセルのデータ入出力のための入出力端子を各々具備する複数のメモリ領域を 1 つのチップに形成 (ステップ S120) と、複数のメモリ領域の各々に備わった複数の入出力端子を半導体メモリ装置のチップ入出力端子として決定 (ステップ S140) することができる。この時、複数のメモリ領域の各々に備わった複数の入出力端子の個数は 2 の指数形態に決定されるが、それに限定されるのではない。一実施形態において、複数のメモリ領域を各々半導体メモリモジュールの同一ランクに結合することができる。この場合、複数のメモリ領域の各々に備わった入出力端子を同時にチップ入出力端子として動作させることができる。この時、チップ入出力端子の個数は複数のメモリ領域の各々に備わった入出力端子の個数の和に相応することができる。他の実施形態において、複数のメモリ領域を各々半導体メモリモジュールの他のランクに結合することができる。この場合、複数のメモリ領域の各々に備わった入出力端子を少なくとも 1 つ以上のチップ選択信号に応答して選択的にチップ入出力端子として動作させることができる。この時、チップ入出力端子の個数は複数のメモリ領域の各々に備わった入出力端子の個数に各々相応することができる。このように、半導体メモリ装置の集積度増大方法は 2 の指数ビットの集積度 (即ち、標準集積度) を各々有する複数のメモリ領域を 1 つのチップに形成するので、複数のメモリ領域を含む半導体メモリ装置でとって $2^m + 2^n + 2^o \dots$ (ただし、 m 、 n 、 o は、0 以上の整数として互いに相異なる) の集積度、即ち、インテリム集積度を有するようになることができる。また、半導体メモリ装置の集積度増大方法は、半導体メモリ装置にて複数のメモリ領域それぞれの入出力端子をチップ入出力端子として使わせることができる。その結果、図 25 の集積度増大方法によって製造された半導体メモリ装置は従来の半導体メモリ装置に比べて小型で製造でき、電力消費をおさえることができる。ただし、これに対しては上述したことがあるので、それに対する重複する説明は省略することにする。

30

40

50

【0148】

図26は図25で複数のメモリ領域が半導体メモリモジュールのランクに接続される時、チップ入出力端子が決定される一例を示すフローチャートである。

【0149】

図26を参照すれば、複数のメモリ領域が半導体メモリモジュールのランクに接続される形態により半導体メモリ装置のチップ入出力端子が決定されることができる。具体的に、半導体メモリ装置の集積度増大方法は半導体メモリモジュールを単一ランク、または、マルチ（例えば、デュアル）ランクに決定（ステップS220）することができる。この時、半導体メモリ装置の集積度増大方法は、複数のメモリ領域が半導体メモリモジュールの同一ランクに接続するかの可否を判断（ステップS240）し、複数のメモリ領域が各々半導体メモリモジュールの同一ランクに接続される場合に、複数のメモリ領域それぞれの入出力端子を同時に半導体メモリ装置のチップ入出力端子として動作（ステップS260）させ、複数のメモリ領域が各々半導体メモリモジュールの他のランクに接続されれば、複数のメモリ領域それぞれの入出力端子を少なくとも1つ以上のチップ選択信号にตอบสนองして選択的に半導体メモリ装置のチップ入出力端子として動作（ステップS280）させることができる。このように、半導体メモリ装置の集積度増大方法は複数のメモリ領域が各々半導体メモリモジュールの同一ランクに接続される場合にはチップ入出力端子の個数が複数のメモリ領域の各々に備わった入出力端子の個数の和に相応でき、複数のメモリ領域が各々半導体メモリモジュールの他のランクに接続される場合にはチップ入出力端子の個数が複数のメモリ領域の各々に備わった入出力端子の個数に各々相応することができる。ただし、これに対しては上述したことがあるので、それに対する重複する説明は省略することにす。

10

20

【0150】

図27～図32は複数の半導体メモリ装置で構成される半導体メモリモジュールの例を示す図面である。

【0151】

図27を参照すれば、半導体メモリモジュール1900aは、UDIMM（Unbuffered Dual In-line Memory Module）でありうる。半導体メモリモジュール1900aは、複数の半導体メモリパッケージ1920aを含むことができ、半導体メモリパッケージ1920aの各々は、少なくとも1つ以上の半導体メモリ装置を含むことができる。上述した通り、半導体メモリ装置は2の指数ビットの集積度を有する複数のメモリ領域を含むことによってインテリム集積度を有することができ、半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。一方、1つの半導体メモリパッケージ1920aにおいて、内部の半導体メモリ装置のチップ入出力端子は内部の他の半導体メモリ装置のチップ入出力端子とチップ入出力ピンDQ_Gに共通に接続されたり、または、選択的に接続されることができる。図27に図示したように、半導体メモリパッケージ1920aは、コマンド/アドレス伝送線CAにツリー構造に接続されることができる。一実施形態において、データDATA、及び、コマンドCMD/アドレスADDR伝送にはメモリコントローラ（図示せず）または、半導体メモリモジュール1900a内の所定の電源電圧から基準データ電圧、及び、基準コマンド/アドレス電圧を利用する擬似-差動シグナリング（pseudo-differential signaling）が活用されることができる。

30

40

【0152】

図28を参照すれば、半導体メモリモジュール1900bは、UDIMMでありうる。半導体メモリモジュール1900bは複数の半導体メモリパッケージ1920bを含むことができ、半導体メモリパッケージ1920b各々は少なくとも1つ以上の半導体メモリ装置を含むことができる。上述した通り、半導体メモリ装置は2の指数ビットの集積度を有する複数のメモリ領域を含むことによってインテリム集積度を有することができ、半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。一方、1つの半導体メモリパッケージ1920bにおいて、内部の半導体メモリ装置のチップ入出

50

力端子は内部の他の半導体メモリ装置のチップ入出力端子とチップ入出力ピンDQ__Gに共通に接続されたり、または、選択的に接続されることができる。図28に図示したように、コマンド/アドレス伝送線CAは半導体メモリパッケージ1920bとフライ・バイ・デージーチェーン方式(fly-by daisy-chain topology)に接続されることができ、コマンド/アドレス伝送線CAの一端にはモジュール終端抵抗部1931bが位置することができる。一実施形態において、半導体メモリモジュール1900bでは読み出し/書き込みレーベリング(read/write leveling)が遂行されることができる。

【0153】

図29を参照すれば、半導体メモリモジュール1900cは、RDIMM(Registered Dual In-line Memory Module)でありうる。半導体メモリモジュール1900cは、複数の半導体メモリパッケージ1920cを含むことができ、半導体メモリパッケージ1920cの各々は、少なくとも1つ以上の半導体メモリ装置を含むことができる。上述した通り、半導体メモリ装置は2の指数ビットの集積度を有する複数のメモリ領域を含むことによってインテリム集積度を有することができ、半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。一方、1つの半導体メモリパッケージ1920cにおいて、内部の半導体メモリ装置のチップ入出力端子は内部の他の半導体メモリ装置のチップ入出力端子とチップ入出力ピンDQ__Gに共通に接続されたり、または、選択的に接続されることができる。図29に図示したように、半導体メモリモジュール1900cは、コマンド/アドレス伝送線CAに接続されて半導体メモリパッケージ(1920c)にコマンドCMD/アドレスADDRを提供するコマンド/アドレスレジスタ1931cを含むことができ、コマンド/アドレス伝送線CAの両断にはモジュール終端抵抗部1932c、1933cが、位置することができる。一方、コマンド/アドレスレジスタ1931cは半導体メモリパッケージ1920cとデージーチェーン方式で接続されることができる。

【0154】

図30を参照すれば、半導体メモリモジュール1900dは、RDIMMでありうる。半導体メモリモジュール1900dは複数の半導体メモリパッケージ1920dを含むことができ、半導体メモリパッケージ1920dの各々は少なくとも1つ以上の半導体メモリ装置を含むことができる。上述した通り、半導体メモリ装置は2の指数ビットの集積度を有する複数のメモリ領域を含むことによってインテリム集積度を有することができ、半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。一方、1つの半導体メモリパッケージ1920dにおいて、内部の半導体メモリ装置のチップ入出力端子は内部の他の半導体メモリ装置のチップ入出力端子とチップ入出力ピンDQ__Gに共通に接続されたり、または、選択的に接続されることができる。図30に図示したように、半導体メモリモジュール1900dは、コマンド/アドレス伝送線CAに接続されて半導体メモリパッケージ1920dにコマンドCMD/アドレスADDRを提供するコマンド/アドレスレジスタ1931dを含むことができ、コマンド/アドレス伝送線CAの一端にはモジュール終端抵抗部1932dが位置することができる。一方、コマンド/アドレスレジスタ1931dは、半導体メモリパッケージ1920dとフライ・バイ・デージーチェーン方式で接続されることができる。一実施形態において、半導体メモリモジュール1900dでは読み出し/書き込みレーベリング(read/write leveling)が遂行されることができる。

【0155】

図31を参照すれば、半導体メモリモジュール1900eは、FBDIMM(Fully Buffered Dual In-line Memory Module)でありうる。半導体メモリモジュール1900eは、複数の半導体メモリパッケージ1920eを含むことができ、半導体メモリパッケージ1920eの各々は、少なくとも1つ以上の半導体メモリ装置を含むことができる。上述した通り、半導体メモリ装置は2の指数ビットの集積度を有する複数のメモリ領域を含むことによってインテリム集積度を有するこ

10

20

30

40

50

とができ、半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。一方、1つの半導体メモリパッケージ1920eにおいて、内部の半導体メモリ装置のチップ入出力端子は内部の他の半導体メモリ装置のチップ入出力端子とチップ入出力ピンに共通に接続されたり、または、選択的に接続されることができる。図31に図示したように、半導体メモリモジュール1900eは、メモリコントローラ(図示せず)から高速の packets を受信して、packets をコマンドCMD / アドレスADDR、及び、データDATAに変換して半導体メモリパッケージ1920eに提供するハブ1931eを含むことができる。一実施形態において、ハブ1931eは、AMB (Advanced Memory Buffer) でありうる。

【0156】

図32を参照すれば、半導体メモリモジュール1900fは、LRDIMM (Load Reduced Dual In-line Memory Module) でありうる。半導体メモリモジュール1900fは、複数の半導体メモリパッケージ1920fを含むことができ、半導体メモリパッケージ1920fの各々は、少なくとも1つ以上の半導体メモリ装置を含むことができる。上述した通り、半導体メモリ装置は2の指数ビットの集積度を有する複数のメモリ領域を含むことによってインテリム集積度を有することができる。一方、1つの半導体メモリパッケージ1920fにおいて、内部の半導体メモリ装置のチップ入出力端子は内部の他の半導体メモリ装置のチップ入出力端子とチップ入出力ピンに共通に接続されたり、または、選択的に接続されることができる。図32に図示したように、半導体メモリモジュール1900fは、メモリコントローラ(図示せず)から複数の信号線を通じてコマンドCMD / アドレスADDR、及び、データDATAを受信し、コマンドCMD / アドレスADDR、及び、データDATAをバッファリングして半導体メモリパッケージ1920fに提供するバッファ1931fを含むことができる。この時、バッファ1931fと半導体メモリパッケージ1920fとの間のデータ伝送線は、ポイント・ツー・ポイント方式で接続されることができ、バッファ1931fと半導体メモリパッケージ1920fとの間のコマンド / アドレス伝送線は、マルチ・ドロップ方式、デイズチェーン方式、または、フライ・バイ・デイズチェーン方式で接続されることができる。このように、バッファ1931fが、コマンドCMD / アドレスADDR、及びデータDATAを全部バッファリングし、メモリコントローラ(図示せず)はバッファ1931fのロードのみを駆動することによって半導体メモリモジュール1900fとインターフェースすることができる。

【0157】

図33は本発明の実施形態に係るメモリシステムを示すブロック図である。

【0158】

図33を参照すれば、メモリシステム2000は、メモリコントローラ2020、及び、少なくとも1つ以上の半導体メモリモジュール2040を含むことができる。実施形態により、少なくとも1つ以上の半導体メモリモジュール2040は、図27~図32に図示された半導体メモリモジュール1900a、1900b、1900c、1900d、1900e、1900fに相応することができる。メモリコントローラ2020は、バス(bus)を通じて少なくとも1つ以上の半導体メモリモジュール2040に接続され、モジュール制御信号CTL_MDを生成することによって少なくとも1つ以上の半導体メモリモジュール2040を制御することができる。上述した通り、半導体メモリモジュール2040は、複数の半導体メモリパッケージを含むことができ、半導体メモリパッケージ各々は少なくとも1つ以上の半導体メモリ装置を含むことができる。この時、半導体メモリ装置は、2の指数ビットの集積度で形成された揮発性メモリセル、及び、揮発性メモリセルのデータ入出力のための入出力端子を各々具備する複数のメモリ領域、並びに、外部から入力されるコマンド及びアドレスに基づいてメモリ領域にデータWDを書き込みするか、または、メモリ領域からデータRDを読み出しする動作を制御する少なくとも1つ以上の周辺領域を含むことができる。その結果、半導体メモリ装置はインテリム集積度を有

10

20

30

40

50

することができ、半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。ただし、これに対しては上述したことがあるので、重複する説明は省略することにする。

【0159】

図34は、図33のメモリシステムを具備したモバイルシステムを示すブロック図である。

【0160】

図34を参照すれば、モバイルシステム2100は、プロセッサ2110、モデム2120、非揮発性メモリシステム2130、揮発性メモリシステム2140、入出力装置2150、及びパワーサプライ2160を含むことができる。この時、揮発性メモリシステム2140は、図33のメモリシステム2000に相応することができる。モバイルシステム2100は、デジタルカメラ、携帯電話、スマートフォン、PDA(Personal Digital Assistant)、PMP(Portable Multimedia Player)、MP3プレーヤー、携帯用ゲームコンソール、ナビゲーションなどのような任意のモバイルシステムでありうる。

【0161】

プロセッサ2110は、特定計算またはタスクを遂行できる。例えば、プロセッサ2110は、インターネットブラウザ、3次元地図、ゲーム、動画などを提供するアプリケーションを実行することができる。プロセッサ2110は、アドレスバス、制御バス、及びデータバスなどを介して他の構成要素に接続されることができる。実施形態により、プロセッサ2110は、マイクロプロセッサ、中央処理装置などでありうる。モデム2120は、外部からデータを受信し、モバイルシステム2100内から生成されたデータを送信することができる。例えば、モデム2120は、GSM、GPRS、WCDMA、HSxPAなどの通信を支援するモデムプロセッサでありうる。実施形態により、プロセッサ2110とモデム2120は、1つのチップで具現されたり、または、各々別個のチップで具現されることができる。非揮発性メモリシステム2130は、モバイルシステム2100の動作に必要なデータを保存することができる。実施形態により、非揮発性メモリシステム2130は、モバイルシステム2100のブーティングのためのブーティングコードを保存することができる。例えば、非揮発性メモリシステム2130は、EEPROM(Electrically Erasable Programmable Read-Only Memory)、フラッシュメモリ(Flash Memory)、PRAM(Phase Change Random Access Memory)、RRAM(Resistance Random Access Memory)、NFGM(Nano Floating Gate Memory)、PoRAM(Polymer Random Access Memory)、MRAM(Magnetic Random Access Memory)、FRAM(Ferroelectric Random Access Memory)などで具現されることができる。

【0162】

揮発性メモリシステム2140は、モデム2120により送受信されるデータ、及び/または、プロセッサ2110により処理されるデータを保存することができる。例えば、揮発性メモリ装置は、DRAM(dynamic random access memory)、SRAM(static random access memory)、モバイルDRAM(mobile dynamic random access memory)などで具現されることができる。上述した通り、揮発性メモリシステム2140は、メモリコントローラ、及び、少なくとも1つ以上の半導体メモリモジュールを含むことができ、半導体メモリモジュールは複数の半導体メモリパッケージを含むことができ、半導体メモリパッケージ各々は少なくとも1つ以上の半導体メモリ装置を含むことができる。この時、半導体メモリ装置は、2の指数ビットの集積度で形成された揮発性メモリセル及び揮発性メモリセルのデータ入出力のための入出力端子を各々具備する複数のメモリ領域、並びに、外部から入力されるコマンド及びアドレスに基づいてメモリ領域にデータ

10

20

30

40

50

WDを書き込みするか、または、メモリ領域からデータRDを読み出しする動作を制御する少なくとも1つ以上の周辺領域を含むことができる。その結果、半導体メモリ装置はインテリム集積度を有することができ、半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。ただし、これに対しては上述したことがあるので、重複する説明は省略することにする。

【0163】

入出力装置2150は、タッチスクリーン、タッチパッド、キーパッドなどのような入力手段、並びに、プリンタ及びディスプレイなどのような出力手段を含むことができる。パワーサプライ2160は、モバイルシステム2100の動作に必要なパワーを供給することができる。モバイルシステム2100は、多様な形態のパッケージを利用して実装されることができるが、例えば、PoP(Package on Package)、BGAs(Ball grid arrays)、CSPs(Chip scale packages)、PLCC(Plastic Leaded Chip Carrier)、PDIP(Plastic Dual In-Line Package)、Die in Wafler Pack、Die in Wafer Form、COB(Chip On Board)、CERDIP(Ceramic Dual In-Line Package)、MQFP(Plastic Metric Quad Flat Pack)、TQFP(Thin Quad Flat-Pack)、SOIC(Small Outline Integrated Circuit)、SSOP(Shrink Small Outline Package)、TSOP(Thin Small Outline Package)、TQFP(Thin Quad Flat-Pack)、SIP(System In Package)、MCP(Multi Chip Package)、WFP(Wafer-level Fabricated Package)、WSP(Wafer-Level Processed Stack Package)などのようなパッケージが利用されることができる。

10

20

【0164】

図35は図33のメモリシステムを具備したコンピューティングシステムを示すブロック図である。

【0165】

図35を参照すれば、コンピューティングシステム2200は、プロセッサ2210、入出力ハブ2220、入出力コントローラハブ2230、少なくとも1つ以上の半導体メモリモジュール2240、及びグラフィックカード2250を含むことができる。実施形態により、コンピューティングシステム2200は、パーソナルコンピュータ(personal computer)、サーバーコンピュータ(server computer)、ワークステーション(workstation)、ノートパソコン(laptop)などのような任意のコンピューティングシステムでありうる。

30

【0166】

プロセッサ2210は、特定計算またはタスクを遂行できる。例えば、プロセッサ2210は、マイクロプロセッサ、または、中央処理装置(Central Processing Unit; CPU)でありうる。実施形態により、プロセッサ2210は、1つのプロセッサコア(processor core)を含むか、または、複数のプロセッサコアを含むことができる。例えば、プロセッサ2210は、デュアルコア、クアッドコア、ヘキサコアなどのマルチコアを含むことができる。一方、図35には1つのプロセッサ2210が図示されているが、コンピューティングシステム2200は、複数のプロセッサを含むことができる。実施形態により、プロセッサ2210は、内部または外部にキャッシュメモリ(cache memory)をさらに含むことができる。プロセッサ2210は、モジュール制御信号を生成することによって半導体メモリモジュール2240を制御するメモリコントローラ2211を含むことができる。プロセッサ2210に含まれたメモリコントローラ2211は、集積メモリコントローラ(Integrated Memory Controller; IMC)と命名することができる。メモリコント

40

50

ローラ 2 2 1 1 と半導体メモリモジュール 2 2 4 0 との間のメモリインターフェースは複数の信号線を含む 1 つのチャンネルまたは複数のチャンネルで具現されることができる。実施形態により、メモリコントローラ 2 2 1 1 は、入出力ハブ 2 2 2 0 内に位置することもできるので、メモリコントローラ 2 2 1 1 を含む入出力ハブ 2 2 2 0 は、メモリコントローラハブ (Memory Controller Hub ; MCH) と命名することができる。

【 0 1 6 7 】

半導体メモリモジュール 2 2 4 0 は、複数の半導体メモリパッケージを含むことができる。半導体メモリパッケージの各々は、少なくとも 1 つ以上の半導体メモリ装置を含むことができる。この時、半導体メモリ装置は、2 の指数ビットの集積度で形成された揮発性メモリセル及び揮発性メモリセルのデータ入出力のための入出力端子を各々具備する複数のメモリ領域、並びに、外部から入力されるコマンド及びアドレスに基づいてメモリ領域に、データ WD を書き込みするか、または、メモリ領域からデータ RD を読み出しする動作を制御する少なくとも 1 つ以上の周辺領域を含むことができる。その結果、半導体メモリ装置はインテリム集積度を有することができる。半導体メモリ装置のチップ入出力端子の個数もインテリム形態になることができる。入出力ハブ 2 2 2 0 は、グラフィックカード 2 2 5 0 のような装置とプロセッサ 2 2 1 0 の間のデータ伝送を管理することができる。入出力ハブ 2 2 2 0 は、多様な方式のインターフェースを通じてプロセッサ 2 2 1 0 に接続されることができる。例えば、入出力ハブ 2 2 2 0 とプロセッサ 2 2 1 0 は、FSB (Front Side Bus)、システムバス (System Bus)、ハイパートランスポート (HyperTransport)、LDT (Lightning Data Transport)、QPI (QuickPath Interconnect)、CSI (Common System Interface) などの多様な標準のインターフェースに接続されることができる。また、入出力ハブ 2 2 2 0 は、装置との多様なインターフェースを提供することができる。例えば、入出力ハブ 2 2 2 0 は、AGP (Accelerated Graphics Port) インターフェース、PCIe (Peripheral Component Interface - Express)、CSA (Communications Streaming Architecture) インターフェースなどを提供することができる。図 3 5 には 1 つの入出力ハブ 2 2 2 0 が図示されているが、コンピューティングシステム 2 2 0 0 は、複数の入出力ハブを含むことができる。

【 0 1 6 8 】

グラフィックカード 2 2 5 0 は、AGP または PCIe を通じて入出力ハブ 2 2 2 0 と接続されることができる。グラフィックカード 2 2 5 0 は、画像を表示するためのディスプレイ装置 (図示せず) を制御することができる。グラフィックカード 2 2 5 0 は、イメージデータ処理のための内部プロセッサなどを含むことができる。実施形態により、入出力ハブ 2 2 2 0 は、入出力ハブ 2 2 2 0 の外部に位置したグラフィックカード 2 2 5 0 に代わって内部にグラフィック装置を含むことができる。入出力ハブ 2 2 2 0 に含まれたグラフィック装置は、集積グラフィック (integrated graphics) と命名することができる。また、メモリコントローラ及びグラフィック装置を含む入出力ハブ 2 2 2 0 は、GMCH (Graphics and Memory Controller Hub) と命名することができる。入出力コントローラハブ 2 2 3 0 は、多様なシステムインターフェースが効率的に動作するようにデータバッファリング、及び、インターフェース仲裁を遂行できる。入出力コントローラハブ 2 2 3 0 は、内部バスを通じて入出力ハブ 2 2 2 0 と接続されることができる。例えば、入出力ハブ 2 2 2 0 と入出力コントローラハブ 2 2 3 0 は、DMI (Direct Media Interface)、ハブインターフェース、ESI (Enterprise Southbridge Interface)、PCIe などを通して接続されることができる。入出力コントローラハブ 2 2 3 0 は周辺装置との多様なインターフェースを提供することができる。例えば、入出力コントローラハブ 2 2 3 0 は、汎用直列バス (Universal Serial

10

20

30

40

50

Bus ; USB)ポート、直列ATA (Serial Advanced Technology Attachment ; SATA)ポート、GPIO (General Purpose Input / Output)、LPC (Low Pin Count)バス、SPI (Serial Peripheral Interface)、PCI、PCIeなどを提供することができる。

【0169】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

10

【産業上の利用可能性】

【0170】

本発明は揮発性メモリセルを具備する半導体メモリ装置及びこれを含むシステムに適用することができる。例えば、本発明は携帯電話、スマートフォン、PDA、PMP、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ、サーバー用コンピュータ、ワークステーション、ノートパソコン、デジタルTV、セットトップボックス、MP3プレーヤー、携帯用ゲームコンソール、ナビゲーションシステムなどに利用されることができる。

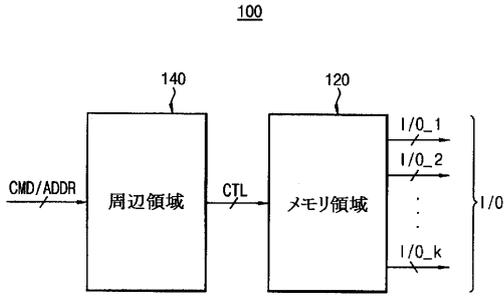
【符号の説明】

【0171】

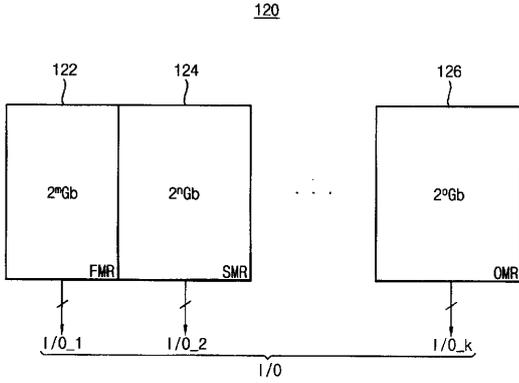
20

- 100 半導体メモリ装置
- 120 複数のメモリ領域
- 140 周辺領域
- 500 半導体メモリ装置
- 520 複数のメモリ領域
- 540 複数の周辺領域

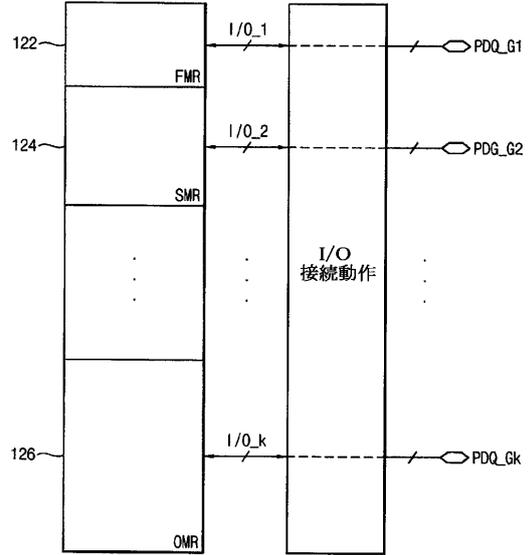
【 図 1 】



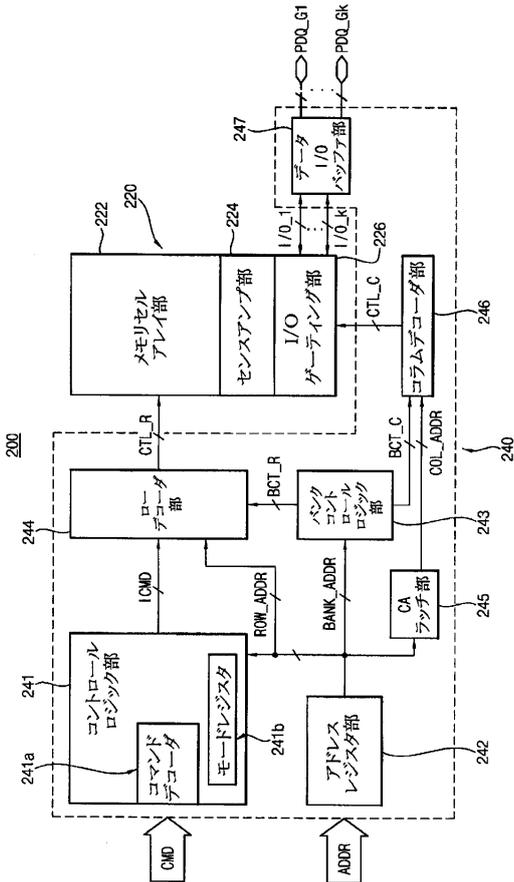
【 図 2 】



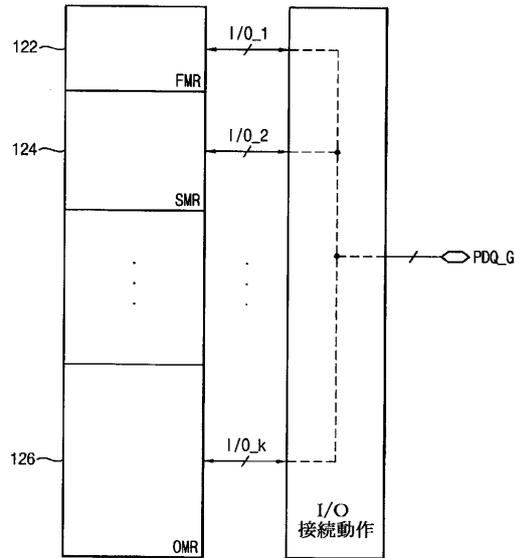
【 図 3 】



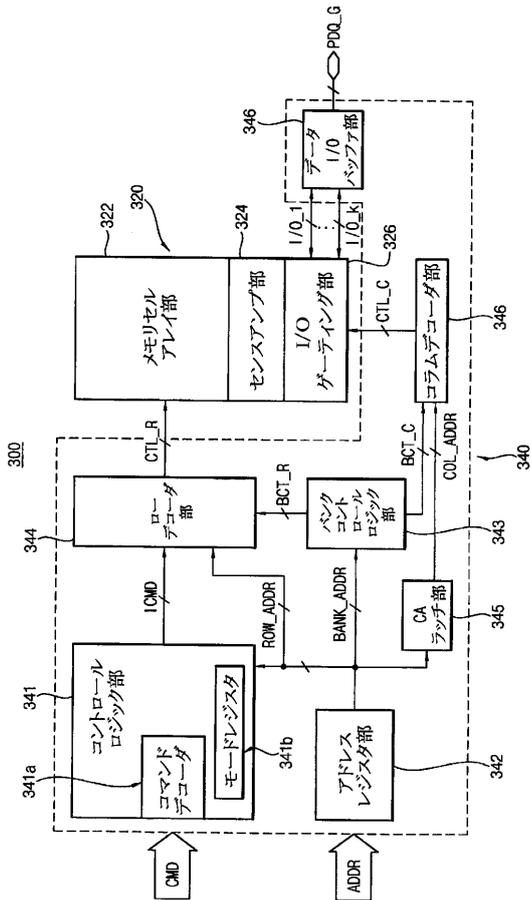
【 図 4 】



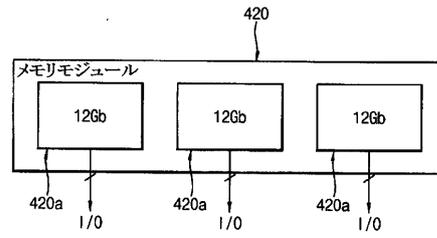
【 図 5 】



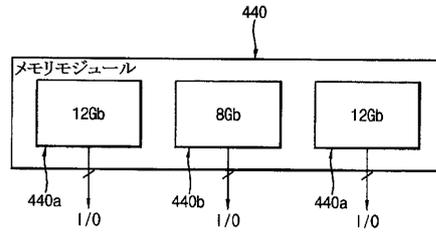
【図 6】



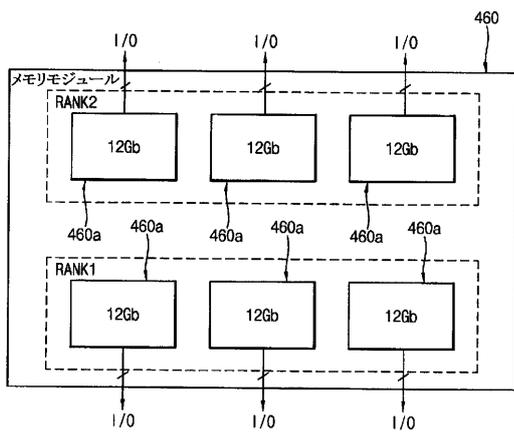
【図 7】



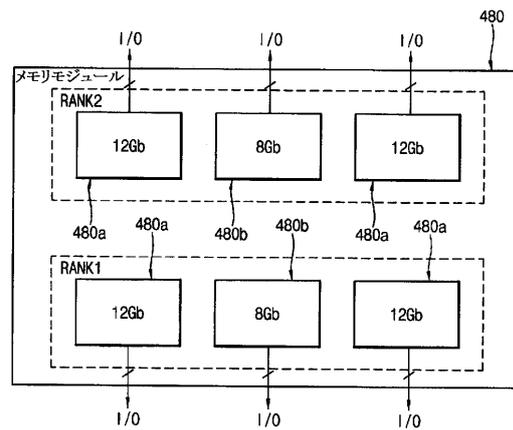
【図 8】



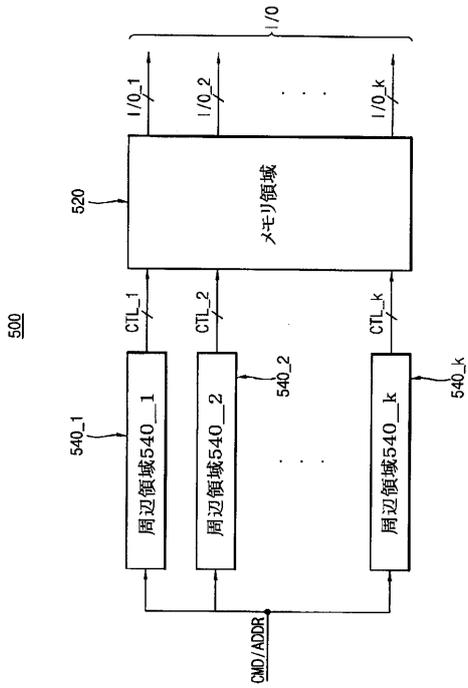
【図 9】



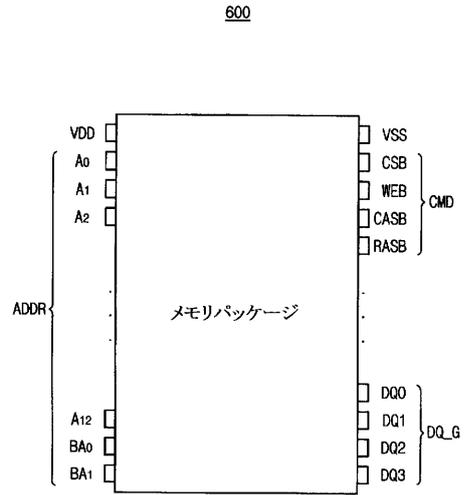
【図 10】



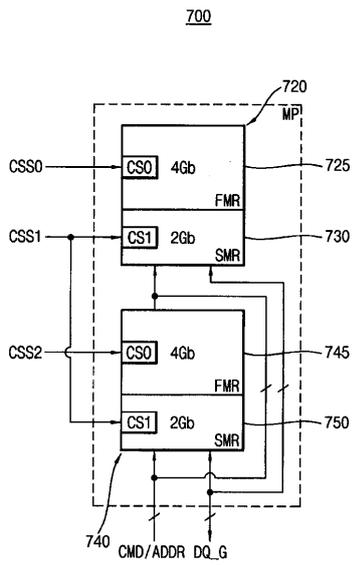
【 図 1 1 】



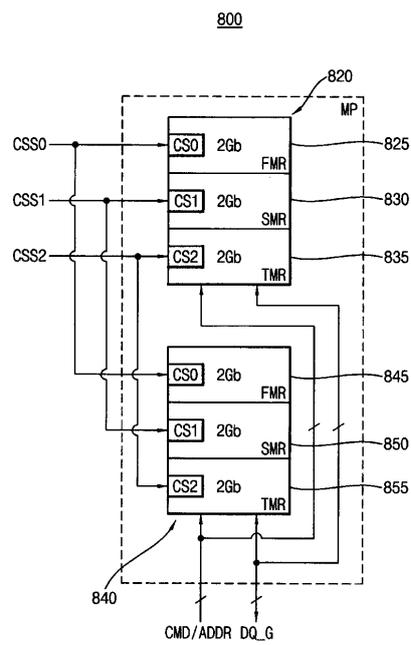
【 図 1 2 】



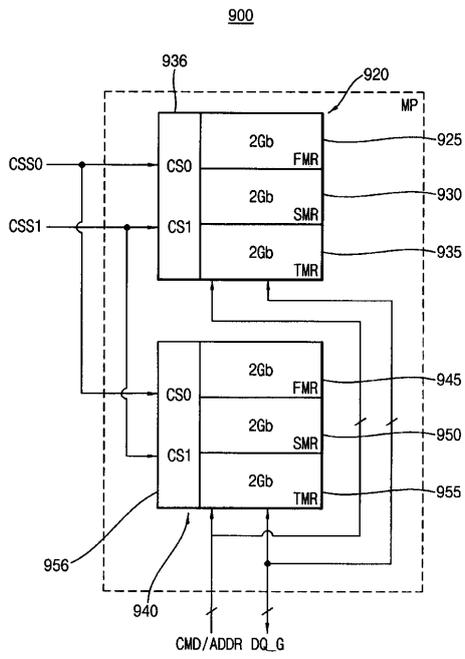
【 図 1 3 】



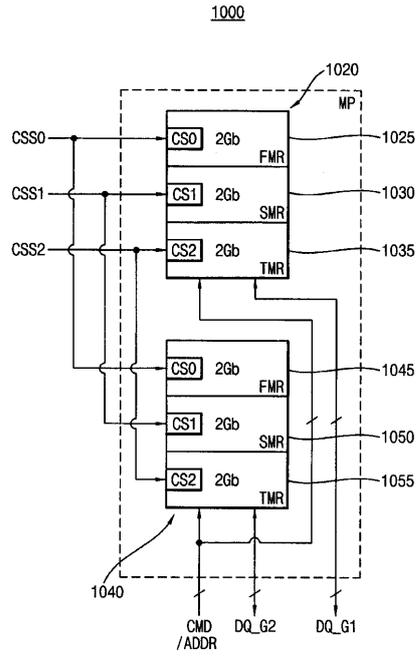
【 図 1 4 】



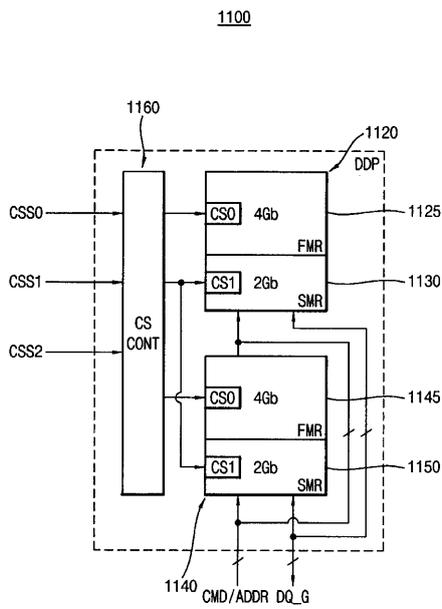
【 図 1 5 】



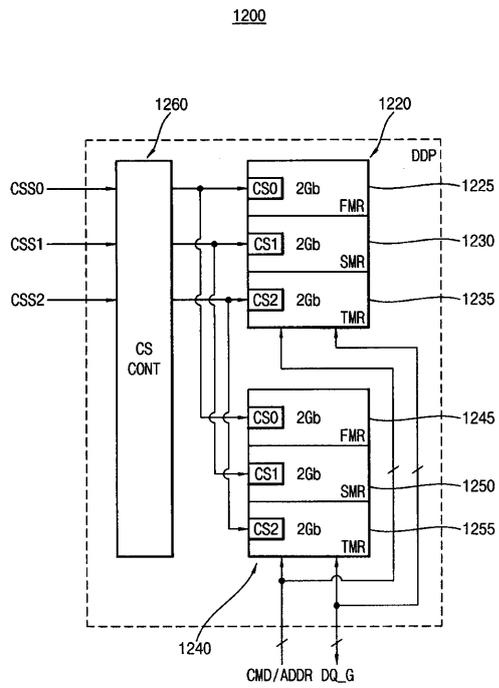
【 図 1 6 】



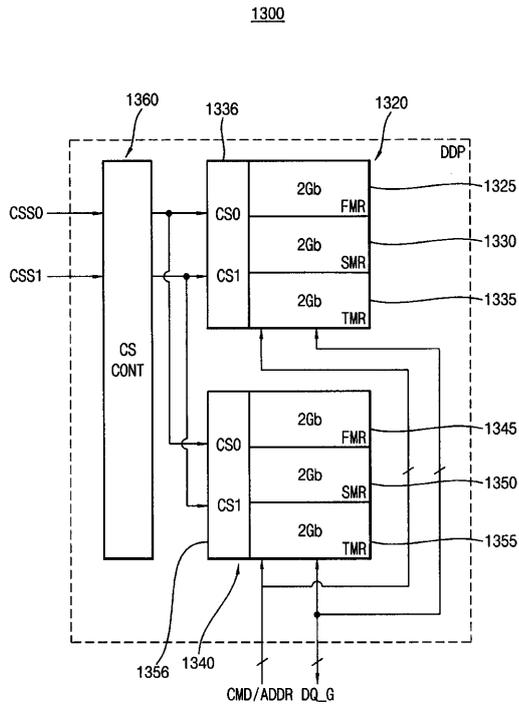
【 図 1 7 】



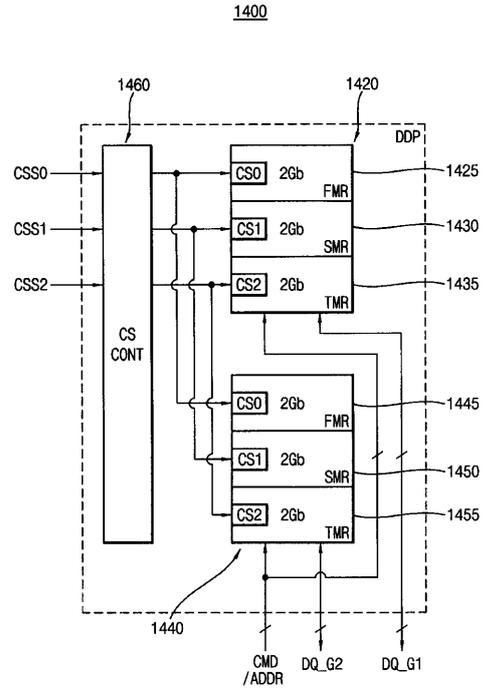
【 図 1 8 】



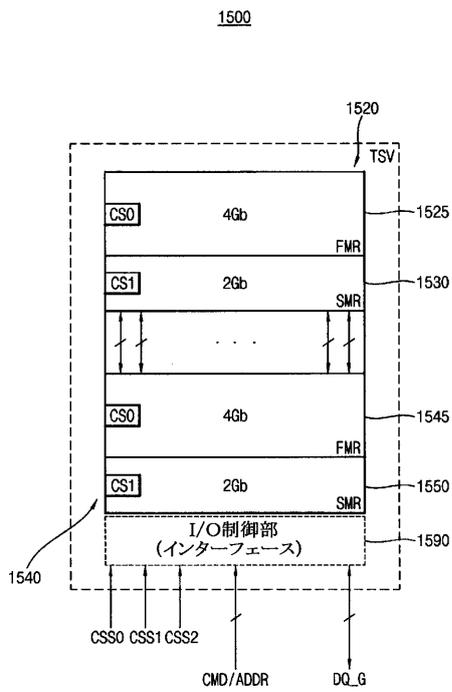
【 図 1 9 】



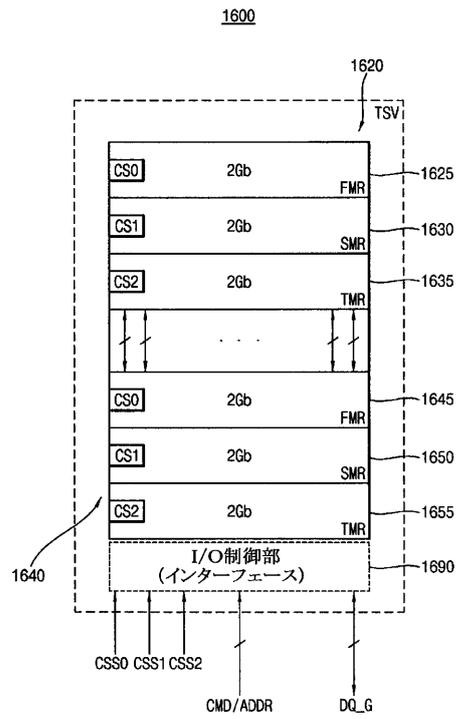
【 図 2 0 】



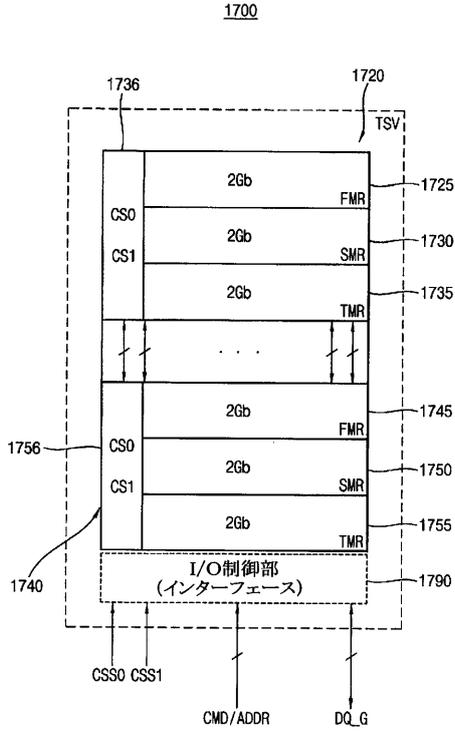
【 図 2 1 】



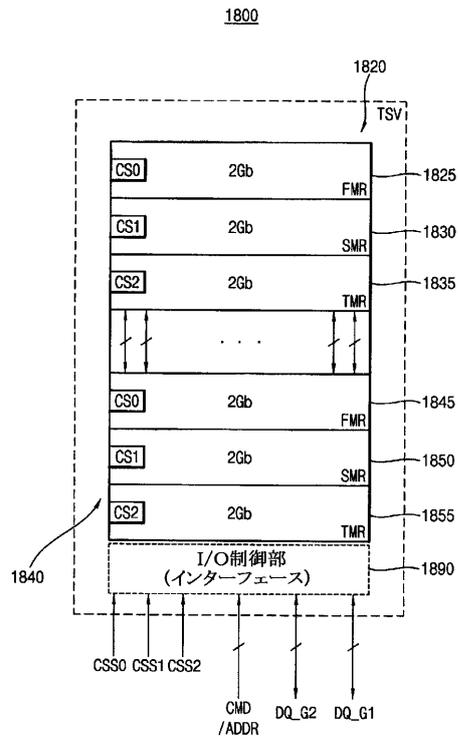
【 図 2 2 】



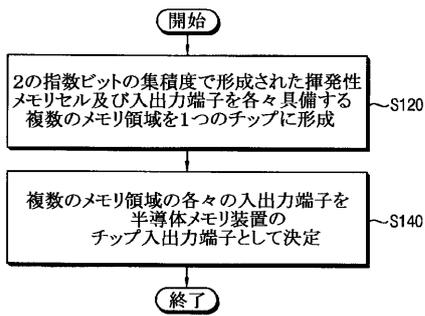
【 図 2 3 】



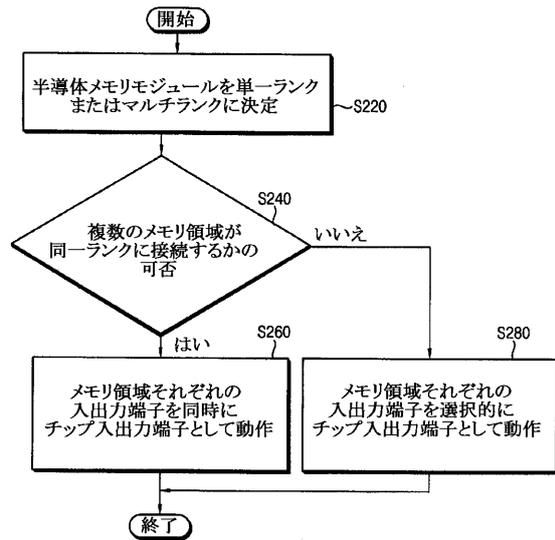
【 図 2 4 】



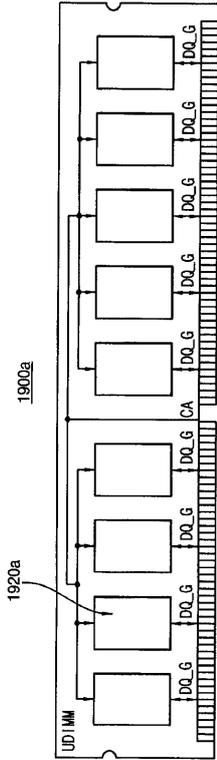
【 図 2 5 】



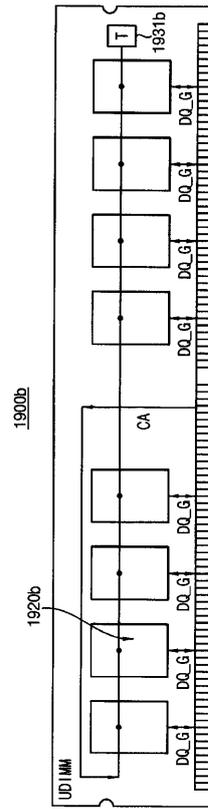
【 図 2 6 】



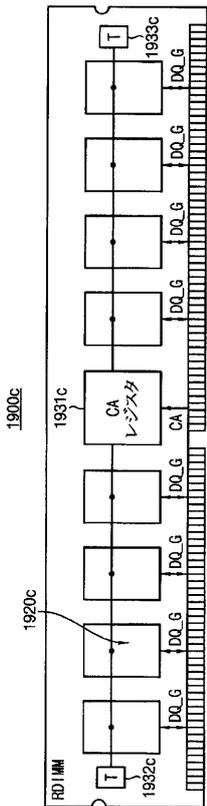
【 図 2 7 】



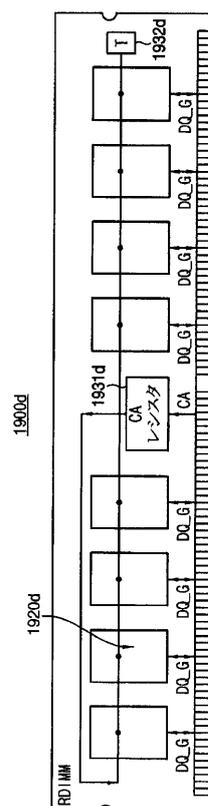
【 図 2 8 】



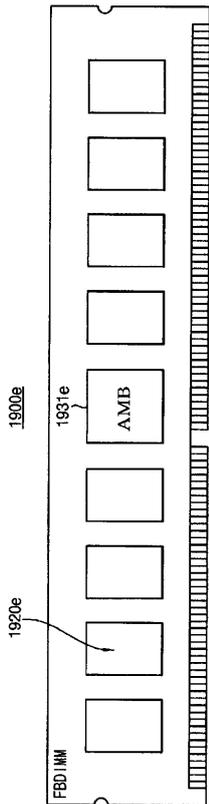
【 図 2 9 】



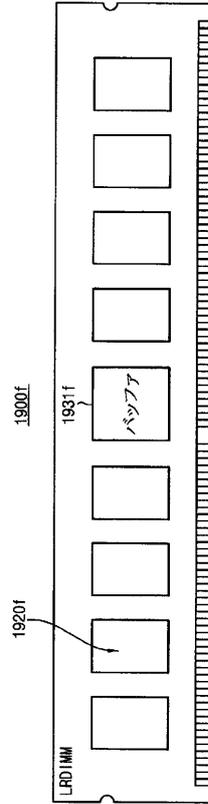
【 図 3 0 】



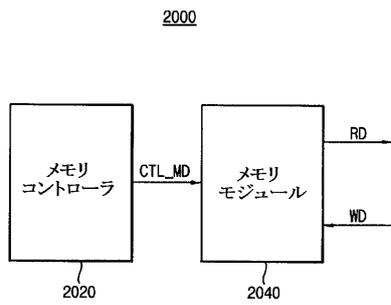
【図 3 1】



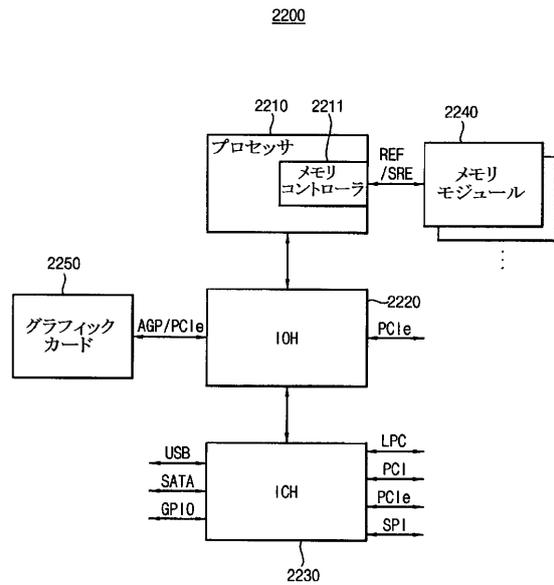
【図 3 2】



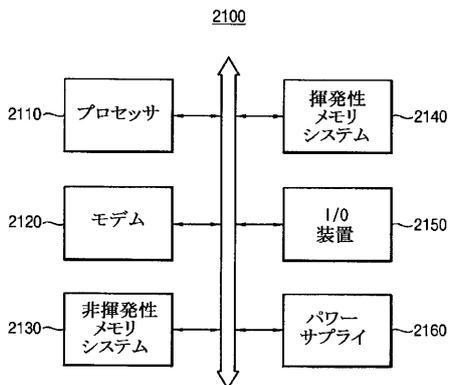
【図 3 3】



【図 3 5】



【図 3 4】



フロントページの続き

(72)発明者 辛 忠善

大韓民国京畿道龍仁市器興区新葛洞(番地なし) ノクウォンマウルセチョンニヨングリーン
ビル5団地アパートメント509棟501号

(72)発明者 崔 周善

大韓民国京畿道龍仁市水枝区豊徳川2洞(番地なし) 三星6次アパートメント605棟901号

Fターム(参考) 5B060 MM00

5F083 GA05 GA09 ZA23

5M024 AA90 BB30 LL17 PP01