

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4695979号
(P4695979)

(45) 発行日 平成23年6月8日(2011.6.8)

(24) 登録日 平成23年3月4日(2011.3.4)

(51) Int.Cl.		F I			
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO4N	5/376	(2011.01)	HO4N	5/335	760
HO1L	27/146	(2006.01)	HO1L	27/14	A

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2005-373180 (P2005-373180)	(73) 特許権者	000005821
(22) 出願日	平成17年12月26日(2005.12.26)		パナソニック株式会社
(65) 公開番号	特開2007-174600 (P2007-174600A)		大阪府門真市大字門真1006番地
(43) 公開日	平成19年7月5日(2007.7.5)	(74) 代理人	100077931
審査請求日	平成20年10月16日(2008.10.16)		弁理士 前田 弘
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

行列状に配置され、入射光に応じた画素信号を出力する複数の単位画素と、
前記画素信号を受ける複数のフローティングディフュージョン部と、
列ごとに設けられ、画素アンプトランジスタを介して前記フローティングディフュージョン部と電気的に接続された複数の垂直信号線と、

前記複数の垂直信号線から前記画素信号を順次読み出し、1行分の撮像信号に変換する信号処理回路と、

前記信号処理回路を駆動する水平駆動信号を出力する水平走査回路とを備え、
互いに隣接する行で且つ隣接する列に配置された2つの前記単位画素は、前記フローティングディフュージョン部を共有しており、

前記各フローティングディフュージョン部は、該フローティングディフュージョン部に蓄積された前記画素信号を読み出す前記画素アンプトランジスタと電気的に接続されており、

前記複数の垂直信号線のうちの1の垂直信号線は、一の列に配置された単位画素のうちの奇数行に配置された単位画素の前記画素信号を受け、前記一の垂直信号線と隣接する垂直信号線の一方は、前記一の列に配置された単位画素のうちの偶数行に配置された単位画素の前記画素信号を受け、

前記水平走査回路は、前記信号処理回路が偶数行に配置された前記単位画素の前記画素信号を読み出す場合と、奇数行に配置された前記単位画素の前記画素信号を読み出す場合

10

20

とでは、タイミングが互いに異なる前記水平駆動信号を出力し、

前記水平走査回路は、複数のシフトレジスタ回路と、前記複数のシフトレジスタ回路のうちいずれか1つのシフトレジスタ回路の出力を選択して前記水平駆動信号として出力する選択回路とを有し、

前記各シフトレジスタ回路は、タイミングが互いに異なる信号をそれぞれ生成することを特徴とする固体撮像装置。

【請求項2】

前記各单位画素は、前記入射光を前記画素信号に変換する光電変換部と、前記光電変換部と接続され前記画素信号を読み出す転送トランジスタとを有し、

前記フローティングディフュージョン部は、前記転送トランジスタのドレイン領域であることを特徴とする請求項1に記載の固体撮像装置。

10

【請求項3】

前記信号処理回路が読み出す前記画素信号が、偶数行に配置された前記各单位画素からの画素信号か、奇数行に配置された前記各单位画素からの画素信号かを判別して、前記選択回路を駆動する判別回路をさらに備えていることを特徴とする請求項1に記載の固体撮像装置。

【請求項4】

前記複数の各单位画素を行ごとに選択状態とする垂直駆動信号を出力する垂直走査回路をさらに備え、

前記判別回路は、前記垂直駆動信号により駆動することを特徴とする請求項3に記載の固体撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の光電変換部が行列状に配置された固体撮像装置に関する。

【背景技術】

【0002】

近年、MOS型固体撮像装置において、小型化の要求が高まっている。一方、高感度化も必要とされており、光電変換部であるフォトダイオード(PD)部が画素に占める割合を増大させる必要がある。このため、画素に含まれる、フローティングディフュージョン(FD)部、リセットトランジスタ及び画素アンプトランジスタ等の小型化が進められている。

30

【0003】

固体撮像装置の小型化を進めるために、複数のPD部がFD部等を共有する構成が提案されている。例えば、特許文献1には、2個又は4個のPD部及び転送トランジスタと、1個のFD部及び画素アンプトランジスタとにより構成された画素を備えた固体撮像装置及びその駆動方法が開示されている。

【特許文献1】特開2005-167958号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、前記従来の固体撮像装置は、PD部と平行して転送トランジスタ及びFD部を形成しているため、画素アンプトランジスタ及びFD部の数を減らすことができるが、FD部のサイズはあまり小さくすることができないという問題がある。例えば、2個のPD部が共有するFD部は、PD部ごとにFD部を形成する場合と同程度のサイズとなってしまう。このため、複数のPD部が共通のFD部と接続された構成とした場合においても、FD部の占める面積が大きくなり、PD部の面積を十分大きくすることができないという問題がある。

50

【0005】

本発明は、前記従来の問題を解決し、複数のフォトダイオード部がフローティングディフュージョン部を共有する場合に、フローティングディフュージョン部がフォトダイオード部に占める割合が小さく、小型で高感度の固体撮像装置を実現できるようにすることを目的とする。

【課題を解決するための手段】

【0006】

前記の目的を達成するため、本発明は固体撮像装置を、互いに隣接する行で且つ隣接する列に配置された2つの光電変換部がフローティングディフュージョン部を共有する構成とする。

10

【0007】

具体的に本発明に係る固体撮像装置は、行列状に配置され、入射光に応じた画素信号を出力する複数の単位画素と、画素信号を受ける複数のフローティングディフュージョン部とを備え、互いに隣接する行で且つ隣接する列に配置された2つの単位画素は、フローティングディフュージョン部を共有していることを特徴とする。

【0008】

本発明の固体撮像装置によれば、互いに隣接する行で且つ隣接する列に配置された2つの単位画素は、フローティングディフュージョン部を共有しているため、画素に対してFD部を斜めに配置することができる。従って、画素に対してFD部を平行して配置した場合と比べて、FD部の占有面積を小さくすることができるので、画素のサイズが一定の場合、フォトダイオード部が画素に占める割合を大きくすることができる。また、フォトダイオード部の面積を小さくすることなく画素のサイズを小さくすることが可能となる。

20

【0009】

本発明の固体撮像装置において、各単位画素は、入射光を画素信号に変換する光電変換部と、光電変換部と接続され画素信号を読み出す転送トランジスタとを有し、フローティングディフュージョン部は、転送トランジスタのドレイン領域であることが好ましい。

【0010】

本発明の固体撮像装置において、各フローティングディフュージョン部は、該フローティングディフュージョン部に蓄積された画素信号を読み出す画素アンプトランジスタと電氣的に接続されていることが好ましい。

30

【0011】

本発明の固体撮像装置において、一のフローティングディフュージョン部は、該一のフローティングディフュージョン部と行方向に隣接する他のフローティングディフュージョン部と電氣的に接続されており、相互に電氣的に接続されたフローティングディフュージョン部同士は、共通の画素アンプトランジスタと電氣的に接続されていることが好ましい。このような構成とすることにより、画素アンプトランジスタ等を共有化することができ、フォトダイオード部の占有率をさらに向上させることが可能となる。

【0012】

本発明の固体撮像装置は、列ごとに設けられ、画素アンプトランジスタを介在してフローティングディフュージョン部と電氣的に接続された複数の垂直信号線をさらに備え、複数の垂直信号線のうちの一の垂直信号線は、一の列に配置された単位画素のうち奇数行に配置された単位画素の画素信号を受け、一の垂直信号線と隣接する垂直信号線の一方は、一の列に配置された単位画素のうち偶数行に配置された単位画素の画素信号を受けることが好ましい。

40

【0013】

本発明の固体撮像装置は、複数の垂直信号線から画素信号を順次読み出し、1行分の撮像信号に変換する信号処理回路と、信号処理回路を駆動する水平駆動信号を出力する水平走査回路とをさらに備え、水平走査回路は、信号処理回路が偶数行に配置された単位画素の画素信号を読み出す場合と、奇数行に配置された単位画素の画素信号を読み出す場合とでは、タイミングが互いに異なる水平駆動信号を出力することが好ましい。このような構

50

成とすることにより、FD部を斜めに配置した場合にも画像のずれが生じることを抑えることができる。

【0014】

本発明の固体撮像装置において水平走査回路は、複数のシフトレジスタ回路と、複数のシフトレジスタ回路のうちのいずれか1つのシフトレジスタ回路の出力を選択して水平駆動信号として出力する選択回路とを有し、各シフトレジスタ回路は、タイミングが互いに異なる信号をそれぞれ生成することが好ましい。

【0015】

本発明の固体撮像装置において水平走査回路は、直列に接続された複数段のフリップフロップからなるシフトレジスタ回路を有し、シフトレジスタへの信号入力を、信号処理回路が偶数行に配置された単位画素の画素信号を読み出す場合と、奇数行に配置された単位画素の画素信号を読み出す場合とでは、異なる段のフリップフロップに対して行うことが好ましい。このような構成とすることによりシフトレジスタ回路が1つですむため、装置を小型化することができる。

10

【0016】

この場合において水平走査回路は、信号を入力するフリップフロップを切り替える選択回路を有していることが好ましい。

【0017】

本発明の固体撮像装置は、信号処理回路が読み出す画素信号が、偶数行に配置された単位画素からの画素信号か、奇数行に配置された単位画素からの画素信号かを判別して、選択回路を駆動する判別回路をさらに備えていることが好ましい。

20

【0018】

本発明の固体撮像装置は、複数の単位画素を行ごとに選択状態とする垂直駆動信号を出力する垂直走査回路をさらに備え、判別回路は、垂直駆動信号により駆動することが好ましい。

【0019】

本発明の固体撮像装置において水平走査回路は、シフトレジスタ駆動信号によって駆動されるシフトレジスタ回路を有し、シフトレジスタ回路は、信号処理回路が偶数行に配置された単位画素の画素信号を読み出す場合と、奇数行に配置された単位画素の画素信号を読み出す場合とでは、タイミングが互いに異なるシフトレジスタ駆動信号により駆動されることが好ましい。

30

【発明の効果】

【0020】

本発明に係る固体撮像装置によれば、複数のフォトダイオード部がフローティングディフュージョン部を共有する場合に、フローティングディフュージョン部がフォトダイオード部に占める割合が小さく、小型で高感度の固体撮像装置を実現できる。

【発明を実施するための最良の形態】

【0021】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。図1は本発明の第1の実施形態に係る固体撮像装置における光電変換セル部20の回路構成を示している。図1に示すように光電変換セル部20は行列状に配置された単位画素21と、2個の単位画素21の間に設けられたフローティングディフュージョン(FD)部22と、一方のソースドレインがFD部22と接続されたりセットトランジスタ23と、ゲートがFD部22と接続された画素アンプトランジスタ24とによって形成されている。図1には4行3列の単位画素が示されているが、光電変換セル部20に含まれる単位画素21の行数及び列数は任意に変更してかまわない。

40

【0022】

単位画素21は、フォトダイオード(PD)部11と、一方のソースドレインがPD部11と接続された読み出しトランジスタ12とから構成されている。互いに隣接する行で

50

且つ隣接する列に配置された2つの単位画素21に設けられた読み出しトランジスタ12の他方のソースドレイン同士が接続されFD部22が形成されている。各画素アンプトランジスタ24の一方のソースドレインは、列ごとに設けられた垂直信号線31と接続されている。各画素アンプトランジスタ24及び各リセットトランジスタ23の他方のソースドレインは電源信号線34と接続されている。各リセットトランジスタ23のゲートは、行ごとに設けられたリセット信号線32と接続され、各読み出しトランジスタ12のゲートは、行ごとに設けられた読み出し信号線33と接続されている。

【0023】

図2は図1に示す回路構成の単位画素21及びFD部21を基板上に配置した例を示している。基板に設けられたウェル15にPD部11が、行列状に形成されており、隣接する行で且つ隣接する列に設けられたPD部11同士の間には、FD部22が形成されている。FD部22とPD部11との間には、読み出しトランジスタのゲート12aが形成されており、FD部22は読み出しトランジスタのドレイン領域となる。読み出しトランジスタのゲート12a及びFD部22は、PD部11に対して斜めに形成されている。このため、FD部22の面積を非常に小さくすることができる。

10

【0024】

例えば、列方向の幅W及び行方向の幅Dをそれぞれ1800nm、素子分離16の幅2Wcを350nm素子分離16とPD部11との間隔Wbを350nmとすると、列方向のPD部11の幅Waは750nmとなる。また、行方向に隣接するPD部11同士の間隔2Dbを350nmとすると、行方向のPD部11の幅Daは1100nmとなる。この場合に、転送トランジスタのゲート12aのゲート長を400nmとすると、FD部22は、約400nm角となり、その面積は約0.16 μm^2 となる。単位エリアの面積は約3.2 μm^2 であるから、FD部22が単位エリアに占める割合は約5%となる。また、PD部11の列方向の間隔Dbを350nmとすると、図2において斜線を施したPD部11の面積は、約1.1 μm^2 となるため、PD部11が単位エリアに占める割合は約35%となる。

20

【0025】

図3は隣接する行で且つ同一列に設けられたPD部111同士の間にはFD部122を形成した場合のレイアウトを示している。この場合も列方向の幅W及び行方向の幅Dがそれぞれ1800nmの単位エリアにおいて、素子分離116の行方向の幅2Dcを350nm、素子分離116とPD部111との間隔Dbを350nm、PD部111同士の列方向の間隔Wbを350に設定すると、FD部122の幅Weは200nm、長さは3250nmとなり、面積は約0.65 μm^2 となる。FD部122が単位エリアに占める割合は約20%であり、FD部22を斜めに配置した場合と比べてFD部22が占める割合が遙かに大きくなる。この場合、読み出しトランジスタのゲート112aの下側に分離酸化膜117を形成する必要があるため、FD部122には幅が狭い部分が生じる。この部分に配線コンタクトを形成する必要があるため、FD部122の幅Weをこれ以上狭くすることは困難である。一方、PD部111の面積は約0.9 μm^2 となり、PD部111が単位エリアに占める割合は約29%となる。

30

【0026】

以上説明したように、同一のデザインルールにより画素を設計した場合には、読み出しトランジスタ及びFD部を斜めに配置することにより、FD部が占める面積を大幅に低減し、PD部が占める面積を大きく向上させることができる。

40

【0027】

(第1の実施形態の一変形例)

以下に、第1の実施形態の一変形例について図面を参照して説明する。図4は第1の実施形態の一変形例に係る固体撮像装置の回路構成を示している。図4において図1と同一の構成要素には同一の符号を附すことにより説明を省略する。

【0028】

図4に示すように本変形例の固体撮像装置は、互いに同一列で且つ隣接する行に設けら

50

れた2つのFD部22同士が電氣的に接続されており、2つのFD部22は、リセットトランジスタ23及び画素アンプトランジスタ24を共有している。

【0029】

このような構成とすることによりリセットトランジスタ23及び画素アンプトランジスタ24の数を減らすことができるので、固体撮像装置の小型化を進める上で有利となる。

【0030】

(第2の実施形態)

以下に、本発明の第2の実施形態について図面を参照して説明する。図5は本発明の第2の実施形態に係る固体撮像装置のブロック構成を示している。

【0031】

図5に示すように本実施形態の固体撮像装置は、光電変換セル部20と、光電変換セル部を行ごとに駆動する垂直走査回路41と、光電変換セル部20の出力信号を処理及び保持する信号処理部42と、信号処理部を列ごとに駆動する水平走査回路43とを備えている。

【0032】

光電変換セル部20の回路構成は、図1に示す第1の実施形態の光電変換セル部20と同一であり、互いに隣接する行で且つ隣接する列に配置された2つの単位画素21は、FD部22を共有している。各FD部22は、画素アンプトランジスタ24を介在させて列ごとに設けられた垂直信号線31とそれぞれ接続されている。

【0033】

垂直走査回路41は垂直駆動信号を出力し、出力された垂直駆動信号により光電変換セル部20の一の行が選択され、一の行に含まれる各単位画素21の画素信号が、FD部22及び画素アンプトランジスタ24を介して垂直信号線31にそれぞれ出力される。垂直駆動信号は、読み出し信号線32、リセット信号線33及び電源信号線34等に供給するパルス信号である。

【0034】

各垂直信号線31に出力された画素信号は、信号処理部42にそれぞれ保持される。信号処理部42に保持された画素信号は、水平走査回路43から出力される水平駆動信号によって、順次水平信号線35に読み出され、水平信号線35と接続された信号増幅回路44を通して1行分の撮像信号として出力される。

【0035】

本実施形態の光電変換セル部20は図1に示すように、隣接する行で且つ同一の列に含まれる2つの単位画素21同士は、互いに反対側の列に含まれる単位画素21とFD部22を共有している。具体的に図1の1行2列目の単位画素21は、2行1列目の単位画素21とFD部22を共有し、2行2列目の単位画素21は、1行3列目の単位画素21とFD部22を共有している。また、1行2列目のFD部22は2列目の垂直信号線31と接続され、2行2列目のFD部22は3列目の垂直信号線31と接続されている。従って、一の列に含まれる単位画素21の画素信号は、奇数行と偶数行とでは異なった垂直信号線31に出力される。このため、信号処理回路42に保持された画素信号を水平信号線35に単純に読み出し、1行分の撮像信号を生成した場合には、奇数行と偶数行とで、画像のずれが発生する恐れがある。

【0036】

本実施形態の固体撮像装置は、水平走査回路43が図6に示すようにシフトレジスタ回路51とシフトレジスタ回路52の2系統のシフトレジスタ回路を有しており、2系統の水平駆動信号を生成できる。判別回路53によって駆動される選択回路54によってシフトレジスタ回路51が生成する水平駆動信号又はシフトレジスタ回路52が生成する水平駆動信号が出力され、信号処理回路42に供給される。これにより、奇数行と偶数行とで信号処理回路42から水平信号線35に信号を読み出すタイミングを変えることができる。その結果、隣接する行で且つ隣接する列の単位画素21同士がFD部22を共有する場合においても、画像のずれが発生することを抑制することができる。

10

20

30

40

50

【 0 0 3 7 】

図 7 は本実施形態の水平走査回路の回路構成の一例を示している。選択回路 5 4 は、判別信号線 H S E L の信号によって、第 1 の入力端子 $S_A I N$ から入力された信号又は第 2 の入力端子 $S_B I N$ から入力された信号を選択して出力端子 S O U T から出力する回路である。

【 0 0 3 8 】

シフトレジスタ回路 5 1 及びシフトレジスタ回路 5 2 は、直列に接続された複数段のフリップフロップからなる。シフトレジスタ回路 5 1 の 1 段目の出力端子 $F_A O U T 1$ は、選択回路 5 4 の 1 段目の第 1 の入力端子 $S_A I N 1$ と接続され、2 段目以降の各段の出力端子 $F_A O U T$ もそれぞれ順に対応する第 1 の入力端子 $S_A I N$ と接続されている。シフトレジスタ回路 5 2 の 1 段目の出力端子 $F_B O U T 1$ は、選択回路 5 4 の 2 段目の第 2 の入力端子 $S_B I N 2$ と接続されており、2 段目以降の各段の出力端子 $F_B O U T$ も、選択回路 5 4 の 3 段目から順に対応する第 2 の入力端子 $S_B I N$ とそれぞれ接続されている。選択回路 5 4 の 1 段目の第 2 の入力端子 $S_B I N 1$ は、接地されている。

10

【 0 0 3 9 】

シフトレジスタ回路 5 1 及びシフトレジスタ回路 5 2 の 1 段目の信号入力端子はシフトレジスタ駆動線 H S T と接続され、クロック端子はクロック線 C L K と接続されている。シフトレジスタ駆動線 H S T に印加されたシフトレジスタ駆動パルスは、クロック端子に入力される駆動クロックと同期して、シフトレジスタ回路 5 1 及びシフトレジスタ回路 5 2 により順次シフトされて出力される。

20

【 0 0 4 0 】

図 8 (a) 及び (b) は図 7 の水平走査回路の動作タイミングであり、(a) は奇数行の読み出しを行う場合を示し、(b) は偶数行の読み出しを行う場合を示している。奇数行の読み出しを行う場合には、判別信号線 H S E L にハイ (“ H ”) レベルの電圧が印加される。これにより、選択回路 5 4 の第 1 の入力端子 $S_A I N$ に入力された信号が選択回路 5 4 の出力端子 S O U T から出力される。

【 0 0 4 1 】

シフトレジスタ回路 5 1 にシフトパルスが印加されると、シフトレジスタ回路 5 1 の出力端子 $F_A O U T$ が駆動クロックに同期して 1 段目から順に “ H ” レベルの信号を出力するため、選択回路 5 4 の 1 段目の出力端子 S O U T 1 から順次 “ H ” レベルの信号が出力される。これにより、信号処理部 4 2 に蓄積された 1 列目の垂直信号線 3 1 の信号から順に水平信号線 3 5 へ読み出しが行われ、信号増幅回路 4 4 を通して順次出力される。

30

【 0 0 4 2 】

一方、偶数行の読み出しを行う場合には、判別信号線 H S E L にロー (“ L ”) レベルの電圧が印加される。これにより、選択回路 5 4 の第 2 の入力端子 $S_B I N$ に入力された信号が選択回路 5 4 の出力端子 S O U T から出力される。シフトレジスタ回路 5 2 の 1 段目の出力端子 $F_B O U T 1$ は選択回路 5 4 の 2 段目の第 2 の入力端子 $S_B I N 2$ と接続されているため、選択回路 5 4 の 2 段目の出力端子 S O U T 2 から順次 “ H ” レベルの信号が出力される。これにより、信号処理部 4 2 に蓄積された 2 列目の垂直信号線 3 1 の信号から順に水平信号線 3 5 へ読み出しが行われ、信号増幅回路 4 4 を通して順次出力される。

40

【 0 0 4 3 】

従って、互いに隣接する行で且つ隣接する列に配置された 2 つの単位画素 2 1 が、F D 部 2 2 を共有しており、 n 列目 (n は 1 以上の整数である。) に配置された単位画素 2 1 の画素信号が、奇数行の場合には n 列目の垂直信号線 3 1 に出力され、偶数行の場合には $n + 1$ 列目の垂直信号線 3 1 に出力される場合にも、水平信号線 3 5 への読み出しタイミングが変動することがなく、画像ずれの発生を抑えることができる。

【 0 0 4 4 】

図 9 は第 2 の実施形態に係る水平走査回路の別の構成を示している。図 9 に示すように水平走査回路は、直列に接続された複数段のフリップフロップからなるシフトレジスタ回路 5 5 と選択回路 5 6 とから構成されている。奇数行の読み出しを行う場合には H S T に

50

印加されたシフトパルスが、シフトレジスタ回路 5 5 の 1 段目に入力される。偶数行の読み出しを行う場合には、選択回路 5 6 が駆動され、シフトパルスがシフトレジスタ回路 5 5 の 2 段目に入力される。このような構成とすれば、シフトレジスタ回路が 1 つですむため回路構成を簡略化することができる。

【 0 0 4 5 】

判別回路 5 3 は、図 1 0 に示すようにフリップフロップの入力 D と反転出力 Q N とが接続された 2 分周回路とすればよい。ここで V S T は、垂直走査回路のシフトインパルスであり、V 1 は垂直走査回路 4 1 の駆動クロックである。これにより垂直走査回路 4 1 が奇数行を選択し、読み出す際にはフリップフロップの出力 Q と接続された判別信号線 H S E L の電圧が“ H ”レベルとなり、偶数行を選択し、読み出す際には判別信号線 H S E L の電圧が“ L ”レベルとなる。

10

【産業上の利用可能性】

【 0 0 4 6 】

本発明に係る固体撮像装置は、複数のフォトダイオード部がフローティングディフュージョン部を共有する場合に、フローティングディフュージョン部がフォトダイオード部に占める割合が小さく、小型で高感度の固体撮像装置を実現でき、複数の光電変換部が行列状に配置された固体撮像装置等として有用である。

【図面の簡単な説明】

【 0 0 4 7 】

【図 1】本発明の第 1 の実施形態に係る固体撮像装置における光電変換セル部の回路構成を示す回路図である。

20

【図 2】本発明の第 1 の実施形態に係る固体撮像装置における光電変換セル部のレイアウト構成を示す平面図である。

【図 3】従来の固体撮像装置における F D 部の面積を説明するための平面図である。

【図 4】本発明の第 1 の実施形態の一変形例に係る固体撮像装置における光電変換セル部の回路構成を示す回路図である。

【図 5】本発明の第 2 の実施形態に係る固体撮像装置の回路構成を示すブロック図である。

【図 6】本発明の第 2 の実施形態に係る固体撮像装置の水平走査回路の一例を示すブロック図である。

30

【図 7】本発明の第 2 の実施形態に係る固体撮像装置の水平走査回路の一例を示す回路図である。

【図 8】本発明の第 2 の実施形態に係る固体撮像装置の水平走査回路の動作タイミングを示すタイミング図である。

【図 9】本発明の第 2 の実施形態に係る固体撮像装置の水平走査回路の別の例を示す回路図である。

【図 1 0】本発明の第 2 の実施形態に係る固体撮像装置の判別回路の一例を示す回路図である。

【符号の説明】

【 0 0 4 8 】

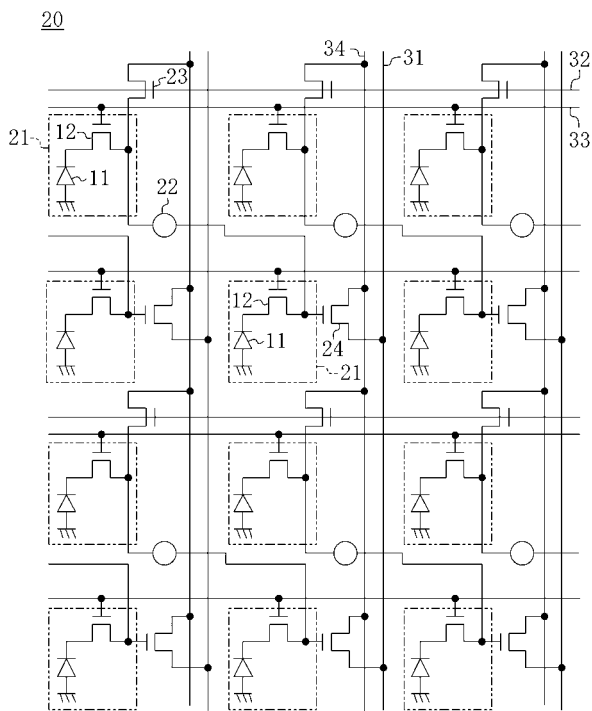
40

- 1 1 フォトダイオード
- 1 2 読み出しトランジスタ
- 1 5 ウェル
- 1 6 素子分離
- 2 0 光電変換セル部
- 2 1 単位画素
- 2 2 フローティングディフュージョン部
- 2 3 リセットトランジスタ
- 2 4 画素アンプトランジスタ
- 3 1 垂直信号線

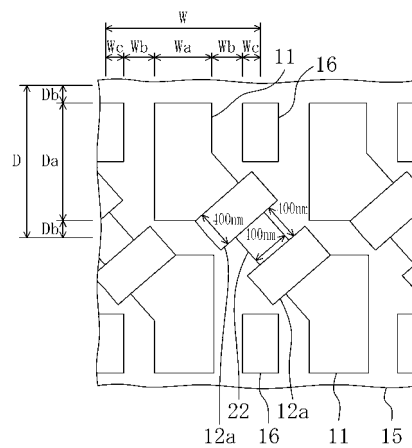
50

- 3 2 リセット信号線
- 3 3 読み出し信号線
- 3 4 電源信号線
- 3 5 水平信号線
- 4 1 垂直走査回路
- 4 2 信号処理回路
- 4 3 水平走査回路
- 4 4 信号増幅回路
- 5 1 シフトレジスタ回路
- 5 2 シフトレジスタ回路
- 5 3 判別回路
- 5 4 選択回路
- 5 5 シフトレジスタ回路
- 5 6 選択回路

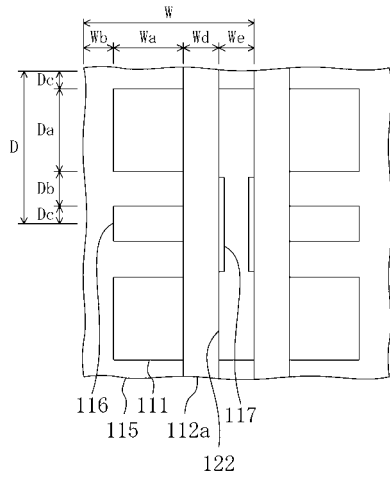
【図1】



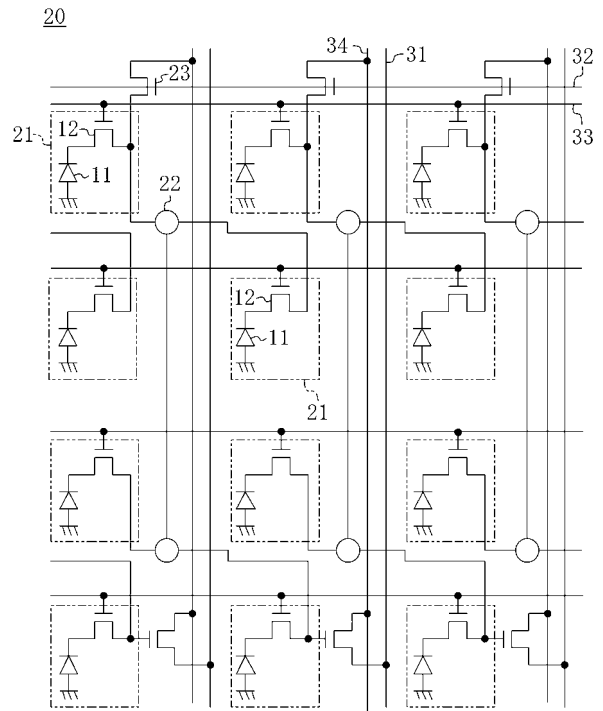
【図2】



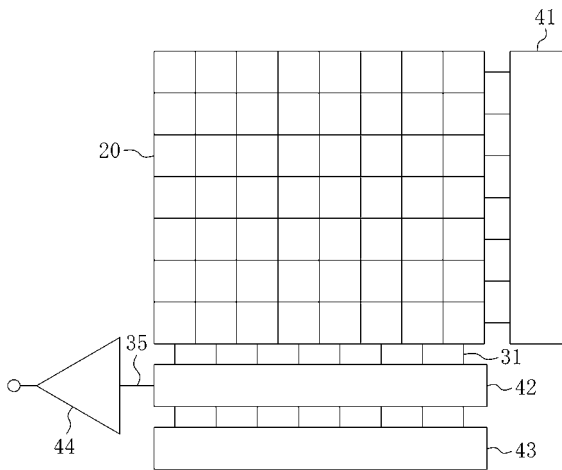
【図3】



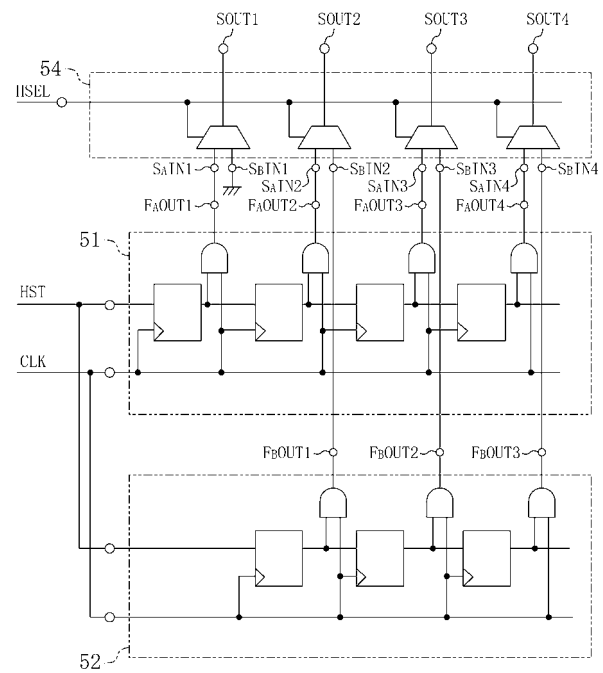
【図4】



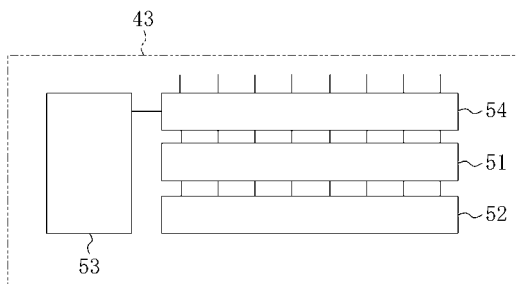
【図5】



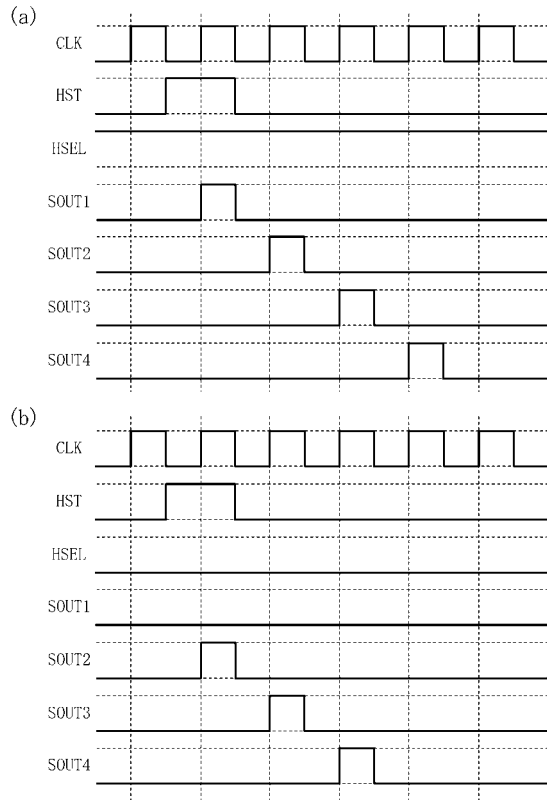
【図7】



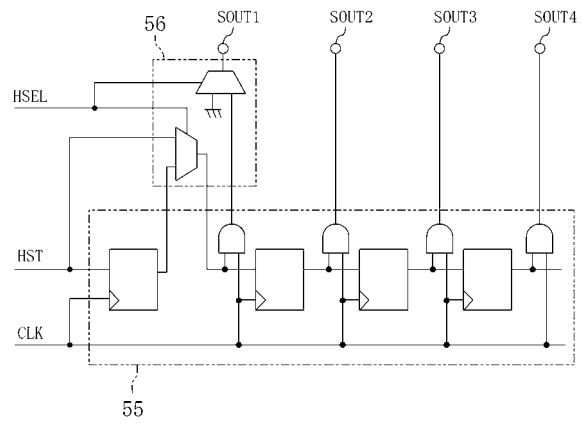
【図6】



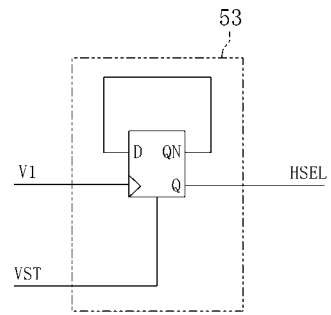
【 8 】



【 9 】



【 10 】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 田中 晶二
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 宮川 良平
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 古賀 一成
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 室島 孝廣
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 渡邊 研二
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 鈴木 肇

- (56)参考文献 特開2004-172950(JP,A)
特開2005-167958(JP,A)
特開2006-054276(JP,A)
特開昭61-156866(JP,A)
特開2004-128193(JP,A)
特開2006-165567(JP,A)
特開2006-080937(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378
H01L 21/339
H01L 27/14
H01L 27/146 - 27/148
H01L 29/762