



(12) 发明专利

(10) 授权公告号 CN 110689913 B

(45) 授权公告日 2024. 07. 26

(21) 申请号 201810730072.X

(56) 对比文件

(22) 申请日 2018.07.05

CN 107305785 A, 2017.10.31

US 2010124120 A1, 2010.05.20

(65) 同一申请的已公布的文献号

申请公布号 CN 110689913 A

审查员 张磊

(43) 申请公布日 2020.01.14

(73) 专利权人 三星电子株式会社

地址 韩国京畿道水原市

(72) 发明人 朴起台 吴贤实

(74) 专利代理机构 北京铭硕知识产权代理有限

公司 11286

专利代理师 尹淑梅 薛义丹

(51) Int. Cl.

G11C 16/30 (2006.01)

G11C 16/34 (2006.01)

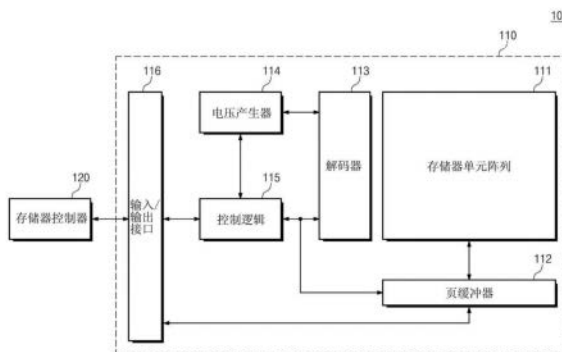
权利要求书2页 说明书16页 附图29页

(54) 发明名称

非易失性存储器装置

(57) 摘要

提供了一种非易失性存储器装置,所述非易失性存储器装置包括:存储器单元阵列,包括以字线和位线布置的多个存储器单元;电压产生器,产生施加到字线之中的选择的字线的编程电压脉冲、施加到字线之中的与选择的字线相邻的第一未选择的字线的第一通过电压以及施加到字线之中的不与选择的字线相邻的第二未选择的字线的第二通过电压;以及控制逻辑,迭代地增大编程电压脉冲并且根据编程电压脉冲的增大的迭代来不同地增大第一通过电压和第二通过电压。



1. 一种非易失性存储器装置,所述非易失性存储器装置包括:  
存储器单元阵列,包括以字线和位线布置的多个存储器单元;  
电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲、施加到字线之中的与选择的字线相邻的第一未选择的字线的第一通过电压以及施加到字线之中的不与选择的字线相邻的第二未选择的字线的第二通过电压;以及  
控制逻辑,被构造成迭代地增大编程电压脉冲的电平并且根据编程电压脉冲的增大的迭代来不同地增大第一通过电压和第二通过电压,  
其中,第二通过电压的增量比第一通过电压的增量。  
2. 根据权利要求1所述的非易失性存储器装置,其中,第一通过电压在第一预定次数的编程电压脉冲的循环期间维持在恒定的电平之后增大到第一预定电平。  
3. 根据权利要求2所述的非易失性存储器装置,其中,控制逻辑在编程电压脉冲的增大的迭代之中的第一点处增大第一通过电压,并且在编程电压脉冲的增大的迭代之中的与第一点不同的第二点处增大第二通过电压。  
4. 根据权利要求1所述的非易失性存储器装置,其中,控制逻辑还被构造成根据第一通过电压的波动来增大编程电压脉冲。  
5. 根据权利要求1所述的非易失性存储器装置,其中,控制逻辑在编程电压脉冲的增大的迭代之中的第一点处增加编程电压脉冲的施加时间。  
6. 根据权利要求5所述的非易失性存储器装置,其中,控制逻辑根据编程电压脉冲的施加时间的增加在第一点处增大第一通过电压和第二通过电压。  
7. 根据权利要求1所述的非易失性存储器装置,其中,电压产生器还产生施加到字线之中的边缘字线的第三通过电压,控制逻辑使第三通过电压与第二通过电压不同地增大。  
8. 根据权利要求1所述的非易失性存储器装置,其中,控制逻辑在与选择的字线相邻的未选择的字线之中不同地调整施加到位于选择的字线与串选择线之间的第一未选择的字线的第一通过电压的第一电平以及施加到位于选择的字线与地选择线之间的第一未选择的字线的第一通过电压的第二电平。  
9. 一种非易失性存储器装置,所述非易失性存储器装置包括:  
存储器单元阵列,包括以字线和位线布置的多个存储器单元;  
电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的通过电压;以及  
控制逻辑,被构造成迭代地增大编程电压脉冲并且根据编程电压脉冲的增大的迭代调整通过电压,  
其中,控制逻辑还被构造成在编程电压脉冲的增大的迭代之中的第一点处增加编程电压脉冲的施加时间并且根据编程电压脉冲的施加时间的增加在第一点处增大施加到至少一条未选择的字线的通过电压。  
10. 根据权利要求9所述的非易失性存储器装置,其中,施加到与选择的字线相邻的未选择的字线的通过电压为恒定通过电压。  
11. 根据权利要求9所述的非易失性存储器装置,其中,施加到字线之中的边缘字线的通过电压为第二通过电压,控制逻辑不同地增大第二通过电压和其它通过电压。  
12. 一种非易失性存储器装置,所述非易失性存储器装置包括:

存储器单元阵列,包括以字线和位线布置的多个存储器单元;

电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲、施加到至少一条未选择的非边缘字线的第一通过电压以及施加到未选择的边缘字线的第二通过电压;以及

控制逻辑,被构造成在编程操作期间迭代地增大编程电压脉冲,

其中,控制逻辑还被构造成根据编程电压脉冲的增大的迭代不同地增大第一通过电压和第二通过电压。

13. 根据权利要求12所述的非易失性存储器装置,其中,电压产生器还产生施加到与选择的字线相邻的未选择的字线的恒定通过电压。

14. 根据权利要求12所述的非易失性存储器装置,其中,控制逻辑在编程电压脉冲的增大的迭代之中的不同的点处增大第一通过电压和第二通过电压。

15. 一种非易失性存储器装置,所述非易失性存储器装置包括:

存储器单元阵列,包括多个存储器块,每个存储器块包括多个单元串,每个单元串包括沿垂直于基底的方向顺序地堆叠在基底上的第一存储器单元、虚设存储器单元和第二存储器单元,第一存储器单元和第二存储器单元连接到字线;

电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲、施加到未选择的字线的通过电压以及施加到虚设字线的虚设通过电压;以及

控制逻辑,被构造成在编程操作期间控制电压产生器以增量迭代地增大编程电压脉冲,

其中,控制逻辑还被构造成根据编程电压脉冲的增大不同地调整通过电压和虚设通过电压。

16. 根据权利要求15所述的非易失性存储器装置,其中,当虚设字线与选择的字线相邻时,控制逻辑在编程电压脉冲的增大的迭代之中将虚设通过电压固定在恒定的电平处。

17. 根据权利要求15所述的非易失性存储器装置,其中,当虚设字线不与选择的字线相邻时,控制逻辑在编程电压脉冲的增大的迭代之中的第一点处将虚设通过电压增大第一增量,

当虚设字线与选择的字线相邻时,控制逻辑在编程电压脉冲的增大的迭代之中的第二点处将虚设通过电压增大第二增量。

18. 根据权利要求15所述的非易失性存储器装置,其中,每个单元串还包括位于第一存储器单元下方的第二虚设存储器单元以及位于第二存储器单元上方的第三虚设存储器单元,

电压产生器还产生施加到第二虚设存储器单元和第三虚设存储器单元中的一个的第二虚设通过电压,

控制逻辑与虚设通过电压不同地调整第二虚设通过电压。

19. 根据权利要求15所述的非易失性存储器装置,其中,控制逻辑还被构造成在编程电压脉冲的增大的迭代之中的第一点处增加编程电压脉冲的施加时间并且根据编程电压脉冲的施加时间的增加在第一点处增大通过电压。

## 非易失性存储器装置

### 技术领域

[0001] 本发明构思总体上涉及非易失性存储器装置。更具体地,发明构思涉及控制编程电压脉冲的非易失性存储器装置。

### 背景技术

[0002] 非易失性存储器装置的示例包括闪存装置和可变电阻存储器装置。当前的闪存装置可通常被分类为NAND闪存或NOR闪存。NOR闪存具有存储器单元独立连接到位线和字线的结构。NOR闪存具有快的(随机)数据存取速度的特性。相比之下,因为多个存储器单元串联连接,所以NAND闪存每个存储器单元串仅需要一个接触件。

[0003] 闪存像其它形式的非易失存储器一样在缺少施加的电力时保留存储的数据。在诸如蜂窝电话、PDA数码相机、便携式游戏控制器和MP3播放器的移动装置内,闪存被广泛用于存储编程代码和有效载荷数据。闪存装置也可用在诸如HDTV、DVD、路由器和GPS的家用电器中。

[0004] 为了进一步提高数据存储密度,许多传统的非易失性存储器装置被构造成包含存储器单元阵列,所述存储器单元阵列包括多个多位存储器单元,每个多位存储器单元能够存储多于一个数据位。多位存储器单元被统称为多级单元(MLC),而单位存储器单元被称为单级单元(SLC)。如本领域所公知的,MLC操作成使用两个或更多个阈值电压分布来存储数据。

### 发明内容

[0005] 发明构思的实施例提供一种能够与限定的ISPP常量相关地来维持增大的编程电压的非易失性存储器装置。发明构思的实施例也提供了一种减小存储器单元过编程的可能性而具有改善的通过电压窗口特性的非易失性存储器装置。

[0006] 在一个实施例中,本发明构思提供了一种存储器装置,所述存储器装置包括:存储器单元阵列,包括以字线和位线布置的多个存储器单元;电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的通过电压;以及控制逻辑,被构造成在编程操作期间根据限定的增量来迭代地增大编程电压脉冲的电平以及调整通过电压的电平。

[0007] 在另一实施例中,本发明构思提供了一种非易失性存储器装置,所述非易失性存储器装置包括:存储器单元阵列,包括以字线和位线布置的多个存储器单元;电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的至少一个通过电压;以及控制逻辑,被构造成迭代地增大编程电压脉冲并且根据未选择的字线在存储器单元阵列中的位置将具有不同的电压电平的不同通过电压施加到未选择的字线,其中,控制逻辑还被构造成在编程操作期间将施加到与选择的字线相邻的未选择的字线的通过电压固定在恒定的电平处。

[0008] 在另一实施例中,本发明构思提供了一种非易失性存储器装置,所述非易失性存

存储器装置包括:存储器单元阵列,包括以字线和位线布置的多个存储器单元;电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的至少一个通过电压;以及控制逻辑,被构造成在编程操作期间迭代地增大编程电压脉冲,其中,控制逻辑还被构造成确定选择的字线的位置,电压产生器还被构造成在编程操作期间根据选择的字线在存储器单元阵列中的位置来控制通过电压的电平。

[0009] 在另一实施例中,本发明构思提供了一种非易失性存储器装置,所述非易失性存储器装置包括:存储器单元阵列,包括以字线和位线布置的多个存储器单元;电压产生器,被构造成产生施加到字线之中的选择的字线的编程电压脉冲和施加到未选择的字线的通过电压;以及控制逻辑,被构造成在编程操作期间控制电压产生器以增量迭代地增大编程电压,其中,控制逻辑还被构造成确定存储器单元阵列之中的选择的字线的位置,电压产生器还被构造成在编程操作期间根据选择的字线的位置来控制编程电压的初始电压电平。

### 附图说明

[0010] 将参照附图来描述发明构思的实施例。在附图中:

[0011] 图1是示出根据发明构思的实施例的存储器系统的框图;

[0012] 图2是进一步示出图1的存储器单元阵列中的存储器单元的串的概念图;

[0013] 图3是示出根据发明构思的实施例的增量步进脉冲编程 (ISPP) 的时序图;

[0014] 图4是示出图1的存储器单元阵列中的存储器单元串的概念剖视图;

[0015] 图5是示出阈值电压与ISPP迭代次数 (#) 的比的曲线图;

[0016] 图6是进一步示出图5中的编程电压脉冲和相关的通过电压的时序图;

[0017] 图7是示出根据图6的编程电压脉冲的阈值电压分布的曲线图;

[0018] 图8是示出阈值电压相对于图6中的编程电压的ISPP迭代次数的曲线图;

[0019] 图9是进一步示出根据发明构思的实施例的编程电压和相关的通过电压的时序图;

[0020] 图10是示出根据发明构思的另一实施例的提供有编程电压和通过电压的存储器单元串的概念图;

[0021] 图11是进一步示出图10的编程电压和通过电压的时序图;

[0022] 图12是示出在各个字线区域中经由字线提供有不同的通过电压的存储器单元串的图;

[0023] 图13是示出根据发明构思的另一实施例的编程电压和通过电压的施加的概念图。

[0024] 图14是示出图13的通过电压的示例性电平的曲线图;

[0025] 图15是总结提供图13的通过电压的方法的流程图;

[0026] 图16是示出根据发明构思的另一实施例的示例性编程电压的曲线图;

[0027] 图17是总结提供图16的编程电压的方法的流程图;

[0028] 图18是示出使用图14和图16的编程电压的编程操作的结果的曲线图;

[0029] 图19是示出将电压施加到单元串的另一示例的图;

[0030] 图20是示出施加图19的编程电压、第一动态通过电压和第二动态通过电压的示例的时序图;

- [0031] 图21是示出施加编程电压的时间的示例的图；
- [0032] 图22是示出施加编程电压的时间的另一示例的图；
- [0033] 图23是示出将电压施加到单元串的另一示例的图；
- [0034] 图24是示出施加图23的第二动态通过电压和第三动态通过电压的示例的时序图；
- [0035] 图25是示出图1的存储器单元阵列的存储器块中的一个存储器块的示例的图；
- [0036] 图26是示出将电压施加到具有参照图25描述的结构单元串的另一示例的图；
- [0037] 图27是示出将电压施加到具有参照图25描述的结构单元串的另一示例的图；
- [0038] 图28是示出将电压施加到具有参照图25描述的结构单元串的另一示例的图；
- [0039] 图29是示出图1的存储器单元阵列的存储器块中的另一存储器块的示例的图；
- [0040] 图30是示出图1的存储器单元阵列的存储器块中的另一存储器块的示例的图；
- [0041] 图31是示出图1的存储器单元阵列的存储器块中的另一存储器块的示例的图；
- [0042] 图32是示出根据发明构思的实施例的包含存储器装置的计算系统的框图；以及
- [0043] 图33是示出根据发明构思的实施例的基于存储器的存储装置的框图。

### 具体实施方式

[0044] 现在将参照附图以一些补充细节来描述发明构思的实施例。然而，发明构思可以以不同的形式来实施并且不应被解释为仅局限于示出的实施例。相反，这些实施例被作为教导示例提供。

[0045] 因为多年以来已经简化了闪存装置的设计规则，所以限定和适当地维持所谓的通过电压 ( $V_{pass}$ ) 窗口的重要性已经变大。例如，在闪存的编程操作中，编程电压 ( $V_{pgm}$ ) 被施加到选择的字线，并且通过电压 ( $V_{pass}$ ) 被施加到未选择的字线。由于公知的编程电压干扰会起因于低的通过电压，因此多个存储器单元之中的连接到施加有编程电压的字线的编程禁止单元被编程，因此导致出现失败的情况。相比之下，当通过电压干扰起因于高的通过电压时，连接到同一单元串的存储器单元之中的施加有通过电压的单元被编程并且也导致出现失败的情况。即，通过电压窗口表示其中通过电压干扰和编程电压干扰都不产生的通过电压范围。因此，可利用更大的通过电压窗口使闪存装置以更高的可靠性操作。

[0046] 为了改善通过电压窗口 (例如，使通过电压窗口最大化)，可在编程操作期间响应于根据限定的增量步进脉冲编程 (ISPP) 增大的编程电压来控制相应的通过电压。这里，恒定地维持编程电压的增大以执行精确的编程操作。

[0047] 图1是示出根据发明构思的实施例的存储器系统的框图。参照图1，存储器系统100通常包括存储器装置110和存储器控制器 (或闪存控制器) 120。

[0048] 出于下面的描述的目的，存储器装置110被假设为闪存装置。可选择地，存储器装置110可以是相变随机存取存储器 (PRAM)、磁阻随机存取存储器 (MRAM) 或电阻随机存取存储器 (RRAM)。

[0049] 在图1的示出的实施例中，存储器装置110包括每存储器单元能够存储M位数据的存储器单元阵列111，其中，M为正整数。存储器单元阵列111可被分成多个区域，各种区域可根据存储的数据类型来限定，例如，通用 (有效载荷) 数据区域、备用数据区域等。存储器单元阵列111的各种区域可均包括多个存储器块。由于存储器阵列分成多个存储器块的构造是本领域技术人员公知的，因此将省略其描述。

[0050] 存储器装置110还包括页缓冲器112、解码器113、电压产生器(例如,高电压产生器)114、控制逻辑115和输入/输出接口116。页缓冲器112可被构造成根据控制逻辑115的控制从存储器单元阵列111读取数据/将数据编程至存储器单元阵列111。解码器113可被构造成通过控制逻辑115来控制,并且选择存储器单元阵列111的存储器块和选择的存储器块的字线。选择的字线可通过来自电压产生器114的字线电压来驱动。电压产生器114可被构造成通过控制逻辑115来控制,并且产生字线电压(例如,读取电压、编程电压、通过电压、局部电压和检验电压)以供应到存储器单元阵列111。控制逻辑115可被构造成控制闪存装置110的总体操作。

[0051] 再次参照图1,存储器控制器120可被构造成响应于来自外部(例如,主机)的请求来控制存储器装置110。虽然未示出,但是存储器控制器120可包括本领域公知的诸如中央处理单元或微处理器的处理单元、ECC和缓冲存储器。

[0052] 为了改善通过电压窗口,存储器装置110可在编程操作期间响应于根据ISPP增大的编程电压按阶段来增大通过电压。将参照图2和图3详细地描述这些特征。

[0053] 图2是进一步示出图1的存储器单元阵列中的存储器单元(在下文中称为“串单元”)的串(例如,单元串)的概念图。

[0054] 参照图2,编程电压 $V_{pgm}$ 可被施加到位于串单元的中心处或串单元的中心附近的“中间的存储器单元”。动态通过电压 $V_{pass}$ 被施加到其它存储器单元的字线。动态通过电压(动态 $V_{pass}$ )表示为了改善相应的通过电压窗口而根据限定的ISPP在一系列的迭代中增大的通过电压。照惯例来理解ISPP的一般用途,本领域技术人员将认识到的是,可在发明构思的实施例内使用许多不同的ISPP。在下文中,将参照图3以一些补充细节来描述一种可能的ISPP来作为可使用的许多其它ISPP的示例。

[0055] 图3是示出根据发明构思的实施例的示例性ISPP的时序图。

[0056] 参照图3,脉冲形编程电压( $V_{pgm}$ )在示例性ISPP的控制下在一系列的迭代中逐步增大。即,在示出的示例中,编程电压 $V_{pgm}$ 在每次迭代期间增大固定的增量值( $\Delta$  ISPP)以形成升高阶梯的编程脉冲波形。

[0057] 为了改善相应的通过电压窗口,多个通过电压组均被分别不同地施加。例如,低编程电压组可包括较低的编程脉冲(例如, $P_1$ 至 $P_3$ ),中编程电压组可包括相对较高的(或中间范围的)编程脉冲(例如, $P_{k-1}$ 至 $P_k$ ),高编程电压组可包括更高的(或最高的)编程脉冲(例如, $P_{j-1}$ 至 $P_j$ )。

[0058] 因此,发明构思的特定实施例可根据限定的ISPP来控制通过电压( $V_{pass}$ )的产生和提供。然而,这种控制方法会导致与选择的存储器单元相关的浮置栅极的电压电位的不期望的升高。将参照图4以一些补充细节来描述这种现象。

[0059] 图4是进一步示出图1的存储器单元阵列的单元串的图。参照图4,接收编程电压 $V_{pgm}$ 的存储器单元位于接收通过电压 $V_{pass}$ 的两个存储器单元之间。因此,寄生电容“ $C_p$ ”产生在接收编程电压 $V_{pgm}$ 的存储器单元的浮置栅极与相邻的存储器单元的栅极端子之间。虽然未在图4中示出,但是寄生电容可产生在存储器单元阵列中的所有单元串之间。这个寄生电容对接收编程电压 $V_{pgm}$ 的选择的存储器单元在其位于与两个未选择的存储器单元相邻的位置时具有最大的影响。

[0060] 如果通过电压 $V_{pass}$ 根据ISPP增大,则寄生电容会使接收编程电压 $V_{pgm}$ 的存储器

单元的浮置栅极的电位升高。因此,为了抵消寄生电容的影响,应仔细地控制编程电压的电平。参照图5来进一步描述这个要求。

[0061] 图5是示出阈值电压( $V_{th}$ )与ISPP迭代次数的比的曲线图。

[0062] 共同参照图3至图5,曲线图的水平轴是ISPP迭代的次数(#),曲线图的垂直轴是阈值电压 $V_{th}$ 的电平。ISPP增量的假设斜率是大约0.3。即,编程电压 $V_{pgm}$ 脉冲在每次增量期间增大大约0.3V。也假设大约0.1的寄生电容 $C_p$ 的耦合比。

[0063] 在这些假设下,如果施加到相邻的字线的通过电压 $V_{pass}$ 增大大约1.0V,则连接到选择的字线的存储器单元的浮置栅极上的电位升高大约0.2V。因此,ISPP在拐点“t”处的斜率对于通过电压 $V_{pass}$ 进一步增大大约0.2。关于图6和图7进一步描述由寄生电容导致的编程电压脉冲的波动和相应的影响。

[0064] 图6是进一步示出图5的编程电压脉冲和相关的通过电压的时序图。编程电压脉冲从大约15V的起始电压( $V_{pgm}$ 起始)每次迭代逐步增大大约0.3V直至大约25V的停止电压( $V_{pgm}$ 停止)。

[0065] 如图2中所描述的,动态通过电压(动态 $V_{pass}$ )表示根据ISPP波动的通过电压。动态通过电压在点T1处从大约8V增大至大约9V。动态通过电压然后在点T2处从大约9V增大至大约10V。图7中描述了使用示例性编程电压脉冲和通过电压的编程操作的结果。

[0066] 图7是示出通过图6的编程电压脉冲限定的阈值电压分布的曲线图。即,如果施加图6中描述的编程电压脉冲,则阈值电压分布示出由于由寄生电容导致的编程电压的增大而致的过编程现象(over-program phenomenon)。即,如图7中所示,动态通过电压ISPP可具有比传统ISPP宽的阈值电压 $V_{th}$ 。考虑到前面的结果,必须仔细控制ISPP的宽度的增大。将参照图8以一些补充细节描述这个要求。

[0067] 图8是进一步示出在产生图6中示出的编程电压时的阈值电压( $V_{th}$ )与ISPP迭代次数之间的关系的曲线图。

[0068] 参照图8,编程电压脉冲的斜率被假设为大约0.3。即,编程电压脉冲增大了大约0.3V。如果动态通过电压在点T1处从大约8V增大到大约9V,则连接到选择的字线的存储器单元的浮置栅极的电位会被图4中描述的寄生电容 $C_p$ 升高。

[0069] 例如,寄生电容 $C_p$ 的耦合比被假设为大约0.1。如果动态通过电压从大约8V增大到大约9V,则连接到选择的字线的存储器单元的浮置栅极的电位升高大约0.2V。因此,第K-1编程电压脉冲 $P_{k-1}$ 可增大大约0.2V。并且如果动态通过电压在点T2处从大约9V增大到大约10V,则连接到选择的字线的存储器单元的浮置栅极的电位被图4中描述的寄生电容 $C_p$ 升高。

[0070] 在前面的假设的情况下,如果动态通过电压从大约9V增大到大约10V,则连接到选择的字线的存储器单元的浮置栅极的电位升高大约0.2V。因此,第J-1编程电压脉冲 $P_{j-1}$ 可增大大约0.2V。

[0071] 在发明构思的特定实施例中,假设的是,施加的通过电压的电平根据每个编程电压脉冲波动。另外,根据ISPP的编程电压脉冲可分成若干编程电压脉冲组,施加的通过电压的电平可根据每个组波动。

[0072] 在编程电压干扰的发生最集中的第J-1编程电压脉冲 $P_{j-1}$ 和第J编程电压脉冲 $P_j$ 的施加期间,控制编程电压脉冲的宽度的增大。



[0073] 为了抵消寄生电容的影响,可在施加到未选择的字线的通过电压波动时适当地控制编程电压脉冲的增大的宽度。即,编程电压脉冲受控制来增大,同时抵消由寄生电容导致的升高的电位。将参照图9以一些补充细节来描述这个方法。

[0074] 图9是示出根据实施例的编程电压和通过电压的时序图。参照图9,将描述编程电压和动态通过电压。

[0075] 编程电压脉冲以大约0.3V的增量从大约15V的起始电压增大直至大约25V的停止电压。然而,编程电压脉冲(V<sub>pgm</sub>脉冲)在发生在(例如)图6的点T1和T2处的“控制迭代”处仅增大大约0.1V。这些控制增量与通过电压在寄生电容的影响下波动处的点对应。

[0076] 如先前注意的,动态通过电压在点T1处从大约8V增大到大约9V,并且在T2点处从大约9V增大到大约10V。动态通过电压的波动会进一步提升编程电压脉冲(V<sub>pgm</sub>脉冲)的电平,因该电平被图4中描述的寄生电容提升。因此,会如图7中所示发生过编程。

[0077] 因此,编程电压脉冲通过抵消在预计使动态通过电压波动处的点T1和T2处与寄生电容C<sub>p</sub>相关的电压电平来增大。因此,在示出的实施例的工作假设下,编程电压脉冲在发生在点T1和T2处的控制迭代处增大仅大约0.1V的“控制增量”。除此之外,编程电压脉冲按大约0.3V的“正常增量”从15V的起始电压增大直至停止电压。

[0078] 为了抵消寄生电容的影响,可在施加到未选择的字线的通过电压波动时适当地控制编程电压脉冲的增大宽度。即,可根据发明构思的实施例来抵消编程电压在寄生电容的影响下的波动。因此,可恒定地维持施加到与选择的字线相邻的未选择的字线的通过电压。其它未选择的字线接收动态通过电压。将参照图10和图11以一些补充细节来对此进行描述。

[0079] 图10是示出根据发明构思的另一实施例的接收编程电压和通过电压的单元串的图。

[0080] 如图10中所示,假设寄生电容位于接收编程电压(V<sub>pgm</sub>)的存储器单元与相邻的存储器单元之间。为了抵消寄生电容的影响,将具有恒定电压电平的通过电压(恒定V<sub>pass</sub>)施加到与接收编程电压的存储器单元相邻的存储器单元。动态通过电压(动态V<sub>pass</sub>)被施加到其它存储器单元。在示出的实施例中,动态通过电压可与关于图2描述的动态通过电压相同。将参照图11以一些补充细节来进一步描述这些控制电压和它们的各种关系。

[0081] 图11是进一步示出图10的编程电压和通过电压的时序图。如图11中所示,示出了编程电压(V<sub>pgm</sub>)以及恒定通过电压(恒定V<sub>pass</sub>)和根据编程电压波动的动态通过电压(动态V<sub>pass</sub>)。

[0082] 与图6相似,编程电压按大约0.3V的正常增量从大约15V的起始电压(V<sub>pgm</sub>起始)增大直至大约25V的停止电压(V<sub>pgm</sub>停止)。如图2中所描述的,动态通过电压表示根据限定编程电压的ISPP波动的通过电压。

[0083] 示出的实施例的动态通过电压在第一控制迭代(点T1)处从大约8V增大到大约9V,并且在第二控制迭代(点T2)处从大约9V增大到大约10V。如果编程电压的电压被图4中描述的寄生电容C<sub>p</sub>恒定地增大,则通过电压的波动会进一步增大编程电压的电压。因此,会如图7中所描述地发生过编程。

[0084] 连接到选择的字线的存储器单元接收编程电压。在连接到未选择的字线的存储器单元之中,与接收编程电压的选择的存储器单元相邻的存储器单元接收恒定通过电压。在

示出的实施例中,恒定通过电压为大约9V。连接到未选择的字线的其它(不相邻的)存储器单元接收动态通过电压。

[0085] 与选择的存储器单元相邻的存储器单元的寄生电容对选择的存储器单元具有最大的影响。因此,施加到相邻的存储器单元的通过电压维持恒定以抵消寄生电容的影响。

[0086] 在下文中,描述防止当将不同的通过电压施加到各种字线时潜在地由寄生电容造成的过编程情况的方法。

[0087] 图12是示出单元串中的根据单元串内的存储器单元的位置而经由关联的字线接收不同的通过电压的存储器单元的概念图。

[0088] 如图12中所示,单元串被分成均包含连接到单元串中的存储器单元的多条字线的第一区域(区域1)、第二区域(区域2)和第三区域(区域3)。例如,假设64条字线并联布置以从形成单元串的存储器单元中的对应编号的存储器单元存取数据,第一区域可包括字线0至字线19,第二区域可包括字线20至字线43,第三区域可包括字线44至字线63。大约8V的通过电压( $V_{pass}$ )被施加到第一区域中的存储器单元。大约9V的通过电压被施加到第二区域中的存储器单元,大约10V的通过电压被施加到第三区域中的存储器单元。

[0089] 在这些工作假设的情况下,将参照图13至图15描述根据发明构思的实施例的将通过电压施加到单元串的存储器单元的示例性方法。

[0090] 图13是示出根据发明构思的另一实施例的编程电压和通过电压的施加的图。参照图13,图1的存储器单元阵列111包括多个单元串,在图13中示出了所述多个单元串中的仅一个单元串来作为示例。

[0091] 编程电压( $V_{pgm}$ )被施加到选择的字线。恒定通过电压(恒定 $V_{pass}$ )被施加到与选择的字线相邻的字线。动态通过电压(动态 $V_{pass}$ )被施加到第一区域至第三区域(区域1至区域3)中的每个中的其它的未选择的字线。动态通过电压可与关于图12描述的动态通过电压相同。例如,当区域1的字线被选择时,最相邻的字线接收8V,区域1的其它字线接收8V,区域2的字线接收9V,区域3的字线接收10V。当区域2的字线被选择时,最相邻的字线接收8V,区域2的其它字线接收9V,区域1的字线接收8V,区域3的字线接收10V。当区域3的字线被选择时,最相邻的字线接收8V,区域3的其它字线接收10V,区域1的字线接收8V,区域2的字线接收9V。将参照图14以一些补充细节来描述如遍及各个区域施加的通过电压。

[0092] 图14是示出图13中示出的发明构思的实施例中施加的通过电压的曲线图。

[0093] 参照图14,曲线图的水平轴指示单元串内的字线的位置(WL0和WL63被假设为单元串的最外面的(或顶部的和底部的)字线),曲线图的垂直轴是通过电压( $V_{pass}$ )的电平。通过电压的指示电平“A”和“B”被施加到连接到未选择的字线的存储器单元。“A”电平通过电压或恒定通过电压(恒定 $V_{pass}$ )被施加到与接收编程电压( $V_{pgm}$ )的选择的存储器单元相邻的存储器单元。“B”电平通过电压 $V_{pass}$ 或动态通过电压被施加到所有其它未选择的存储器单元。

[0094] 恒定通过电压被施加到与选择的存储器单元相邻的存储器单元并且维持为恒定而与存储器单元在第一区域至第三区域内的位置无关。相反,施加到其它未选择的存储器单元的通过电压从第一(或下)区域(区域1)逐渐增大到第三(或上)区域(区域3),第二(或中间)区域接收介于施加到第一区域的较低的通过电压与施加到第三区域的较高的通过电压之间的通过电压。例如,在发明构思的特定实施例中,通过电压( $V_{pass}$ )对于第一区域为

大约8V,对于第二区域为大约9V,对于第三区域为大约10V。

[0095] 即,随着编程操作从第一条字线(例如,字线0)进行到最后一条字线(例如,字线63),施加到与选择的字线相邻的存储器单元的通过电压维持在大约8V。然而,可变的通过电压遍及多个区域被施加到不相邻的未选择的字线。因此,恒定通过电压被施加到与接收编程电压的存储器单元相邻的存储器单元,以阻止由于通过电压的波动而致的过编程。在图18中进一步描述根据示出的实施例的编程操作的结果。

[0096] 在下文中,将参照图15的流程图以一些补充细节来描述根据发明构思的实施例的施加通过电压的方法。图15是总结施加图13的通过电压的方法的流程图。

[0097] 共同参照图1和图15,控制逻辑115确定选择的字线WL是否属于第一区域( $S11 = 是$ ),或者选择的字线WL是否属于第二区域( $S11 = 否$ ,并且 $S13 = 是$ ),或者选择的字线WL是否属于第三区域( $S11 = 否$ ,并且 $S13 = 否$ )。

[0098] 如果选择的字线属于第一区域,则电压产生器114根据第一区域施加动态通过电压,并且将恒定通过电压施加到与选择的字线(WL)相邻的字线WL-1和WL+1( $S12$ )。

[0099] 而如果选择的字线属于第二区域,则电压产生器114根据第二区域施加动态通过电压,并且将恒定通过电压施加到与选择的字线(WL)相邻的字线WL-1和WL+1( $S14$ )。

[0100] 而如果选择的字线属于第三区域,则电压产生器114根据第三区域施加动态通过电压,并且将恒定通过电压施加到与选择的字线(WL)相邻的字线WL-1和WL+1( $S15$ )。

[0101] 然后,电压产生器114将编程电压( $V_{pgm}$ )施加到选择的字线WL,控制逻辑115进行编程操作( $S16$ )。

[0102] 施加到与选择的字线相邻的未选择的字线的通过电压对编程操作总是维持恒定。因此,可对编程操作抵消由于施加到与选择的字线相邻的未选择的字线的通过电压的波动而致的影响,由此改善过编程。

[0103] 图16是示出根据发明构思的另一实施例的编程电压的曲线图。

[0104] 参照图16,曲线图的水平轴指示单元串内的字线位置,曲线图的竖直轴是编程起始电压的电平。第一编程起始电压“ $A$ ”是根据限定的ISPP正常增大的编程电压的起始电压。第二编程起始电压“ $B$ ”是根据发明构思的实施例增大的编程电压的起始电压。即,当通过电压 $V_{pass}$ 波动时,在控制迭代处控制第二编程起始电压“ $B$ ”的增大宽度。

[0105] 例如,再次假设单元串通过64条字线来存取,所述64条字线布置在包括字线0至字线19的第一区域、包括字线20至字线43的第二区域以及包括字线44至字线63的第三区域中。如本领域技术人员将理解的,这只是一个示例。如图18中所示,动态通过电压(动态 $V_{pass}$ )在第一区域(区域1)中为大约8V、在第二区域(区域2)中为大约9V、在第三区域(区域3)中为大约10V。

[0106] 在每个存储器单元区域使用不同的编程起始电压的发明构思的实施例中,可使用大约15V的第一起始电压。

[0107] 由于第二区域的通过电压在连接到第二区域中的字线的存储器单元的编程期间波动,因此连接到选择的字线的存储器单元的电位被寄生电容升高。因此,编程起始电压可在第二区域中调节为不同的第二起始电压。例如,第二起始电压可由第一起始电压减小被寄生电容升高的电压电位。

[0108] 相似地,由于第三区域的通过电压在连接到第三区域中的字线的存储器单元的编

程期间波动,因此连接到选择的字线的存储器单元的电位被寄生电容升高。因此,第三编程起始电压可针对第三区域(区域3)来调节。例如,第三起始电压可从第二起始电压减小被寄生电容升高的电压电位。将在图18中示出图16中描述的根据编程起始电压的编程操作的结果。

[0109] 另外,将参照图17中的流程图详细地描述根据实施例的施加编程电压的方法。图17是总结施加图16的编程电压的方法的流程图。

[0110] 参照图1、图16和图17,控制逻辑115确定选择的字线WL是否属于第一区域(S21)。如果属于,则执行操作S22。如果不属于,则执行操作S23。

[0111] 电压产生器114将根据第一区域(区域1)的动态通过电压施加到第一区域的字线(S22)。电压产生器114将根据第一区域的编程起始电压 $V_{pgm}$ 起始施加到选择的字线WL。

[0112] 另外,控制逻辑115确定选择的字线WL是否属于第二区域(S23)。如果属于,则执行操作S24。如果不属于,则执行操作25。

[0113] 电压产生器114将根据第二区域的动态通过电压施加到第二区域的字线(S24)。电压产生器114将根据第二区域的编程起始电压 $V_{pgm}$ 起始施加到选择的字线WL。

[0114] 电压产生器114将根据第三区域(区域3)的动态通过电压施加到第三区域的字线(S25)。电压产生器114将根据第三区域的编程起始电压施加到选择的字线。

[0115] 施加到与选择的字线相邻的未选择的字线的通过电压对编程操作总是维持恒定。因此,可对编程操作抵消由于施加到与选择的字线相邻的未选择的字线的通过电压的波动而致的影响,由此减少过编程的发生。

[0116] 图18是示出使用图14和图16的编程电压的编程操作的结果的曲线图。

[0117] 如图12中所示,大约8V的通过电压被施加到第一区域中的字线的存储器单元。大约9V的通过电压被施加到第二区域中的字线的存储器单元。大约10V的通过电压被施加到第三区域中的字线的存储器单元。

[0118] 如图18中所示,当执行根据图14和图16的方法的编程操作时,第一区域至第三区域中的所有存储器单元可被编程为在目标阈值电压(目标 $V_{th}$ )内。

[0119] 图19是示出将电压施加到单元串的另一示例的图。参照图19,编程电压 $V_{pgm}$ 可被施加到“中间的存储器单元”。动态通过电压动态 $V_{pass}$ 可被施加到其它存储器单元的字线。

[0120] 例如,第一动态通过电压 $V_{dynamic} V_{pass1}$ 可被施加到与施加有编程电压 $V_{pgm}$ 的存储器单元(直接)相邻的存储器单元的字线。第二动态通过电压动态 $V_{pass2}$ 可被施加到其余的存储器单元的字线。

[0121] 为了减小相邻的存储器单元的寄生电容的影响,第一动态通过电压动态 $V_{pass1}$ 的增量可小于第二动态通过电压动态 $V_{pass2}$ 的增量。在实施例中,施加到在施加有编程电压 $V_{pgm}$ 的存储器单元上方/上(例如,串选择线(SSL)侧)相邻的存储器单元的第一动态通过电压动态 $V_{pass1}$ 和施加到在供应有编程电压 $V_{pgm}$ 的存储器单元下方(例如,地选择线(GSL)侧)相邻的存储器单元的第一动态通过电压动态 $V_{pass1}$ 可以彼此相同或彼此不同。

[0122] 在实施例中,第一动态通过电压动态 $V_{pass1}$ 增大处的点可与第二动态通过电压动态 $V_{pass2}$ 增大处的点不同或相同。

[0123] 图20是示出施加图19的编程电压 $V_{pgm}$ 、第一动态通过电压动态 $V_{pass1}$ 和第二动态通过电压动态 $V_{pass2}$ 的示例的时序图。如参照图9所描述的,编程电压 $V_{pgm}$ 可从大约15V的

起始电压 $V_{pgm}$ 起始逐渐增大到大约25V的停止电压 $V_{pgm}$ 停止。

[0124] 第一动态通过电压动态 $V_{pass1}$ 可在第一点T1处从8V增大到8.5V。相比之下,第二动态通过电压动态 $V_{pass2}$ 可在第一点T1处从8V增大到9V。第一动态通过电压动态 $V_{pass1}$ 可在第二点T2处从8.5V增大到9V。相比之下,第二动态通过电压动态 $V_{pass2}$ 可在第二点T2处从9V增大到10V。

[0125] 在第一动态通过电压动态 $V_{pass1}$ 或第二动态通过电压动态 $V_{pass2}$ 增大处的第一点T1和第二点T2的控制迭代处,编程电压 $V_{pgm}$ 可增大大约0.2V。在除了控制迭代的其余的迭代处,编程电压 $V_{pgm}$ 可增大大约0.3V。可通过将控制迭代的编程电压 $V_{pgm}$ 的增量调整为比其余的迭代的编程电压 $V_{pgm}$ 的增量小来抵消寄生电容的影响。

[0126] 在实施例中,如果第一动态通过电压动态 $V_{pass1}$ 的增量小于第二动态通过电压动态 $V_{pass2}$ 的增量,则可减小第一动态通过电压动态 $V_{pass1}$ 的由于寄生电容而致的影响。因此,可忽略第一动态通过电压动态 $V_{pass1}$ 的由于寄生电容而致的影响,并且可省略控制迭代。即,编程电压 $V_{pgm}$ 可从起始电压到停止电压在每次迭代处增大相同的增量(例如,0.3V)。

[0127] 图20中给出的描述为第一动态通过电压动态 $V_{pass1}$ 和第二动态通过电压动态 $V_{pass2}$ 增大的时序彼此相同。然而,可不同地设定第一动态通过电压动态 $V_{pass1}$ 和第二动态通过电压动态 $V_{pass2}$ 的时序。

[0128] 图21是示出施加编程电压 $V_{pgm}$ 的时间的示例的图。与图9的第一点T1相比,在图21的第一时间T1处,可增加施加编程电压 $V_{pgm}$ 的时间。因为编程电压 $V_{pgm}$ 的施加时间增加,所以可增大动态通过电压动态 $V_{pass}$ 。

[0129] 例如,动态通过电压动态 $V_{pass}$ 在图9的第一点T1处增大了1V。相比之下,动态通过电压动态 $V_{pass}$ 在图21的第一点T1处增大了2V。即,因为编程电压 $V_{pgm}$ 的施加时间增加,所以除了原始增量以外,动态通过电压动态 $V_{pass}$ 可基于施加时间的增加而进一步增大。

[0130] 图22是示出施加编程电压 $V_{pgm}$ 的时间的另一示例的图。与图21的施加时间相比,编程电压 $V_{pgm}$ 的施加时间可在第二点T2处增加。例如,当编程电压 $V_{pgm}$ 从起始电压增大到停止电压时,编程电压 $V_{pgm}$ 的施加时间可在调整动态通过电压的最后一点处增加。

[0131] 因为编程电压 $V_{pgm}$ 的施加时间在第二点T2处增加,所以动态通过电压动态 $V_{pass}$ 可从9V增大到11V。例如,除了原始增量以外,动态通过电压动态 $V_{pass}$ 可基于施加时间的增加而进一步增大。

[0132] 图21和图22中给出的描述为编程电压 $V_{pgm}$ 的施加时间在控制迭代处增加。然而,编程电压 $V_{pgm}$ 的施加时间可在不与控制迭代重叠的时序处增加。在控制迭代处,动态通过电压动态 $V_{pass}$ 可在编程电压 $V_{pgm}$ 的施加时间增加的时序处增大。

[0133] 在实施例中,编程电压 $V_{pgm}$ 的施加时间可在最后的编程循环中增加。可通过在最后的编程循环中增加编程电压 $V_{pgm}$ 的施加时间来进一步改善存储在其编程速度慢的慢单元中的数据的安全性。

[0134] 图21和图22中给出的描述为编程电压 $V_{pgm}$ 的施加时间在执行编程操作时增加。然而,编程电压 $V_{pgm}$ 的施加时间可在执行编程操作时减少。如果编程电压 $V_{pgm}$ 的施加时间减少,则可降低动态通过电压动态 $V_{pass}$ 。

[0135] 如参照图10或图13所描述的,恒定通过电压恒定 $V_{pass}$ 可被施加到与施加有编程

电压 $V_{pgm}$ 的存储器单元相邻的存储器单元。在这种情况下,可省略调整编程电压 $V_{pgm}$ 的增量处的控制迭代。

[0136] 如果省略控制迭代,则动态通过电压动态 $V_{pass}$ 可在预设点处以及当编程电压 $V_{pgm}$ 的施加时间增加时增大。

[0137] 如参照图19和图20所描述的,施加到相邻的存储器单元的字线的动态通过电压动态 $V_{pass}$ (例如,第一动态通过电压动态 $V_{pass1}$ )可具有增量或增大点,其与施加到其它存储器单元的字线的动态通过电压动态 $V_{pass}$ (例如,第二动态通过电压动态 $V_{pass2}$ )不同。第一动态通过电压动态 $V_{pass1}$ 和第二动态通过电压动态 $V_{pass2}$ 可在预设点(例如,控制迭代)处以及当编程电压 $V_{pgm}$ 的施加时间增加时增大。

[0138] 例如,为了减小寄生电容的影响,第一动态通过电压动态 $V_{pass1}$ 的增量可与第二动态通过电压动态 $V_{pass2}$ 的增量相同或比第二动态通过电压动态 $V_{pass2}$ 的增量小。

[0139] 图23是示出将电压施加到单元串的另一示例的图。参照图23,编程电压 $V_{pgm}$ 可被施加到“中间的存储器单元”。动态通过电压动态 $V_{pass}$ 可被施加到其它存储器单元的字线。

[0140] 例如,第三动态通过电压动态 $V_{pass3}$ 可被施加到位于单元串的上部(例如,串选择线(SSL)侧)的边缘处的至少一个存储器单元的字线以及位于单元串的下部(例如,地选择线(GSL)侧)的边缘处的至少一个存储器单元的字线。第二动态通过电压动态 $V_{pass2}$ 可被施加到其余的存储器单元的字线。

[0141] 第三动态通过电压动态 $V_{pass3}$ 的增量可与第二动态通过电压动态 $V_{pass2}$ 的增量不同。例如,如参照图19和图20所描述的,第三动态通过电压动态 $V_{pass3}$ 的增量可小于第二动态通过电压动态 $V_{pass2}$ 的增量。

[0142] 在实施例中,施加到在施加有编程电压 $V_{pgm}$ 的存储器单元上方/上(例如,串选择线(SSL)侧)相邻的存储器单元的第一动态通过电压动态 $V_{pass1}$ 和施加到在供应编程电压 $V_{pgm}$ 的存储器单元下方(例如,地选择线(GSL)侧)相邻的存储器单元的第二动态通过电压动态 $V_{pass2}$ 可以彼此相同或彼此不同。

[0143] 在实施例中,第二动态通过电压动态 $V_{pass2}$ 增大的点可与第三动态通过电压动态 $V_{pass3}$ 增大的点不同或相同。

[0144] 如参照图10或图13所描述的,恒定通过电压恒定 $V_{pass}$ 可被施加到与施加有编程电压 $V_{pgm}$ 的存储器单元相邻的存储器单元。

[0145] 如参照图19和图20所描述的,施加到相邻的存储器单元的字线的第二动态通过电压动态 $V_{pass2}$ 可具有增量或增大点,其与施加到其它存储器单元的字线的第二动态通过电压动态 $V_{pass2}$ 不同。

[0146] 如参照图21和图22所描述的,编程电压 $V_{pgm}$ 的施加时间可在执行编程操作时增加。当编程电压 $V_{pgm}$ 的施加时间增加时,可增大动态通过电压(例如,动态 $V_{pass1}$ 、动态 $V_{pass2}$ 或动态 $V_{pass3}$ )。

[0147] 图24是示出施加图23的第二动态通过电压动态 $V_{pass2}$ 和第三动态通过电压动态 $V_{pass3}$ 的示例的时序图。参照图24,施加第二动态通过电压动态 $V_{pass2}$ 的点可与施加第三动态通过电压动态 $V_{pass3}$ 的点相同,但不限于此。

[0148] 例如,第三动态通过电压动态 $V_{pass3}$ 可在第二动态通过电压动态 $V_{pass2}$ 被控制(或增大)之后或之前被控制(或增大)。第三动态通过电压动态 $V_{pass3}$ 的增量可小于或大于

第二动态通过电压动态Vpass2的增量。

[0149] 图25是示出图1的存储器单元阵列111的存储器块中的一个存储器块BLK1的示例的图。参照图25,多个单元串CS可以以行和列设置在基底SUB上。多个单元串CS可共同连接到形成在基底SUB上(或中)的共源极线CSL。在图25中,示出了基底SUB的示例性位置以帮助理解存储器块BLK1的结构。

[0150] 图25中示出的示例为共源极线CSL连接到单元串CS的下端。然而,共源极线CSL电连接到单元串CS的下端就是充分的,发明构思不限于共源极线CSL物理地位于单元串CS的下端处的情况。图25中示出的示例为单元串CS以四乘四的矩阵来布置。然而,存储器块BLK1可包括更少或更多的单元串CS。

[0151] 每行的单元串CS可共同连接到地选择线GSL并且连接到第一串选择线SSL1至第四串选择线SSL4中的相应的串选择线。每列的单元串CS可连接到第一位线BL1至第四位线BL4中的相应的位线。为了易于说明,将连接到第二串选择线SSL2和第三串选择线SSL3的单元串CS描绘成模糊的。

[0152] 每个单元串CS可包括连接到地选择线GSL的至少一个地选择晶体管GST、连接到第一虚设字线DWL1的第一虚设存储器单元DMC1、分别连接到第一字线WL1至第四字线WL4的第一存储器单元MC1至第四存储器单元MC4、分别连接到第二虚设字线DWL2和第三虚设字线DWL3的第二虚设存储器单元DMC2和第三虚设存储器单元DMC3、分别连接到第五字线WL5至第八字线WL8的第五存储器单元MC5至第八存储器单元MC8、连接到第四虚设字线DWL4的第四虚设存储器单元DMC4以及分别连接到串选择线SSL1、SSL2、SSL3或SSL4的串选择晶体管SST。

[0153] 在每个单元串CS中,地选择晶体管GST、第一虚设存储器单元DMC1、第一存储器单元MC1至第四存储器单元MC4、第二虚设存储器单元DMC2和第三虚设存储器单元DMC3、第五存储器单元MC5至第八存储器单元MC8、第四虚设存储器单元DMC4以及串选择晶体管SST可沿垂直于基底SUB的方向串联连接并且可沿垂直于基底SUB的方向顺序地堆叠。

[0154] 在图25示出的示例为八个存储器单元MC1至MC8以及四个虚设存储器单元DMC1至DMC4布置在每个单元串CS中。然而,发明构思不限于此。如参照图2、图10和图13所描述的,每个单元串CS的存储器单元的数量可小于8或者可大于8。另外,每个单元串CS的虚设存储器单元的数量可小于4或者可大于4。

[0155] 虚设存储器单元DMC1至DMC4可具有与存储器单元MC1至MC8相同的结构。虚设存储器单元DMC1至DMC4可不被编程(例如,可被编程禁止)或者可被与存储器单元MC1至MC8不同地编程。

[0156] 例如,存储器单元MC1至MC8可根据数据被编程为具有各种阈值电压,虚设存储器单元DMC1至DMC4可被编程为具有特定范围内的阈值电压。如在虚设存储器单元DMC1至DMC4中,串选择晶体管SST和地选择晶体管GST可不被编程或者可被编程为具有特定范围内的阈值电压。

[0157] 在实施例中,处于同一高度并且与一条串选择线SSL1、SSL2、SSL3或SSL4关联的存储器单元可形成一个物理页。一个物理页的存储器单元可连接到一条子字线。物理页的位于同一高度的子字线可共同连接到一条字线。

[0158] 在实施例中,物理页的处于同一高度的子字线可在形成有子字线的高度处彼此连

接。在另一实施例中,物理页的处于同一高度的子字线可在与形成有子字线的高度不同的层(诸如金属层)处彼此间接连接。

[0159] 存储器块BLK1可设置为3D存储器阵列。3D存储器阵列单片式地形成在存储器单元MC的阵列的一个或多个物理水平中,所述存储器单元MC的阵列的一个或多个物理水平具有设置在硅基底上方的有源区以及与这些存储器单元MC的操作有关的电路。与存储器单元MC的操作有关的电路可位于这样的基底上方或内部。术语“单片式”意思是阵列的每个水平的层直接沉积在3D存储器阵列的每个下面的水平的层上。

[0160] 在发明构思的实施例中,3D存储器阵列包括垂直定位的垂直单元串CS(或NAND串),使得至少一个存储器单元位于另一存储器单元上方。至少一个存储器单元可包括电荷俘获层。每个单元串还可包括位于存储器单元MC上方的至少一个选择晶体管。至少一个选择晶体管可具有与存储器单元MC相同的结构并且可与存储器单元MC一致地形成。

[0161] 通过引用包含于此的下面的专利文献描述用于三维存储器阵列的适当的构造,在该构造中,三维存储器阵列被构造为具有水平之间共用的字线和/或位线的多个水平:第7,679,133号美国专利、第8,553,466号美国专利、第8,654,587号美国专利、第8,559,235号美国专利以及第2011/0233648号美国专利公开。

[0162] 在实施例中,第一存储器单元MC1至第四存储器单元MC4可构成第一子块,第五存储器单元MC5至第八存储器单元MC8可构成第二子块。第一子块和第二子块可被独立擦除。例如,当擦除第一子块时,擦除电压从基底SUB供应到单元串CS的沟道。与地电压相近的低电压可被施加到第一子块的第一字线WL1至第四字线WL4,第一存储器单元MC1至第四存储器单元MC4可被擦除。

[0163] 第二子块的第五字线WL5至WL8可被浮置,第二子块可不被擦除。对于擦除操作来说不作为目标的连接到虚设存储器单元DMC1至DMC4、地选择晶体管GST和串选择晶体管SST的虚设字线DWL1至DWL4、地选择线GSL和串选择线SSL也可被浮置。

[0164] 图26是示出将电压施加到具有参照图25描述的结构单元串的示例的图。参照图26,编程电压V<sub>pgm</sub>可被施加到“特定存储器单元”。动态通过电压V<sub>pass</sub>可被施加到其它存储器单元的字线。

[0165] 如参照图25所描述的,第一虚设存储器单元DMC1至第四虚设存储器单元DMC4可设置在单元串中。动态虚设通过电压V<sub>dpass</sub>可被施加到第一虚设存储器单元DMC1至第四虚设存储器单元DMC4的虚设字线DWL1至DWL4。

[0166] 在实施例中,可根据与动态通过电压V<sub>pass</sub>相同的增量来控制动态虚设通过电压V<sub>dpass</sub>。例如,当动态通过电压V<sub>pass</sub>增大1V时,动态虚设通过电压V<sub>dpass</sub>也可增大1V。

[0167] 在另一实施例中,动态虚设通过电压V<sub>dpass</sub>可根据与动态通过电压V<sub>pass</sub>不同的增量来控制。动态虚设通过电压V<sub>dpass</sub>可通过使用小于或大于动态通过电压V<sub>pass</sub>的增量的增量来控制。例如,当动态通过电压V<sub>pass</sub>增大1V时,动态虚设通过电压V<sub>dpass</sub>可增大0.5V或1.5V。

[0168] 动态虚设通过电压V<sub>dpass</sub>可具有与动态通过电压V<sub>pass</sub>相同的增量或相同的增大点。动态虚设通过电压V<sub>dpass</sub>可具有与动态通过电压V<sub>pass</sub>不同的增量或不同的增大点。



[0169] 施加到虚设存储器单元DMC1至DMC4的动态虚设通过电压动态Vdpass可彼此相同或不同。施加到虚设存储器单元DMC1至DMC4的动态虚设通过电压动态Vdpass的增量或增大点可彼此相同或不同。

[0170] 图27是示出将电压施加到具有参照图25描述的结构单元串的另一示例的图。参照图27,编程电压Vp<sub>gm</sub>可被施加到“特定存储器单元”。如参照图10或图13所描述的,为了抵消寄生电容的影响,具有恒定电压电平的通过电压恒定Vpass可被施加到与接收编程电压Vp<sub>gm</sub>的存储器单元相邻的存储器单元(或多个存储器单元)的字线(或多条字线)。动态通过电压动态Vpass可被施加到其它的存储器单元。

[0171] 如参照图10所描述的,为了抵消寄生电容的影响,具有恒定电压电平的虚设通过电压恒定Vdpass可被施加到与接收编程电压Vp<sub>gm</sub>的存储器单元相邻的虚设存储器单元的虚设字线。动态虚设通过电压动态Vdpass可被施加到其它的虚设存储器单元。当虚设存储器单元不与接收编程电压Vp<sub>gm</sub>的存储器单元相邻时,动态虚设通过电压动态Vdpass可被施加到虚设存储器单元的所有虚设字线。

[0172] 如参照图21和图22所描述的,编程电压Vp<sub>gm</sub>的施加时间可在执行编程操作时增加。当编程电压Vp<sub>gm</sub>的施加时间增加时,可增大动态通过电压动态Vpass或动态虚设通过电压动态Vdpass。

[0173] 如参照图23所描述的,施加到存储器单元之中的位于边缘处的存储器单元的字线(例如,施加到图25的WL1和WL8之中的不与施加有编程电压Vp<sub>gm</sub>的存储器单元相邻的存储器单元的字线)的动态通过电压动态Vpass可具有与施加到其它的字线(例如,施加到图25的WL2至WL7之中的不与施加有编程电压Vp<sub>gm</sub>的存储器单元相邻的存储器单元的字线)的动态通过电压动态Vpass不同的增量或不同的增大点。

[0174] 施加到位于边缘处的虚设字线(例如,施加到图25的DWL1和DWL4之中的不与施加有编程电压Vp<sub>gm</sub>的存储器单元相邻的虚设存储器单元的虚设字线)的动态虚设通过电压动态Vdpass可具有与施加到其它的虚设字线(例如,施加到图25的DWL2和DWL3之中的不与施加有编程电压Vp<sub>gm</sub>的存储器单元相邻的虚设存储器单元的虚设字线)的动态虚设通过电压动态Vdpass不同的增量或不同的增大点。

[0175] 图28是示出将电压施加到具有参照图25描述的结构单元串的另一示例的图。参照图28,如参照图19和图20所描述的,具有与第二动态通过电压动态Vpass2不同的增量或不同的增大点的第一动态通过电压动态Vpass1可被施加到与接收编程电压Vp<sub>gm</sub>的存储器单元相邻的存储器单元(或多个存储器单元)的字线(或多条字线)。例如,第一动态通过电压动态Vpass1和第二动态通过电压动态Vpass2的增量或增大点可彼此相同或不同。

[0176] 另外,如参照图19和图20所描述的,具有与第二动态虚设通过电压动态Vdpass2不同的增量或不同的增大点的第一动态虚设通过电压动态Vdpass1可被施加到相邻的虚设存储器单元的虚设字线。例如,第一动态虚设通过电压动态Vdpass1和第二动态虚设通过电压动态Vdpass2的增量或增大点可彼此相同或不同。

[0177] 如参照图21和图22所描述的,编程电压Vp<sub>gm</sub>的施加时间可在执行编程操作时增加。当编程电压Vp<sub>gm</sub>的施加时间增加时,可增大动态通过电压动态Vpass1或动态Vpass2或者动态虚设通过电压动态Vdpass1或动态Vdpass2。

[0178] 如参照图23所描述的,施加到存储器单元之中的位于边缘处的存储器单元的字线

(例如,施加到图25的WL1和WL8之中的不与施加有编程电压 $V_{pgm}$ 的存储器单元相邻的存储器单元的字线)的第二动态通过电压动态 $V_{pass2}$ 可具有与施加到其它的字线(例如,施加到图25的WL2至WL7之中的不与施加有编程电压 $V_{pgm}$ 的存储器单元相邻的存储器单元的字线)的第二动态通过电压动态 $V_{pass2}$ 不同的增量或不同的增大点。

[0179] 施加到位于边缘处的虚设字线(例如,施加到图25的DWL1和DWL4之中的不与施加有编程电压 $V_{pgm}$ 的存储器单元相邻的虚设存储器单元的虚设字线)的第二动态虚设通过电压动态 $V_{dpass2}$ 可具有与施加到其它的虚设字线(例如,施加到图25的DWL2和DWL3之中的不与施加有编程电压 $V_{pgm}$ 的存储器单元相邻的虚设存储器单元的虚设字线)的第二动态虚设通过电压动态 $V_{dpass2}$ 不同的增量或不同的增大点。

[0180] 图29是示出图1的存储器单元阵列111的存储器块中的另一存储器块BLK2的示例的图。与图25的存储器块BLK1相比,在图29的存储器块BLK2中,地选择晶体管GST、第一虚设存储器单元DMC1、第一存储器单元MC1至第四存储器单元MC4、开关SW、第五存储器单元MC5至第八存储器单元MC8、第四虚设存储器单元DMC4以及串选择晶体管SST可设置在每个单元串CS中。

[0181] 单元串CS的开关SW可通过选择线SL来共同地控制。开关SW可连接第一子块的沟道和第二子块的沟道。开关SW可不具有电荷存储层,因此不被编程或擦除。用于控制开关SW的开关电压可被施加到选择线SL。

[0182] 例如,开关电压可以是恒定的电压。如参照图1至图28所描述的,开关电压可以是与动态通过电压动态 $V_{pass}$ 或动态虚设通过电压动态 $V_{dpass}$ 相同的方式来控制的动态电压。

[0183] 图30是示出图1的存储器单元阵列的存储器块中的另一存储器块BLK3的示例的图。与图25的存储器块BLK1相比,在图30的存储器块BLK3的第一子块中,第一串选择晶体管SST1设置在每个单元串CS的第二虚设存储器单元DMC2上方/上。第一串选择晶体管SST1连接到关联的第一串选择线SSL1。

[0184] 在第二子块的每个单元串CS中,第二串选择晶体管SST2设置在第四虚设存储器单元DMC4上方/上。第二串选择晶体管SST2连接到关联的第二串选择线SSL2。即,串选择晶体管可设置在每个子块中。

[0185] 图31是示出图1的存储器单元阵列111的存储器块中的另一存储器块BLK4的示例的图。图31的存储器块BLK4的第二子块可具有图30的存储器块BLK3的第二子块沿垂直于基底的方向反转的结构。

[0186] 在每个单元串CS中,第二串选择晶体管SST2可设置在第二子块的最下端处。在每个单元串CS的第二子块中,第二串选择晶体管SST2、第四虚设存储器单元DMC4、第五存储器单元MC5至第八存储器单元MC8、第三虚设存储器单元DMC3以及第二地选择晶体管GST2可沿垂直于基底的方向顺序地堆叠。

[0187] 位线(BL1至BL4中的一条)可连接在每个单元串的第一串选择晶体管SST1与第二串选择晶体管SST2之间。第一地选择晶体管GST1可连接到共源极线CSL,第二地选择晶体管GST2可连接到源极线SL。

[0188] 图32是示出根据实施例的计算系统的框图。

[0189] 参照图32,计算系统200包括电连接到总线210的中央处理单元220、用户接口230、

诸如基带芯片组的调制解调器240、存储器控制器250和存储器装置260。存储器控制器250控制存储器装置260。存储器装置260通过存储器控制器250来存储由中央处理单元220处理或将处理的N位数据,其中,N是正整数。

[0190] 当计算系统200是移动装置时,可附加地提供用于将电力供应到计算系统的电池270。虽然未在图中示出,但是对于本领域技术人员将明显的是,可在计算系统200中进一步提供应用芯片组、相机图像处理器(CIS)和移动DRAM等。

[0191] 作为优选的示例,存储器装置260可包括图1至图18中的闪存装置。另外,存储器控制器250可包括控制闪存装置的闪存控制器。

[0192] 例如,存储器装置260和存储器控制器250可包括使用非易失性存储器来存储数据的固态驱动器(SSD)。另外,存储器装置260和存储器控制器250可包括使用非易失性存储器来存储数据的存储器卡。

[0193] 图33是示出根据实施例的基于存储器的存储装置的框图。

[0194] 参照图33,基于存储器的存储系统300包括基于存储器的存储装置310和连接到其的主机320。基于存储器的存储装置310可包括存储器311和控制存储器311的存储器控制器312。

[0195] 例如,基于存储器的存储装置310可以是诸如SD卡的闪存卡。另外,基于存储器的存储装置310可包括SIM卡或USIM卡。即,基于存储器的存储装置310可以是满足诸如数码相机和个人计算机的电子装置的使用的特定工业标准的卡。

[0196] 作为优选的示例,存储器311可包括图1至图16中描述的闪存装置。另外,存储器控制器312可包括控制闪存装置的闪存控制器。

[0197] 本公开描述了电压根据时间的动态变化。另外,本公开描述了电压根据位置(例如,区域)和存储器单元的类型(例如,存储器单元或虚设存储器单元)的动态变化。根据实施例,可抵消编程电压 $V_{pgm}$ 的由寄生电容影响的波动。

[0198] 根据实施例,可通过防止过编程来改善通过电压窗口。

[0199] 上面公开的主题将被认为是说明性的,而不是限制性的,权利要求意图覆盖落在本发明构思的范围内的所有这样的修改、提高以及其它实施例。因此,在法律允许的最大范围内,本发明构思的范围将通过权利要求和它们的等同物的最宽的可允许的解释来确定,并且不应被前面的详细描述约束或限制。

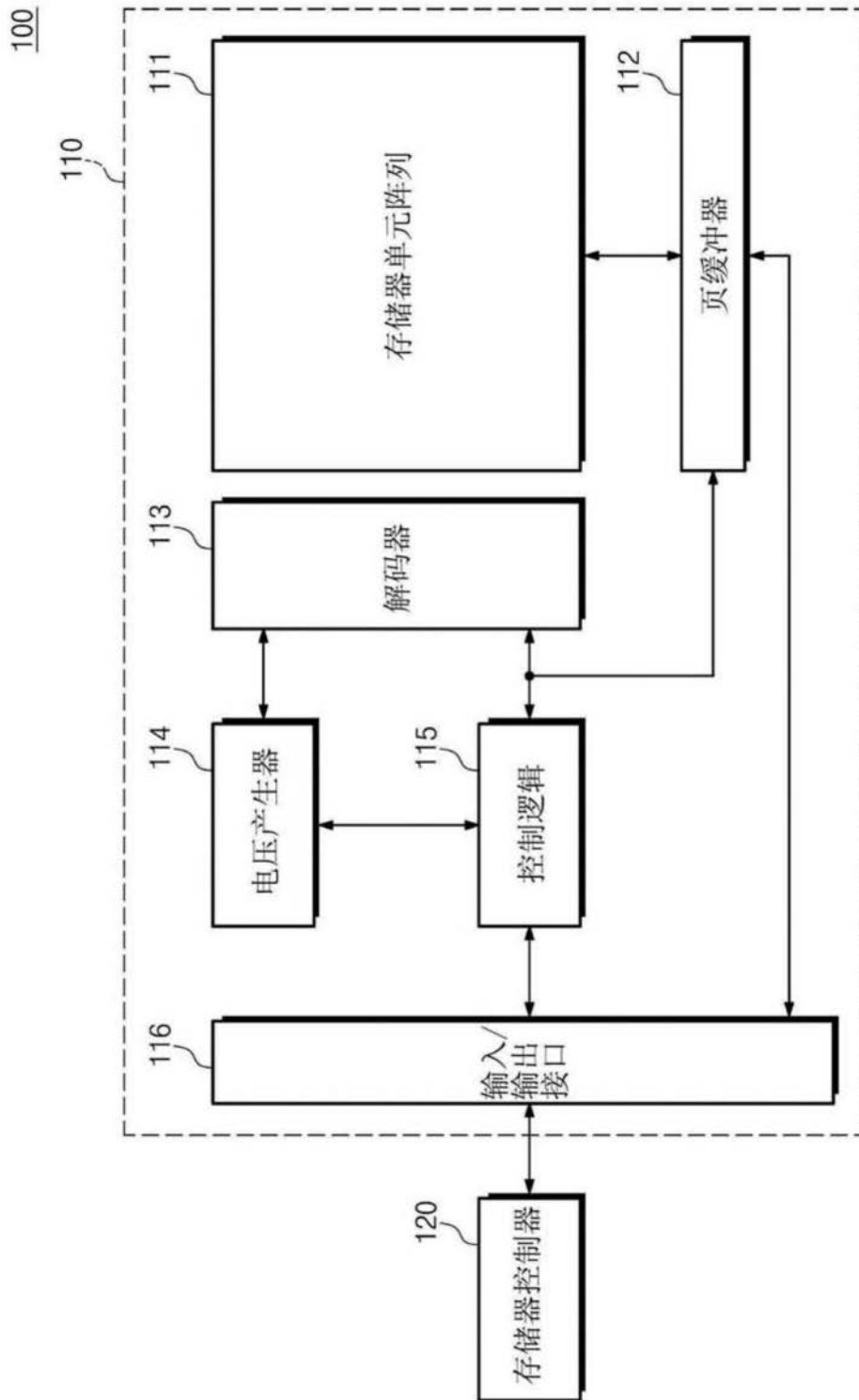


图1

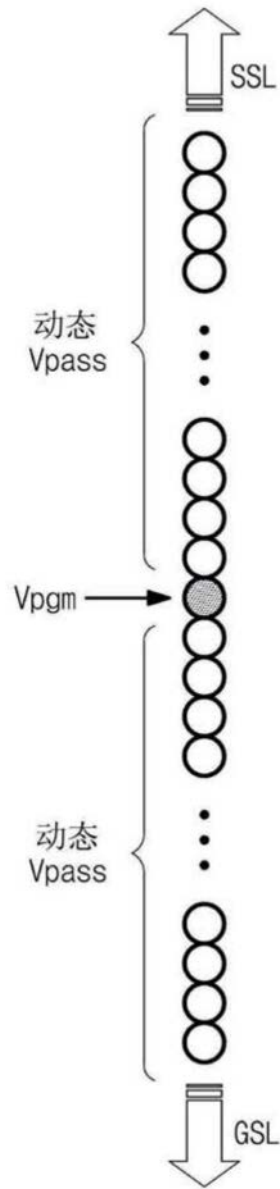


图2

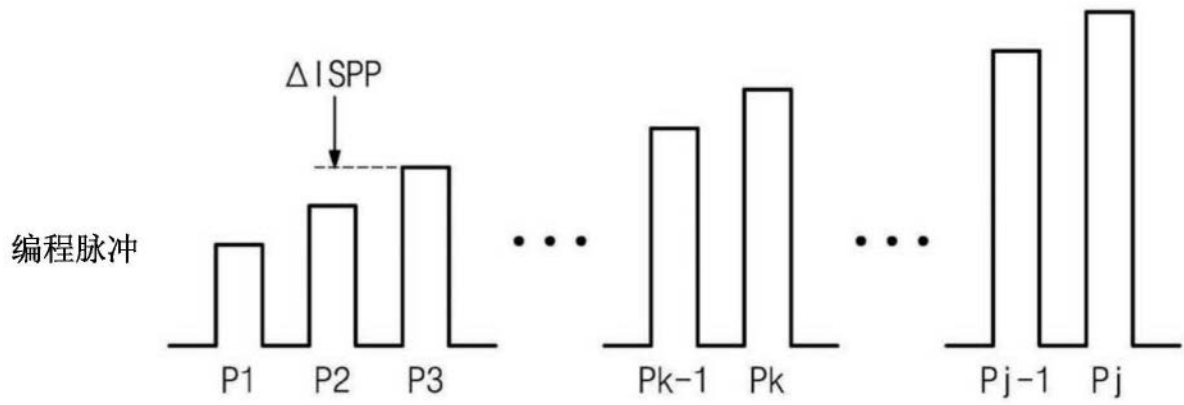


图3

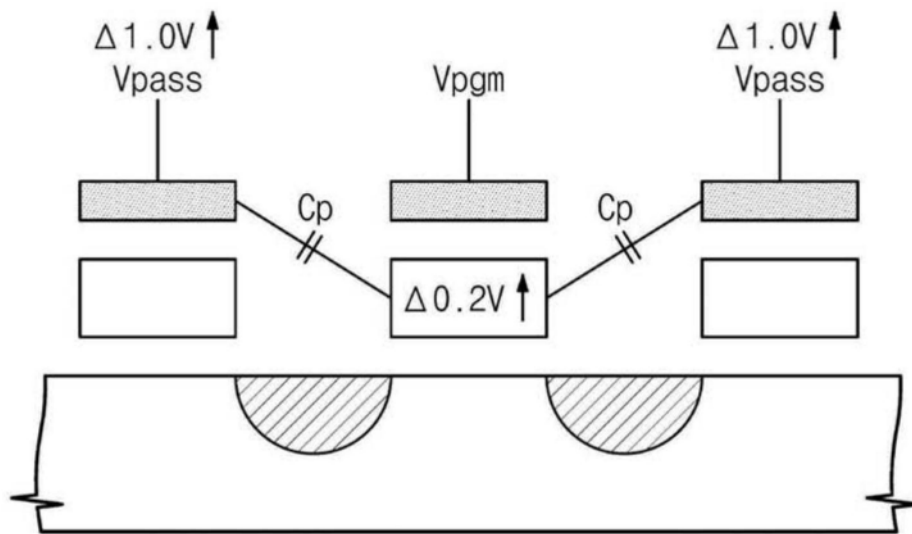


图4

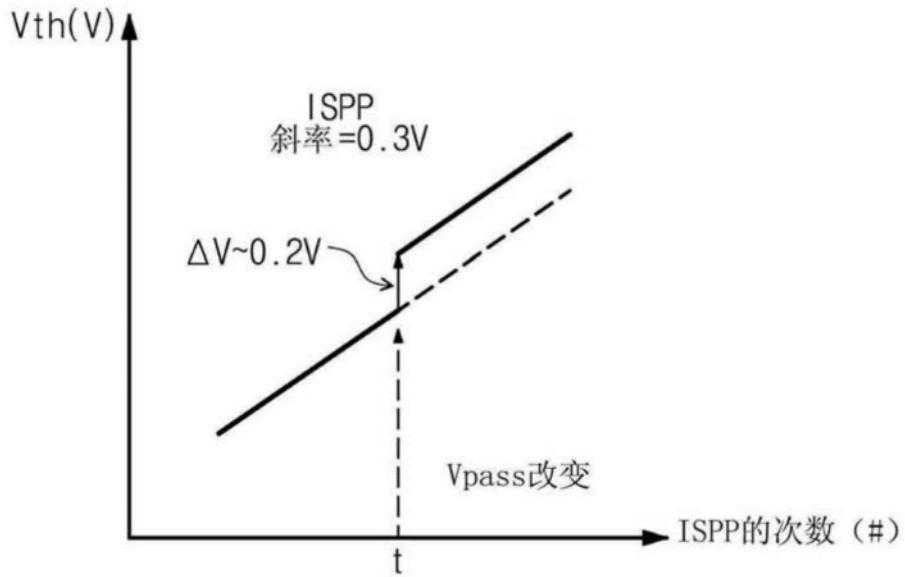


图5

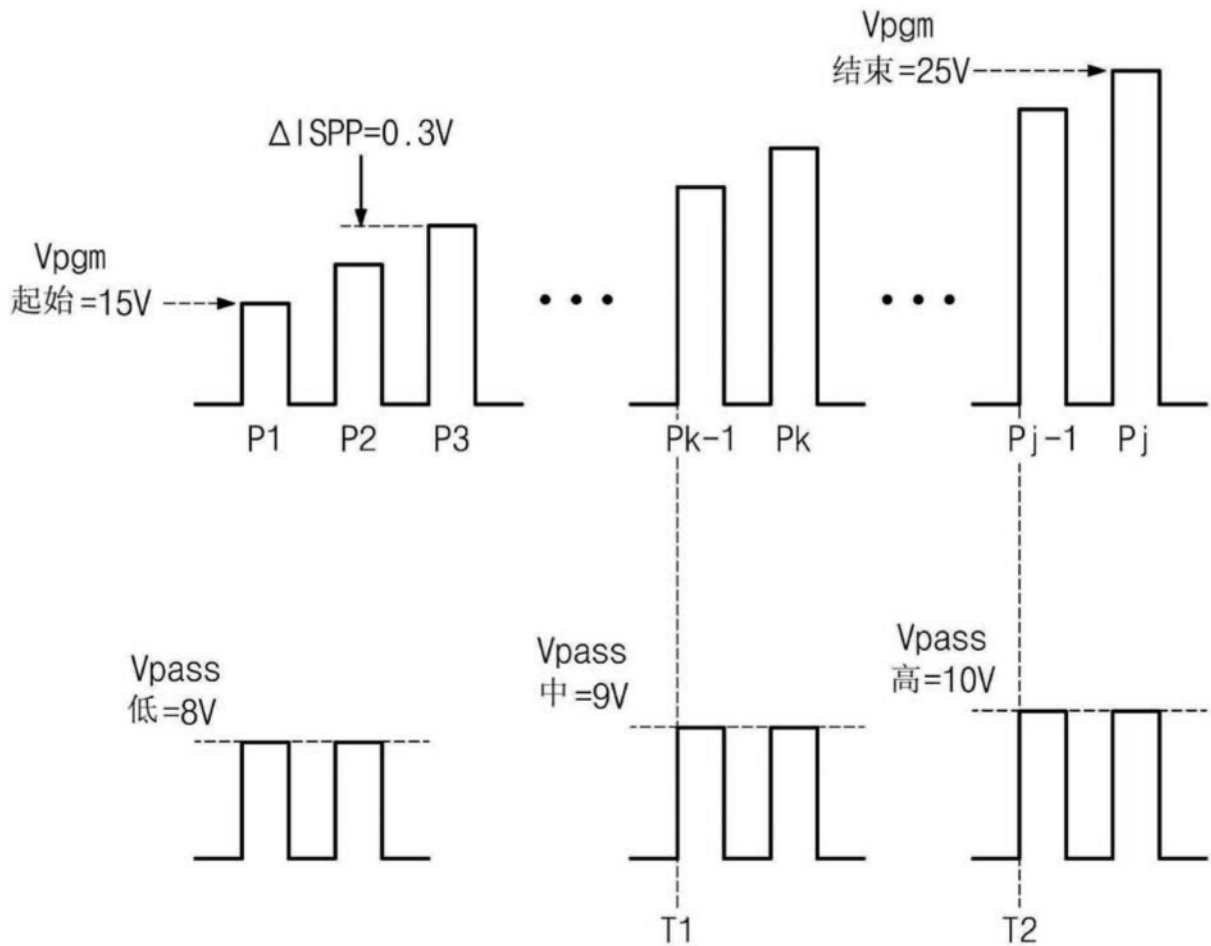


图6

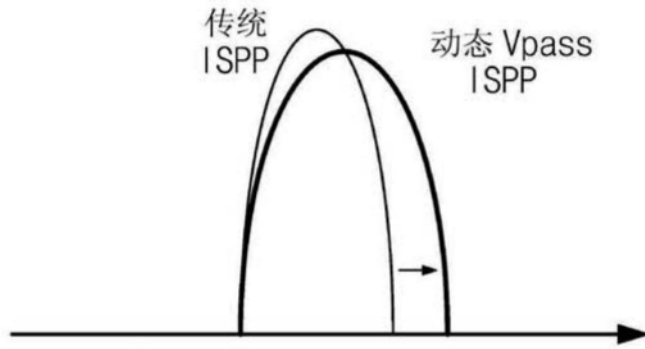


图7

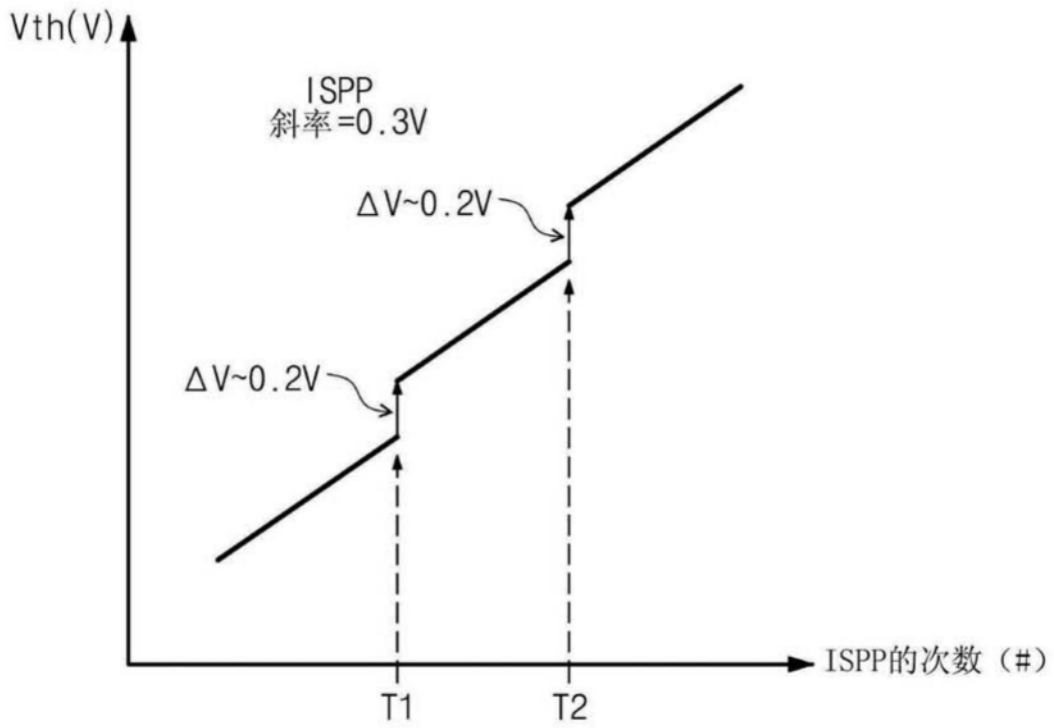


图8



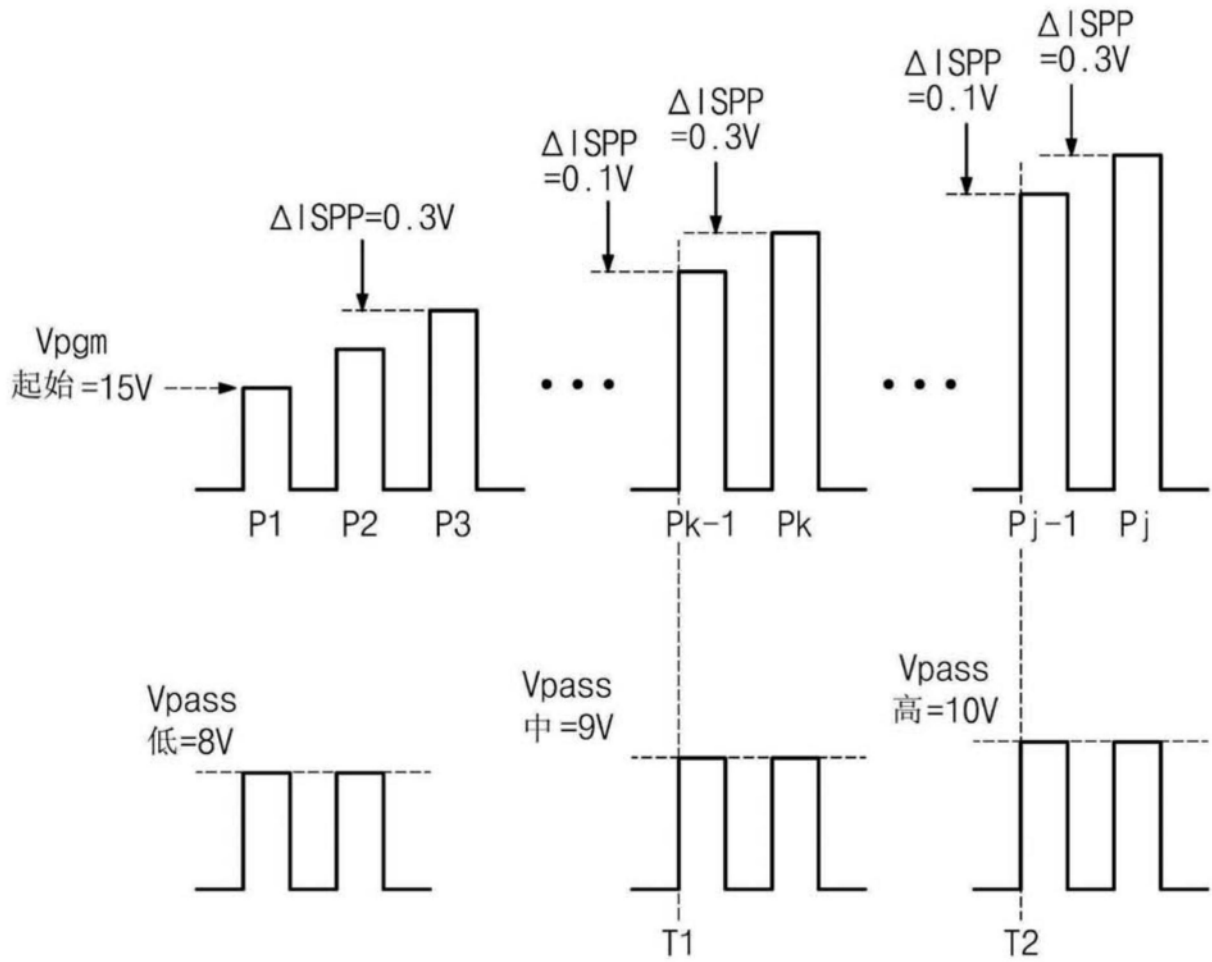


图9

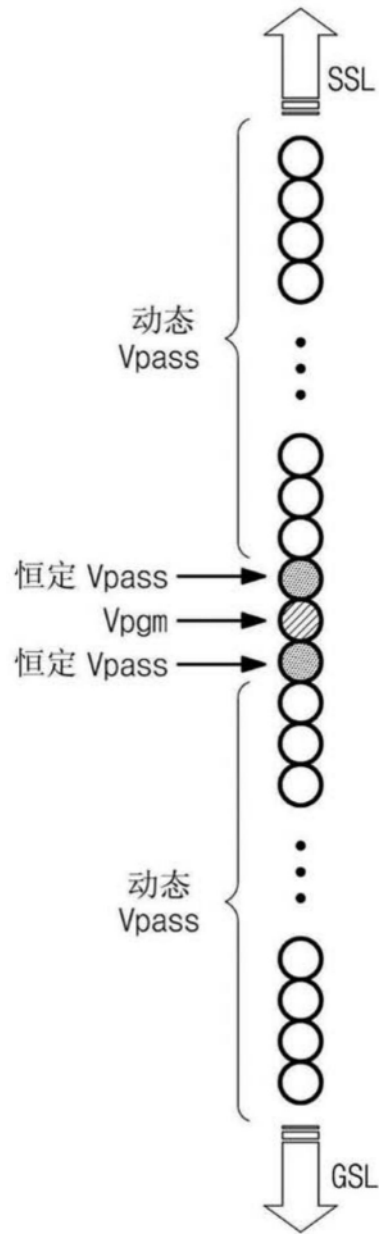


图10

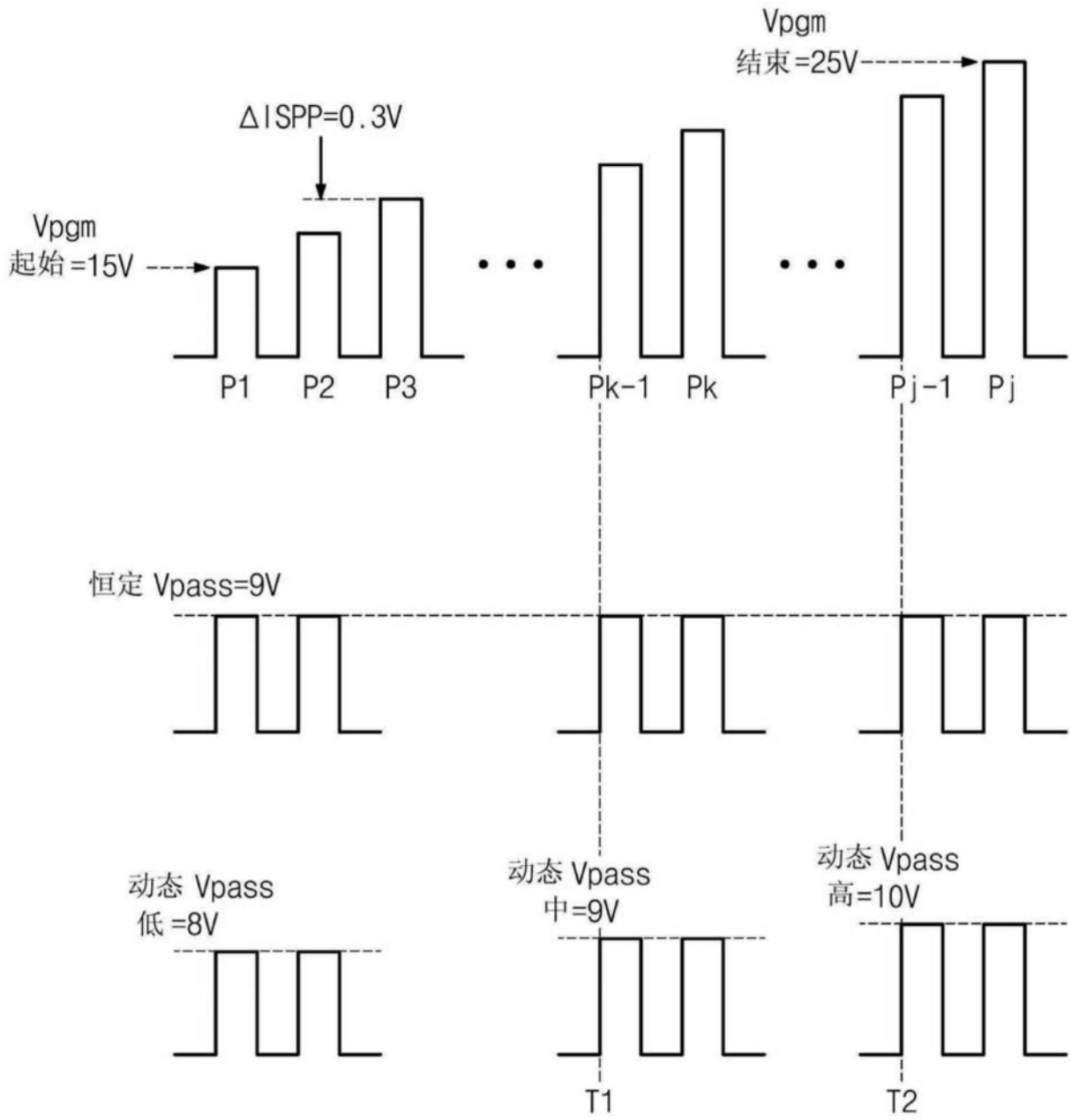


图11

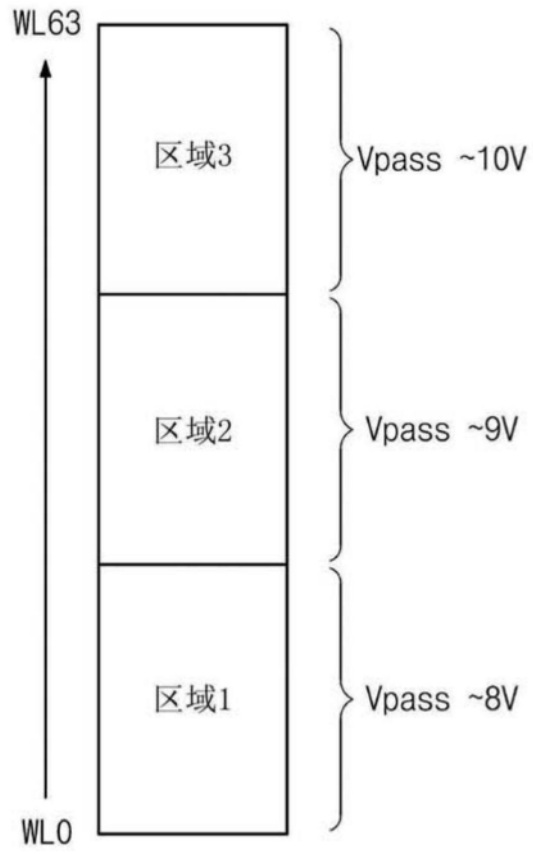


图12

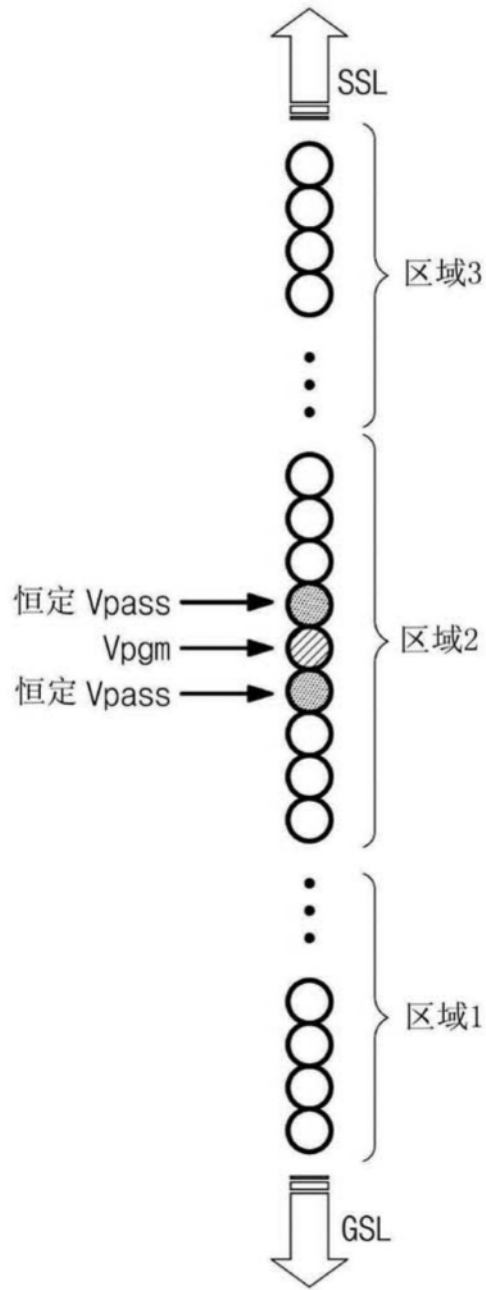


图13

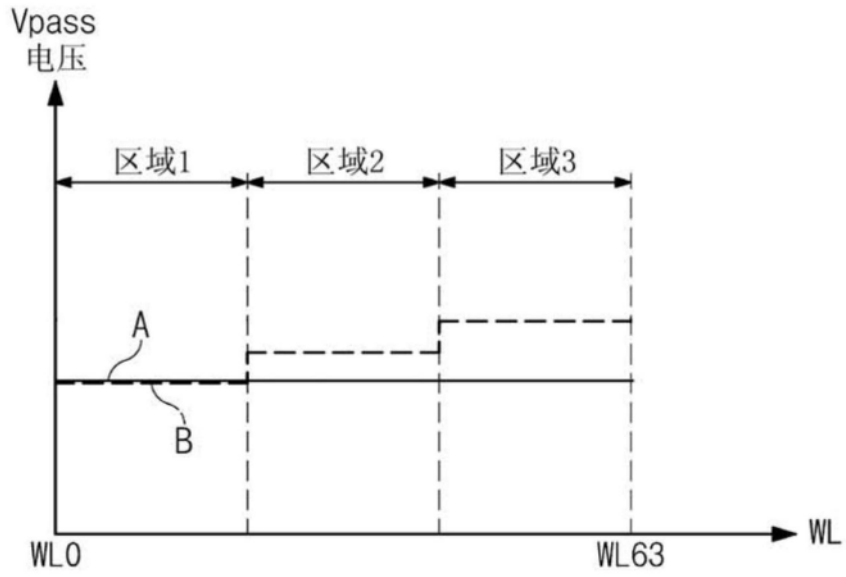


图14

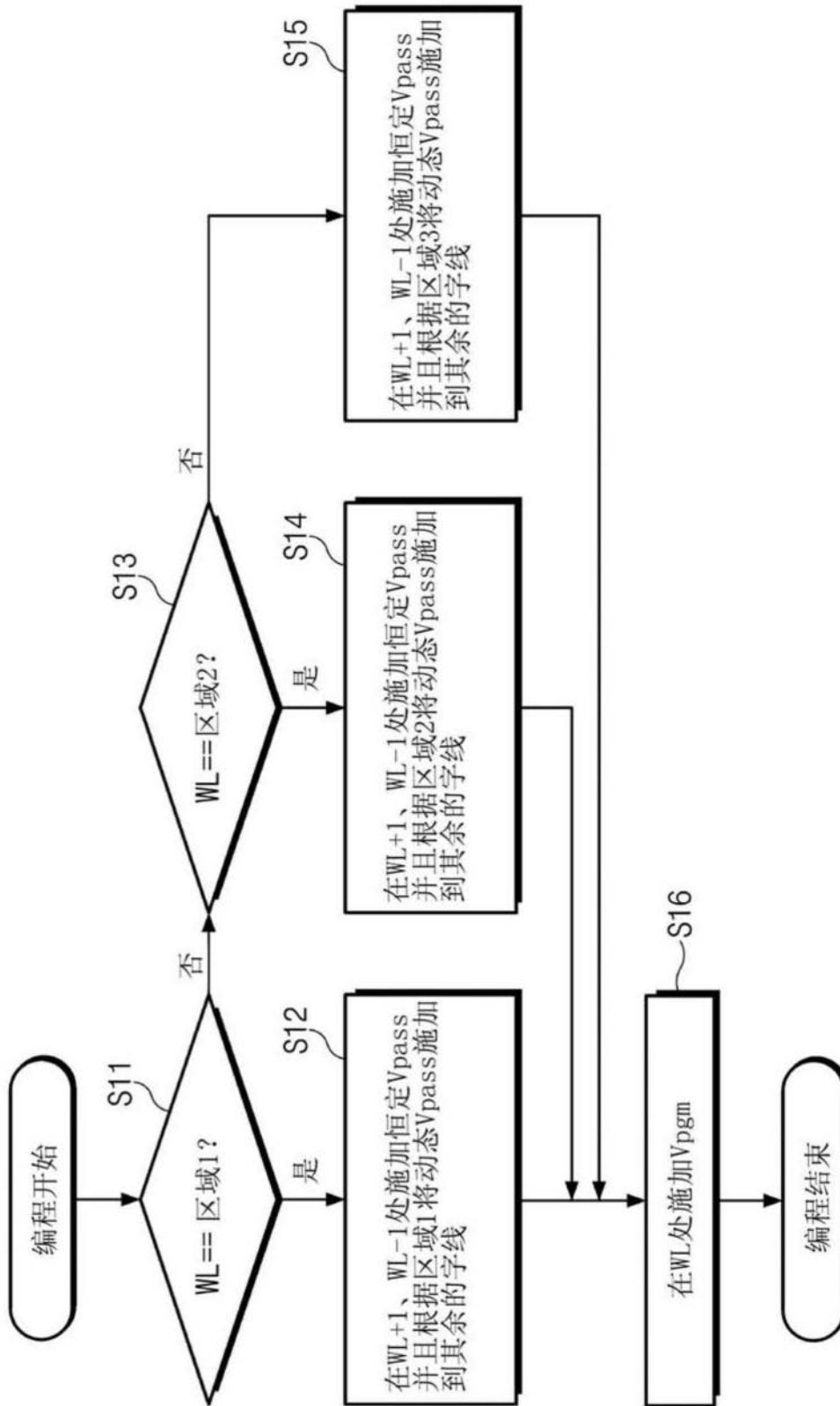


图15

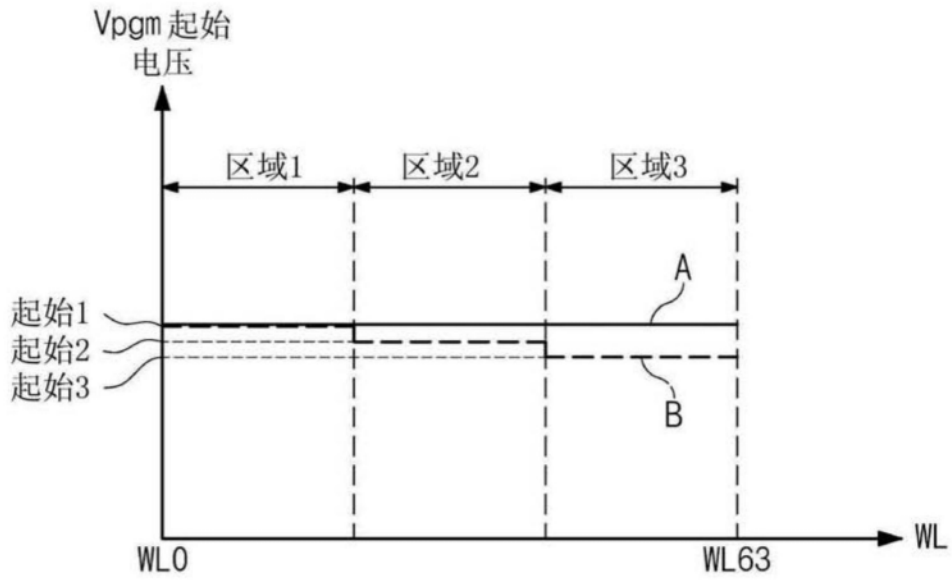


图16



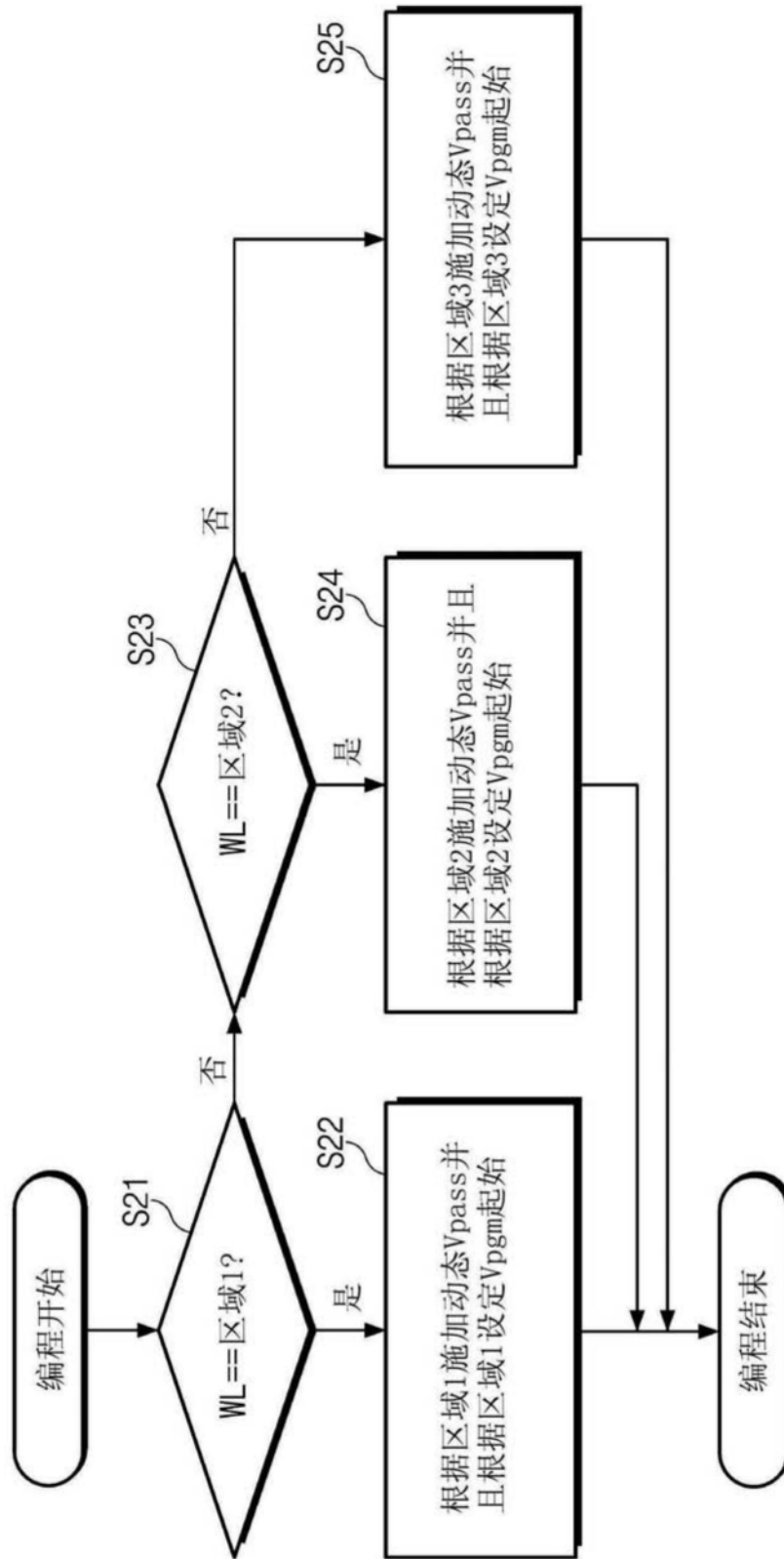


图17

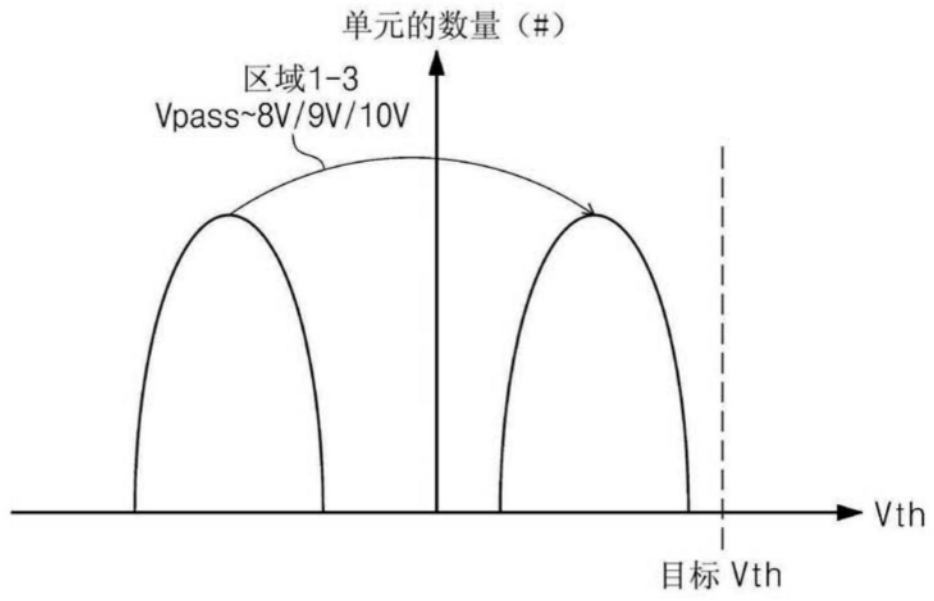


图18

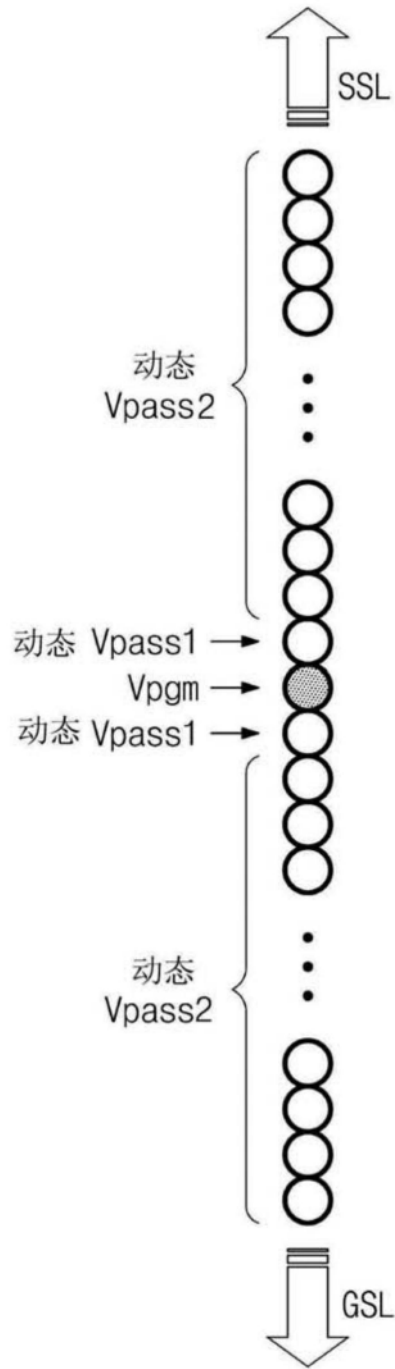


图19

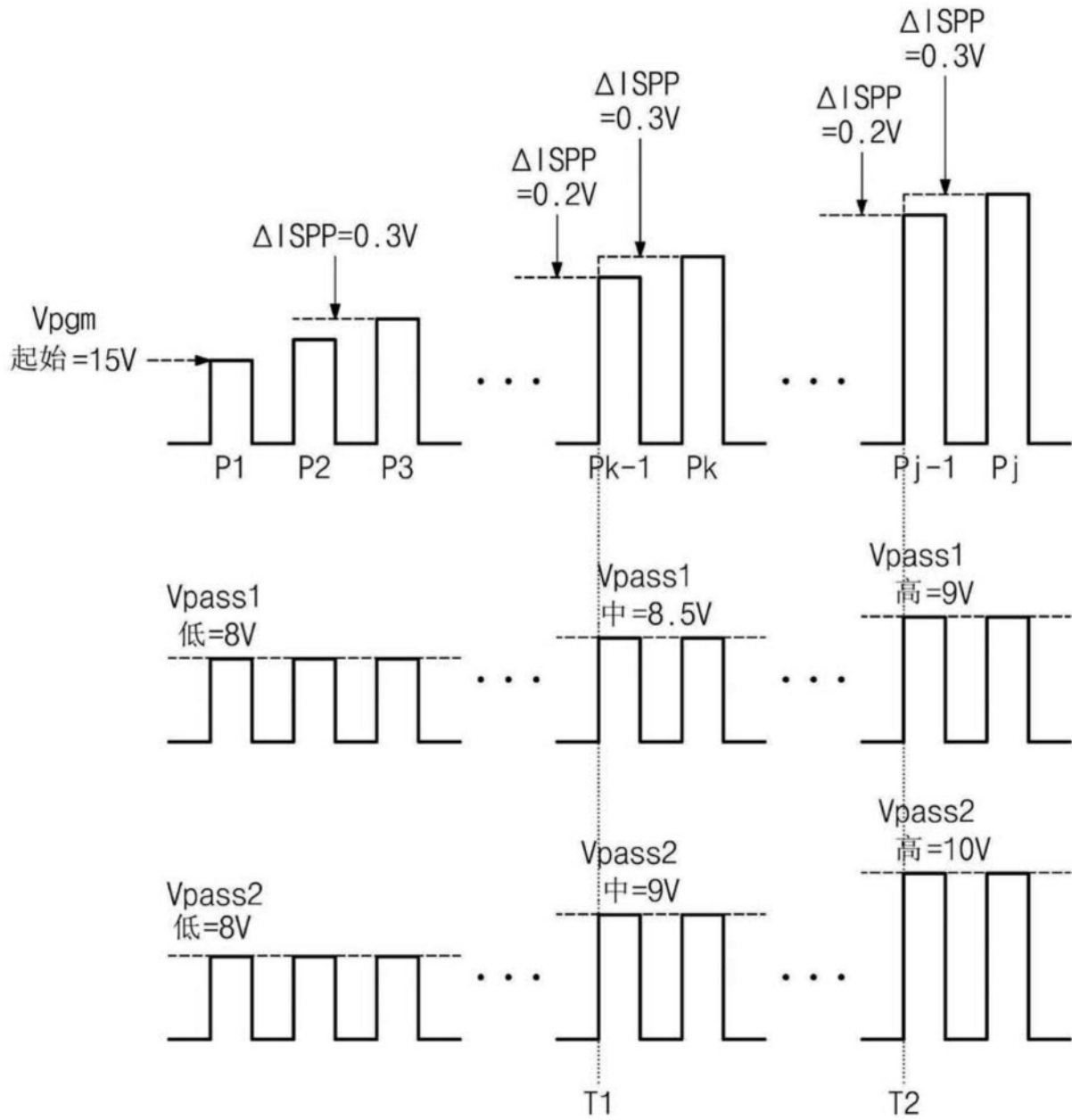


图20

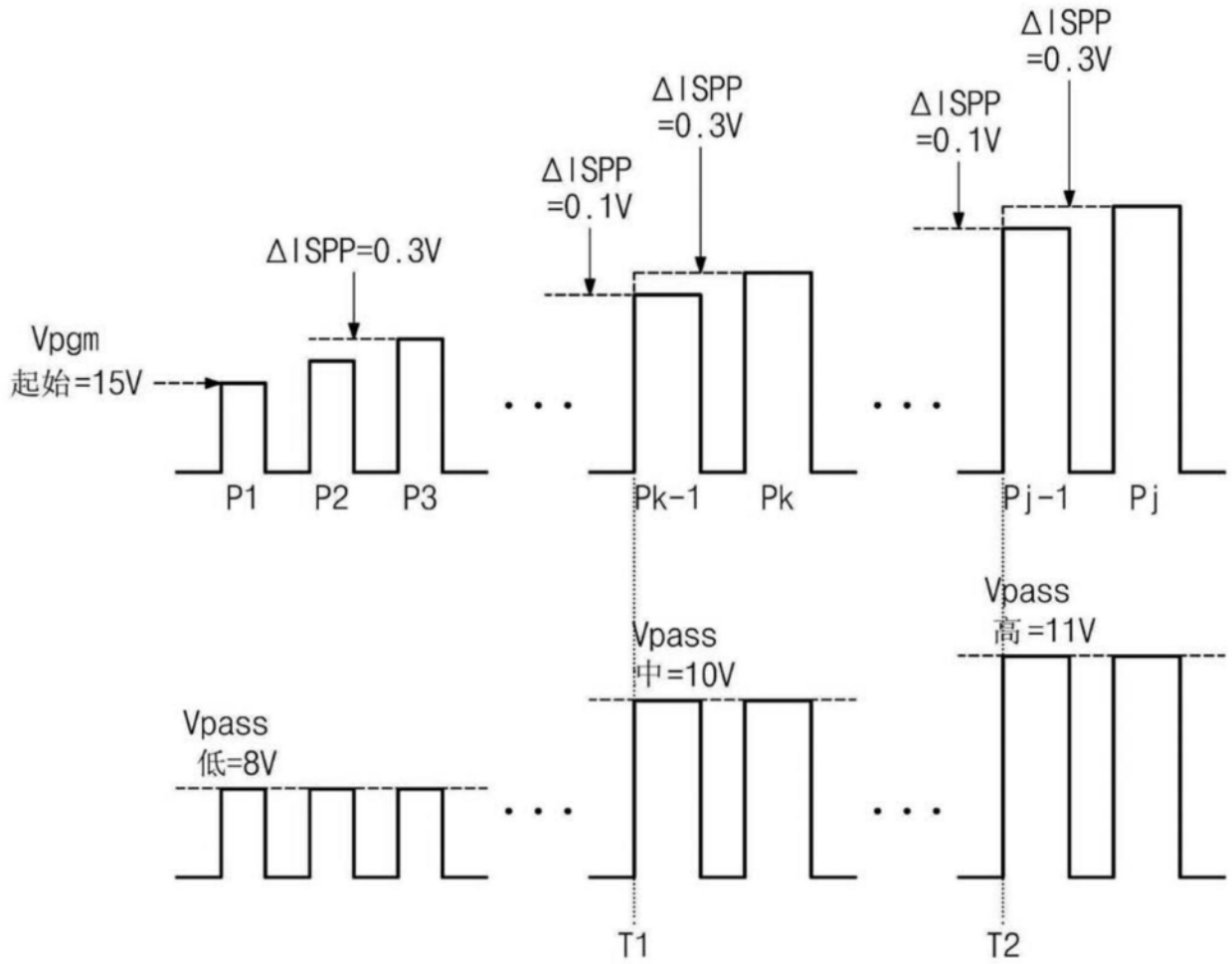


图21

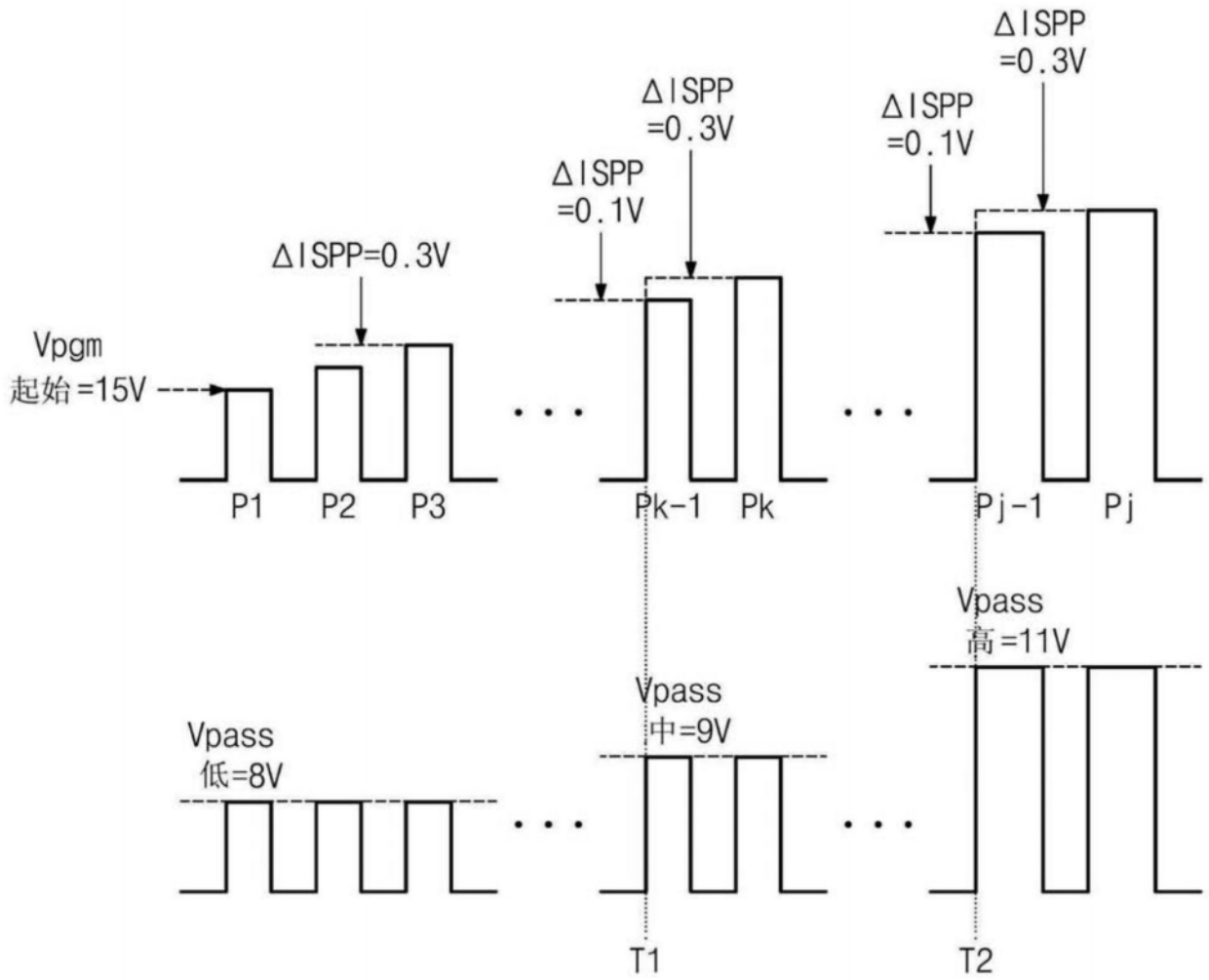


图22

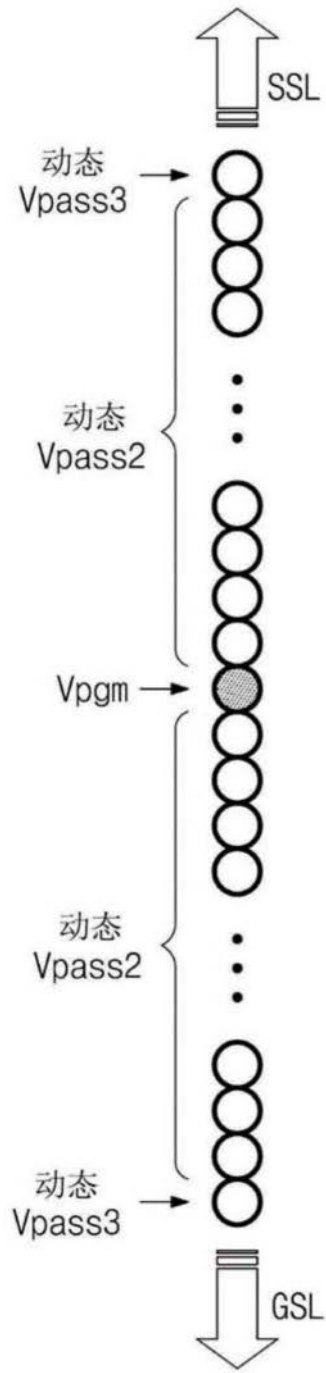


图23

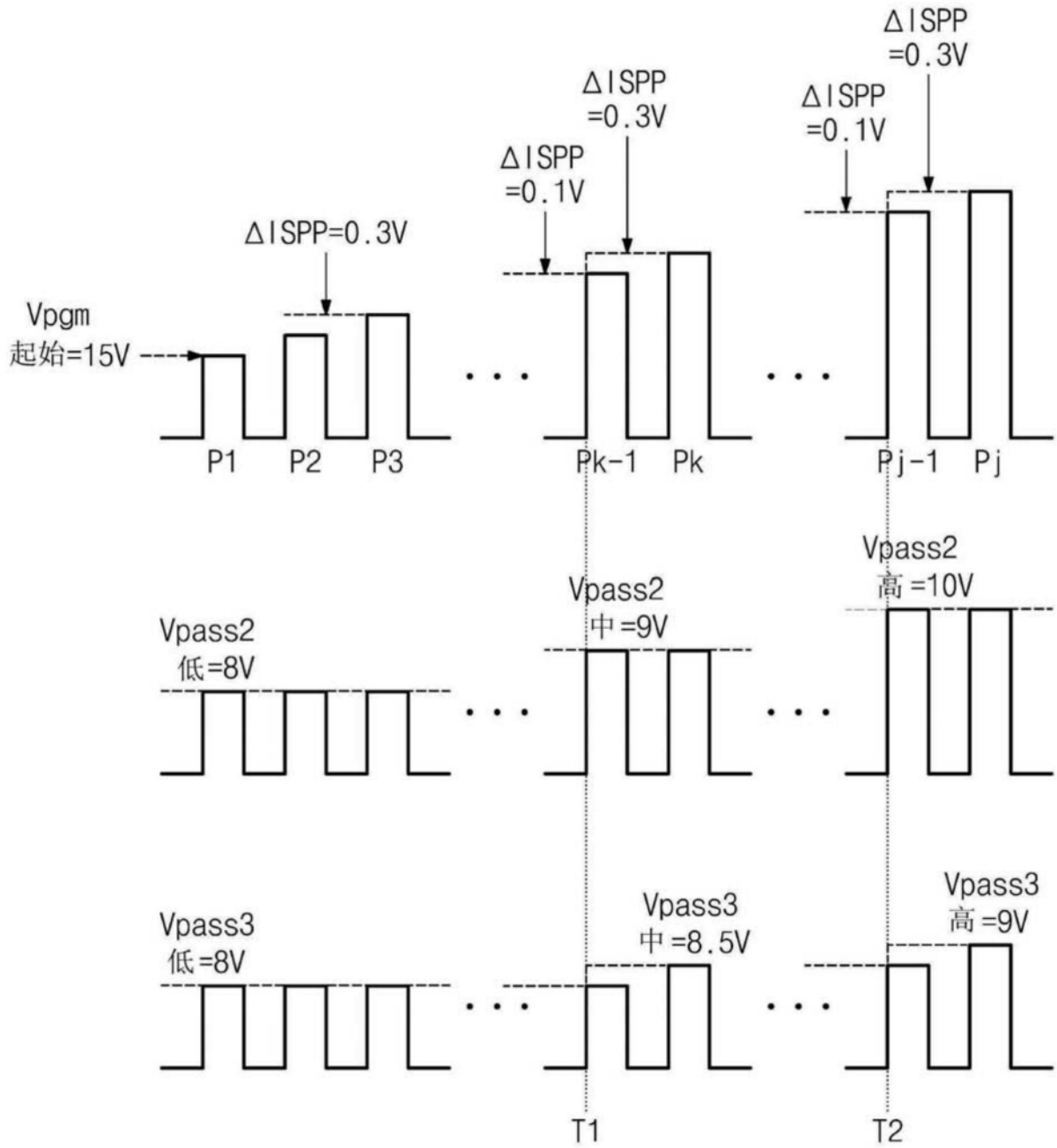


图24



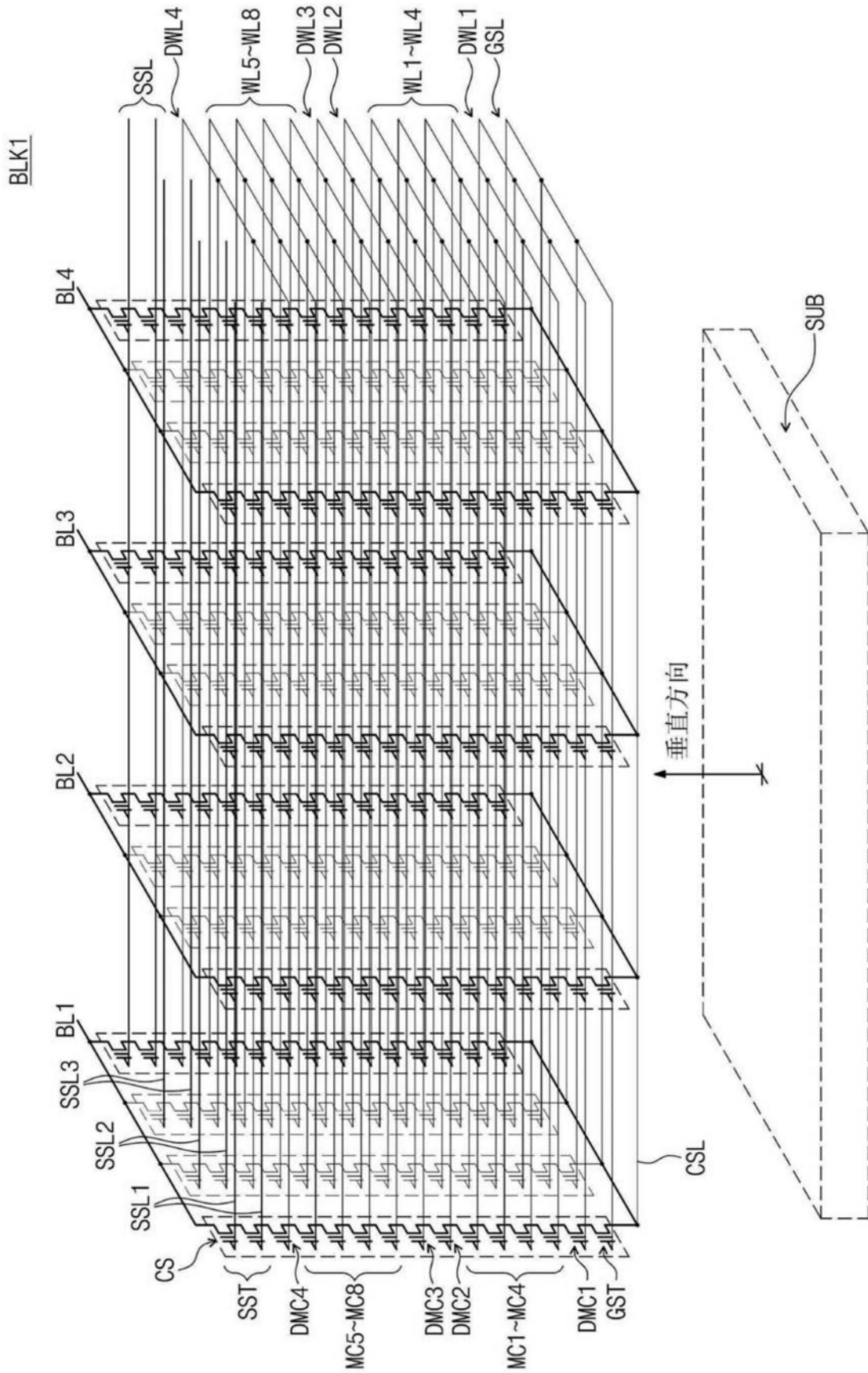


图25

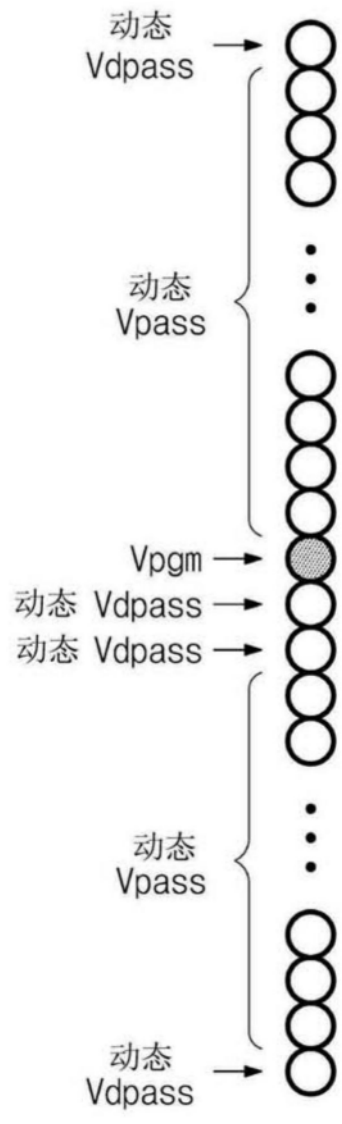


图26

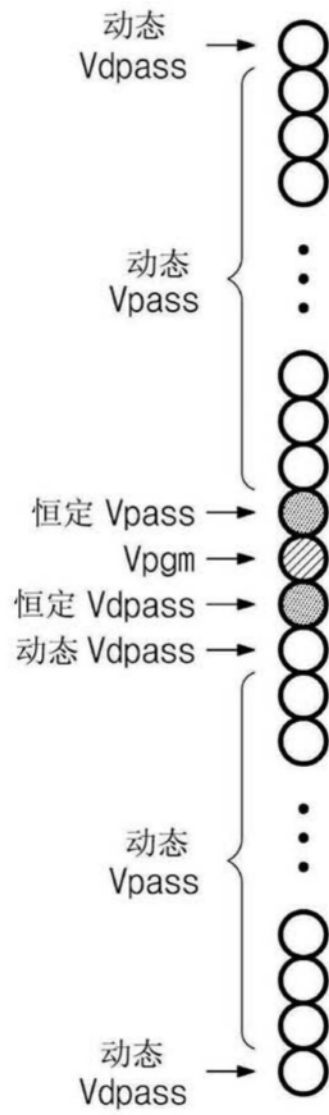


图27

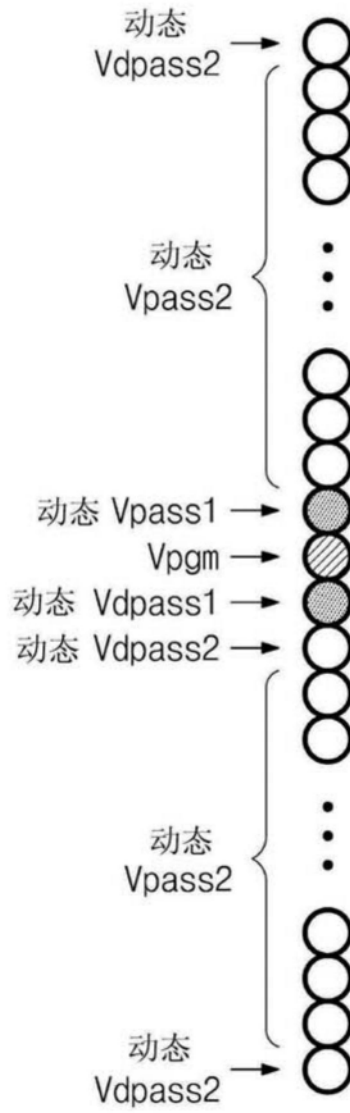


图28

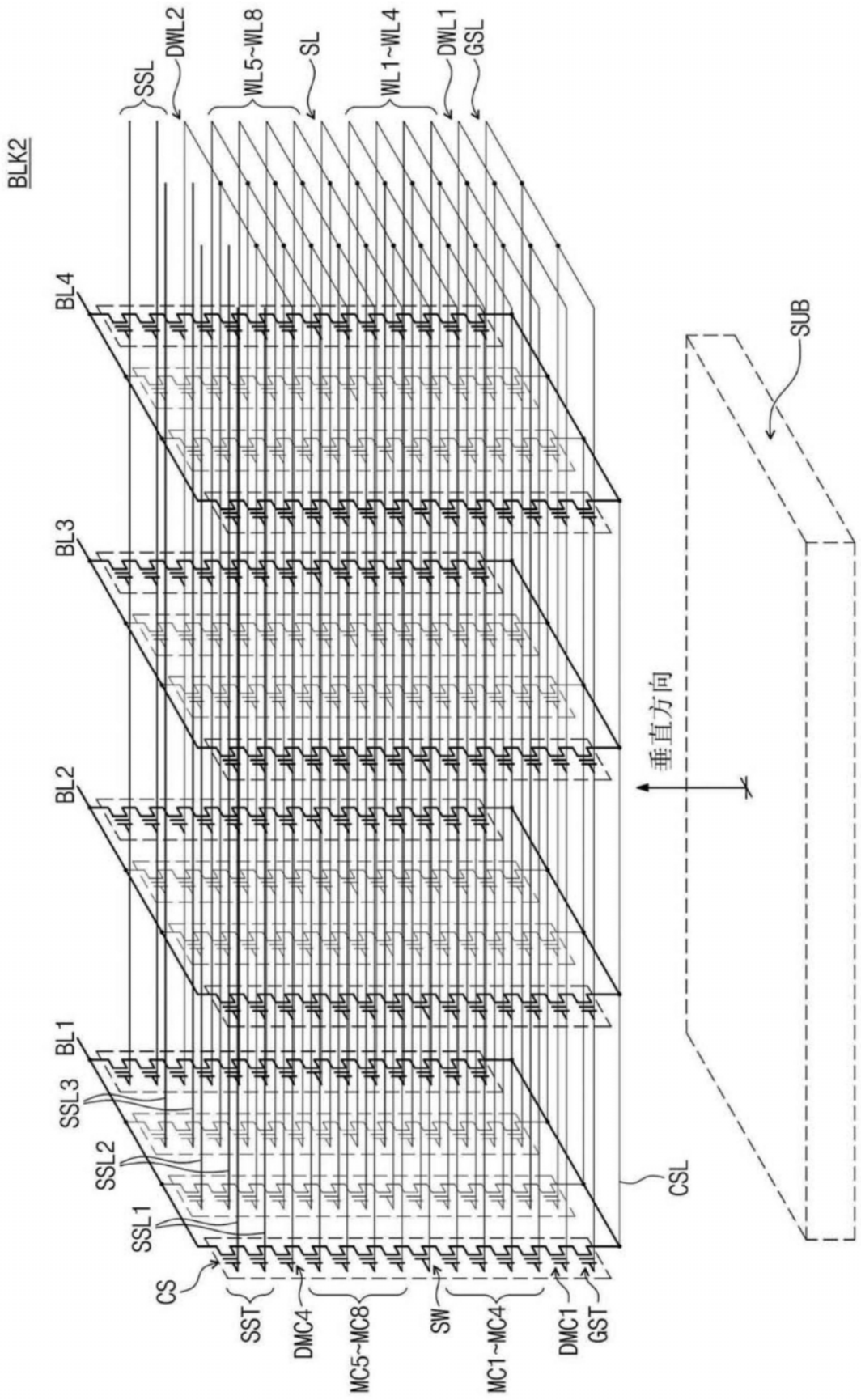


图29

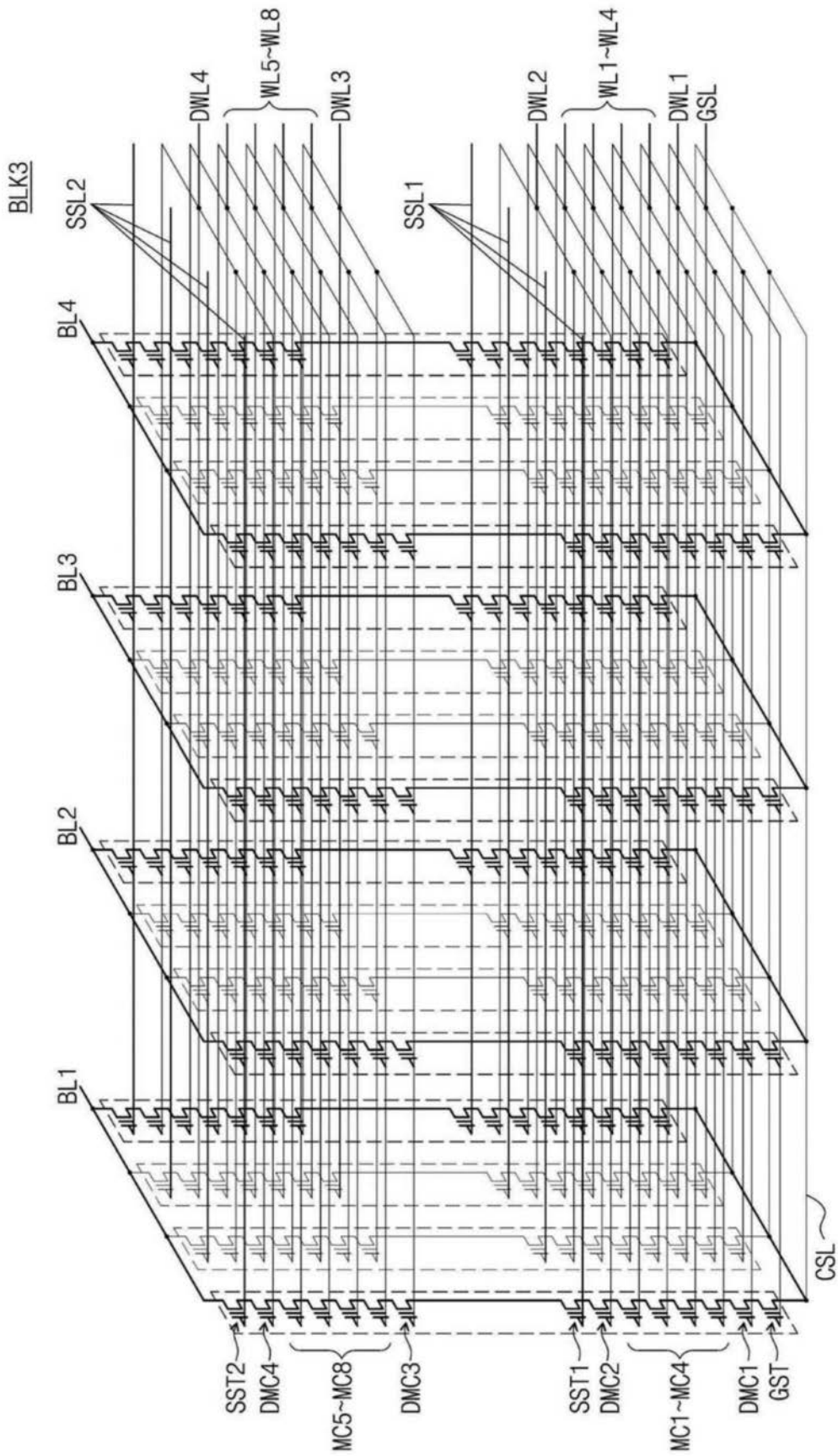


图30

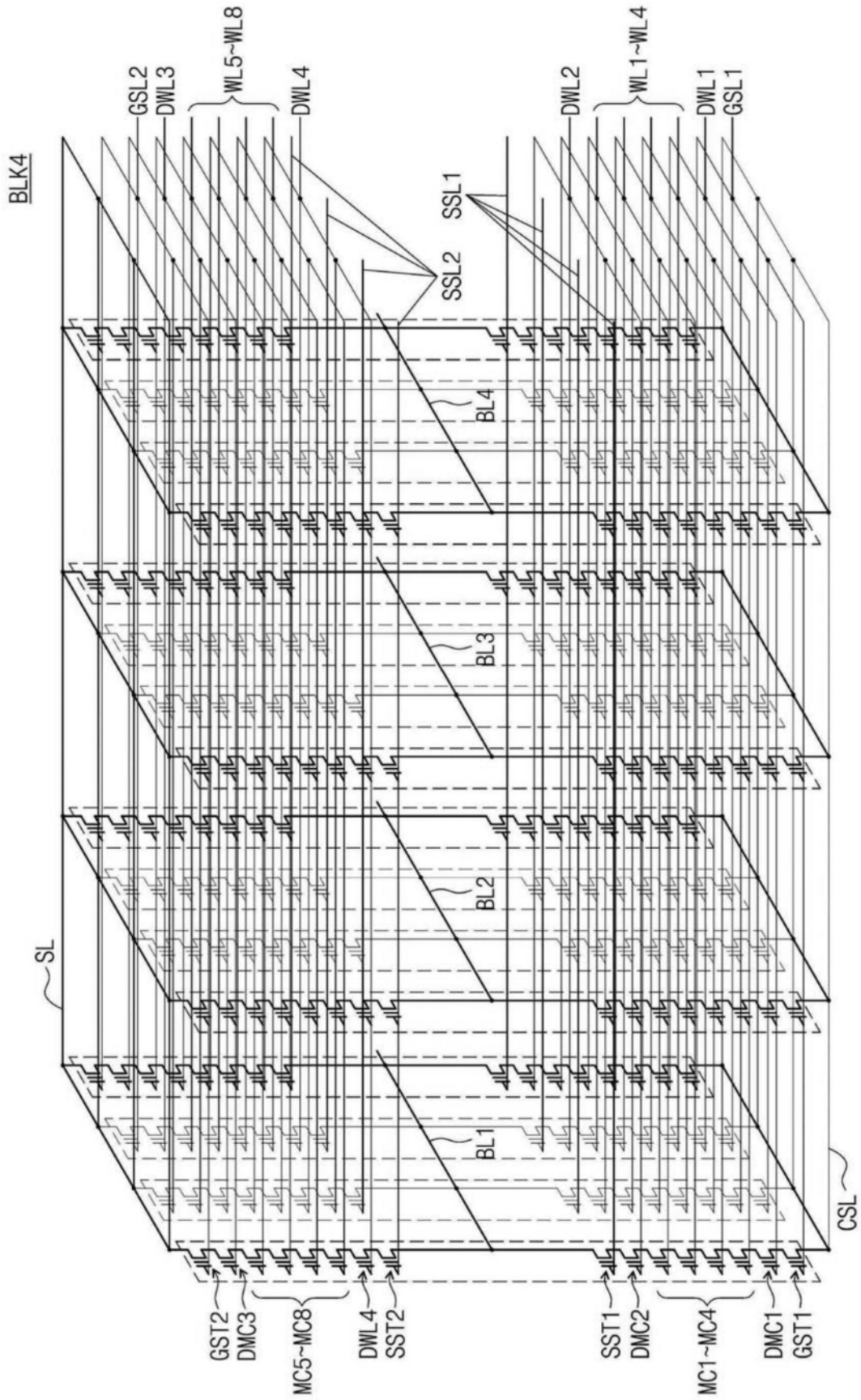


图31

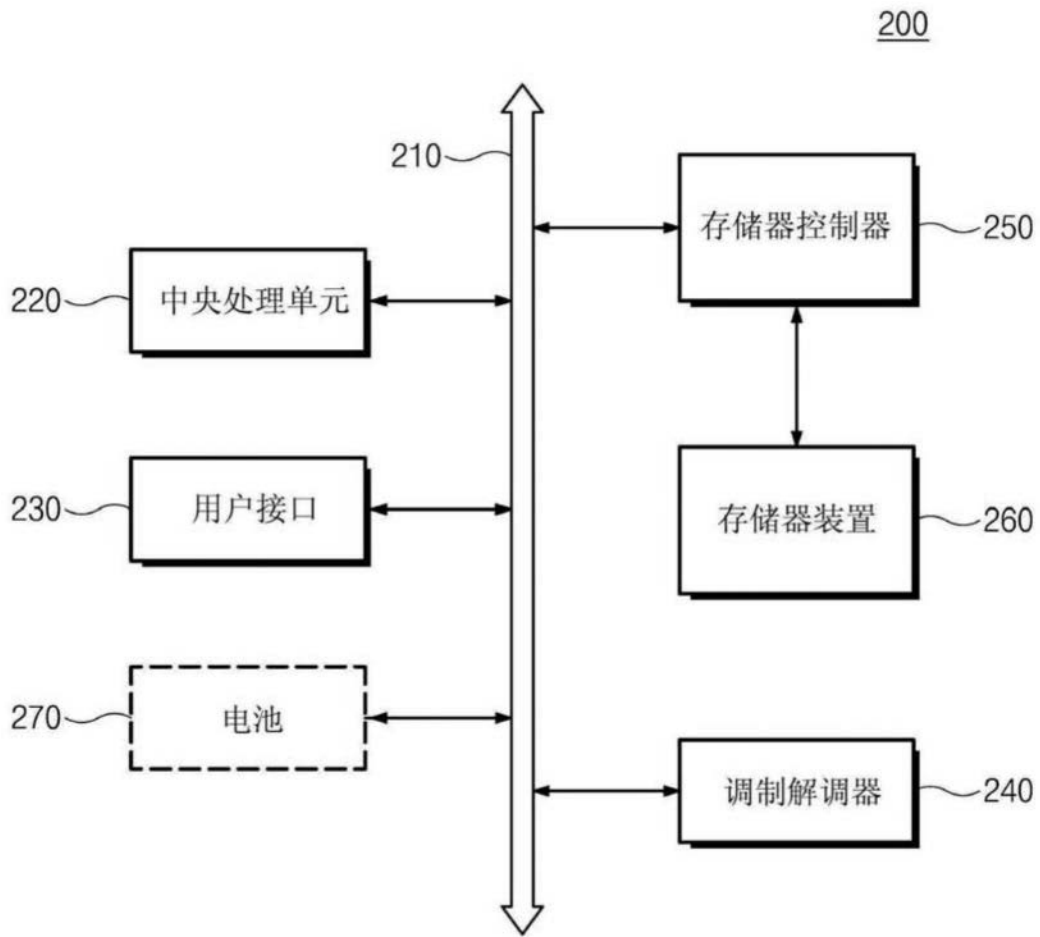


图32

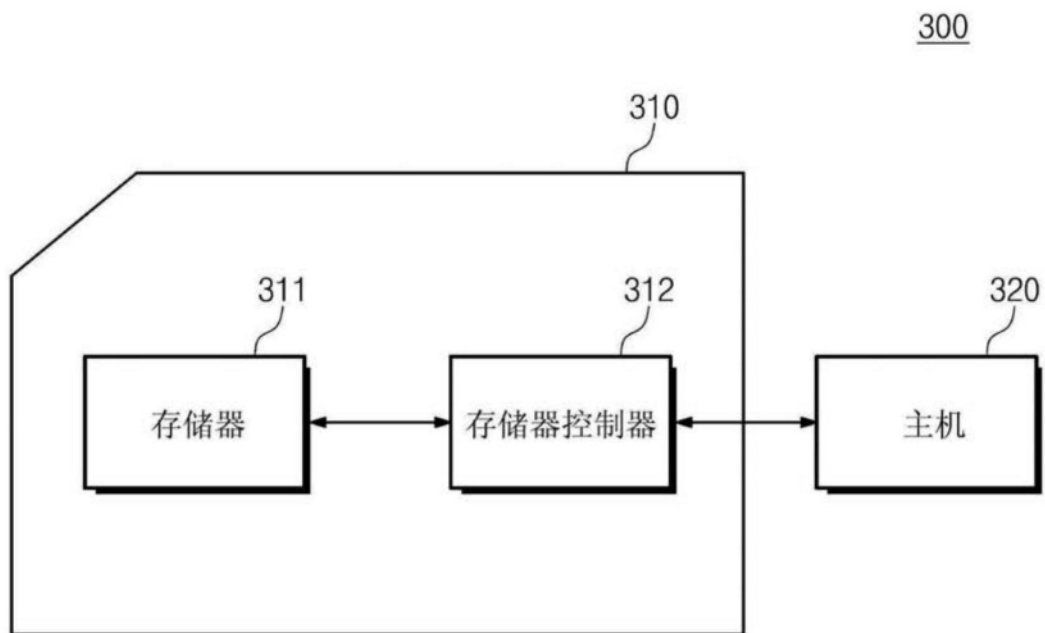


图33