

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4797803号
(P4797803)

(45) 発行日 平成23年10月19日(2011.10.19)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 641Q
	G09G 3/20 612F
	G09G 3/20 612D
	G09G 3/20 623B
請求項の数 19 (全 47 頁) 最終頁に続く	

(21) 出願番号	特願2006-148406 (P2006-148406)	(73) 特許権者	000002369
(22) 出願日	平成18年5月29日 (2006.5.29)		セイコーエプソン株式会社
(65) 公開番号	特開2007-241221 (P2007-241221A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成19年9月20日 (2007.9.20)	(74) 代理人	100090479
審査請求日	平成20年1月18日 (2008.1.18)		弁理士 井上 一
(31) 優先権主張番号	特願2005-192478 (P2005-192478)	(74) 代理人	100104710
(32) 優先日	平成17年6月30日 (2005.6.30)		弁理士 竹腰 昇
(33) 優先権主張国	日本国(JP)	(74) 代理人	100124626
(31) 優先権主張番号	特願2006-34500 (P2006-34500)		弁理士 榎並 智和
(32) 優先日	平成18年2月10日 (2006.2.10)	(74) 代理人	100124682
(33) 優先権主張国	日本国(JP)		弁理士 黒田 泰
(31) 優先権主張番号	特願2006-34497 (P2006-34497)	(72) 発明者	熊谷 敬
(32) 優先日	平成18年2月10日 (2006.2.10)		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 集積回路装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

表示パネルを駆動する集積回路装置であって、

前記集積回路装置の短辺である第1の辺から対向する第3の辺へと向かう方向を第1の方向とし、前記集積回路装置の長辺である第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記第1の方向に沿って配置される第1～第Nの回路ブロック(Nは2以上の整数)を含み、

前記第1～第Nの回路ブロックは、

階調特性の調整データの設定を行うロジック回路ブロックと、

設定された前記調整データに基づいて、前記表示パネルに表示される画像の画像データにより選択される階調電圧を生成する階調電圧生成回路ブロックと、

前記階調電圧生成回路ブロックからの階調電圧を受け、前記表示パネルのデータ線を駆動するための少なくとも1つのデータドライバブロックと、

電源電圧を生成する電源回路ブロックとを含み、

少なくとも1つの前記データドライバブロックは、

前記ロジック回路ブロック及び前記階調電圧生成回路ブロックと、前記電源回路ブロックとの間に配置されることを特徴とする集積回路装置。

【請求項2】

請求項1において、

前記ロジック回路ブロックと前記階調電圧生成回路ブロックは、前記第1の方向に沿っ

て隣接して配置されることを特徴とする集積回路装置。

【請求項 3】

請求項 1 又は 2 において、

前記階調電圧生成回路ブロックは、前記データドライバブロックと前記ロジック回路ブロックの間に配置されることを特徴とする集積回路装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記第 1 ~ 第 N の回路ブロックは、

前記画像データを記憶する少なくとも 1 つのメモリブロックを含み、

前記メモリブロックと、前記メモリブロックに接続され、前記メモリブロックに記憶される前記画像データにより前記データ線を駆動する前記データドライバブロックは、前記第 1 の方向に沿って隣接して配置されることを特徴とする集積回路装置。

10

【請求項 5】

請求項 4 において、

前記第 1 ~ 第 N の回路ブロックは、

第 1 ~ 第 I のメモリブロック (I は 2 以上の整数) と、

前記第 1 ~ 第 I のメモリブロックの各々に対して、前記第 1 の方向に沿ってその各々が隣接して配置される第 1 ~ 第 I のデータドライバブロックとを含むことを特徴とする集積回路装置。

【請求項 6】

20

請求項 1 乃至 5 のいずれかにおいて、

前記データドライバブロックは、

画像データを受け、前記データ線を駆動するデータドライバと、

前記ロジック回路ブロックからのドライバ制御信号をバッファリングして前記データドライバに出力するバッファ回路とを含み、

前記ロジック回路ブロックからのドライバ制御信号を前記データドライバブロックに供給するためのドライバ用グローバル線が、前記ロジック回路ブロックと前記データドライバブロックの間に介在する回路ブロック上を前記第 1 の方向に沿って配線され、

前記バッファ回路は、

前記ドライバ用グローバル線からのドライバ制御信号をバッファリングして前記データドライバに出力することを特徴とする集積回路装置。

30

【請求項 7】

請求項 6 において、

前記データドライバブロックは、

その各々が 1 サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルを含み、

前記複数のサブピクセルドライバセルの各サブピクセルドライバセルは、

第 1 の電圧レベルの電源で動作する回路が配置される第 1 の回路領域と、

前記第 1 の電圧レベルよりも高い第 2 の電圧レベルの電源で動作する回路が配置される第 2 の回路領域とを有し、

40

前記バッファ回路は、

前記ロジック回路ブロックからの第 1 の電圧レベルのドライバ制御信号を受けてバッファリングし、前記サブピクセルドライバセルの前記第 1 の回路領域の回路に対して出力する第 1 のバッファと、

前記ロジック回路ブロックからの第 1 の電圧レベルのドライバ制御信号を受け、レベルシフトにより第 2 の電圧レベルに変換してバッファリングし、前記サブピクセルドライバセルの前記第 2 の回路領域の回路に対して出力する第 2 のバッファとを含むことを特徴とする集積回路装置。

【請求項 8】

請求項 7 において、

50

前記複数のサブピクセルドライバセルは、
各サブピクセルドライバセルの前記第 2 の回路領域同士又は前記第 1 の回路領域同士が
前記第 1 の方向に沿って隣接するように配置されることを特徴とする集積回路装置。

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、
前記データドライバブロックは、
その各々が 1 サブピクセル分の画像データに対応するデータ信号を出力する複数のサブ
ピクセルドライバセルを含み、
前記サブピクセルドライバセルは、
階調電圧を用いて、画像データの D / A 変換を行う D / A 変換器を含み、
前記階調電圧生成回路ブロックからの階調電圧を前記データドライバブロックに供給す
るための階调用グローバル線が、前記階調電圧生成回路ブロックと前記データドライバブ
ロックの間に介在する回路ブロック上を前記第 1 の方向に沿って配線され、
前記 D / A 変換器に前記階調電圧を供給するための階調電圧供給線が、複数の前記サブ
ピクセルドライバセルにまたがって前記第 2 の方向に沿って配線されることを特徴とする
集積回路装置。

10

【請求項 10】

請求項 9 において、
前記サブピクセルドライバセルの前記 D / A 変換器の配置領域では、前記第 2 の方向に
沿って N 型トランジスタ領域、P 型トランジスタ領域が配置され、
前記サブピクセルドライバセルの前記 D / A 変換器以外の回路の配置領域では、前記第
1 の方向に沿って N 型トランジスタ領域、P 型トランジスタ領域が配置されることを特徴
とする集積回路装置。

20

【請求項 11】

請求項 10 において、
前記 D / A 変換器の前記配置領域の N 型トランジスタ領域、P 型トランジスタ領域に配
置される N 型トランジスタ、P 型トランジスタにより、前記 D / A 変換器の電圧セレクタ
のトランスファークロークが構成されることを特徴とする集積回路装置。

【請求項 12】

請求項 1 乃至 11 のいずれかにおいて、
前記階調電圧生成回路ブロックは、
電源電圧に基づいて選択用電圧を出力する選択用電圧生成回路と、
前記ロジック回路ブロックにより設定された前記調整データと、前記選択用電圧に基づ
いて、階調電圧を選択して出力する階調電圧選択回路とを含むことを特徴とする集積回路
装置。

30

【請求項 13】

請求項 12 において、
前記選択用電圧生成回路は、前記階調電圧選択回路の前記第 2 の方向側又は前記第 2 の
方向の反対方向である第 4 の方向側に配置されることを特徴とする集積回路装置。

【請求項 14】

請求項 12 又は 13 において、
前記階調電圧選択回路は、前記データドライバブロックと前記ロジック回路ブロックの
間に配置されることを特徴とする集積回路装置。

40

【請求項 15】

請求項 1 乃至 14 のいずれかにおいて、
前記階調電圧生成回路ブロックからの階調電圧が出力される階調電圧出力線が、前記第
1 ~ 第 N の回路ブロック上で前記第 1 の方向に沿って配線されることを特徴とする集積回
路装置。

【請求項 16】

請求項 1 乃至 15 のいずれかにおいて、

50

前記第 1 ~ 第 N の回路ブロックは、
 画像データを記憶する少なくとも 1 つのメモリブロックを含み、
 前記メモリブロックでは、
 ビット線の上層にシールド線が配線され、前記シールド線の上層に、前記階調電圧生成回路ブロックからの階調電圧が出力される階調電圧出力線が配線されることを特徴とする集積回路装置。

【請求項 17】

請求項 16 において、
 前記メモリブロックでは、
 前記ビット線が前記第 1 の方向に沿って配線され、前記シールド線が前記ビット線にオーバーラップして前記第 1 の方向に沿って配線されることを特徴とする集積回路装置。 10

【請求項 18】

請求項 1 乃至 17 のいずれかにおいて、
 前記第 1 ~ 第 N の回路ブロックの前記第 2 の方向側に前記第 4 の辺に沿って設けられる第 1 のインターフェース領域と、
 前記第 2 の方向の反対方向を第 4 の方向とした場合に、前記第 1 ~ 第 N の回路ブロックの前記第 4 の方向側に前記第 2 の辺に沿って設けられる第 2 のインターフェース領域とを含むことを特徴とする集積回路装置。

【請求項 19】

請求項 1 乃至 18 のいずれかに記載の集積回路装置と、
 前記集積回路装置により駆動される前記表示パネルと、
 を含むことを特徴とする電子機器。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及び電子機器に関する。

【背景技術】

【0002】

液晶パネルなどの表示パネルを駆動する集積回路装置として表示ドライバ（LCDドライバ）がある。この表示ドライバでは、低コスト化のためにチップサイズの縮小が要求される。 30

【0003】

しかしながら、携帯電話機などに組み込まれる表示パネルの大きさはほぼ一定である。従って、微細プロセスを採用し、表示ドライバの集積回路装置を単純にシュリンクしてチップサイズを縮小しようとする、実装が困難になるなどの問題を招く。

【特許文献 1】特開 2001 - 222249 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、回路面積の縮小化を実現できる集積回路装置及びこれを含む電子機器を提供することにある。 40

【課題を解決するための手段】

【0005】

本発明は、集積回路装置の短辺である第 1 の辺から対向する第 3 の辺へと向かう方向を第 1 の方向とし、集積回路装置の長辺である第 2 の辺から対向する第 4 の辺へと向かう方向を第 2 の方向とした場合に、前記第 1 の方向に沿って配置される第 1 ~ 第 N の回路ブロック（N は 2 以上の整数）を含み、前記第 1 ~ 第 N の回路ブロックは、階調特性の調整データの設定を行うロジック回路ブロックと、設定された前記調整データに基づいて階調電圧を生成する階調電圧生成回路ブロックと、前記階調電圧生成回路ブロックからの階調電 50

圧を受け、データ線を駆動するための少なくとも1つのデータドライバブロックと、電源電圧を生成する電源回路ブロックとを含み、少なくとも1つの前記データドライバブロックは、前記ロジック回路ブロック及び前記階調電圧生成回路ブロックと、前記電源回路ブロックとの間に配置される集積回路装置に係る。

【0006】

本発明では、第1～第Nの回路ブロックが第1の方向に沿って配置され、この第1～第Nの回路ブロックが、ロジック回路ブロックと階調電圧生成回路ブロックとデータドライバブロックと電源回路ブロックを含む。そして本発明ではデータドライバブロックが、ロジック回路ブロック及び階調電圧生成回路ブロックと、電源回路ブロックとの間に配置される。従って、ロジック回路ブロックや電源回路ブロックの第2の方向側又はその反対方向の第4の方向側での空きスペースを利用した配線やトランジスタ配置が可能になり、配線・配置効率を向上できる。またデータドライバブロックを集積回路装置の中央付近に集中して配置できるようになるため、データドライバブロックからのデータ信号の出力線等を、効率良くシンプルに配線できる。これにより、集積回路装置の第2の方向での幅を小さくでき、スリムな細長の集積回路装置を提供することが可能になる。

10

【0007】

また本発明では、前記ロジック回路ブロックと前記階調電圧生成回路ブロックは、前記第1の方向に沿って隣接して配置されるようにしてもよい。

【0008】

このようにすれば、ロジック回路ブロックと階調電圧生成回路ブロックを第2の方向に沿って配置する手法に比べて、集積回路装置の第2の方向での幅を小さくでき、スリムな細長の集積回路装置を提供できる。またロジック回路ブロック、階調電圧生成回路ブロックのうちの一方の回路ブロックの回路構成等が変化した場合にも、その影響が他方の回路ブロックに及ぶのを防止でき、設計を効率化できる。

20

【0009】

また本発明では、前記階調電圧生成回路ブロックは、前記データドライバブロックと前記ロジック回路ブロックの間に配置されるようにしてもよい。

【0010】

このようにすれば、調整データの信号線や階調電圧の出力線を効率良く配線できるようになり、配線効率を向上できる。

30

【0011】

また本発明では、前記第1～第Nの回路ブロックは、画像データを記憶する少なくとも1つのメモリブロックを含み、前記メモリブロックと前記データドライバブロックは前記第1の方向に沿って隣接して配置されるようにしてもよい。

【0012】

このようにすれば、メモリブロックとデータドライバブロックを第2の方向に沿って配置する手法に比べて、集積回路装置の第2の方向での幅を小さくでき、スリムな細長の集積回路装置を提供できる。またメモリブロックやデータドライバブロックの構成等が変わった場合に、他の回路ブロックに及ぶ影響を最小限に抑えることができる。

40

【0013】

また本発明では、前記第1～第Nの回路ブロックは、第1～第Iのメモリブロック（Iは2以上の整数）と、前記第1～第Iのメモリブロックの各々に対して、前記第1の方向に沿ってその各々が隣接して配置される第1～第Iのデータドライバブロックとを含むようにしてもよい。

【0014】

このようにすれば、記憶すべき画像データのビット数等に応じた最適なブロック数の第1～第Iのメモリブロックとそれに対応する第1～第Iのデータドライバブロックを、配置することが可能になる。また集積回路装置の第2の方向での幅や第1の方向での長さを、ブロック数により調整することも可能になり、特に第2の方向での幅の縮小が可能になる。

50

【 0 0 1 5 】

また本発明では、前記データドライバブロックは、画像データを受け、前記データ線を駆動するデータドライバと、前記ロジック回路ブロックからのドライバ制御信号をバッファリングして前記データドライバに出力するバッファ回路とを含み、前記ロジック回路ブロックからのドライバ制御信号を前記データドライバブロックに供給するためのドライバ用グローバル線が、前記ロジック回路ブロックと前記データドライバブロックの間に介在する回路ブロック上を前記第1の方向に沿って配線され、前記バッファ回路は、前記ドライバ用グローバル線からのドライバ制御信号をバッファリングして前記データドライバに出力してもよい。

【 0 0 1 6 】

このようなバッファ回路を設ければ、ロジック回路ブロックからのドライバ制御信号の波形が鈍ってしまう事態を防止できる。また、ロジック回路ブロックとデータドライバブロックの間に他の回路ブロックが介在する場合にも、この他の回路ブロック上を通るドライバ用グローバル線を用いて、ロジック回路ブロックによりデータドライバブロックを制御できる。

【 0 0 1 7 】

また本発明では、前記データドライバブロックは、その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルを含み、前記複数のサブピクセルドライバセルの各サブピクセルドライバセルは、第1の電圧レベルの電源で動作する回路が配置される第1の回路領域と、前記第1の電圧レベルよりも高い第2の電圧レベルの電源で動作する回路が配置される第2の回路領域とを有し、前記バッファ回路は、前記ロジック回路ブロックからの第1の電圧レベルのドライバ制御信号を受けてバッファリングし、前記サブピクセルドライバセルの前記第1の回路領域の回路に対して出力する第1のバッファと、前記ロジック回路ブロックからの第1の電圧レベルのドライバ制御信号を受け、レベルシフトにより第2の電圧レベルに変換してバッファリングし、前記サブピクセルドライバセルの前記第2の回路領域の回路に対して出力する第2のバッファとを含むようにしてもよい。

【 0 0 1 8 】

このようにすれば、サブピクセルドライバセルの第1、第2の回路領域の回路に対して適正な電圧レベルの信号を供給できると共に、配線効率の向上も図れる。

【 0 0 1 9 】

また本発明では、前記複数のサブピクセルドライバセルは、各サブピクセルドライバセルの前記第2の回路領域同士又は前記第1の回路領域同士が前記第1の方向に沿って隣接するように配置されてもよい。

【 0 0 2 0 】

このようにすれば、第1の回路領域と第2の回路領域を隣接させる手法に比べて、データドライバブロックの第1の方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【 0 0 2 1 】

また本発明では、前記データドライバブロックは、その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルを含み、前記サブピクセルドライバセルは、階調電圧を用いて、画像データのD/A変換を行うD/A変換器を含み、前記階調電圧生成回路ブロックからの階調電圧を前記データドライバブロックに供給するための階调用グローバル線が、前記階調電圧生成回路ブロックと前記データドライバブロックの間に介在する回路ブロック上を前記第1の方向に沿って配線され、前記D/A変換器に前記階調電圧を供給するための階調電圧供給線が、複数の前記サブピクセルドライバセルにまたがって前記第2の方向に沿って配線されてもよい。

【 0 0 2 2 】

このようにすれば、第2の方向に沿って配置される複数のサブピクセルドライバセルのD/A変換器に対して、第2の方向に沿って配線される階調電圧供給線により、階調電圧

10

20

30

40

50

を効率的に供給でき、レイアウト効率を向上できる。

【0023】

また本発明では、前記サブピクセルドライバセルの前記D/A変換器の配置領域では、前記第2の方向に沿ってN型トランジスタ領域、P型トランジスタ領域が配置され、前記サブピクセルドライバセルの前記D/A変換器以外の回路の配置領域では、前記第1の方向に沿ってN型トランジスタ領域、P型トランジスタ領域が配置されてもよい。

【0024】

このようにすれば、第2の方向に沿って配置されるN型トランジスタ領域のN型トランジスタとP型トランジスタ領域のP型トランジスタに対して、階調電圧供給線を共通接続できるようになり、レイアウト効率を向上できる。一方、D/A変換器以外の回路のN型トランジスタ領域、P型トランジスタ領域を第1の方向に沿って並べて配置すれば、信号の流れに沿った効率的なレイアウトが可能になる。

【0025】

また本発明では、前記D/A変換器の前記配置領域のN型トランジスタ領域、P型トランジスタ領域に配置されるN型トランジスタ、P型トランジスタにより、前記D/A変換器の電圧セクタのトランスファークロークが構成されてもよい。

【0026】

このようにすれば、トランスファークロークを構成するN型、P型トランジスタに対して、第2の方向に沿って配線される階調電圧供給線の共通接続等が可能になり、レイアウト効率を向上できる。

【0027】

また本発明では、前記階調電圧生成回路ブロックは、電源電圧に基づいて選択用電圧を出力する選択用電圧生成回路と、前記ロジック回路ブロックにより設定された前記調整データと、前記選択用電圧に基づいて、階調電圧を選択して出力する階調電圧選択回路とを含むようにしてもよい。

【0028】

また本発明では、前記選択用電圧生成回路は、前記階調電圧選択回路の前記第2の方向側又は前記第2の方向の反対方向である第4の方向側に配置されるようにしてもよい。

【0029】

このようにすれば、調整データや選択用電圧の信号線の効率的な配線が可能になる。

【0030】

また本発明では、前記階調電圧選択回路は、前記データドライバブロックと前記ロジック回路ブロックの間に配置されるようにしてもよい。

【0031】

このようにすれば、調整データや選択用電圧や階調電圧の信号線の効率的な配線が可能になる。

【0032】

また本発明では、前記階調電圧生成回路ブロックからの階調電圧が出力される階調電圧出力線が、前記第1～第Nの回路ブロック上で前記第1の方向に沿って配線されるようにしてもよい。

【0033】

このようにすれば、第1～第Nの回路ブロックの領域を有効利用して、階調電圧の出力線を配線できるようになり、配線効率を向上できる。

【0034】

また本発明では、前記第1～第Nの回路ブロックは、画像データを記憶する少なくとも1つのメモリブロックを含み、前記メモリブロックでは、ビット線の上層にシールド線が配線され、前記シールド線の上層に、前記階調電圧生成回路ブロックからの階調電圧が出力される階調電圧出力線が配線されるようにしてもよい。

【0035】

このようにすれば、カップリング容量によりビット線の電圧レベルが誤って変化してし

10

20

30

40

50

まう事態を効果的に防止できる。

【0036】

また本発明では、前記メモリブロックでは、前記ビット線が前記第1の方向に沿って配線され、前記シールド線が前記ビット線にオーラップして前記第1の方向に沿って配線されるようにしてもよい。

【0037】

このようにすれば、ビット線の効果的なシールドが可能になる。

【0038】

また本発明では、前記第1～第Nの回路ブロックは、走査線を駆動するための走査ドライバブロックを含み、前記走査ドライバブロックの出力線と前記走査線とを電氣的に接続するための走査ドライバ用パッドが、前記ロジック回路ブロックの前記第2の方向側に配置され、前記走査ドライバブロックの出力線である走査ドライバ用グローバル線が、前記ロジック回路ブロック上を、前記走査ドライバブロックから前記走査ドライバ用パッドに対して配線されてもよい。

10

【0039】

このようにすれば、ロジック回路ブロックの領域を有効活用して、走査ドライバ用グローバル線を配線でき、集積回路装置の第2の方向での幅を小さくできる。

【0040】

また本発明では、前記ロジック回路ブロックでは、前記走査ドライバ用グローバル線の下層にシールド線が配線されてもよい。

20

【0041】

このようにすれば、走査ドライバ用グローバル線からのノイズをシールド線で除去できるため、グローバル線の下層のロジック回路ブロック内の回路の誤動作等を防止できる。

【0042】

また本発明では、前記第1～第Nの回路ブロックの前記第2の方向側に前記第4の辺に沿って設けられる第1のインターフェース領域と、前記第2の方向の反対方向を第4の方向とした場合に、前記第1～第Nの回路ブロックの前記第4の方向側に前記第2の辺に沿って設けられる第2のインターフェース領域とを含むようにしてもよい。

【0043】

また本発明は、上記のいずれかに記載の集積回路装置と、前記集積回路装置により駆動される表示パネルとを含む電子機器に係する。

30

【発明を実施するための最良の形態】

【0044】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0045】

1. 比較例

図1(A)に本実施形態の比較例となる集積回路装置500を示す。図1(A)の集積回路装置500はメモリブロックMB(表示データRAM)とデータドライバブロックDBを含む。そしてメモリブロックMBとデータドライバブロックDBはD2方向に沿って配置されている。またメモリブロックMB、データドライバブロックDBは、D1方向に沿った長さがD2方向での幅に比べて長い超扁平なブロックになっている。

40

【0046】

ホスト側からの画像データはメモリブロックMBに書き込まれる。そしてデータドライバブロックDBは、メモリブロックMBに書き込まれたデジタルの画像データをアナログのデータ電圧に変換して、表示パネルのデータ線を駆動する。このように図1(A)において画像データの信号の流れはD2方向である。このため、図1(A)の比較例では、この信号の流れに合わせて、メモリブロックMBとデータドライバブロックDBをD2方向に沿って配置している。このようにすることで、入力と出力の間がショートパスになり、

50

信号遅延を最適化でき、効率の良い信号伝達が可能になる。

【 0 0 4 7 】

ところが図 1 (A) の比較例では以下のような課題がある。

【 0 0 4 8 】

第 1 に、表示ドライバなどの集積回路装置では、低コスト化のためにチップサイズの縮小が要求される。ところが、微細プロセスを採用し、集積回路装置 5 0 0 を単純にシュリンクしてチップサイズを縮小すると、短辺方向のみならず長辺方向も縮小されてしまう。従って図 2 (A) に示すように実装の困難化の問題を招く。即ち出力ピッチは、例えば 2 2 μm 以上であることが望ましいが、図 2 (A) のような単純シュリンクでは例えば 1 7 μm ピッチになってしまい、狭ピッチのために実装が困難になる。また表示パネルのガラスの額縁が広くなり、ガラスの取れ数が減少し、コスト増を招く。

10

【 0 0 4 9 】

第 2 に、表示ドライバでは、表示パネルの種類 (アモルファス T F T、低温ポリシリコン T F T) や画素数 (Q C I F、Q V G A、V G A) や製品の仕様などに応じて、メモリやデータドライバの構成が変わる。従って図 1 (A) の比較例では、ある製品では図 1 (B) のように、パッドピッチとメモリのセルピッチとデータドライバのセルピッチが一致していたとしても、メモリやデータドライバの構成が変わると、図 1 (C) に示すようにこれらのピッチが一致しなくなる。そして図 1 (C) のようにピッチが一致しなくなると、回路ブロック間に、ピッチの不一致を吸収するための無駄な配線領域を形成しなければならなくなる。特に D 1 方向にブロックが扁平している図 1 (A) の比較例では、ピッチの不一致を吸収するための無駄な配線領域が大きくなる。この結果、集積回路装置 5 0 0 の D 2 方向での幅 W が大きくなり、チップ面積が増加し、コスト増を招く。

20

【 0 0 5 0 】

一方、このような事態を避けるために、パッドピッチとセルピッチが揃うようにメモリやデータドライバのレイアウトを変更すると、開発期間が長期化し、結局、コスト増を招く。即ち図 1 (A) の比較例では、各回路ブロックの回路構成やレイアウトを個別設計し、その後にピッチ等を合わせるという作業を行うため、無駄な空き領域が生じたり、設計が非効率化するなどの問題が生じる。

【 0 0 5 1 】

2 . 集積回路装置の構成

30

以上のような問題を解決できる本実施形態の集積回路装置 1 0 の構成例を図 3 に示す。本実施形態では、集積回路装置 1 0 の短辺である第 1 の辺 S D 1 から対向する第 3 の辺 S D 3 へと向かう方向を第 1 の方向 D 1 とし、D 1 の反対方向を第 3 の方向 D 3 としている。また集積回路装置 1 0 の長辺である第 2 の辺 S D 2 から対向する第 4 の辺 S D 4 へと向かう方向を第 2 の方向 D 2 とし、D 2 の反対方向を第 4 の方向 D 4 としている。なお、図 3 では集積回路装置 1 0 の左辺が第 1 の辺 S D 1 で、右辺が第 3 の辺 S D 3 になっているが、左辺が第 3 の辺 S D 3 で、右辺が第 1 の辺 S D 1 であってもよい。

【 0 0 5 2 】

図 3 に示すように本実施形態の集積回路装置 1 0 は、D 1 方向に沿って配置される第 1 ~ 第 N の回路ブロック C B 1 ~ C B N (N は 2 以上の整数) を含む。即ち、図 1 (A) の比較例では回路ブロックが D 2 方向に並んでいるが、本実施形態では回路ブロック C B 1 ~ C B N が D 1 方向に並んでいる。また各回路ブロックは、図 1 (A) の比較例のような超扁平なブロックになっておらず、比較的スクウェアなブロックになっている。

40

【 0 0 5 3 】

また集積回路装置 1 0 は、第 1 ~ 第 N の回路ブロック C B 1 ~ C B N の D 2 方向側に辺 S D 4 に沿って設けられる出力側 I / F 領域 1 2 (広義には第 1 のインターフェース領域) を含む。また第 1 ~ 第 N の回路ブロック C B 1 ~ C B N の D 4 方向側に辺 S D 2 に沿って設けられる入力側 I / F 領域 1 4 (広義には第 2 のインターフェース領域) を含む。より具体的には、出力側 I / F 領域 1 2 (第 1 の I / O 領域) は、回路ブロック C B 1 ~ C B N の D 2 方向側に、例えば他の回路ブロック等を介さずに配置される。また入力側 I /

50

F領域14(第2のI/O領域)は、回路ブロックCB1~CBNのD4方向側に、例えば他の回路ブロック等を介さずに配置される。即ち少なくともデータドライバブロックが存在する部分において、D2方向において1つの回路ブロック(データドライバブロック)だけが存在する。なお集積回路装置10をIP(Intellectual Property)コアとして用いて他の集積回路装置に組み込む場合等には、I/F領域12、14の少なくとも一方を設けない構成とすることもできる。

【0054】

出力側(表示パネル側)I/F領域12は、表示パネルとのインターフェースとなる領域であり、パッドや、パッドに接続される出力用トランジスタ、保護素子などの種々の素子を含む。具体的には、データ線へのデータ信号や走査線への走査信号を出力するための出力用トランジスタなどを含む。なお表示パネルがタッチパネルである場合等には、入力用トランジスタを含んでもよい。

10

【0055】

入力側(ホスト側)I/F領域14は、ホスト(MPU、画像処理コントローラ、ベースバンドエンジン)とのインターフェースとなる領域であり、パッドや、パッドに接続される入力用(入出力用)トランジスタ、出力用トランジスタ、保護素子などの種々の素子を含むことができる。具体的には、ホストからの信号(デジタル信号)を入力するための入力用トランジスタやホストへの信号を出力するための出力用トランジスタなどを含む。

【0056】

なお、短辺である辺SD1、SD3に沿った出力側又は入力側I/F領域を設けるようにしてもよい。また外部接続端子となるバンプ等は、I/F(インターフェース)領域12、14に設けてもよいし、それ以外の領域(第1~第Nの回路ブロックCB1~CBN)に設けてもよい。I/F領域12、14以外の領域に設ける場合には、金バンプ以外の小型バンプ技術(樹脂をコアとするバンプ技術など)を用いることで実現される。

20

【0057】

また第1~第Nの回路ブロックCB1~CBNは、少なくとも2つ(或いは3つ)の異なる回路ブロック(異なる機能を持つ回路ブロック)を含むことができる。集積回路装置10が表示ドライバである場合を例にとれば、回路ブロックCB1~CBNは、データドライバ、メモリ、走査ドライバ、ロジック回路、階調電圧生成回路、電源回路のブロックの少なくとも2つを含むことができる。更に具体的には回路ブロックCB1~CBNは、少なくともデータドライバ、ロジック回路のブロックを含むことができ、更に階調電圧生成回路のブロックを含むことができる。またメモリ内蔵タイプの場合には更にメモリのブロックを含むことができる。

30

【0058】

例えば図4に種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例を示す。メモリ(RAM)内蔵のアモルファスTFT(Thin Film Transistor)パネル用表示ドライバでは、回路ブロックCB1~CBNは、メモリ、データドライバ(ソースドライバ)、走査ドライバ(ゲートドライバ)、ロジック回路(ゲートアレイ回路)、階調電圧生成回路(補正回路)、電源回路のブロックを含む。一方、メモリ内蔵の低温ポリシリコン(LTPS)TFTパネル用表示ドライバでは、走査ドライバをガラス基板に形成できるため、走査ドライバのブロックを省略できる。またメモリ非内蔵のアモルファスTFTパネル用では、メモリのブロックを省略でき、メモリ非内蔵の低温ポリシリコンTFTパネル用では、メモリ及び走査ドライバのブロックを省略できる。またCSTN(Color Super Twisted Nematic)パネル、TFD(Thin Film Diode)パネル用では、階調電圧生成回路のブロックを省略できる。

40

【0059】

図5(A)(B)に本実施形態の表示ドライバの集積回路装置10の平面レイアウトの例を示す。図5(A)(B)は、メモリ内蔵のアモルファスTFTパネル用の例であり、図5(A)は例えばQCIF、32階調用の表示ドライバをターゲットとし、図5(B)はQVGA、64階調用の表示ドライバをターゲットとしている。

50

【 0 0 6 0 】

図5 (A) (B)では、第1～第Nの回路ブロックCB1～CBNは、第1～第4のメモリブロックMB1～MB4 (広義には第1～第Iのメモリブロック。Iは2以上の整数)を含む。また第1～第4のメモリブロックMB1～MB4の各々に対して、D1方向に沿ってその各々が隣接して配置される第1～第4のデータドライバブロックDB1～DB4 (広義には第1～第Iのデータドライバブロック)を含む。具体的にはメモリブロックMB1とデータドライバブロックDB1がD1方向に沿って隣接して配置され、メモリブロックMB2とデータドライバブロックDB2がD1方向に沿って隣接して配置される。そしてデータドライバブロックDB1がデータ線を駆動するために用いる画像データ (表示データ)は、隣接するメモリブロックMB1が記憶し、データドライバブロックDB2がデータ線を駆動するために用いる画像データは、隣接するメモリブロックMB2が記憶する。

10

【 0 0 6 1 】

また図5 (A)では、メモリブロックMB1～MB4のうちのMB1 (広義には第Jのメモリブロック。1 $J < I$)のD3方向側に、データドライバブロックDB1～DB4のうちのDB1 (広義には第Jのデータドライバブロック)が隣接して配置される。またメモリブロックMB1のD1方向側に、メモリブロックMB2 (広義には第J+1のメモリブロック)が隣接して配置される。そしてメモリブロックMB2のD1方向側に、データドライバブロックDB2 (広義には第J+1のデータドライバブロック)が隣接して配置される。メモリブロックMB3、MB4、データドライバブロックDB3、DB4の配置も同様である。このように図5 (A)では、MB1、MB2の境界線に対して線対称にMB1、DB1とMB2、DB2が配置され、MB3、MB4の境界線に対して線対称にMB3、DB3とMB4、DB4とが配置される。なお図5 (A)では、DB2とDB3が隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

20

【 0 0 6 2 】

一方、図5 (B)では、メモリブロックMB1～MB4のうちのMB1 (第Jのメモリブロック)のD3方向側に、データドライバブロックDB1～DB4のうちのDB1 (第Jのデータドライバブロック)が隣接して配置される。またMB1のD1方向側にDB2 (第J+1のデータドライバブロック)が配置される。またDB2のD1方向側にMB2 (第J+1のメモリブロック)が配置される。DB3、MB3、DB4、MB4も同様に配置される。なお図5 (B)では、MB1とDB2、MB2とDB3、MB3とDB4が、各々、隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

30

【 0 0 6 3 】

図5 (A)のレイアウト配置によれば、メモリブロックMB1とMB2や、MB3とMB4の間で (第J、第J+1のメモリブロックの間で)、カラムアドレスデコーダを共用できるという利点がある。一方、図5 (B)のレイアウト配置によれば、データドライバブロックDB1～DB4から出力側I/F領域12へのデータ信号出力線の配線ピッチを均一化でき、配線効率を向上できるという利点がある。

40

【 0 0 6 4 】

なお本実施形態の集積回路装置10のレイアウト配置は図5 (A) (B)に限定されない。例えばメモリブロックやデータドライバブロックのブロック数を2、3或いは5以上にしてもよいし、メモリブロックやデータドライバブロックをブロック分割しない構成にしてもよい。またメモリブロックとデータドライバブロックが隣接しないようにする変形実施も可能である。またメモリブロック、走査ドライバブロック、電源回路ブロック又は階調電圧生成回路ブロックなどを設けない構成としてもよい。また回路ブロックCB1～CBNと出力側I/F領域12や入力側I/F領域14の間に、D2方向での幅が極めて狭い回路ブロック (WB以下の細長回路ブロック)を設けてもよい。また回路ブロックCB1～CBNが、異なる回路ブロックがD2方向に多段に並んだ回路ブロックを含んでも

50

よい。例えば走査ドライバ回路と電源回路を1つの回路ブロックとした構成としてもよい。

【0065】

図6(A)に本実施形態の集積回路装置10のD2方向に沿った断面図の例を示す。ここでW1、WB、W2は、各々、出力側I/F領域12、回路ブロックCB1~CBN、入力側I/F領域14のD2方向での幅である。またWは集積回路装置10のD2方向での幅である。

【0066】

本実施形態では図6(A)に示すように、D2方向において、回路ブロックCB1~CBN(データドライバブロックDB)と出力側、入力側I/F領域12、14との間に他の回路ブロックが介在しない構成にできる。従って、 $W < W1 + 2 \times WB + W2$ とすることができ、細長の集積回路装置を実現できる。具体的には、D2方向での幅Wは、 $W < 2 \text{ mm}$ とすることができ、更に具体的には $W < 1.5 \text{ mm}$ とすることができ、なおチップの検査やマウンティングを考慮すると、 $W > 0.9 \text{ mm}$ であることが望ましい。また長辺方向での長さLDは、 $15 \text{ mm} < LD < 27 \text{ mm}$ とすることができ、またチップ形状比 $SP = LD / W$ は、 $SP > 10$ とすることができ、更に具体的には $SP > 12$ とすることができ、

【0067】

なお図6(A)の幅W1、WB、W2は、各々、出力側I/F領域12、回路ブロックCB1~CBN、入力側I/F領域14のトランジスタ形成領域(バルク領域、アクティブ領域)の幅である。即ちI/F領域12、14には、出力用トランジスタ、入力用トランジスタ、入出力用トランジスタ、静電保護素子のトランジスタなどが形成される。また回路ブロックCB1~CBNには、回路を構成するトランジスタが形成される。そしてW1、WB、W2は、このようなトランジスタが形成されるウェル領域や拡散領域などを基準に決められる。例えば、よりスリムな細長の集積回路装置を実現するためには、回路ブロックCB1~CBNのトランジスタの上にもバンプ(能動面バンプ)を形成することが望ましい。具体的には、そのコアが樹脂で形成され、樹脂の表面に金属層が形成された樹脂コアバンプなどをトランジスタ(アクティブ領域)上に形成する。そしてこのバンプ(外部接続端子)は、I/F領域12、14に配置されるパッドに、金属配線により接続される。本実施形態のW1、WB、W2は、このようなバンプの形成領域の幅ではなく、バンプの下に形成されるトランジスタ形成領域の幅である。

【0068】

また回路ブロックCB1~CBNの各々のD2方向での幅は、例えば同じ幅に統一できる。この場合、各回路ブロックの幅は、実質的に同じであればよく、例えば数 μm ~20 μm (数十 μm)程度の違いは許容範囲内である。また回路ブロックCB1~CBNの中に、幅が異なる回路ブロックが存在する場合には、幅WBは、回路ブロックCB1~CBNの幅の中の最大幅とすることができ、この場合の最大幅は、例えばデータドライバブロックのD2方向での幅とすることができ、或いはメモリ内蔵の集積回路装置の場合にはメモリブロックのD2方向での幅とすることができ、なお回路ブロックCB1~CBNとI/F領域12、14の間には、例えば20~30 μm 程度の幅の空き領域を設けることができる。

【0069】

また本実施形態では、出力側I/F領域12にはD2方向での段数が1段又は複数段となるパッドを配置できる。従ってパッド幅(例えば0.1mm)やパッドピッチを考慮すると、出力側I/F領域12のD2方向での幅W1は、 $0.13 \text{ mm} < W1 < 0.4 \text{ mm}$ とすることができ、また入力側I/F領域14には、D2方向での段数が1段となるパッドを配置できるため、入力側I/F領域14の幅W2は、 $0.1 \text{ mm} < W2 < 0.2 \text{ mm}$ とすることができ、また細長の集積回路装置を実現するためには、回路ブロックCB1~CBN上に、ロジック回路ブロックからのロジック信号や、階調電圧生成回路ブロックからの階調電圧信号や、電源配線を、グローバル配線により形成する必要があり、これ

10

20

30

40

50

らの配線幅は合計で例えば0.8~0.9mm程度になる。従って、これらを考慮すると、回路ブロックCB1~CBNの幅WBは、0.65mm WB 1.2mmとすることができる。

【0070】

そしてW1=0.4mm、W2=0.2mmであったとしても、0.65mm WB 1.2mmであるため、WB>W1+W2が成り立つ。またW1、WB、W2が最も小さい値である場合には、W1=0.13mm、WB=0.65mm、W2=0.1mmとなり、集積回路装置の幅はW=0.88mm程度になる。従って、W=0.88mm<2×WB=1.3mmが成り立つ。またW1、WB、W2が最も大きい値である場合には、W1=0.4mm、WB=1.2mm、W2=0.2mmとなり、集積回路装置の幅はW=1.8mm程度になる。従って、W=1.8mm<2×WB=2.4mmが成り立つ。従ってW<2×WBの関係式が成り立ち、細長の集積回路装置を実現できる。

10

【0071】

図1(A)の比較例では、図6(B)に示すように2以上の複数の回路ブロックがD2方向に沿って配置される。またD2方向において、回路ブロック間や、回路ブロックとI/F領域の間に配線領域が形成される。従って集積回路装置500のD2方向(短辺方向)での幅Wが大きくなり、スリムな細長チップを実現できない。従って微細プロセスを利用してチップをシュリンクしても、図2(A)に示すようにD1方向(長辺方向)での長さLDも短くなってしまい、出力ピッチが狭ピッチになるため、実装の困難化を招く。

【0072】

これに対して本実施形態では図3、図5(A)(B)に示すように複数の回路ブロックCB1~CBNがD1方向に沿って配置される。また図6(A)に示すように、パッド(バンク)の下にトランジスタ(回路素子)を配置できる(能動面バンク)。また回路ブロック内の配線であるローカル配線よりも上層(パッドよりも下層)で形成されるグローバル配線により、回路ブロック間や、回路ブロックとI/F領域間等での信号線を形成できる。従って図2(B)に示すように、集積回路装置10のD1方向での長さLDを維持したままで、D2方向での幅Wを狭くでき、超スリムな細長チップを実現できる。この結果、出力ピッチを例えば22μm以上に維持することができ、実装を容易化できる。

20

【0073】

また本実施形態では複数の回路ブロックCB1~CBNがD1方向に沿って配置されるため、製品の仕様変更等に容易に対応できる。即ち共通のプラットフォームを用いて様々な仕様の製品を設計できるため、設計効率を向上できる。例えば図5(A)(B)において、表示パネルの画素数や階調数が増減した場合にも、メモリブロックやデータドライバブロックのブロック数や、1水平走査期間での画像データの読み出し回数等を増減するだけで対応できる。また図5(A)(B)はメモリ内蔵のアモルファスTFTパネル用の例であるが、メモリ内蔵の低温ポリシリコンTFTパネル用の製品を開発する場合には、回路ブロックCB1~CBNの中から走査ドライバブロックを取り除くだけで済む。またメモリ非内蔵の製品を開発する場合には、メモリブロックを取り除けば済む。そしてこのように仕様に合わせて回路ブロックを取り除いても、本実施形態では、それが他の回路ブロックに及ぼす影響が最小限に抑えられるため、設計効率を向上できる。

30

【0074】

また本実施形態では、各回路ブロックCB1~CBNのD2方向での幅(高さ)を、例えばデータドライバブロックやメモリブロックの幅(高さ)に統一できる。そして各回路ブロックのトランジスタ数が増減した場合には、各回路ブロックのD1方向での長さを増減することで調整できるため、設計を更に効率化できる。例えば図5(A)(B)において、階調電圧生成回路ブロックや電源回路ブロックの構成が変更になり、トランジスタ数が増減した場合にも、階調電圧生成回路ブロックや電源回路ブロックのD1方向での長さを増減することで対応できる。

40

【0075】

なお第2の比較例として、例えばデータドライバブロックをD1方向に細長に配置し、

50

データドライバブロックのD4方向側に、メモリブロックなどの他の複数の回路ブロックをD1方向に沿って配置する手法も考えられる。しかしながらこの第2の比較例では、メモリブロックなどの他の回路ブロックと出力側I/F領域との間に、幅の大きなデータドライバブロックが介在するようになるため、集積回路装置のD2方向での幅Wが大きくなり、スリムな細長チップの実現が困難になる。またデータドライバブロックとメモリブロックの間に無駄な配線領域が生じてしまい、幅Wが更に大きくなってしまう。またデータドライバブロックやメモリブロックの構成が変わった場合には、図1(B)(C)で説明したピッチの不一致の問題が生じ、設計効率を向上できない。

【0076】

また本実施形態の第3の比較例として、同一機能の回路ブロック(例えばデータドライバブロック)だけをブロック分割して、D1方向に並べて配置する手法も考えられる。しかしながら、この第3の比較例では、集積回路装置に同一機能(例えばデータドライバの機能)だけしか持たせることができないため、多様な製品展開を実現できない。これに対して本実施形態では、回路ブロックCB1~CBNは、少なくとも2つの異なる機能を有する回路ブロックを含む。従って図4、図5(A)(B)に示すように、様々なタイプの表示パネルに対応した多様な機種を集積回路装置を提供できるという利点がある。

【0077】

3. 回路構成

図7に集積回路装置10の回路構成例を示す。なお集積回路装置10の回路構成は図7に限定されるものではなく、種々の変形実施が可能である。メモリ20(表示データRAM)は画像データを記憶する。メモリセルアレイ22は複数のメモリセルを含み、少なくとも1フレーム(1画面)分の画像データ(表示データ)を記憶する。この場合、1画素は例えばR、G、Bの3サブピクセル(3ドット)で構成され、各サブピクセルについて例えば6ビット(kビット)の画像データが記憶される。ローアドレスデコーダ24(MPU/LCDローアドレスデコーダ)はローアドレスについてのデコード処理を行い、メモリセルアレイ22のワード線の選択処理を行う。カラムアドレスデコーダ26(MPUカラムアドレスデコーダ)はカラムアドレスについてのデコード処理を行い、メモリセルアレイ22のビット線の選択処理を行う。ライト/リード回路28(MPUライト/リード回路)はメモリセルアレイ22への画像データのライト処理や、メモリセルアレイ22からの画像データのリード処理を行う。なおメモリセルアレイ22のアクセス領域は、例えばスタートアドレスとエンドアドレスを対頂点とする矩形で定義される。即ちスタートアドレスのカラムアドレス及びローアドレスと、エンドアドレスのカラムアドレス及びローアドレスでアクセス領域が定義され、メモリアクセスが行われる。

【0078】

ロジック回路40(例えば自動配置配線回路)は、表示タイミングを制御するための制御信号やデータ処理タイミングを制御するための制御信号などを生成する。このロジック回路40は例えばゲートアレイ(G/A)などの自動配置配線により形成できる。制御回路42は各種制御信号を生成したり、装置全体の制御を行う。具体的には階調電圧生成回路110に階調特性(特性)の調整データ(補正データ)を出力したり、電源回路90の電圧生成を制御する。またローアドレスデコーダ24、カラムアドレスデコーダ26、ライト/リード回路28を用いたメモリへのライト/リード処理を制御する。表示タイミング制御回路44は表示タイミングを制御するための各種の制御信号を生成し、メモリから表示パネル側への画像データの読み出しを制御する。ホスト(MPU)インターフェース回路46は、ホストからのアクセス毎に内部パルスを発生してメモリにアクセスするホストインターフェースを実現する。RGBインターフェース回路48は、ドットクロックにより動画のRGBデータをメモリに書き込むRGBインターフェースを実現する。なおホストインターフェース回路46、RGBインターフェース回路48のいずれか一方のみを設ける構成としてもよい。

【0079】

図7において、ホストインターフェース回路46、RGBインターフェース回路48か

10

20

30

40

50

らは1画素単位でメモリ20へのアクセスが行われる。一方、データドライバ50へは、ホストインターフェース回路46、RGBインターフェース回路48とは独立した内部表示タイミングにより、ライン周期毎に、ラインアドレスで指定されライン単位で読み出された画像データが送られる。

【0080】

データドライバ50は表示パネルのデータ線を駆動するための回路であり、図8(A)にその構成例を示す。データラッチ回路52は、メモリ20からのデジタルの画像データをラッチする。D/A変換回路54(電圧選択回路)は、データラッチ回路52にラッチされたデジタルの画像データのD/A変換を行い、アナログのデータ電圧を生成する。具体的には階調電圧生成回路110から複数(例えば64段階)の階調電圧(基準電圧)を受け、これらの複数の階調電圧の中から、デジタルの画像データに対応する電圧を選択して、データ電圧として出力する。出力回路56(駆動回路、バッファ回路)は、D/A変換回路54からのデータ電圧をバッファリングして表示パネルのデータ線に出力し、データ線を駆動する。なお、出力回路56の一部(例えば演算増幅器の出力段)をデータドライバ50には含ませずに、他の領域に配置する構成としてもよい。

10

【0081】

走査ドライバ70は表示パネルの走査線を駆動するための回路であり、図8(B)にその構成例を示す。シフトレジスタ72は順次接続された複数のフリップフロップを含み、シフトクロック信号SCKに同期してイネーブル入出力信号EIOを順次シフトする。レベルシフタ76は、シフトレジスタ72からの信号の電圧レベルを、走査線選択のための高電圧レベルに変換する。出力回路78は、レベルシフタ76により変換されて出力された走査電圧をバッファリングして表示パネルの走査線に出力し、走査線を選択駆動する。なお走査ドライバ70は図8(C)に示す構成であってもよい。図8(C)では、走査アドレス生成回路73が走査アドレスを生成して出力し、アドレスデコードが走査アドレスのデコード処理を行う。そしてこのデコード処理により特定された走査線に対して、レベルシフタ76、出力回路78を介して走査電圧が出力される。

20

【0082】

電源回路90は各種の電源電圧を生成する回路であり、図9(A)にその構成例を示す。昇圧回路92は、入力電源電圧や内部電源電圧を、昇圧用キャパシタや昇圧用トランジスタを用いてチャージポンプ方式で昇圧し、昇圧電圧を生成する回路であり、1次~4次昇圧回路などを含むことができる。この昇圧回路92により、走査ドライバ70や階調電圧生成回路110が使用する高電圧を生成できる。レギュレータ回路94は、昇圧回路92により生成された昇圧電圧のレベル調整を行う。VCOM生成回路96は、表示パネルの対向電極に供給するVCOM電圧を生成して出力する。制御回路98は電源回路90の制御を行うものであり、各種の制御レジスタなどを含む。

30

【0083】

階調電圧生成回路(補正回路)110は階調電圧を生成する回路であり、図9(B)にその構成例を示す。選択用電圧生成回路112(電圧分割回路)は、電源回路90で生成された高電圧の電源電圧VDDH、VSSHに基づいて、選択用電圧VS0~VS255(広義にはR個の選択用電圧)を出力する。具体的には選択用電圧生成回路112は、直列に接続された複数の抵抗素子を有するラダー抵抗回路を含む。そしてVDDH、VSSHを、このラダー抵抗回路により分割した電圧を、選択用電圧VS0~VS255として出力する。階調電圧選択回路114は、ロジック回路40により調整レジスタ116に設定された階調特性の調整データに基づいて、選択用電圧VS0~VS255の中から、例えば64階調の場合には64個(広義にはS個。R>S)の電圧を選択して、階調電圧V0~V63として出力する。このようにすれば表示パネルに応じた最適な階調特性(補正特性)の階調電圧を生成できる。なお極性反転駆動の場合には、正極性用のラダー抵抗回路と負極性用のラダー抵抗回路を選択用電圧生成回路112に設けてもよい。またラダー抵抗回路の各抵抗素子の抵抗値を、調整レジスタ116に設定された調整データに基づいて変更できるようにしてもよい。また選択用電圧生成回路112や階調電圧選択回路

40

50

114に、インピーダンス変換回路（ボルテージフォロワ接続の演算増幅器）を設ける構成にしてもよい。

【0084】

図10(A)に、図8(A)のD/A変換回路54が含む各DAC(Digital Analog Converter)の構成例を示す。図10(A)の各DACは、例えばサブピクセル毎(或いは画素毎)に設けることができ、ROMデコーダ等により構成される。そしてメモリ20からの6ビットのデジタルの画像データD0~D5とその反転データXD0~XD5に基づいて、階調電圧生成回路110からの階調電圧V0~V63のいずれかを選択することで、画像データD0~D5をアナログ電圧に変換する。そして得られたアナログ電圧の信号DAQ(DAQR、DAQG、DAQB)を出力回路56に出力する。

10

【0085】

なお低温ポリシリコンTFT用の表示ドライバ等で、R用、G用、B用のデータ信号をマルチプレクスして表示ドライバに送る場合(図10(C)の場合)には、R用、G用、B用の画像データを、1つの共用のDACを用いてD/A変換することもできる。この場合には図10(A)の各DACは画素毎に設けられる。

【0086】

図10(B)に、図8(A)の出力回路56が含む各出力部SQの構成例を示す。図10(B)の各出力部SQは画素毎に設けることができる。各出力部SQは、R(赤)用、G(緑)用、B(青)用のインピーダンス変換回路OPR、OPG、OPB(ボルテージフォロワ接続の演算増幅器)を含み、DACからの信号DAQR、DAQG、DAQBのインピーダンス変換を行って、データ信号DATAR、DATAG、DATABをR、G、B用のデータ信号出力線に出力する。なお例えば低温ポリシリコンTFTパネルの場合には、図10(C)に示すようなスイッチ素子(スイッチ用トランジスタ)SWR、SWG、SWBを設け、R用、G用、B用のデータ信号が多重化されたデータ信号DATAを、インピーダンス変換回路OPが出力するようにしてもよい。またデータ信号の多重化を複数画素に亘って行うようにしてもよい。また出力部SQに、図10(B)(C)のようなインピーダンス変換回路を設けずに、スイッチ素子等だけを設ける構成にしてもよい。

20

【0087】

4. ロジック回路、階調電圧生成回路、データドライバ、電源回路のブロックの配置

4.1 データドライバブロックの配置

30

本実施形態では図11に示すように、回路ブロックCB1~CBNが、階調特性の調整データの設定を行うロジック回路ブロックLBと、設定された調整データに基づいて階調電圧を生成する階調電圧生成回路ブロックGBを含む。また階調電圧生成回路ブロックGBからの階調電圧を受け、データ線を駆動するためのデータドライバブロックDB1~DB4(広義には少なくとも1つのデータドライバブロック)と、電源電圧を生成する電源回路ブロックPBを含む。そして本実施形態では、データドライバブロックDB1~DB4が、ロジック回路ブロックLB及び階調電圧生成回路ブロックGBと、電源回路ブロックPBとの間に配置されている。

【0088】

図11の配置によれば、回路面積が比較的大きいロジック回路ブロックLB及び階調電圧生成回路ブロックGBや電源回路ブロックPBが、データドライバブロックDB1~DB4の両側に配置されるようになる。従って、ロジック回路ブロックLB及び階調電圧生成回路ブロックGBのD4方向側の空きスペース(C1に示すスペース)を利用して、ロジック回路用パッドやそのパッド下に形成される入力用トランジスタ等を配置できるようになる。また電源回路ブロックPBのD4方向側の空きスペース(C2に示すスペース)を利用して、トランジスタサイズが大きい電源回路の昇圧用トランジスタ等を配置できるようになる。また図11の配置によれば、データドライバブロックDB1~DB4を集積回路装置の中央付近に集中して配置できるようになるため、DB1~DB4からのデータ信号の出力線を、出力側I/F領域12において効率良くシンプルに配線できる。従って、出力側I/F領域12や入力側I/F領域14での配線効率や配置効率を向上でき、集

40

50

積回路装置のD2方向での幅Wを小さくでき、スリムな細長の集積回路装置を実現できる。

【0089】

また図11の配置によれば、ロジック回路ブロックLBからの調整データに基づき階調電圧生成回路ブロックGBにより生成された階調電圧の出力線を、グローバル線等を利用して効率良く配線してデータドライバブロックDB1～DB4に接続できる。従って、配線効率を向上でき、回路ブロックCB1～CBNのD2方向での幅を小さくでき、スリムな細長の集積回路装置を実現できる。

【0090】

また図11では、ロジック回路ブロックLBと階調電圧生成回路ブロックGBを、D1方向に沿って隣接して配置している。その理由は以下の通りである。

【0091】

例えば図12に、階調電圧生成回路ブロックGBの詳細な回路構成例を示す。なお図12には正極性用の回路を示しているが、負極性用の回路も同様の構成で実現できる。振幅調整レジスタ300、傾き調整レジスタ302、微調整レジスタ304には、階調特性の調整データが設定される。この調整データの設定(書き込み)はロジック回路ブロックLBにより行われる。例えば振幅調整レジスタ300に調整データを設定することで、図13(A)のB1、B2に示すように電源電圧VDDH、VSSHの電圧レベルが変化し、階調電圧の振幅調整が可能になる。また傾き調整レジスタ302に調整データを設定することで、図13(B)のB3～B6に示すように、階調レベルの4ポイントにおける階調電圧が変化し、階調特性の傾き調整が可能になる。即ち傾き調整レジスタ302に設定される4ビットの調整データVRP3に基づいて、ラダー抵抗を構成する抵抗素子RL12の抵抗値が変化し、B3に示すような傾き調整が可能になる。VRP2～VRP0についても同様である。また微調整レジスタ304に調整データを設定することで、図13(C)のB7～B14に示すように、階調レベルの8ポイントにおける階調電圧が変化し、階調特性の微調整が可能になる。即ち微調整レジスタ304に設定される3ビットの調整データVP8に基づいて、8to1セレクタ318が、抵抗素子RL11の8個のタップのうちから1つのタップを選択し、選択されたタップの電圧をVOP8として出力する。これにより図13(C)のB7に示すような微調整が可能になる。VP7～VP1についても同様である。

【0092】

階調アンプ部320は、8to1セレクタ311～318の出力VOP1～VOP8やVDDH、VSSHに基づいて、階調電圧V0～V63を出力する。具体的には階調アンプ部320は、VOP1～VPOP8が入力される第1～第8のインピーダンス変換回路(ボルテージフォロワ接続された演算増幅器)を含む。そして例えば第1～第8のインピーダンス変換回路のうちの隣り合うインピーダンス変換回路の出力電圧を抵抗分割することで、階調電圧V1～V62が生成される。

【0093】

以上のような調整を行えば、表示パネルの種類に応じた最適な階調特性(特性)を得ることができ、表示品質を向上できる。

【0094】

しかしながら、このような調整を行うための調整データのビット数は図12に示すように多い。このため、ロジック回路ブロックLBから階調電圧生成回路ブロックGBへの調整データの信号線の本数も多い。従ってロジック回路ブロックLBと階調電圧生成回路ブロックGBを隣接して配置しないと、調整データの信号線のための配線領域が原因となってチップ面積が増加するおそれがある。

【0095】

そこで本実施形態では図11に示すようにロジック回路ブロックLBと階調電圧生成回路ブロックGBをD1方向に沿って隣接して配置させている。このようにすれば、ロジック回路ブロックLBからの調整データの信号線をショートパスで階調電圧生成回路ブロッ

10

20

30

40

50

クGBに接続できるため、配線領域を原因とするチップ面積の増加を防止できる。

【0096】

なお本実施形態の比較例として、階調電圧生成回路ブロックGBとロジック回路ブロックLBをD2方向に沿って隣接して配置する手法も考えられる。しかしながら、この比較例の手法によると、D2方向で2つの回路ブロックがスタックされて配置されるようになるため、その分だけD2方向での集積回路装置の幅が大きくなってしまふ。また表示パネルの種類や画素数、表示ドライバの仕様等に応じて、D2方向にスタックされた回路ブロックのうちの一方の回路ブロックの回路構成が変化し、一方の回路ブロックのD2方向での幅やD1方向での長さが変化すると、その影響が他方の回路ブロックに及んでしまい、設計が非効率化する。

10

【0097】

これに対して本実施形態では、階調電圧生成回路ブロックGBとロジック回路ブロックLBがD1方向に沿って配置される。従って、D2方向での集積回路装置の幅Wを小さくでき、図2(B)に示すようなスリムな細長チップを実現できる。また表示パネルの種類等に応じて、隣り合う回路ブロックのうちの一方の回路ブロックの回路構成が変化した場合には、その一方の回路ブロックのD1方向での長さ等を調整するだけで済む。従って、一方の回路ブロックの影響が他方の回路ブロックに及ぶのを防止でき、設計を効率化できる。

【0098】

また図11では、階調電圧生成回路ブロックGBは、データドライバブロックDB1～DB4とロジック回路ブロックLBの間に配置される。

20

【0099】

即ち図11において、階調電圧生成回路ブロックGBとロジック回路ブロックLBの間には、調整データの信号線が配線され、その本数は図12で説明したように多い。また階調電圧生成回路ブロックGBは、データドライバブロックDBに対して階調電圧を出力する必要があり、その階調電圧出力線の本数も非常に多い。従って図11において、階調電圧生成回路ブロックGBを、データドライバブロックDBとロジック回路ブロックLBの間に配置せずに、LBのD1方向側に配置すると、GBとLBの間において、調整データの信号線のみならず階調電圧出力線も配線する必要が生じる。従ってGBとLBの間において、他の信号線や電源線をグローバル線等で配線することが難しくなり、配線効率が低下する。

30

【0100】

これに対して図11では、階調電圧生成回路ブロックGBは、データドライバブロックDBとロジック回路ブロックLBの間に配置されるため、GBとLBの間には、階調電圧出力線を配線しなくても済むようになる。従って、GBとLBの間において、他の信号線や電源線をグローバル線等により配線できるようになり、配線効率を向上できる。

【0101】

なお本実施形態では図11に示すように、データドライバブロックDBからのデータ信号の出力線DQLを、DB内においてはD2方向に沿って配線している。一方、データ信号出力線DQLを、出力側I/F領域12(第1のインターフェース領域)内においてはD1(D3)方向に沿って配線している。具体的には、出力側I/F領域12において、パッドよりも下層であり領域内のローカル線(トランジスタ配線)よりも上層のグローバル線を用いて、データ信号出力線DQLをD1方向に沿って配線している。このようにすれば図11に示すように、調整データ、階調電圧、データ信号の信号線を無駄なく配線して、データドライバブロックDBからのデータ信号をパッドを介して表示パネルに適正に出力できるようになる。またデータ信号出力線DQLを図11のように配線すれば、データ信号出力線DQLを出力側I/F領域12を利用してパッド等に接続することが可能になり、集積回路装置のD2方向での幅Wの増加を防止できる。

40

【0102】

なお図11ではロジック回路ブロックLBと階調電圧生成回路ブロックGBを隣接して

50

配置しているが、これらを隣接させない変形実施も可能である。また階調電圧生成回路ブロックGBをロジック回路ブロックLBとデータドライバブロックDB1～DB4の間に配置しない変形実施も可能である。また階調電圧生成回路ブロックGBとデータドライバブロックDB4は、隣接させて配置してもよいし、隣接させずに配置してもよい。また電源回路ブロックPBとデータドライバブロックDB1も、隣接させて配置してもよいし、隣接させずに配置してもよい。

【0103】

4.2 走査ドライバブロックの配置

図14(A)では、回路ブロックCB1～CBNが、走査線を駆動するための第1の走査ドライバブロックSB1と第2の走査ドライバブロックSB2を含む。具体的には回路ブロックCB1～CBNのうちの第1の回路ブロックCB1(辺SD1側の回路ブロック)として第1の走査ドライバブロックSB1が配置される。またCB1～CBNのうちの第Nの回路ブロックCBN(辺SD3側の回路ブロック)として第2の走査ドライバブロックSB2が配置される。

10

【0104】

そして図14(A)では走査ドライバブロックSB1とデータドライバブロックDB1～DB4の間に、電源回路ブロックPBが配置される。また走査ドライバブロックSB2とデータドライバブロックDB1～DB4の間に、ロジック回路ブロックLB及び階調電圧生成回路ブロックGBが配置される。

20

【0105】

図14(A)に示すように、集積回路装置10の両端に位置する回路ブロックCB1、CBNとして走査ドライバブロックSB1、SB2を配置すれば、SB1からの第1の走査信号群を表示パネルの例えば左側から入力し、SB2からの第2の走査信号群を表示パネルの例えば右側から入力することが可能になる。こうすることで、効率的な実装や表示パネルの櫛歯駆動等を実現できる。

【0106】

そして図14(A)に示すように集積回路装置10の両端に走査ドライバブロックSB1、SB2を配置した場合、走査信号の出力パッドについても出力側I/F領域12の両端に配置することが、配線効率を考慮すると望ましい。一方、図14(A)では、データドライバブロックDB1～DB4は集積回路装置10の中央付近に配置される。従ってデータ信号の出力パッドについても、出力側I/F領域12の中央付近に配置することが、配線効率を考慮すると望ましい。

30

【0107】

そして図14(A)に示すように、回路面積が比較的大きい電源回路ブロックPBやロジック回路ブロックLBを、データドライバブロックDB1～DB4の両側に配置すれば、これらのPBやLBのD2方向側の空きスペース(C3、C4に示すスペース)を利用して、走査信号の出力パッドやそのパッド下に形成される出力用トランジスタを配置できるようになる。従って、出力側I/F領域12での配線効率を向上でき、集積回路装置10のD2方向での幅Wを小さくでき、スリムな細長の集積回路装置10を実現できる。

40

【0108】

なお図14(A)では、ロジック回路ブロックLBと走査ドライバブロックSB2はD1方向に沿って隣接して配置される。即ちCB1～CBNのうち走査ドライバブロックSB2との間で信号線が接続される回路ブロックは、ロジック回路ブロックLBだけであるため、このようにLBとSB2を隣接させている。但しLBとSB2を隣接させない変形実施も可能である。また図14(A)において、電源回路ブロックPBで生成された高電圧電源(20V、-20V)は、出力側I/F領域12上でD1方向に沿って形成される配線を用いて、走査ドライバブロックSB2に供給することが望ましい。こうすれば、高電圧電源の配線が他の回路ブロックに及ぼす悪影響を最小限に抑えることができる。

【0109】

一方、図14(B)では、回路ブロックCB1～CBNは走査線を駆動するための走査

50

ドライバブロック S B を含む。具体的には回路ブロック C B 1 ~ C B N のうちの第 1 の回路ブロック C B 1 として走査ドライバブロック S B が配置される。また図 1 4 (B) では、走査ドライバブロック S B とデータドライバブロック D B の間に、電源回路ブロック P B が配置される。なお本実施形態の D 1 方向は右方向には限定されず、左方向であってもよい。また第 1 の回路ブロック C B 1 (走査ドライバブロック S B) は、集積回路装置 1 0 の左端の回路ブロックには限定されず、右端の回路ブロックであってもよい。

【 0 1 1 0 】

回路面積が比較的大きい電源回路ブロック P B 等を図 1 4 (B) に示すように配置すれば、P B 等の D 2 方向側の空きスペース (C 5 に示すスペース) を利用して、走査信号の出力パッドやそのパッド下に形成される出力用トランジスタを配置できるようになる。従って、出力側 I / F 領域 1 2 での配線効率を向上でき、集積回路装置 1 0 の D 2 方向での幅 W を小さくでき、スリムな細長の集積回路装置 1 0 を実現できる。

10

【 0 1 1 1 】

なお図 1 4 (B) では走査ドライバブロック S B と電源回路ブロック P B を D 1 方向に沿って隣接させて配置している。即ち走査ドライバブロック S B に対しては、電源回路ブロック P B (昇圧回路) により生成された高電圧 (例えば 2 0 V 、 - 2 0 V) の電源を供給する必要がある。そして走査ドライバブロック S B (S B 1) と電源回路ブロック P B を隣接して配置すれば、この高電圧電源の配線をショートパスで接続することができ、高電圧電源の配線から発生するノイズの悪影響を最小限に抑えることができる。

【 0 1 1 2 】

また走査ドライバブロック S B と他の回路ブロック (例えば電源回路ブロック P B 、ロジック回路ブロック L B) との間を接続する配線の本数は少ないが、走査ドライバブロック S B と出力側 I / F 領域 1 2 との間の配線の本数は非常に多い。即ち走査ドライバブロック S B からの多数の出力信号線を、出力側 I / F 領域 1 2 のパッド又はパッド下に形成される出力用トランジスタに接続する必要がある。従って、走査ドライバブロック S B と電源回路ブロック P B を D 1 方向に沿って隣接して配置すれば、P B の D 2 方向側の出力側 I / F 領域 1 2 に存在する空きスペース (C 5 に示すスペース) に、走査信号の出力パッドを配置できる。そしてパッド又はパッド下に形成される出力用トランジスタに対して、走査ドライバブロック S B からの多数の出力信号線を接続できる。従って、出力側 I / F 領域 1 2 での配線効率を向上でき、集積回路装置 1 0 の D 2 方向での幅 W を小さくでき、スリムな細長の集積回路装置 1 0 を実現できる。

20

30

【 0 1 1 3 】

なお走査ドライバブロック S B (S B 1) と電源回路ブロック P B の間に他の回路ブロックを挿入する変形実施も可能である。この場合には電源回路ブロック P B は、少なくとも走査ドライバブロック S B (S B 1) と階調電圧生成回路ブロック G B 及びロジック回路ブロック L B (データドライバブロック) との間に配置されればよい。

【 0 1 1 4 】

4 . 3 階調電圧生成回路ブロックの配置の詳細

図 1 5 (A) に示すように、階調電圧生成回路ブロック G B は、電源電圧に基づいて選択用電圧 (分割電圧) を出力する選択用電圧生成回路 S V G (電圧分割回路) を含む。また、ロジック回路ブロック L B により設定された調整データと、選択用電圧に基づいて、階調電圧を選択して出力する階調電圧選択回路 G V S を含む。また調整データを設定するための調整レジスタ A R を含む。なお調整レジスタ A R はロジック回路ブロック L B に含ませてもよい。

40

【 0 1 1 5 】

そして図 1 5 (A) では、選択用電圧生成回路 S V G は、階調電圧選択回路 G V S の D 4 方向側に配置される。なお S V G を G V S の D 2 方向側に配置してもよい。また階調電圧選択回路 G V S は、データドライバブロック D B とロジック回路ブロック L B の間に配置される。

【 0 1 1 6 】

50

図15(A)の配置によれば、階調電圧選択回路GVSは、D1方向側に配置されるロジック回路ブロックLBから調整レジスタARを介して調整データを受ける。またD4方向側に配置される選択用電圧生成回路SVGから選択用電圧を受ける。そして、これらの調整データと選択用電圧に基づき生成された階調電圧を、D3方向側に配置されるデータドライバブロックDBに出力する。従って、これらの調整データ、選択用電圧、階調電圧の信号の流れに無駄が無く、信号線がクロスしてしまう部分を最小限に抑えることができる。また調整データ、選択用電圧、階調電圧の信号線をグローバル線等を利用して効率良く配線できるため、配線効率を向上できる。

【0117】

図15(B)に、集積回路装置がメモリを内蔵する場合の詳細な配置例を示す。図15(B)では、メモリブロックMBとデータドライバブロックDBがD1方向に沿って隣接して配置されている。またメモリブロックMBは、データドライバブロックDBと階調電圧生成回路ブロックGBの間に配置される。

10

【0118】

例えば図1(A)の比較例では、メモリブロックMBとデータドライバブロックDBは、信号の流れに合わせて、短辺方向であるD2方向に沿って配置される。このためD2方向での集積回路装置の幅が大きくなり、スリムな細長チップの実現が難しい。また表示パネルの画素数、表示ドライバの仕様、メモリセルの構成等が変化し、メモリブロックMBやデータドライバブロックDBのD2方向での幅やD1方向での長さが変化すると、その影響が他の回路ブロックにも及んでしまい、設計が非効率化する。

20

【0119】

これに対して図15(B)では、データドライバブロックDBとメモリブロックMBがD1方向に沿って配置されるため、D2方向での集積回路装置の幅Wを小さくでき、図2(B)に示すようなスリムな細長チップを実現できる。また表示パネルの画素数等が変化した場合には、メモリブロックを分割することなどで、これに対応できるため、設計を効率化できる。

【0120】

また図1(A)の比較例では、ワード線WLが長辺方向であるD1方向に沿って配置されるため、ワード線WLでの信号遅延が大きくなり、画像データの読み出し速度が遅くなる。特にメモリセルに接続されるワード線WLはポリシリコン層により形成されるため、この信号遅延の問題は深刻である。この場合、この信号遅延を低減するために、メモリセルアレイ間にバッファ回路を設ける手法もある。しかしながら、この手法を採用するとその分だけ回路規模が大きくなり、コスト増を招く。

30

【0121】

これに対して図15(B)では、メモリブロックMB内において、ワード線WLは短辺方向であるD2方向に沿って配線され、ビット線BLは長辺方向であるD1方向に沿って配置される。また本実施形態ではD2方向での集積回路装置の幅Wは短い。従ってメモリブロックMB内でのワード線WLの長さを短くでき、WLでの信号遅延を図1(A)の比較例に比べて格段に小さくできる。またメモリセルアレイ間にバッファ回路を設けなくても済むため、回路面積も小さくできる。また図1(A)の比較例では、ホストからメモリの一部のアクセス領域にアクセスされた時においても、D1方向に長く寄生容量の大きいワード線WLが選択されてしまうため、消費電力が大きくなる。これに対して本実施形態のようにD1方向にメモリをブロック分割する手法を採用すれば、ホストアクセス時(ホスト側からのアクセス時)に、アクセス領域に対応するメモリブロック(第Jのメモリブロック)のワード線WLだけが選択されるようになるため、低消費電力化を実現できる。

40

【0122】

なお図15(B)のWLは、メモリブロックMBのメモリセル(転送トランジスタ)に接続されるワード線である。一方、図15(B)のBLは、メモリブロックMBに記憶される画像データがデータドライバブロックDBに対して出力されるビット線である。

【0123】

50

5. メモリブロック、データドライバブロックの詳細

5.1 ブロック分割

図16(A)に示すように表示パネルが、垂直走査方向(データ線方向)での画素数が $VPN = 320$ であり、水平走査方向(走査線方向)での画素数が $HPN = 240$ であるQVGAのパネルであったとする。また1画素分の画像(表示)データのビット数PDBが、R、G、Bの各々が6ビットであり、 $PDB = 18$ ビットであったとする。この場合には、表示パネルの1フレーム分の表示に必要な画像データのビット数は、 $VPN \times HPN \times PDB = 320 \times 240 \times 18$ ビットになる。従って集積回路装置のメモリは、少なくとも $320 \times 240 \times 18$ ビット分の画像データを記憶することになる。またデータドライバは、1水平走査期間毎(1本の走査線が走査される期間毎)に、 $HPN = 240$ 本のデータ信号(240×18 ビット分の画像データに対応するデータ信号)を表示パネルに対して出力する。

10

【0124】

そして図16(B)では、データドライバは、 $DBN = 4$ 個のデータドライバブロックDB1~DB4に分割される。またメモリも、 $MBN = DBN = 4$ 個のメモリブロックMB1~MB4に分割される。従って、各データドライバブロックDB1~DB4は、1水平走査期間毎に $HPN / DBN = 240 / 4 = 60$ 本分のデータ信号を表示パネルに出力する。また各メモリブロックMB1~MB4は、 $(VPN \times HPN \times PDB) / MBN = (320 \times 240 \times 18) / 4$ ビット分の画像データを記憶する。なお図16(B)では、メモリブロックMB1とMB2でカラムアドレスデコーダCD12を共用し、メモリブロックMB3とMB4でカラムアドレスデコーダCD34を共用している。

20

【0125】

5.2 1水平走査期間に複数回読み出し

図16(B)では、各データドライバブロックDB1~DB4は、1水平走査期間に60本分のデータ信号を出力する。従ってDB1~DB4に対応するメモリブロックMB1~MB4からは、1水平走査期間毎に240本分のデータ信号に対応する画像データを読み出す必要がある。

【0126】

しかしながら、1水平走査期間毎に読み出す画像データのビット数が増えると、D2方向に並ぶメモリセル(センスアンプ)の個数を多くする必要が生じる。この結果、集積回路装置のD2方向での幅Wが大きくなり、チップのスリム化が妨げられる。またワード線WLが長くなり、WLの信号遅延の問題も招く。

30

【0127】

そこで本実施形態では、各メモリブロックMB1~MB4から各データドライバブロックDB1~DB4に対して、各メモリブロックMB1~MB4に記憶される画像データを1水平走査期間において複数回(RN回)読み出す手法を採用している。

【0128】

例えば図17ではA1、A2に示すように、1水平走査期間において $RN = 2$ 回だけメモリアクセス信号MACS(ワード選択信号)がアクティブ(ハイレベル)になる。これにより各メモリブロックから各データドライバブロックに対して画像データが1水平走査期間において $RN = 2$ 回読み出される。すると、データドライバブロック内に設けられた図18の第1、第2のデータドライバDRa、DRbが含むデータラッチ回路が、A3、A4に示すラッチ信号LATA、LATBに基づいて、読み出された画像データをラッチする。そして第1、第2のデータドライバDRa、DRbが含むD/A変換回路が、ラッチされた画像データのD/A変換を行い、DRa、DRbが含む出力回路が、D/A変換により得られたデータ信号DATAa、DATAbをA5、A6に示すようにデータ信号出力線に出力する。その後、A7に示すように、表示パネルの各画素のTF Tのゲートに入力される走査信号SCSELがアクティブになり、データ信号が表示パネルの各画素に入力されて保持される。

40

【0129】

50

なお図17では第1の水平走査期間で画像データを2回読み出し、同じ第1の水平走査期間においてデータ信号DATA a、DATA bをデータ信号出力線に出力している。しかしながら、第1の水平走査期間で画像データを2回読み出してラッチしておき、次の第2の水平走査期間で、ラッチされた画像データに対応するデータ信号DATA a、DATA bをデータ信号出力線に出力してもよい。また図17では、読み出し回数RN = 2である場合を示しているが、RN = 3であってもよい。

【0130】

図17の手法によれば、図18に示すように、各メモリブロックから30本分のデータ信号に対応する画像データが読み出され、各データドライバDR a、DR bが30本分のデータ信号を出力する。これにより各データドライバブロックからは60本分のデータ信号が出力される。このように図17では、各メモリブロックからは、1回の読み出しにおいて30本分のデータ信号に対応する画像データを読み出せば済むようになる。従って1水平走査期間に1回だけ読み出す手法に比べて、図18のD2方向でのメモリセル、センスアンプの個数を少なくすることが可能になる。この結果、集積回路装置のD2方向での幅を小さくでき、図2(B)に示すような超スリムな細長チップの実現が可能になる。特に1水平走査期間の長さは、QVGAの場合は52μsec程度である。一方、メモリの読み出し時間は例えば40ns程度であり、52μsecに比べて十分に短い。従って、1水平走査期間での読み出し回数を1回から複数回に増やしたとしても、表示特性に与える影響はそれほど大きくない。

【0131】

また図16(A)はQVGA(320×240)の表示パネルであるが、1水平走査期間での読み出し回数を例えばRN = 4にすれば、VGA(640×480)の表示パネルに対応することも可能になり、設計の自由度を増すことができる。

【0132】

なお1水平走査期間での複数回読み出しは、各メモリブロック内で異なる複数のワード線をローアドレスデコーダ(ワード線選択回路)が1水平走査期間において選択する第1の手法で実現してもよいし、各メモリブロック内で同じワード線をローアドレスデコーダ(ワード線選択回路)が1水平走査期間において複数回選択する第2の手法で実現してもよい。或いは第1、第2の手法の両方の組み合わせにより実現してもよい。

【0133】

5.3 データドライバ、ドライバセルの配置

図18にデータドライバと、データドライバが含むドライバセルの配置例を示す。図18に示すように、データドライバブロックは、D1方向に沿ってスタック配置される複数のデータドライバDR a、DR b(第1～第mのデータドライバ)を含む。また各データドライバDR a、DR bは、複数の30個(広義にはQ個)のドライバセルDRC1～DRC30を含む。

【0134】

第1のデータドライバDR aは、メモリブロックのワード線WL1aが選択され、図17のA1に示すように1回目の画像データがメモリブロックから読み出されると、A3に示すラッチ信号LAT aに基づいて、読み出された画像データをラッチする。そしてラッチされた画像データのD/A変換を行い、1回目の読み出し画像データに対応するデータ信号DATA aを、A5に示すようにデータ信号出力線に出力する。

【0135】

一方、第2のデータドライバDR bは、メモリブロックのワード線WL1bが選択され、図17のA2に示すように2回目の画像データがメモリブロックから読み出されると、A4に示すラッチ信号LAT bに基づいて、読み出された画像データをラッチする。そしてラッチされた画像データのD/A変換を行い、2回目の読み出し画像データに対応するデータ信号DATA bを、A6に示すようにデータ信号出力線に出力する。

【0136】

このようにして、各データドライバDR a、DR bが30個の画素に対応する30本分

10

20

30

40

50

のデータ信号を出力することで、合計で60個の画素に対応する60本分のデータ信号が出力されるようになる。

【0137】

図18のように、複数のデータドライバDRa、DRbをD1方向に沿って配置(スタック)するようにすれば、データドライバの規模の大きさが原因になって集積回路装置のD2方向での幅Wが大きくなってしまふ事態を防止できる。またデータドライバは、表示パネルのタイプに応じて種々の構成が採用される。この場合にも、複数のデータドライバをD1方向に沿って配置する手法によれば、種々の構成のデータドライバを効率良くレイアウトすることが可能になる。なお図18ではD1方向でのデータドライバの配置数が2個である場合を示しているが、配置数は3個以上でもよい。

10

【0138】

また図18では、各データドライバDRa、DRbは、D2方向に沿って並んで配置される30個(Q個)のドライバセルDRC1~DRC30を含む。ここでドライバセルDRC1~DRC30の各々は、1画素分の画像データを受ける。そして1画素分の画像データのD/A変換を行い、1画素分の画像データに対応するデータ信号を出力する。このドライバセルDRC1~DRC30の各々は、データラッチ回路や、図10(A)のDAC(1画素分のDAC)や、図10(B)(C)の出力部SQを含むことができる。

【0139】

そして図18において、表示パネルの水平走査方向の画素数(複数の集積回路装置により分担して表示パネルのデータ線を駆動する場合には、各集積回路装置が受け持つ水平走査方向の画素数)をHPNとし、データドライバブロックのブロック数(ブロック分割数)をDBNとし、ドライバセルに対して1水平走査期間に入力される画像データの入力回数をINとしたとする。なおINは、図17で説明した1水平走査期間での画像データの読み出し回数RNと等しくなる。この場合に、D2方向に沿って並ぶドライバセルDRC1~DRC30の個数Qは、 $Q = HPN / (DBN \times IN)$ と表すことができる。図18の場合には、 $HPN = 240$ 、 $DBN = 4$ 、 $IN = 2$ であるため、 $Q = 240 / (4 \times 2) = 30$ 個になる。

20

【0140】

なおドライバセルDRC1~DRC30のD2方向での幅(ピッチ)をWDとし、データドライバブロックDBが含む周辺回路部分であるバッファ回路BF1等のD2方向での幅をWPCBとした場合に、第1~第Nの回路ブロックCB1~CBNのD2方向での幅WB(最大幅)は、 $Q \times WD < (Q + 1) \times WD + WPCB$ と表すことができる。またメモリブロックが含む周辺回路部分(ロードレステコーダRD、配線領域等)のD2方向での幅をWPCとした場合には、 $Q \times WD < (Q + 1) \times WD + WPC$ と表すことができる。

30

【0141】

また表示パネルの水平走査方向の画素数をHPNとし、1画素分の画像データのビット数をPDBとし、メモリブロックのブロック数をMBN(=DBN)とし、1水平走査期間においてメモリブロックから読み出される画像データの読み出し回数をRNとしたとする。この場合に、センスアンプブロックSABにおいてD2方向に沿って並ぶセンスアンプ(1ビット分の画像データを出力するセンスアンプ)の個数Pは、 $P = (HPN \times PDB) / (MBN \times RN)$ と表すことができる。図18の場合には、 $HPN = 240$ 、 $PDB = 18$ 、 $MBN = 4$ 、 $RN = 2$ であるため、 $P = (240 \times 18) / (4 \times 2) = 540$ 個になる。なお個数Pは、有効メモリセル数に対応する有効センスアンプ数であり、ダミーメモリセル用のセンスアンプ等の有効ではないセンスアンプの個数は含まない。

40

【0142】

またセンスアンプブロックSABが含む各センスアンプのD2方向での幅(ピッチ)をWSとした場合には、センスアンプブロックSAB(メモリブロック)のD2方向での幅WSABは、 $WSAB = P \times WS$ と表すことができる。そして、回路ブロックCB1~CBNのD2方向での幅WB(最大幅)は、メモリブロックが含む周辺回路部分のD2方向

50

での幅をWPCとした場合には、 $P \times WS - WB < (P + PDB) \times WS + WPC$ と表すこともできる。

【0143】

5.4 メモリセル

図19(A)にメモリブロックが含むメモリセル(SRAM)の構成例を示す。このメモリセルは、転送トランジスタTRA1、TRA2と、負荷トランジスタTRA3、TRA4と、駆動トランジスタTRA5、TRA6を含む。ワード線WLがアクティブになると、転送トランジスタTRA1、TRA2がオンになり、ノードNA1、NA2への画像データの書き込みや、ノードNA1、NA2からの画像データの読み出しが可能になる。また書き込まれた画像データは、トランジスタTRA3~TRA6により構成されるフリップフロップ回路によりノードNA1、NA2に保持される。なお本実施形態のメモリセルは図19(A)の構成に限定されず、例えば負荷トランジスタTRA3、TRA4として抵抗素子を使用したり、他のトランジスタを追加するなどの変形実施が可能である。

10

【0144】

図19(B)(C)にメモリセルのレイアウト例を示す。図19(B)は横型セルのレイアウト例であり、図19(C)は縦型セルのレイアウト例である。ここで横型セルは図19(B)に示すように、各メモリセル内においてワード線WLの方がビット線BL、XBLよりも長いセルである。一方、縦型セルは図19(C)に示すように、各メモリセル内においてビット線BL、XBLの方がワード線WLよりも長いセルである。なお図19(C)のWLは、ポリシリコン層で形成され転送トランジスタTRA1、TRA2に接続されるローカルなワード線であるが、WLの信号遅延防止、電位安定化のためのメタル層のワード線を更に設けてもよい。

20

【0145】

図20に、メモリセルとして図19(B)に示す横型セルを用いた場合のメモリブロック、ドライバセルの配置例を示す。なお図20は、ドライバセル、メモリブロックのうち1画素に対応する部分を詳細に示している。

【0146】

図20に示すように1画素分の画像データを受け取るドライバセルDRCは、R(赤)用、G(緑)用、B(青)用のデータラッチ回路DLATR、DLATG、DLATBを含む。各データラッチ回路DLATR、DLATG、DLATBはラッチ信号LAT(LATa、LATb)がアクティブになると画像データをラッチする。またドライバセルDRCは、図10(A)で説明したR用、G用、B用のDACR、DACG、DACBを含む。また図10(B)(C)で説明した出力部SQを含む。

30

【0147】

センスアンプブロックSABのうち1画素に対応する部分は、R用のセンスアンプSAR0~SAR5と、G用のセンスアンプSAG0~SAG5と、B用のセンスアンプSAB0~SAB5を含む。そしてセンスアンプSAR0のD1方向側にD1方向に沿って並ぶメモリセルMCのビット線BL、XBLは、SAR0に接続される。またセンスアンプSAR1のD1方向側にD1方向に沿って並ぶメモリセルMCのビット線BL、XBLは、SAR1に接続される。他のセンスアンプとメモリセルの関係についても同様である。

40

【0148】

ワード線WL1aが選択されると、WL1aに転送トランジスタのゲートが接続されるメモリセルMCからビット線BL、XBLに対して、画像データが読み出され、センスアンプSAR0~SAR5、SAG0~SAG5、SAB0~SAB5が信号の増幅動作を行う。そしてDLATRが、SAR0~SAR5からの6ビットのR用の画像データD0R~D5Rをラッチし、DACRが、ラッチされた画像データのD/A変換を行い、出力部SQがデータ信号DATARを出力する。またDLATGが、SAG0~SAG5からの6ビットのG用の画像データD0G~D5Gをラッチし、DACGが、ラッチされた画像データのD/A変換を行い、出力部SQがデータ信号DATAGを出力する。またDLATBが、SAB0~SAB5からの6ビットのB用の画像データD0B~D5Bをラッ

50

ちし、D A C B が、ラッチされた画像データの D / A 変換を行い、出力部 S Q がデータ信号 D A T A B を出力する。

【 0 1 4 9 】

そして図 2 0 の構成の場合には、図 1 7 に示す 1 水平走査期間での画像データの複数回読み出しは、次のようにして実現できる。即ち第 1 の水平走査期間（第 1 の走査線の選択期間）においては、まずワード線 W L 1 a を選択して画像データの 1 回目の読み出しを行い、図 1 7 の A 5 に示すように 1 回目のデータ信号 D A T A a を出力する。次に、同じ第 1 の水平走査期間においてワード線 W L 1 b を選択して画像データの 2 回目の読み出しを行い、図 1 7 の A 6 に示すように 2 回目のデータ信号 D A T A b を出力する。また次の第 2 の水平走査期間（第 2 の走査線の選択期間）においては、まずワード線 W L 2 a を選択して画像データの 1 回目の読み出しを行い、1 回目のデータ信号 D A T A a を出力する。次に、同じ第 2 の水平走査期間においてワード線 W L 2 b を選択して画像データの 2 回目の読み出しを行い、2 回目のデータ信号 D A T A b を出力する。このように横型セルを用いる場合には、メモリブロック内において異なる複数のワード線（W L 1 a、W L 1 b）を 1 水平走査期間において選択することで、1 水平走査期間での複数回読み出しを実現できる。

10

【 0 1 5 0 】

図 2 1 に、メモリセルとして図 1 9（C）に示す縦型セルを用いた場合のメモリブロック、ドライバセルの配置例を示す。縦型セルでは、D 2 方向での幅を横型セルに比べて短くできる。従って D 2 方向でのメモリセルの個数を横型セルに比べて 2 倍にすることができる。そして縦型セルでは、カラム選択信号 C O L a、C O L b を用いて、各センスアンプに接続するメモリセルの列を切り替える。

20

【 0 1 5 1 】

例えば図 2 1 において、カラム選択信号 C O L a がアクティブになると、センスアンプ S A R 0 ~ S A R 5 の D 1 方向側にあるメモリセル M C のうち、カラム C a 側のメモリセル M C が選択されて、センスアンプ S A R 0 ~ S A R 5 に接続される。そしてこれらの選択されたメモリセル M C に記憶された画像データの信号が増幅されて、D 0 R ~ D 5 R として出力される。一方、カラム選択信号 C O L b がアクティブになると、センスアンプ S A R 0 ~ S A R 5 の D 1 方向側にあるメモリセル M C のうち、カラム C b 側のメモリセル M C が選択されて、センスアンプ S A R 0 ~ S A R 5 に接続される。そしてこれらの選択されたメモリセル M C に記憶された画像データの信号が増幅されて、D 0 R ~ D 5 R として出力される。他のセンスアンプに接続されるメモリセルの画像データの読み出しも同様である。

30

【 0 1 5 2 】

そして図 2 1 の構成の場合には、図 1 7 に示す 1 水平走査期間での画像データの複数回読み出しは、次のようにして実現できる。即ち第 1 の水平走査期間においては、まずワード線 W L 1 を選択し、カラム選択信号 C O L a をアクティブにして、画像データの 1 回目の読み出しを行い、図 1 7 の A 5 に示すように 1 回目のデータ信号 D A T A a を出力する。次に、同じ第 1 の水平走査期間において同じワード線 W L 1 を選択し、カラム選択信号 C O L b をアクティブにして、画像データの 2 回目の読み出しを行い、図 1 7 の A 6 に示すように 2 回目のデータ信号 D A T A b を出力する。また次の第 2 の水平走査期間においては、ワード線 W L 2 を選択し、カラム選択信号 C O L a をアクティブにして、画像データの 1 回目の読み出しを行い、1 回目のデータ信号 D A T A a を出力する。次に、同じ第 2 の水平走査期間において同じワード線 W L 2 を選択し、カラム選択信号 C O L b をアクティブにして、画像データの 2 回目の読み出しを行い、2 回目のデータ信号 D A T A b を出力する。このように縦型セルの場合には、メモリブロック内において同じワード線を 1 水平走査期間において複数回選択することで、1 水平走査期間での複数回読み出しを実現できる。

40

【 0 1 5 3 】

なおドライバセル D R C の構成、配置は図 2 0、図 2 1 に限定されず、種々の変形実施

50

が可能である。例えば低温ポリシリコンTFT用の表示ドライバ等で、図10(C)のようにR用、G用、B用のデータ信号をマルチプレクスして表示パネルに送る場合には、1つの共用のDACを用いて、R用、G用、B用の画像データ(1画素分の画像データ)のD/A変換を行うことができる。従ってこの場合には、ドライバセルDRCは、図10(A)の構成の共用のDACを1つ含めばよい。また図20、図21では、R用の回路(DLATR、DACR)、G用の回路(DLATG、DACG)、B用の回路(DLATB、DACB)が、D2(D4)方向に沿って配置されている。しかしながら、R用、G用、B用の回路を、D1(D3)方向に沿って配置するようにしてもよい。

【0154】

5.5 階調電圧出力線の配線、ビット線のシールド

図22(A)に示すように本実施形態では、階調電圧生成回路ブロックGBからの階調電圧が出力される階調電圧出力線が、回路ブロックCB1~CBN上でD1方向に沿って配線される。具体的には、この階調電圧出力線は、回路ブロック内のローカル線よりも上層のグローバル線GLで形成される。

【0155】

即ち図22(A)に示すように、階調電圧生成回路ブロックGBからの階調電圧は、D1方向に沿って並ぶデータドライバブロックDB1~DB4に対して供給する必要がある。そして階調電圧出力線をI/F領域12、14上に配線すると、これらのI/F領域12、14において、他の信号線や電源線をグローバル線で配線することが難しくなる。従って、I/F領域12、14での配線効率が低下し、I/F領域12、14のD2方向での幅を広くしなければならなくなる事態が生じる。特に出力側I/F領域12では、データドライバブロックからの多数のデータ信号出力線や走査ドライバブロックからの多数の走査信号出力線を配線する必要があるため、階調電圧出力線を出力側I/F領域12上に配線することは望ましくない。

【0156】

この点、図22(A)では、階調電圧生成回路ブロックGBからの階調電圧出力線が回路ブロックCB1~CBN上でD1方向に沿って配線される。従って、I/F領域12、14のグローバル線を、階調電圧出力線以外の信号線や電源線の配線に使用でき、配線効率を向上できる。

【0157】

しかしながら、階調電圧出力線などのグローバル線GLを、メモリブロックMB1~MB4上に配線すると、次のような問題が生じるおそれがある。例えば図22(B)では、ワード線WLがアクティブになり、ビット線BLの電圧レベルの方がビット線XBLの電圧レベルよりも高くなることで、センスアンプの出力SAQが、正常な論理「1」を出力している。

【0158】

これに対して図22(C)では、グローバル線GLの電圧レベルが変化することで、GLとその下層のビット線XBLとの間のカップリング容量によりXBLの電圧レベルが変化してしまう。これによりセンスアンプの出力SAQが、異常な論理「0」を出力するおそれがある。

【0159】

そこで本実施形態では、図22(A)のメモリブロックMB1~MB4において、ビット線の上層にシールド線を配線し、シールド線の上層に、階調電圧生成回路ブロックGBからの階調電圧出力線を配線している。

【0160】

例えば図23(A)に横型セルの場合のシールド線SDLの配線例を示す。図23(A)では、最下層の第1の金属配線ME1はノード接続に使用され、その上層の第2の金属配線ME2は、ビット線BL、XBLと、VDD(広義には第2の電源)の電源線に使用される。また第3の金属配線ME3は、ワード線WLと、VSS(広義には第1の電源)の電源線に使用され、第4の金属配線ME4は、VSSに接続されるシールド線SDLに

10

20

30

40

50

使用される。また最上層の第5の金属配線ME5は、階調電圧出力線などのグローバル線GLに使用される。

【0161】

また図23(B)に縦型セルの場合のシールド線SDLの配線例を示す。図23(B)では、金属配線ME1はノード接続に使用され、金属配線ME2はワード線WLとVDD電源線に使用される。また金属配線ME3は、ビット線BL、XBLとVSS電源線に使用され、金属配線ME4は、シールド線SDLに使用される。また金属配線ME5は、階調電圧出力線などのグローバル線GLに使用される。

【0162】

そして図23(A)(B)では共に、ビット線BL、XBLがD1方向(集積回路装置の長辺方向)に沿って配線され、シールド線SDLがビット線BL、XBLにオーバーラップするようにD1方向に配線される。即ちシールド線SDLがビット線BL、XBLを覆うようにBL、XBLの上層に形成される。

10

【0163】

このようにすれば、階調電圧出力線などのグローバル線GLの電圧レベルの変化がカップリング容量によりビット線BL、XBLに伝わるのをシールドできる。従って、図22(C)に示すようにビット線BL、XBLの電圧レベルが変化してセンスアンプが誤出力してしまう事態を効果的に防止できる。

【0164】

なお図23(A)(B)に示すようにシールド線SDLを各メモリセルに配線すれば、シールド線SDLがベタ配線にならず、シールド線間にスリットが形成されるようになる。このようなスリットが形成されることで、金属層と絶縁膜の間の脱ガスが可能になり、信頼性や歩留まりの向上を図れる。

20

【0165】

また図23(B)では、隣り合うシールド線SDLの間のスリットの場所に、VSS電源線が配線される。このようにすれば、上方向のシールドはシールド線SDLにより実現し、横方向のシールドはVSS電源線により実現できるようになり、効果的なシールドが可能になる。

【0166】

6. 電子機器

30

図24(A)(B)に本実施形態の集積回路装置10を含む電子機器(電気光学装置)の例を示す。なお電子機器は図24(A)(B)に示されるもの以外の構成要素(例えばカメラ、操作部又は電源等)を含んでもよい。また本実施形態の電子機器は携帯電話機には限定されず、デジタルカメラ、PDA、電子手帳、電子辞書、プロジェクタ、リアプロジェクションテレビ、或いは携帯型情報端末などであってもよい。

【0167】

図24(A)(B)においてホストデバイス410は、例えばMPU(Micro Processor Unit)、ベースバンドエンジン(ベースバンドプロセッサ)などである。このホストデバイス410は、表示ドライバである集積回路装置10の制御を行う。或いはアプリケーションエンジンやベースバンドエンジンとしての処理や、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行うこともできる。また図24(B)の画像処理コントローラ(表示コントローラ)420は、ホストデバイス410に代行して、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行う。

40

【0168】

表示パネル400は、複数のデータ線(ソース線)と、複数の走査線(ゲート線)と、データ線及び走査線により特定される複数の画素を有する。そして、各画素領域における電気光学素子(狭義には、液晶素子)の光学特性を変化させることで、表示動作を実現する。この表示パネル400は、TFT、TFDなどのスイッチング素子を用いたアクティブマトリクス方式のパネルにより構成できる。なお表示パネル400は、アクティブマトリクス方式以外のパネルであってもよいし、液晶パネル以外のパネルであってもよい。

50

【 0 1 6 9 】

図 2 4 (A) の場合には、集積回路装置 1 0 としてメモリ内蔵のものをを用いることができる。即ちこの場合には集積回路装置 1 0 は、ホストデバイス 4 1 0 からの画像データを、一旦内蔵メモリに書き込み、書き込まれた画像データを内蔵メモリから読み出して、表示パネルを駆動する。一方、図 2 4 (B) の場合には、集積回路装置 1 0 としてメモリ非内蔵のものをを用いることができる。即ちこの場合には、ホストデバイス 4 1 0 からの画像データは、画像処理コントローラ 4 2 0 の内蔵メモリに書き込まれる。そして集積回路装置 1 0 は、画像処理コントローラ 4 2 0 の制御の下で、表示パネル 4 0 0 を駆動する。

【 0 1 7 0 】

7 . 変形例

7 . 1 グローバル配線手法

集積回路装置の D 2 方向での幅を小さくするためには、D 1 方向に沿って配置される回路ブロック間の信号線、電源線を、効率良く配線する必要がある。そこで本実施形態では、グローバル配線手法により回路ブロック間の信号線、電源線を配線している。具体的にはこのグローバル配線手法では、図 3 の第 1 ~ 第 N の回路ブロック C B 1 ~ C B N のうちの隣接する回路ブロック間では、第 I (I は 3 以上の整数) の層よりも下層の配線層 (例えば第 1 ~ 第 4 のアルミ配線層 A L A 、 A L B 、 A L C 、 A L D) で形成されるローカル線が、信号線又は電源線として配線される。一方、第 1 ~ 第 N の回路ブロック C B 1 ~ C B N のうちの隣接しない回路ブロック間では、第 I の層以上の配線層 (例えば第 5 のアルミ配線層 A L E) で形成されるグローバル線が、信号線又は電源線として、隣接しない回路ブロックの間に介在する回路ブロック上を D 1 方向に沿って配線される。

【 0 1 7 1 】

図 2 5 にグローバル線の配線例を示す。図 2 5 では、ロジック回路ブロック L B からのドライバ制御信号をデータドライバブロック D B 1 ~ D B 3 に供給するためのドライバ用グローバル線 G L D が、L B と D B 1 ~ D B 3 の間に介在する回路ブロック上を D 1 方向に沿って配線される。具体的には、トップメタルである第 5 のアルミ配線層 A L E で形成されるドライバ用グローバル線 G L D が、ロジック回路ブロック L B からバッファ回路 B F 1 ~ B F 3 及びローアドレスデコーダ R D 1 ~ R D 3 上を、D 1 方向に沿ってほぼ一直線に配線される。そしてこれらのドライバ用グローバル線 G L D により供給されるドライバ制御信号が、バッファ回路 B F 1 ~ B F 3 にてバッファリングされて、バッファ回路 B F 1 ~ B F 3 の D 2 方向側に配置されるデータドライバ D R 1 ~ D R 3 に入力される。即ちバッファ回路 B F 1 ~ B F 3 は、ドライバ用グローバル線からのドライバ制御信号をバッファリングしてデータドライバ D R 1 ~ D R 3 に出力する。

【 0 1 7 2 】

また図 2 5 では、ロジック回路ブロック L B からの少なくともライトデータ信号 (或いは、アドレス信号、メモリ制御信号) をメモリブロック M B 1 ~ M B 3 に供給するためのメモリ用グローバル線 G L M が、ロジック回路ブロック L B とメモリブロック M B 1 ~ M B 3 の間に介在する回路ブロック上を D 1 方向に沿って配線される。例えば第 5 のアルミ配線層 A L E で形成されるメモリ用グローバル線 G L M が、ロジック回路ブロック L B から D 1 方向に沿って配線される。

【 0 1 7 3 】

より具体的には図 2 5 では、メモリブロック M B 1 ~ M B 3 に対応してリピータブロック R P 1 ~ R P 3 が配置される。これらのリピータブロック R P 1 ~ R P 3 は、ロジック回路ブロック L B からの少なくともライトデータ信号 (或いはアドレス信号、メモリ制御信号) をバッファリングしてメモリブロック M B 1 ~ M B 3 に対して出力するバッファを含む。そして図 2 5 に示すように、メモリブロック M B 1 ~ M B 3 とリピータブロック R P 1 ~ R P 3 は、D 1 方向に沿って隣接配置される。

【 0 1 7 4 】

例えばロジック回路ブロック L B からのライトデータ信号、アドレス信号、メモリ制御信号を、メモリ用グローバル線 G L M を用いてメモリブロック M B 1 ~ M B 3 に供給する

10

20

30

40

50

場合に、これらの信号をバッファリングしないと、信号の立ち上がり波形や立ち下がり波形が鈍る。この結果、メモリブロックMB1～MB3へのデータの書き込み時間が長くなったり、書き込みエラーが生じるおそれがある。

【0175】

この点、図25のようなリピータブロックRP1～RP3を各メモリブロックMB1～MB3の例えばD1方向側に隣接して配置すれば、これらのライトデータ信号、アドレス信号、メモリ制御信号がリピータブロックRP1～RP3によりバッファリングされて各メモリブロックMB1～MB3に入力されるようになる。この結果、信号の立ち上がり波形や立ち下がり波形が鈍るのを低減でき、メモリブロックMB1～MB3への適正なデータ書き込みを実現できる。

10

【0176】

また図25では階調電圧生成回路ブロックGBからの階調電圧をデータドライバブロックDB1～DB3に供給するための階调用グローバル線GLGが、GBとDB1～DB3の間に介在する回路ブロック上をD1方向に沿って配線される。例えば第5のアルミ配線層ALEで形成される階调用グローバル線GLGが、ロジック回路ブロックLBからD1方向に沿って配線される。そして階調電圧生成回路ブロックGBとロジック回路ブロックLBはD1方向に沿って隣接して配置され、ロジック回路ブロックLBと階調電圧生成回路ブロックGBの間には、LBが階調の調整データをGBに供給するためのローカル線LLGが配線される。

【0177】

また階调用グローバル線GLGからの階調電圧をデータドライバDR1～DR3に供給するための階調電圧供給線GSL1～GSL3が、各データドライバDR1～DR3においてD2方向に沿って配線される。具体的には、階調電圧供給線GSL1～GSL3は、後述する複数のサブピクセルドライバセルにまたがって、各サブピクセルドライバセルのD/A変換器上をD2方向に沿って配線される。

20

【0178】

そして更に本実施形態では図25に示すように、メモリ用グローバル線GLMが、階调用グローバル線GLGとドライバ用グローバル線GLDの間にD1方向に沿って配線される。

【0179】

即ち図25では、バッファ回路BF1～BF3とローアドレスデコーダRD1～RD3がD1方向に沿って配置される。そしてロジック回路ブロックLBから、これらのバッファ回路BF1～BF3、ローアドレスデコーダRD1～RD3上を通過して、ドライバ用グローバル線GLDをD1方向に沿って配線することで、配線効率を大幅に向上できる。

30

【0180】

また、データドライバDR1～DR3に対しては、階調電圧生成回路ブロックGBからの階調電圧を供給する必要があり、このために、階调用グローバル線GLGがD1方向に沿って配線される。

【0181】

一方、ローアドレスデコーダRD1～RD3に対しては、メモリ用グローバル線GLMによりアドレス信号、メモリ制御信号等が供給される。従って、メモリ用グローバル線GLMは、ローアドレスデコーダRD1～RD3の近くに配線することが望ましい。

40

【0182】

この点、図25では、メモリ用グローバル線GLMが、階调用グローバル線GLGとドライバ用グローバル線GLDの間に配線される。従って、メモリ用グローバル線GLMからのアドレス信号、メモリ制御信号等を、ローアドレスデコーダRD1～RD3にショートパスで供給することができる。また階调用グローバル線GLGは、このメモリ用グローバル線GLMの上側にD1方向に沿ってほぼ一直線に配線できる。従って、1つの層のアルミ配線層ALEを用いて、グローバル線GLG、GLM、GLDを交差することなく配線できるようになり、配線効率を向上できる。

50

【 0 1 8 3 】

また図 2 5 では、ロジック回路ブロック L B と階調電圧生成回路ブロック G B や、データドライバブロック D B 1 ~ D B 3 とメモリブロック M B 1 ~ M B 3 のように、回路ブロック間に配線される信号線の本数が多い回路ブロックについては、隣接配置している。そして、これらの隣接回路ブロック間には、グローバル線の配線層よりも下層の配線層で形成されるローカル線を配線している。こうすることで、これらの隣接回路ブロック間がショートパスで接続されるようになり、配線領域を原因とするチップ面積の増加を防止できる。

【 0 1 8 4 】

また図 2 5 では、ロジック回路ブロック L B と、データドライバブロック D B 1 ~ D B 3 やメモリブロック M B 1 ~ M B 3 の間については、ローカル線よりも上層の配線層で形成されるグローバル線 G L D、G L M、G L G を配線している。このようにすれば、隣接回路ブロック間に配線されるローカル線の配線本数が非常に多い場合にも、これらのローカル線の上層に、グローバル線 G L D、G L M、G L G を配線できる。従って、グローバル線により多くの信号線を配線できるようになるため、回路ブロックを迂回して出力側 I / F 領域 1 2 や入力側 I / F 領域 1 4 に配線する信号線の本数を減らすことができる。これにより、集積回路装置の D 2 方向での幅 W を小さくでき、スリムな細長チップを実現できる。

【 0 1 8 5 】

7. 2 リピータブロック

図 2 6 にリピータブロックの構成例を示す。図 2 6 において、ロジック回路ブロック L B からのライトデータ信号 (W D 0、W D 1 . . .) は、2 つのインバータから構成されるバッファ B F A 1、B F A 2 . . . によりバッファリングされて、次段のリピータブロックに出力される。具体的には図 5 (B) において、メモリブロック M B 4 の D 1 方向側に配置されるリピータブロックから、メモリブロック M B 3 の D 1 方向側に配置される次段のリピータブロックに対して、バッファリングされた信号が出力される。またロジック回路ブロック L B からのライトデータ信号は、バッファ B F B 1、B F B 2 . . . によりバッファリングされて、メモリブロックに出力される。具体的には図 5 (B) において、メモリブロック M B 4 の D 1 方向側に配置されるリピータブロックからメモリブロック M B 4 に対して、バッファリングされた信号が出力される。このように本実施形態では、ライトデータ信号については、次段のメモリブロックへの出力用のバッファ B F A 1、B F A 2 . . . のみならず、各メモリブロック用のバッファ B F B 1、B F B 2 . . . が設けられている。このようにすることで、メモリブロックのメモリセルの寄生容量が原因でライトデータ信号の波形が鈍り、書き込み時間の長期化や書き込みエラーが生じるのを効果的に防止できる。

【 0 1 8 6 】

またロジック回路ブロック L B からのアドレス信号 (C P U カラムアドレス、C P U ロードアドレス、L C D ロードアドレス等) は、バッファ B F C 1 . . . によりバッファリングされて、メモリブロック及び次段のリピータブロックに出力される。またロジック回路ブロック L B からのメモリ制御信号 (リード / ライト切替信号、C P U イネーブル信号、バンク選択信号等) は、バッファ B F D 1 . . . によりバッファリングされて、メモリブロック及び次段のリピータブロックに出力される。

【 0 1 8 7 】

また図 2 6 のリピータブロックには、メモリブロックからのリードデータ信号用のバッファも設けられている。具体的にはバンク選択信号 B A N K M がアクティブ (H レベル) になり、そのメモリブロック (第 1 ~ 第 I のメモリブロックのうちの第 J のメモリブロック) が選択された場合には、そのメモリブロック (第 J のメモリブロック) からのリードデータ信号が、そのメモリブロックに対応するリピータブロックのバッファ B F E 1、B F E 2 . . . によりバッファリングされてリードデータ線 R D 0 L、R D 1 L . . . に出力される。一方、バンク選択信号 B A N K M が非アクティブ (L レベル) になり、そのメ

10

20

30

40

50

メモリブロック（第Jのメモリブロック）が非選択になった場合には、そのメモリブロックに対応するリピータブロックのバッファBFE1、BFE2・・・の出力状態がハイインピーダンス状態に設定される。これにより、バンク選択信号がアクティブになった他のメモリブロックからのリードデータ信号を、ロジック回路ブロックLBに適正に出力できるようになる。なお本実施形態では、ホスト側からのアクセス時に、アクセス領域に対応するメモリブロックが選択され、そのメモリブロックのワード線WLだけが選択される。これにより、選択されたメモリブロックからリピータブロックを介して、リードデータ信号がリードデータ線RD0L、RD1L・・・に出力されるようになる。

【0188】

7.3 シールド線

図27に、走査ドライバブロックSB1とロジック回路ブロックLBの付近の詳細なレイアウトを示す。図27では、走査ドライバブロックSB1の出力線と走査線とを電氣的に接続するための走査ドライバ用パッドが、ロジック回路ブロックLBのD2方向側に配置される。そして走査ドライバブロックSB1の出力線である走査ドライバ用グローバル線GLS1が、ロジック回路ブロックLB上（或いは電源回路ブロック上）を、走査ドライバブロックSB1から、出力側I/F領域12の走査ドライバ用パッドに対して配線される。

【0189】

図27において、走査ドライバ用パッドの個数は多く、走査ドライバブロックSB1の出力線の本数も多い。このため走査ドライバ用グローバル線GLS1の配線領域の占有面積も大きくなる。この結果、図27では、ロジック回路ブロックLB上に、走査ドライバ用グローバル線GLS1の配線領域が広く形成される。

【0190】

そして走査ドライバブロックSB1の出力トランジスタは、例えば30Vというような高い電源電圧（HV）で動作する。従って、走査ドライバ用グローバル線GLS1が、図27のようにロジック回路ブロックLB上に配線されると、走査ドライバ用グローバル線GLS1の電圧レベルの変化によるノイズが、寄生のカップリング容量を介してロジック回路ブロックLB内の回路や信号線に伝達される。この結果、回路が誤動作するなどの問題が生じるおそれがある。

【0191】

そこで本実施形態では、ロジック回路ブロックLB（或いは電源回路ブロック）において、走査ドライバ用グローバル線GLS1の下層に、シールド線を配線している。具体的には、走査ドライバ用グローバル線GLS1が第5のアルミ配線層ALEで形成される場合には、その下層の第4のアルミ配線層ALD等で形成されるシールド線を配線する。

【0192】

図28にシールド線のレイアウト例を示す。図28において、走査ドライバブロックSB1からの走査ドライバ用グローバル線GLS1は、ロジック回路ブロックLB上を通過して、走査ドライバ用パッドPn、Pn+1、Pn+2・・・に配線される。そしてロジック回路ブロックLBでは、これらの走査ドライバ用グローバル線GLS1の下層に、シールド線SDL1、SDL2、SDL3・・・が配線される。このようなシールド線を配線すれば、走査ドライバ用グローバル線GLS1の電圧レベルの変化によるノイズが、カップリング容量によりロジック回路ブロックLB内の回路や信号線に伝達するのが防止される。この結果、これらの回路の誤動作を防止できる。

【0193】

7.4 サブピクセルドライバセルの配置

図29にサブピクセルドライバセルの配置例を示す。図29では、データドライバブロックは、その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルSDC1～SDC180を含む。即ちD1方向（サブピクセルドライバセルの長辺に沿った方向）に沿って複数のサブピクセルドライバセルが配置されると共にD1方向に直交するD2方向に沿って複数のサブピクセルドライバセルが配置

10

20

30

40

50

される。そしてデータドライバブロックの出力線と表示パネルのデータ線とを電氣的に接続するためのデータドライバ用パッドが、データドライバブロックのD2方向側に配置される。またデータドライバ用パッドがメモリブロックのD2方向側にも配置される。

【0194】

例えば図18のデータドライバDRaのドライバセルDRC1は、図29のサブピクセルドライバセルSDC1、SDC2、SDC3により構成できる。ここでSDC1、SDC2、SDC3は、各々、R(赤)用、G(緑)用、B(青)用のサブピクセルドライバセルであり、1本目のデータ信号に対応するR、G、Bの画像データ(R1、G1、B1)がメモリブロックから入力される。そしてサブピクセルドライバセルSDC1、SDC2、SDC3は、これらの画像データ(R1、G1、B1)のD/A変換を行い、1本目のR、G、Bのデータ信号(データ電圧)を、1本目のデータ線に対応するR、G、B用のパッドに出力する。

10

【0195】

同様にドライバセルDRC2は、R用、G用、B用のサブピクセルドライバセルSDC4、SDC5、SDC6により構成され、2本目のデータ信号に対応するR、G、Bの画像データ(R2、G2、B2)がメモリブロックから入力される。そしてサブピクセルドライバセルSDC4、SDC5、SDC6は、これらの画像データ(R2、G2、B2)のD/A変換を行い、2本目のR、G、Bのデータ信号(データ電圧)を、2本目のデータ線に対応するR、G、B用のパッドに出力する。他のサブピクセルドライバセルも同様である。

20

【0196】

なおサブピクセルの数は3個に限定されず、4個以上であってもよい。またサブピクセルドライバセルの配置も図29に限定されず、R用、G用、B用のサブピクセルドライバセルを例えばD2方向に沿ってスタック配置してもよい。

【0197】

7.5 センスアンプ、メモリセルの配置

図30にセンスアンプ、メモリセルの配置例を示す。センスアンプブロックのうち1画素に対応する部分は、R用のセンスアンプSAR0~SAR5と、G用のセンスアンプSAG0~SAG5と、B用のセンスアンプSAB0~SAB5を含む。また図30では、2個(広義には複数)のセンスアンプ(及びバッファ)がD1方向にスタック配置される。そしてスタック配置された第1、第2のセンスアンプSAR0、SAR1のD1方向側にD1方向に沿って並ぶ2行のメモリセル列(縦型セル)のうち、上側の行のメモリセル列のビット線は例えば第1のセンスアンプSAR0に接続され、下側の行のメモリセル列のビット線は例えば第2のセンスアンプSAR1に接続される。そして第1、第2のセンスアンプSAR0、SAR1は、メモリセルから読み出された画像データの信号増幅を行い、これによりSAR0、SAR1から2ビットの画像データが出力されるようになる。他のセンスアンプとメモリセルの関係についても同様である。

30

【0198】

図30の場合には、1水平走査期間での画像データの複数回読み出しは次のようにして実現できる。即ち第1の水平走査期間(第1の走査線の選択期間)においては、まずワード線WL1aを選択して画像データの1回目の読み出しを行い、1回目のデータ信号DATAaを出力する。この場合にはセンスアンプSAR0~SAR5、SAG0~SAG5、SAB0~SAB5からのR、G、Bの画像データは、各々、サブピクセルドライバセルSDC1、SDC2、SDC3に入力される。次に、同じ第1の水平走査期間においてワード線WL1bを選択して画像データの2回目の読み出しを行い、2回目のデータ信号DATAbを出力する。この場合にはセンスアンプSAR0~SAR5、SAG0~SAG5、SAB0~SAB5からのR、G、Bの画像データは、各々、サブピクセルドライバセルSDC91、SDC92、SDC93に入力される。

40

【0199】

7.6 サブピクセルドライバセルのレイアウト

50

図31にサブピクセルドライバセルの詳細なレイアウト例を示す。図31に示すように各サブピクセルドライバセルSDC1～SDC180は、ラッチ回路LAT、レベルシフタL/S、D/A変換器DAC、出力部SSQを含む。なおラッチ回路LATとレベルシフタL/Sの間に、階調制御のためのFRC(Frame Rate Control)回路などの他のロジック回路を設けてもよい。

【0200】

各サブピクセルドライバセルが含むラッチ回路LATは、メモリブロックMB1からの1サブピクセル分である6ビットの画像データをラッチする。レベルシフタL/Sは、ラッチ回路LATからの6ビットの画像データ信号の電圧レベルを変換する。D/A変換器DACは、階調電圧を用いて、6ビットの画像データのD/A変換を行う。出力部SSQは、D/A変換器DACの出力信号のインピーダンス変換を行う演算増幅器OP(ボルテージフォロワ接続)を有し、1サブピクセルに対応する1本のデータ線を駆動する。なお出力部SSQは、演算増幅器OP以外にも、ディスチャージ用、8色表示用、DAC駆動用のトランジスタ(スイッチ素子)を含むことができる。

10

【0201】

そして図31に示すように各サブピクセルドライバセル(第1、第2のデータドライバDRa、DRb)は、LV(Low Voltage)の電圧レベル(広義には第1の電圧レベル)の電源で動作する回路が配置されるLV領域(広義には第1の回路領域)と、LVよりも高いMV(Middle Voltage)の電圧レベル(広義には第2の電圧レベル)の電源で動作する回路が配置されるMV領域(広義には第2の回路領域)を有する。ここでLVは、ロジック回路ブロックLB、メモリブロックMB等の動作電圧である。またMVは、D/A変換器、演算増幅器、電源回路等の動作電圧である。なお走査ドライバの出力トランジスタは、HV(High Voltage)の電圧レベル(広義には第3の電圧レベル)の電源が供給されて走査線を駆動する。

20

【0202】

例えばサブピクセルドライバセルのLV領域(第1の回路領域)には、ラッチ回路LAT(或いはその他のロジック回路)が配置される。またMV領域(第2の回路領域)にはD/A変換器DACや、演算増幅器OPを有する出力部SSQが配置される。そしてレベルシフタL/Sが、LVの電圧レベルの信号をMVの電圧レベルの信号に変換する。

【0203】

なお図31ではサブピクセルドライバセルSDC1～SDC180のD4方向側にバッファ回路BF1が設けられている。このバッファ回路BF1は、ロジック回路ブロックLBからのドライバ制御信号をバッファリングして、サブピクセルドライバセルSDC1～SDC180に出力する。別の言い方をすれば、ドライバ制御信号のリピータブロックとして機能する。

30

【0204】

具体的にはバッファ回路BF1は、LV領域に配置されるLVバッファ(広義には第1のバッファ)と、MV領域に配置されるMVバッファ(広義には第2のバッファ)を含む。そしてLVバッファは、ロジック回路ブロックLBからのLVの電圧レベル(第1の電圧レベル)のドライバ制御信号(ラッチ信号等)を受けてバッファリングし、そのD2方向側に配置されるサブピクセルドライバセルのLV領域(第1の回路領域)の回路(LAT)に対して出力する。またMVバッファは、ロジック回路ブロックLBからのLVの電圧レベルのドライバ制御信号(DAC制御信号、出力制御信号等)を受け、レベルシフタによりMVの電圧レベル(第2の電圧レベル)に変換してバッファリングし、そのD2方向側に配置されるサブピクセルドライバセルのMV領域(第2の回路領域)の回路(DAC、SSQ)に対して出力する。

40

【0205】

そして本実施形態では図31に示すように、各サブピクセルドライバセルのMV領域同士(又はLV領域同士)がD1方向に沿って隣接するようにサブピクセルドライバセルSDC1～SDC180が配置される。即ち隣接するサブピクセルドライバセルがD2方向

50

に沿った隣接境界を挟んでミラー配置される。例えばサブピクセルドライバセルSDC1とSDC2はMV領域が隣接するように配置される。またサブピクセルドライバセルSDC3とSDC91もMV領域が隣接するように配置される。なおサブピクセルドライバセルSDC2とSDC3はLV領域同士が隣接するように配置される。

【0206】

図31のようにMV領域が隣接するように配置すれば、サブピクセルドライバセル間にガードリング等を設ける必要がなくなる。従ってMV領域とLV領域を隣接させる手法に比べて、データドライバブロックのD1方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【0207】

また図31の配置手法によれば、隣接するサブピクセルドライバセル(ドライバセル)のMV領域を、サブピクセルドライバセル(ドライバセル)の出力信号の取り出し線の配線領域として有効利用でき、レイアウト効率を向上できる。

【0208】

また図29、図31に示すように本実施形態では、第1、第2のデータドライバDRa、DRbが、そのMV領域(第2の回路領域)同士が隣接するように配置される。また第1のデータドライバDRaのLV領域(第1の回路領域)が第1のメモリブロックMB1(第Jのメモリブロック)に隣接し、第2のデータドライバDRbのLV領域(第1の回路領域)が第2のメモリブロックMB2(第J+1のメモリブロック)に隣接するように配置される。例えば図29、図31において、第1のメモリブロックMB1は、第1のデータドライバDRaのサブピクセルドライバセルSDC1、SDC4、SDC7・・・SDC88のLV領域に隣接して配置される。また第2のメモリブロックMB2は、第2のデータドライバDRbのサブピクセルドライバセルSDC93、SDC96、SDC99・・・SDC180のLV領域に隣接して配置される。そしてメモリブロックMB1、MB2はLVの電圧レベルの電源で動作する。従って、このようにサブピクセルドライバセルのLV領域をメモリブロックに隣接して配置すれば、データドライバブロック及びメモリブロックにより構成されるドライバマクロセルのD1方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【0209】

7.7 D/A変換器

図32にサブピクセルドライバセルが含むD/A変換器(DAC)の詳細な構成例を示す。このD/A変換器はいわゆるトーナメント方式のD/A変換を行う回路であり、階調電圧セクタSLN1~SLN11、SLP1~SLP11とプリデコーダ120を含む。

【0210】

ここで階調電圧セクタSLN1~SLN11はN型(広義には第1導電型)のトランジスタで構成されるセクタであり、階調電圧セクタSLP1~SLP11はP型(広義には第2導電型)のトランジスタで構成されるセクタであり、これらのN型、P型のトランジスタがペアとなってトランスファークラップゲートが構成される。例えばSLN1を構成するN型トランジスタとSLP1を構成するP型トランジスタがペアとなって、トランスファークラップゲートが構成される。

【0211】

階調電圧セクタSLN1~SLN8、SLP1~SLP8の入力端子には、各々、V0~V3、V4~V7、V8~V11、V12~V15、V16~V19、V20~V23、V24~V27、V28~V31の階調電圧供給線が接続される。そしてプリデコーダ120は、画像データD0~D5が入力されて、図33(A)の真理値表に示すようなデコード処理を行う。そして選択信号S1~S4、XS1~XS4を、各々、階調電圧セクタSLN1~SLN8、SLP1~SLP9に出力する。また選択信号S5~S8、XS5~XS8を、各々、SLN9及びSLN10、SLP9及びSLP10に出力し、S9~S12、XS9~XS12を、各々、SLN11、SLP11に出力する。

10

20

30

40

50

【 0 2 1 2 】

例えば画像データD0～D5が(100000)の場合には、図33(A)の真理値表に示すように、選択信号S2、S5、S9(XS2、XS5、XS9)がアクティブになる。これにより階調電圧セレクタSLN1、SLP1が階調電圧V1を選択し、SLN9、SLP9がSLN1、SLP1の出力を選択し、SLN11、SLP11がSLN9、SLP9の出力を選択する。従って出力部SSQには階調電圧V1が出力される。同様に画像データD0～D5が(010000)の場合には、選択信号S3(XS3)がアクティブになるため、階調電圧セレクタSLN1、SLP1が階調電圧V2を選択し、出力部SSQには階調電圧V2が出力される。また画像データD0～D5が(001000)の場合には、選択信号S1、S6、S9(XS1、XS6、XS9)がアクティブになる。従って階調電圧セレクタSLN2、SLP2が階調電圧V4を選択し、SLN9、SLP9がSLN2、SLP2の出力を選択し、SLN11、SLP11がSLN9、SLP9の出力を選択する。従って出力部SSQには階調電圧V4が出力される。

10

【 0 2 1 3 】

そして本実施形態では図33(B)(C)に示すように、図32のD/A変換器に階調電圧V0～V31を供給するための階調電圧供給線が、複数のサブピクセルドライバセルにまたがってD2(D4)方向に沿って配線される。例えば図33(B)では、D2方向に沿って並ぶサブピクセルドライバセルSDC1、SDC4、SDC7にまたがって、階調電圧供給線がD2方向に配線される。またこれらの階調電圧供給線は、図33(B)(C)に示すようにD/A変換器(階調電圧セレクタ)の配置領域上に配線される。

20

【 0 2 1 4 】

更に具体的には図33(B)に示すように、サブピクセルドライバセルのD/A変換器の配置領域では、D2方向に沿ってN型トランジスタ領域(P型ウェル)、P型トランジスタ領域(N型ウェル)が配置される。一方、サブピクセルドライバセルのD/A変換器以外の回路(出力部、レベルシフト、ラッチ回路)の配置領域では、D2方向に直交するD1方向に沿ってN型トランジスタ領域(P型ウェル)、P型トランジスタ領域(N型ウェル)が配置される。別の言い方をすれば、D2方向に沿って隣接するサブピクセルドライバセルは、D1方向に沿った隣接境界を挟んでミラー配置される。例えばドライバセルSDC1とSDC4は、その隣接境界を挟んでミラー配置され、SDC4とSDC7は、その隣接境界を挟んでミラー配置される。

30

【 0 2 1 5 】

例えばサブピクセルドライバセルSDC1のD/A変換器の階調電圧セレクタSLN1～SLN11を構成するN型トランジスタは、図33(B)に示すサブピクセルドライバセルのN型トランジスタ領域NTR1に形成され、階調電圧セレクタSLP1～SLP11を構成するP型トランジスタはP型トランジスタ領域PTR1に形成される。具体的には図33(C)に示すように、階調電圧セレクタSLN11を構成するN型トランジスタTRF1、TRF2や、階調電圧セレクタSLN9、SLN10を構成するN型トランジスタTRF3、TRF4は、N型トランジスタ領域NTR1に形成される。一方、階調電圧セレクタSLP11を構成するP型トランジスタTRF5、TRF6や、階調電圧セレクタSLP9、SLP10を構成するP型トランジスタTRF7、TRF8は、P型トランジスタ領域PTR1に形成される。そして、サブピクセルドライバセルの他の回路のN型トランジスタ領域、P型トランジスタ領域はD1方向に沿って配置されるのに対して、N型トランジスタ領域NTR1、P型トランジスタ領域PTR1はD2方向に沿って配置される。

40

【 0 2 1 6 】

図32のD/A変換器では、例えば階調電圧セレクタSLN1を構成するN型トランジスタと、階調電圧セレクタSLP1を構成するP型トランジスタは、ペアとなってトランスファークロスを構成する。従って、階調電圧供給線をD2方向に沿って配線すれば、これらのP型、N型トランジスタに対して階調電圧供給線を共通接続でき、トランスファークロスを容易に構成できるようになり、レイアウト効率を向上できる。

50

【0217】

一方、D/A変換器以外の回路、例えばラッチ回路に対しては、メモリブロックからの画像データを入力する必要がある。そして図33(B)に示すように、この画像データはD1方向に沿って配線された画像データ供給線により供給される。また図31のレイアウトから明らかなように、サブピクセルドライバセル内での信号の流れの方向はD1方向である。従ってD/A変換器以外の回路のN型トランジスタ領域、P型トランジスタ領域を図33(B)のようにD1方向に沿って並べて配置すれば、信号の流れに沿った効率的なレイアウトが可能になる。従って、図33(B)のようなトランジスタ領域の配列は、図31のように配置されるサブピクセルドライバセルに最適なレイアウトになる。

【0218】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語(第1のインターフェース領域、第2のインターフェース領域等)と共に記載された用語(出力側I/F領域、入力側I/F領域等)は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また集積回路装置や電子機器の構成、配置、動作も本実施形態で説明したものに限定に限定されず、種々の変形実施が可能である。

【図面の簡単な説明】

【0219】

【図1】図1(A)(B)(C)は本実施形態の比較例の説明図。

【図2】図2(A)(B)は集積回路装置の実装についての説明図。

【図3】本実施形態の集積回路装置の構成例。

【図4】種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例。

【図5】図5(A)(B)は本実施形態の集積回路装置の平面レイアウト例。

【図6】図6(A)(B)は集積回路装置の断面図の例。

【図7】集積回路装置の回路構成例。

【図8】図8(A)(B)(C)はデータドライバ、走査ドライバの構成例。

【図9】図9(A)(B)は電源回路、階調電圧生成回路の構成例。

【図10】図10(A)(B)(C)はD/A変換回路、出力回路の構成例。

【図11】ロジック回路、階調電圧生成回路、電源回路、データドライバのブロックの配置手法の説明図。

【図12】階調電圧生成回路ブロックの詳細な回路構成例。

【図13】図13(A)(B)(C)は階調特性の調整についての説明図。

【図14】図14(A)(B)は走査ドライバブロックの配置例。

【図15】図15(A)(B)は階調電圧生成回路ブロックの詳細な配置例。

【図16】図16(A)(B)はメモリブロック、データドライバブロックの配置の説明図。

【図17】1水平走査期間に画像データを複数回読み出す手法の説明図。

【図18】データドライバ、ドライバセルの配置例。

【図19】図19(A)(B)(C)はメモリセルの構成例。

【図20】横型セルの場合のメモリブロック、ドライバセルの配置例。

【図21】縦型セルの場合のメモリブロック、ドライバセルの配置例。

【図22】図22(A)(B)(C)は階調電圧出力線の配線手法の説明図。

【図23】図23(A)(B)はシールド線の形成手法の説明図。

【図24】図24(A)(B)は電子機器の構成例。

【図25】グローバル線の配線例。

【図26】リピータブロックの構成例。

【図27】ロジック回路ブロック、走査ドライバブロックのレイアウト例。

【図28】グローバル線のシールド手法の説明図。

10

20

30

40

50

【図29】サブピクセルドライバセルの配置例。

【図30】センスアンプ、メモリセルの配置例。

【図31】サブピクセルドライバセルの構成例。

【図32】D/A変換器の構成例。

【図33】図33(A)(B)(C)は、D/A変換器のサブデコーダの真理値表と、D/A変換器のレイアウトの説明図。

【符号の説明】

【0220】

C B 1 ~ C B N 第1~第Nの回路ブロック、10 集積回路装置、

12 出力側I/F領域、14 入力側I/F領域、20 メモリ、

22 メモリセルアレイ、24 ローアドレスデコーダ、

26 カラムアドレスデコーダ、28 ライト/リード回路、

40 ロジック回路、42 制御回路、44 表示タイミング制御回路、

46 ホストインターフェース回路、48 RGBインターフェース回路、

50 データドライバ、52 データラッチ回路、54 D/A変換回路、

56 出力回路、70 走査ドライバ、72 シフトレジスタ、

73 走査アドレス生成回路、74 アドレスデコーダ、76 レベルシフタ、

78 出力回路、90 電源回路、92 昇圧回路、94 レギュレータ回路、

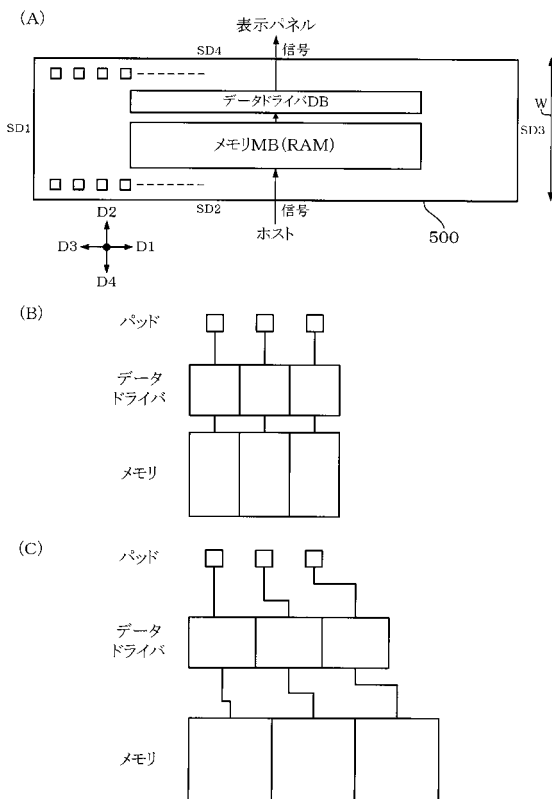
96 VCOM生成回路、98 制御回路、110 階調電圧生成回路、

112 選択用電圧生成回路、114 階調電圧選択回路、116 調整レジスタ

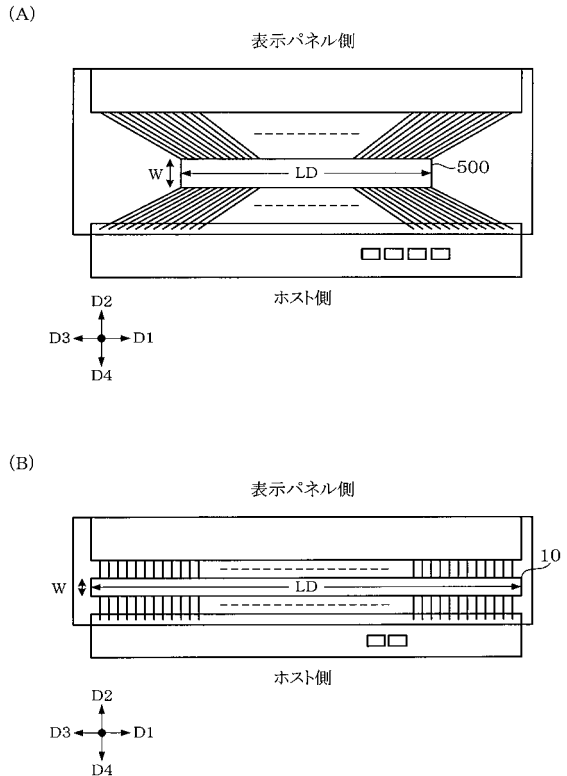
10

20

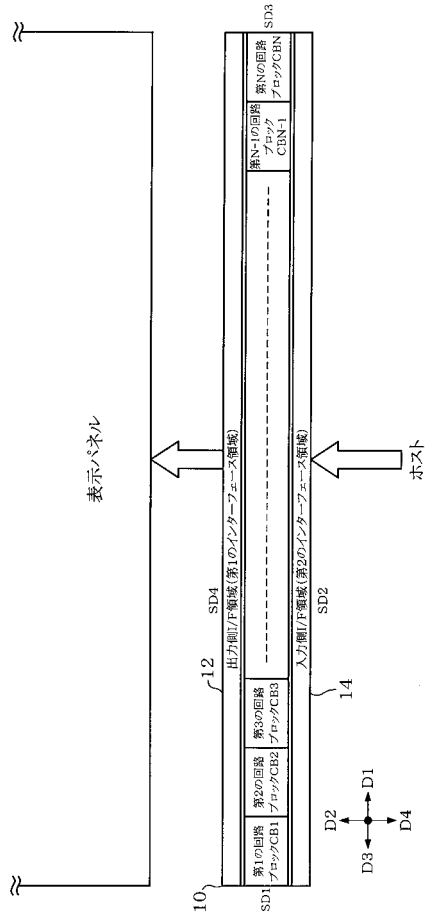
【図1】



【図2】



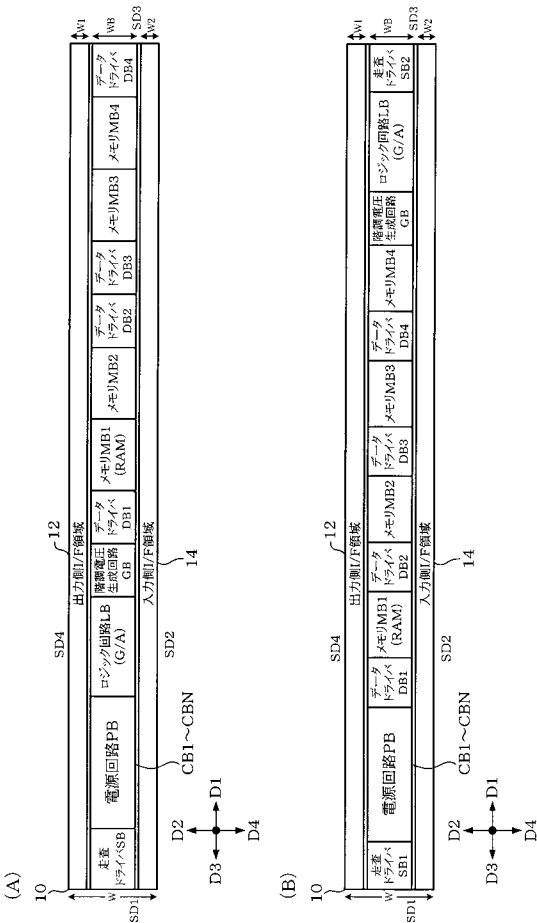
【図3】



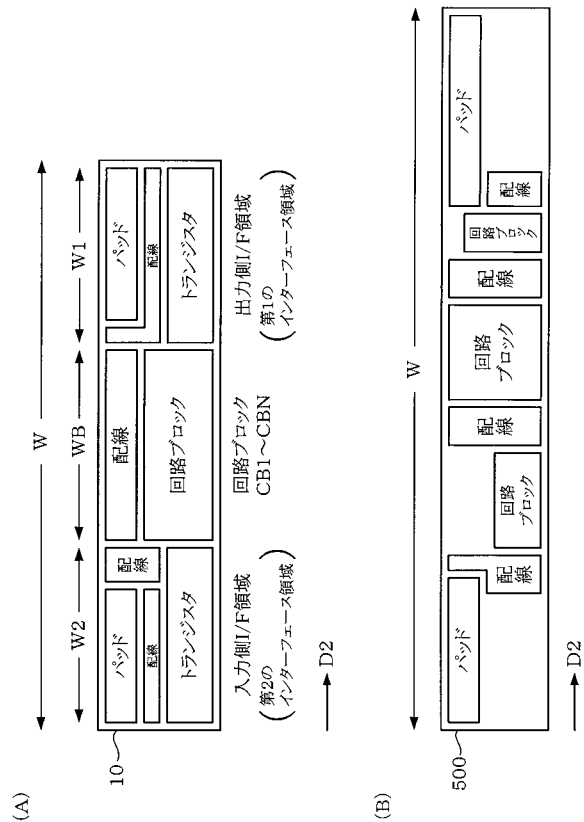
【図4】

	メモリ(RAM)内蔵		メモリ非内蔵		CSTN	TFD
	アモルファス TFT	低温ポリシリコン TFT	アモルファス TFT	低温ポリシリコン TFT		
メモリ(RAM)	○	○	×	×	○	○
データドライバ	○	○	○	○	○	○
走査ドライバ	○	×	○	×	○	○
ロジック回路(G/A)	○	○	○	○	○	○
階調電圧生成回路(γ)	○	○	○	○	×	×
電源回路	○	○	○	○	○	○

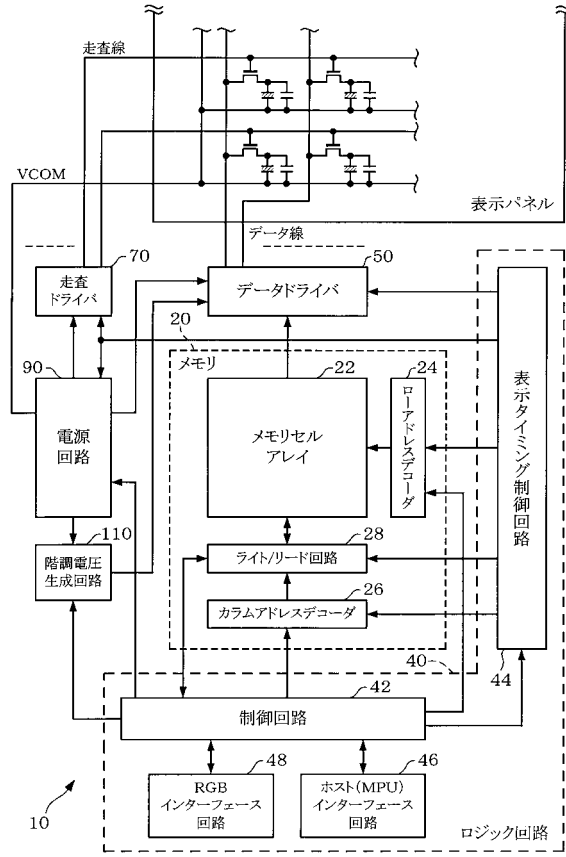
【図5】



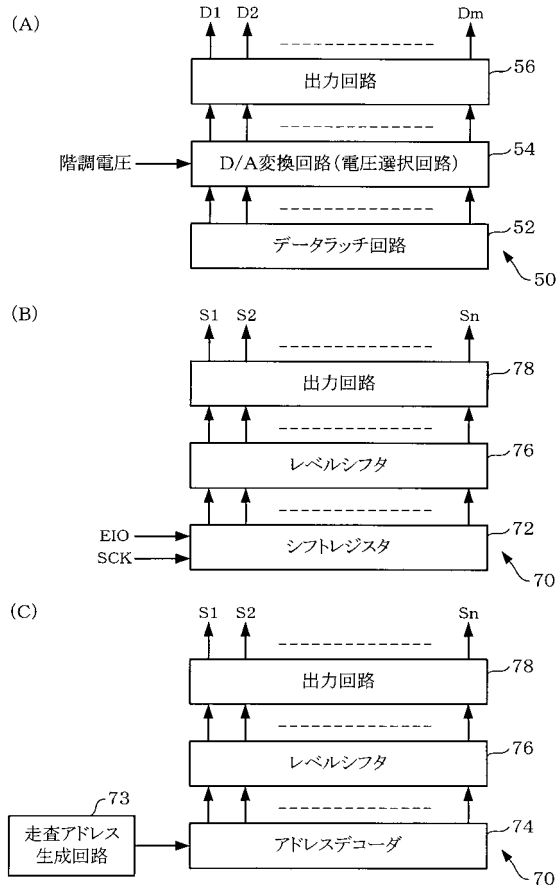
【図6】



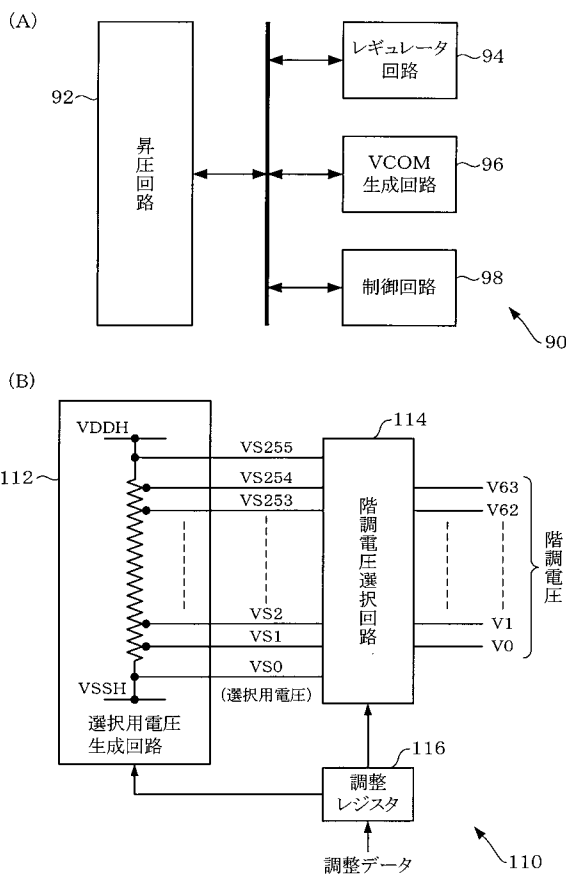
【図7】



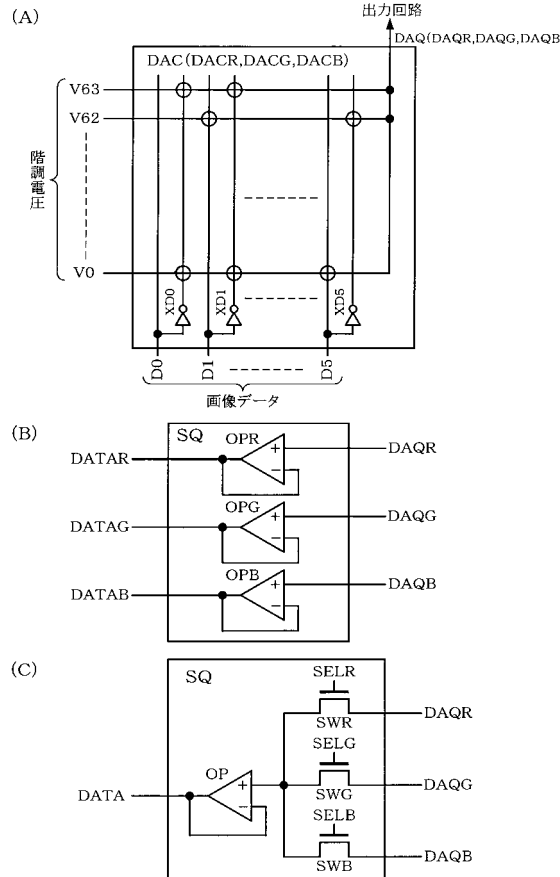
【図8】



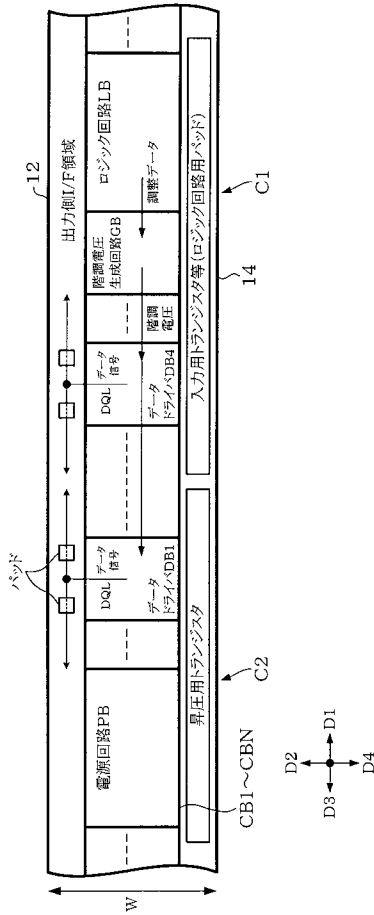
【図9】



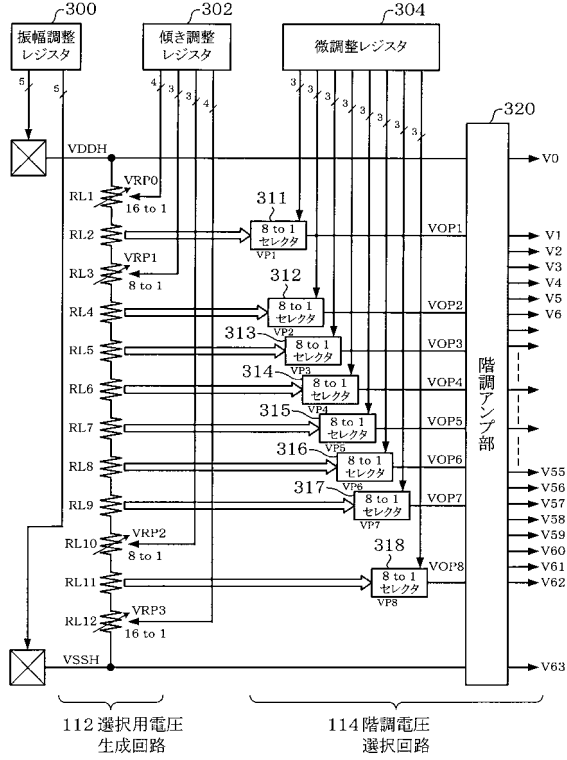
【図10】



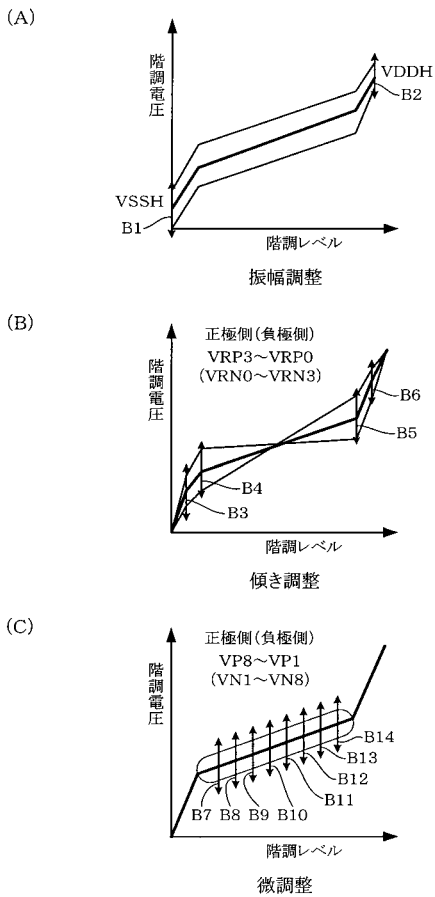
【図11】



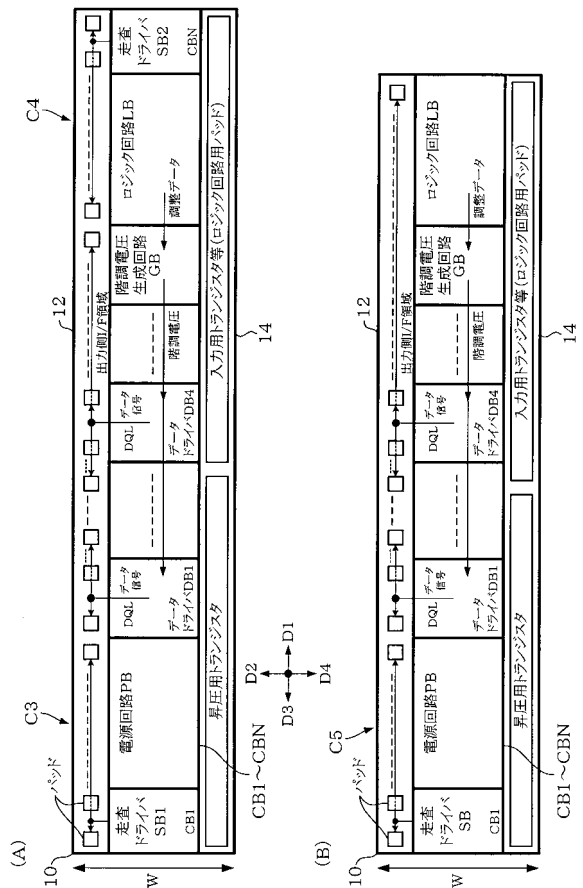
【図12】



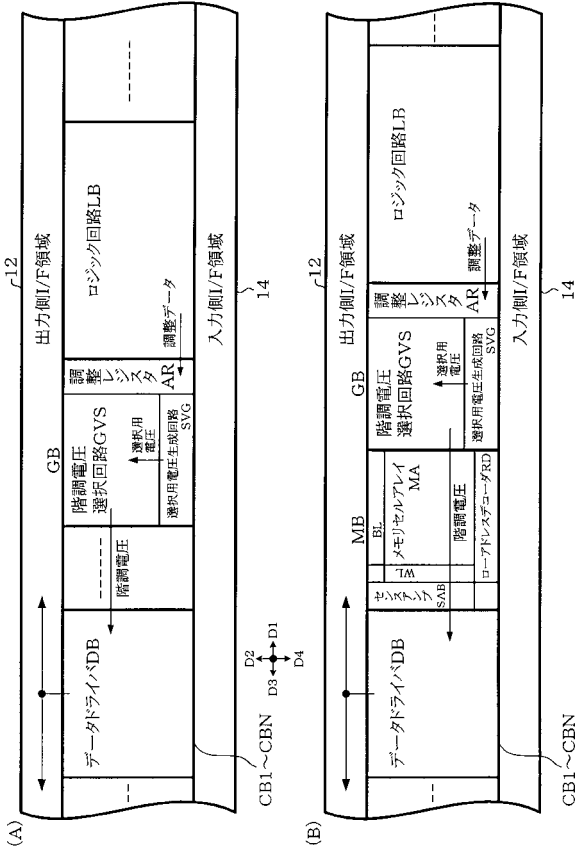
【図13】



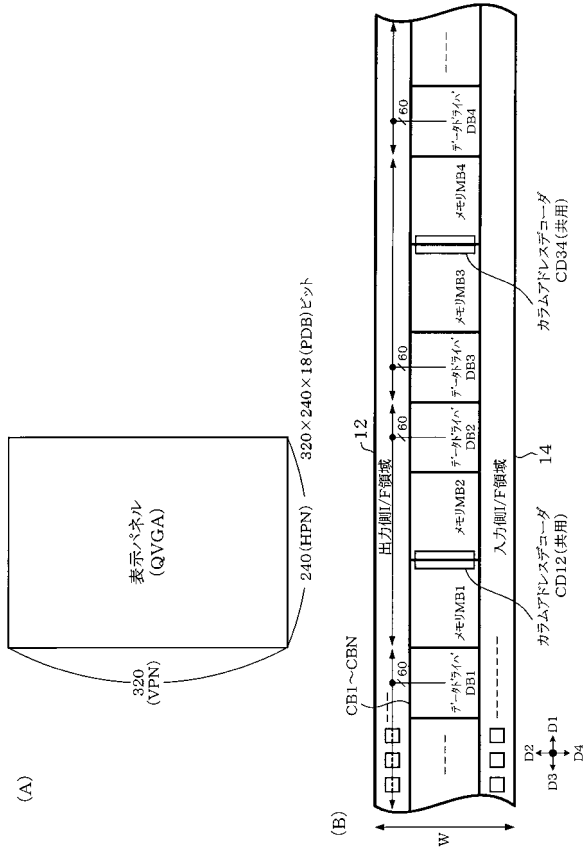
【図14】



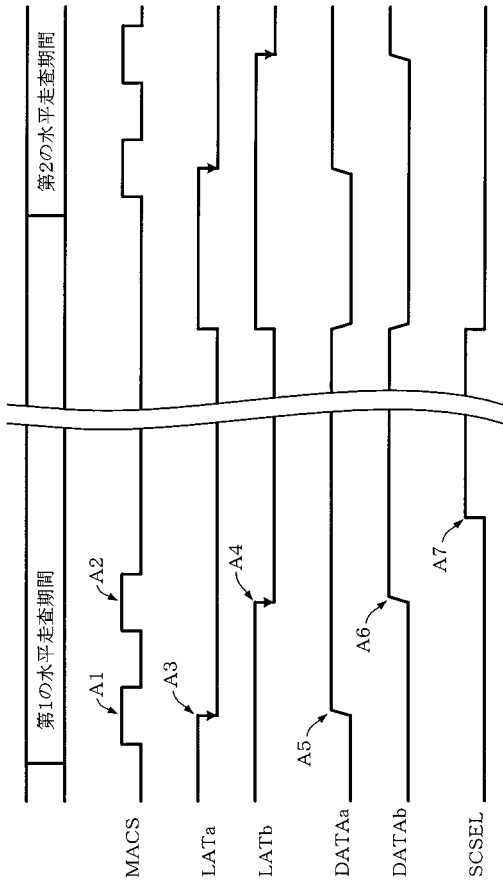
【図15】



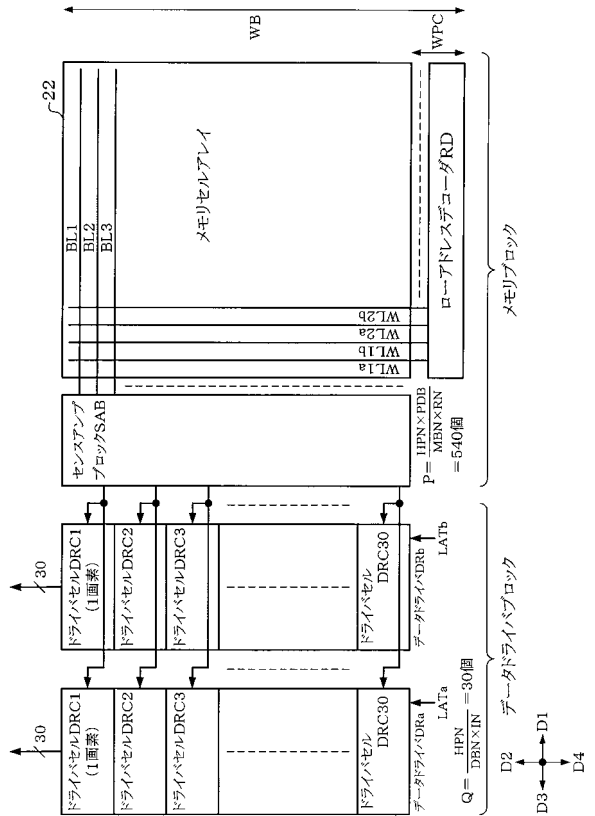
【図16】



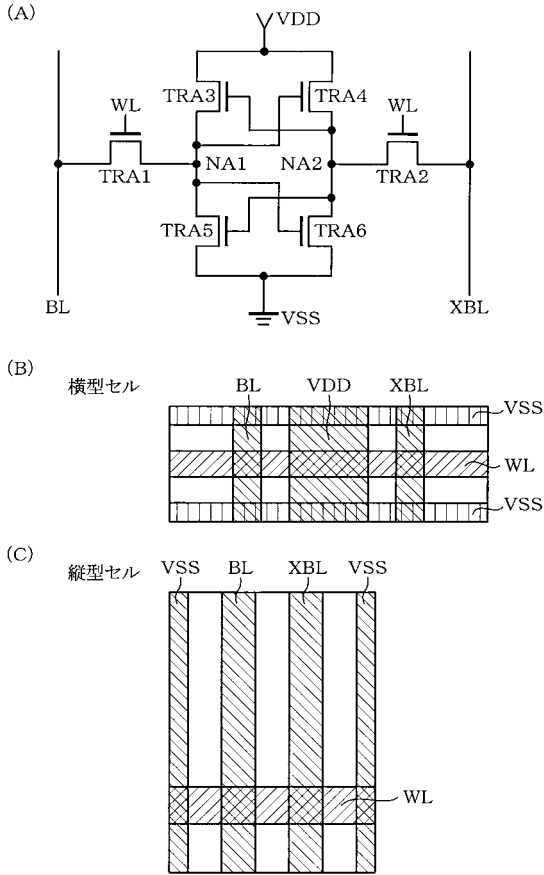
【図17】



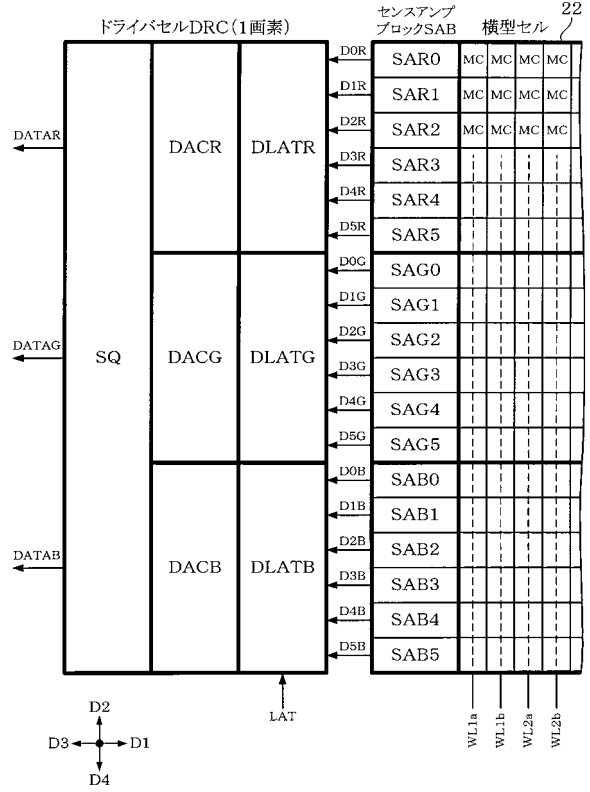
【図18】



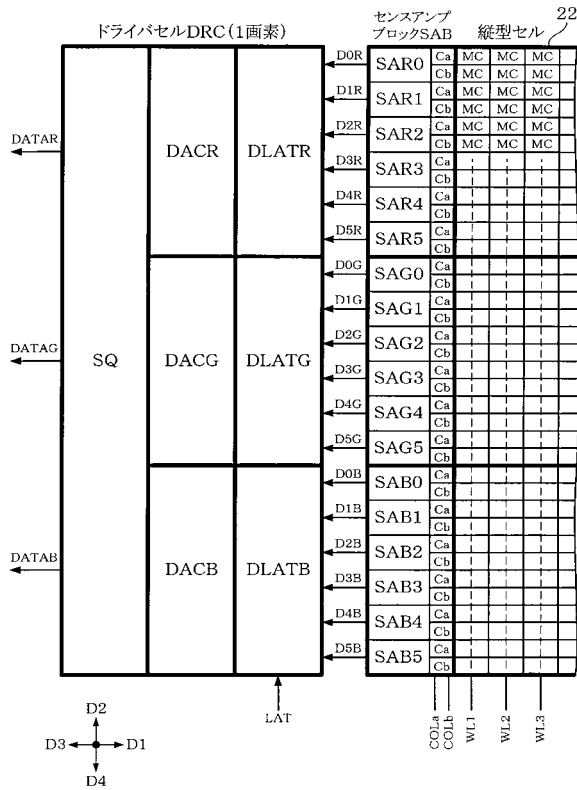
【図19】



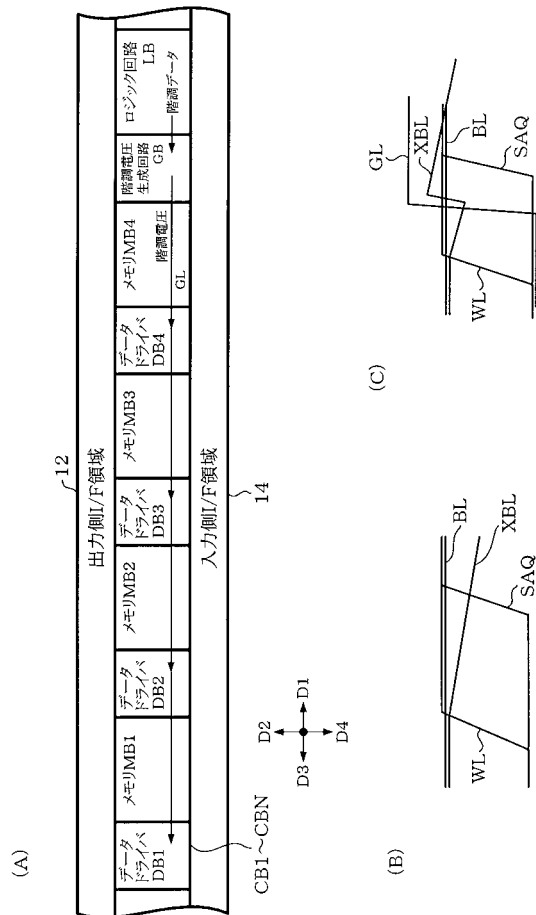
【図20】



【図21】

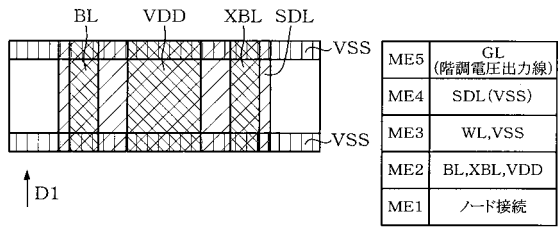


【図22】

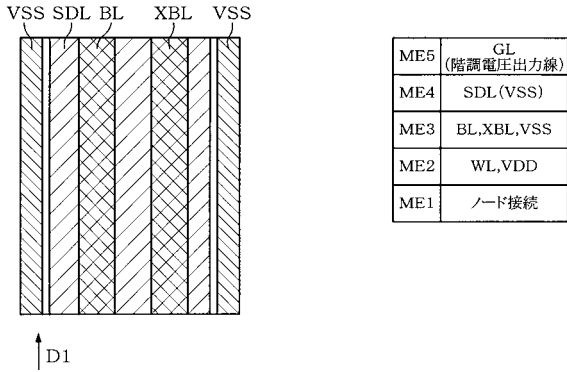


【図23】

(A) 横型セル

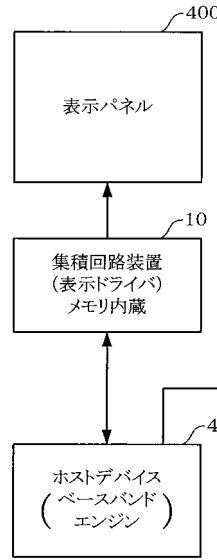


(B) 縦型セル

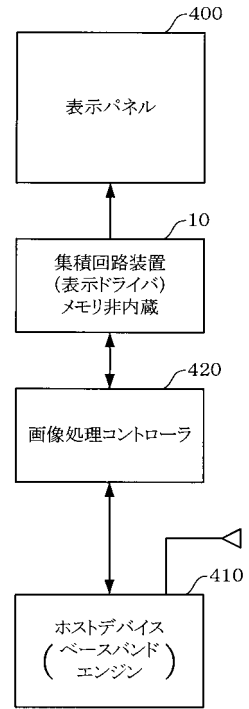


【図24】

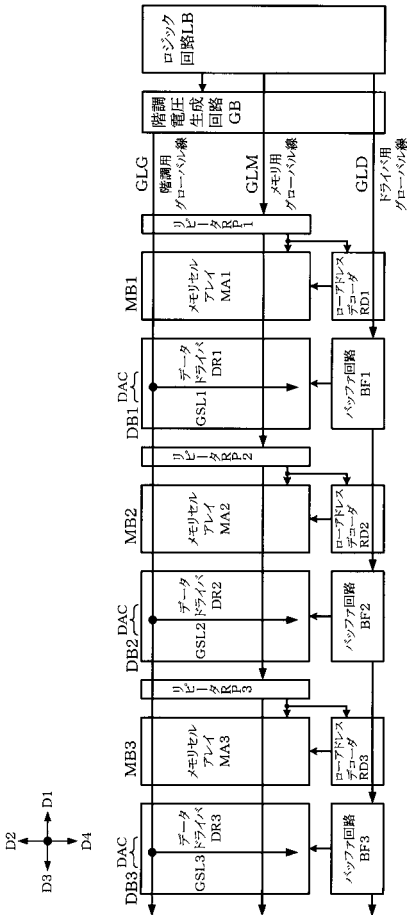
(A)



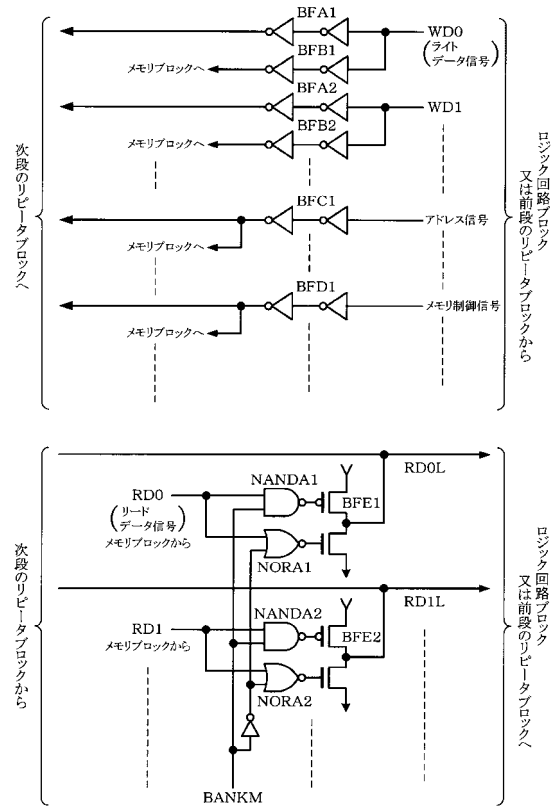
(B)



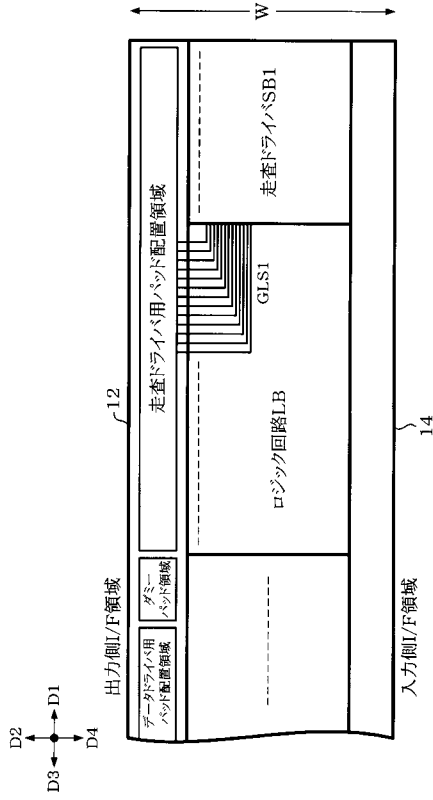
【図25】



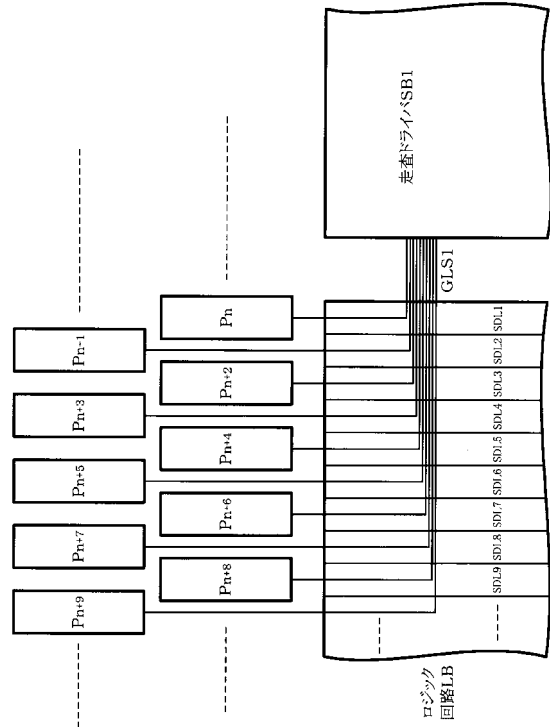
【図26】



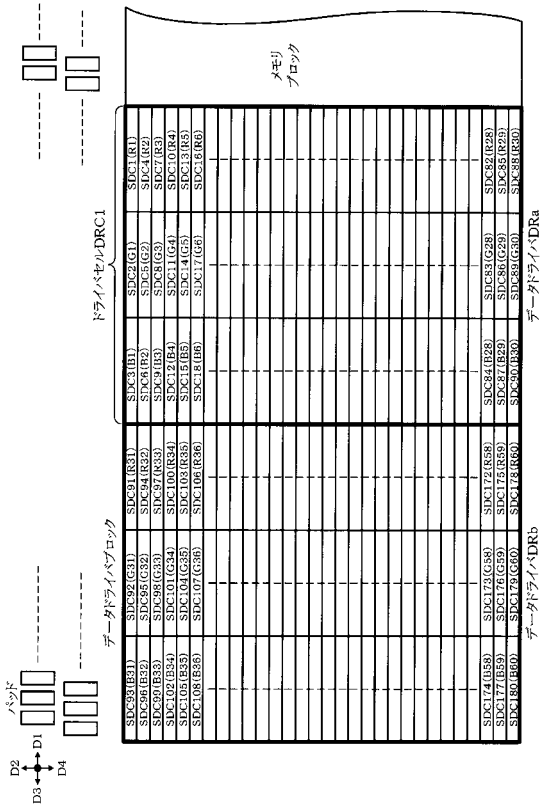
【図 27】



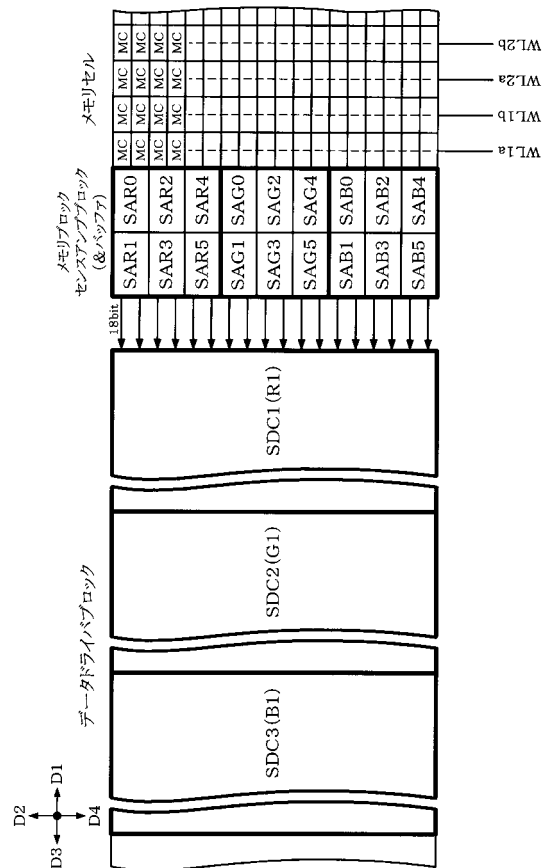
【図 28】



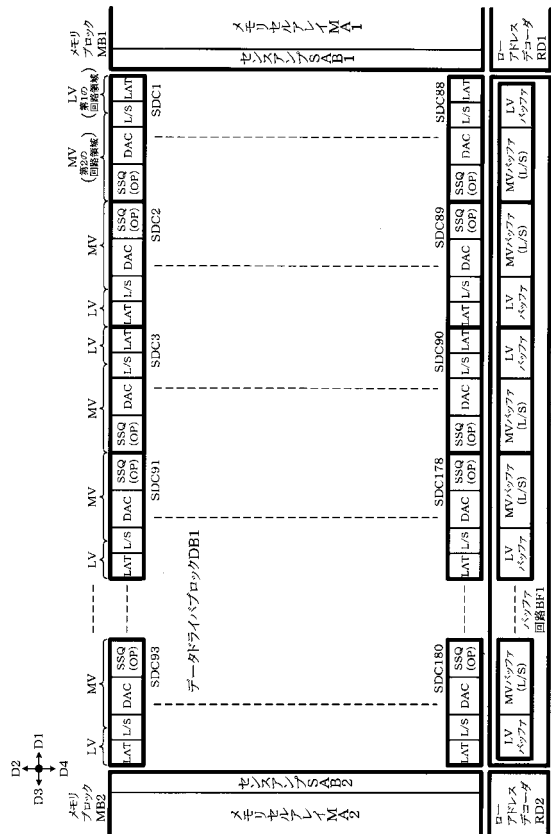
【図 29】



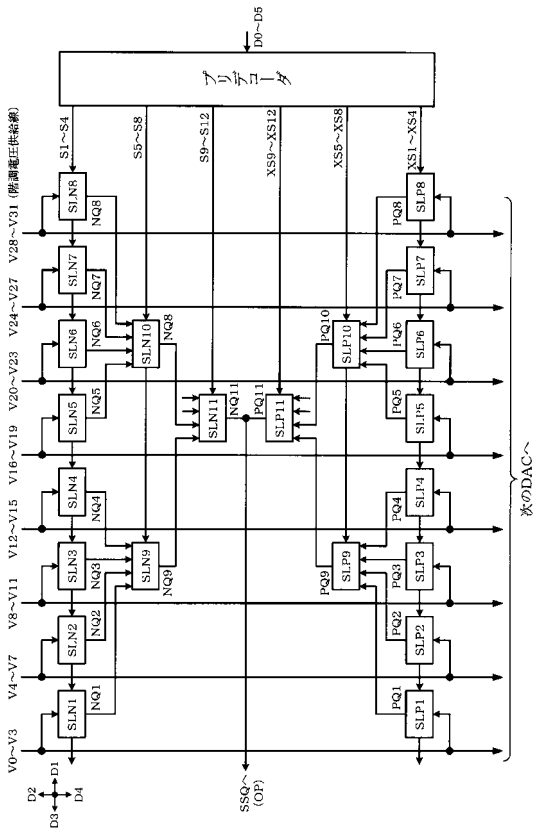
【図 30】



【図31】



【図32】

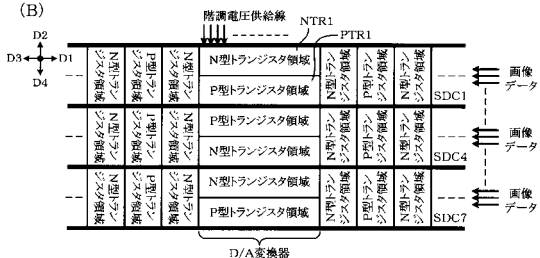


【図33】

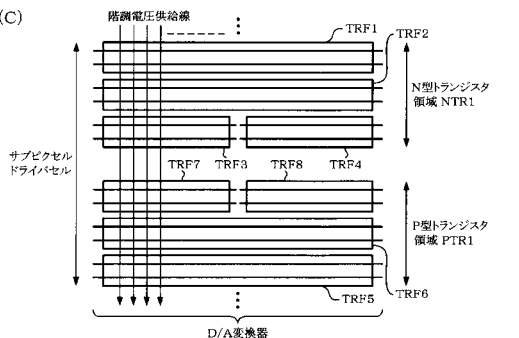
(A)

D0	D1	D2	D3	D4	D5	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12
0	0	0	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0
1	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	1	1	0	0	0	1	1	0	0
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	1	0	0	0	1	0	0	1	0	0	0
0	1	1	0	0	0	0	0	1	0	0	1	0	0	1	0	0	0
1	1	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0
1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	1	1	0	0	1	1	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	1	0	0	0	1	0	0	0	1	1	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

(B)



(C)



フロントページの続き

- (51)Int.Cl. F I
 G 0 9 G 3/20 6 3 1 B
 G 0 9 G 3/20 6 2 3 F
 G 0 9 G 3/20 6 2 1 M
 G 0 9 G 3/20 6 8 0 G
- (72)発明者 石山 久展
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 前川 和広
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 伊藤 悟
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 藤瀬 隆史
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 唐澤 純一
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 小平 寛
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 牧 克彦
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 森口 昌彦
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 井富 登
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 小川 浩史

- (56)参考文献 特開2002-182232(JP,A)
 特開2003-23092(JP,A)
 特開2004-95577(JP,A)
 特開2007-43029(JP,A)
 特開2007-43030(JP,A)
 特開2007-43031(JP,A)
 特開2007-241218(JP,A)
 特許第4010336(JP,B2)
 特許第4158815(JP,B2)
 特許第4158816(JP,B2)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 2 0 - 3 / 3 8