

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-277371

(P2005-277371A)

(43) 公開日 平成17年10月6日(2005.10.6)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/20	HO 1 L 21/20	5 F 0 5 2
HO 1 L 21/322	HO 1 L 21/322 Z	5 F 1 1 0
HO 1 L 21/324	HO 1 L 21/324 P	
HO 1 L 21/336	HO 1 L 29/78 6 2 7 E	
HO 1 L 29/786	HO 1 L 29/78 6 2 7 B	

審査請求 未請求 請求項の数 9 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-261824 (P2004-261824)
 (22) 出願日 平成16年9月9日(2004.9.9)
 (31) 優先権主張番号 特願2004-50391 (P2004-50391)
 (32) 優先日 平成16年2月25日(2004.2.25)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100080953
 弁理士 田中 克郎
 (74) 代理人 100093861
 弁理士 大賀 眞司
 (72) 発明者 宮下 一幸
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 5F052 AA02 BA02 BA07 BB07 CA02
 DA02 DB03 EA15 EA16 FA19
 JA01

最終頁に続く

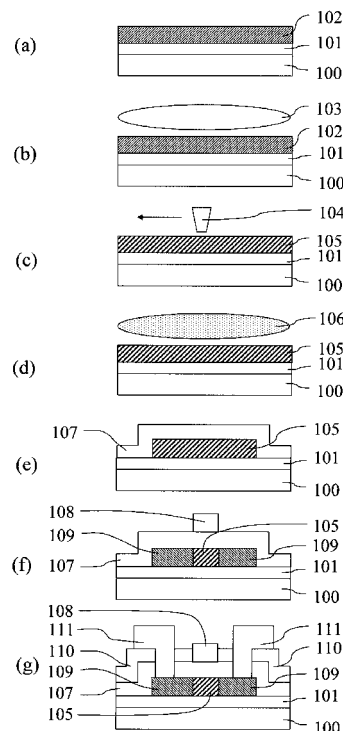
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造工程において、半導体層膜中に不純物が混入することを防ぐ。

【解決手段】 半導体層を形成する第1工程と、該半導体層内部から水素を除去する第2工程と、水素プラズマに曝す等によって該半導体層の表面に水素等の元素を結合させて終端化するための第3工程とからなる半導体装置の製造方法であって、少なくとも上記第2工程と上記第3工程は大気から隔離された環境下で連続して行われる。本プロセスによれば、大気中に含まれる不純物が半導体膜表面に結合することを防ぐことができるとともに、上記第3工程に続く第4工程としての光照射による結晶化において、半導体層中に不純物が混入(拡散)することを防げる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

薄膜の半導体層を形成する第 1 工程と、前記半導体層内部から水素を除去する脱水素処理を行う第 2 工程と、前記脱水素処理によって活性化した半導体層の表面に原子又は分子を結合させて該半導体層表面の結合手を終端させる終端化処理を行う第 3 工程を含み、少なくとも前記第 2 工程と前記第 3 工程とが、大気から隔離された環境下で連続的に行われることを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 3 工程に続いて、更に前記半導体層に光を照射して結晶化させる結晶化処理を行う第 4 工程を含む請求項 1 記載の半導体装置の製造方法。

10

【請求項 3】

前記第 4 工程は、前記第 3 工程に続いて大気から隔離された環境下で連続的に行われることを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】

前記第 3 工程は、前記半導体層の表面を水素プラズマに曝す工程であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】

前記第 3 工程は、前記半導体層の表面を、水素を含む雰囲気中で加熱することを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記第 3 工程は、前記半導体層の表面を、水素を含む雰囲気に曝すことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

20

【請求項 7】

前記第 3 工程は、前記半導体層の表面を酸素プラズマに曝す工程であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 8】

前記第 3 工程は、前記半導体層の表面を窒素プラズマに曝す工程であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記第 3 工程は、前記半導体層の表面をアンモニアプラズマに曝す工程であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、より具体的には薄膜トランジスタの製造方法に関する。

【背景技術】

【0002】

従来、半導体装置としての薄膜トランジスタの製造プロセスにおいては、例えば、後にトランジスタのチャネル部となる半導体層を形成する工程と、光（特にレーザー）照射によって半導体層を結晶化させる工程とを含んでいる。これ等の工程は異なる装置で行われており、これ等の工程間で基板は大気に曝されて、半導体層表面には、雰囲気中のヒドロカーボンやボロン、リン、水等の不純物が結合する。故に上記結晶化による半導体層の溶解・固化によって、半導体層の膜中には多量の不純物が混入するという問題がある。

40

【0003】

この問題を解決するために、例えば、特開平 3 - 289140 号は、半導体層を形成する工程と、レーザー結晶化させる工程とを大気に曝すことなく連続で行う方法を提案している。

【0004】

また、半導体層中への不純物の混入を防止するために、例えば特開平 6 - 342757

50

号は、半導体層を形成する工程と、アニールもしくは赤外線ランプ等の加熱による脱水素処理工程と、レーザ結晶化工程とを、大気に曝すことなく連続で行う方法も提案している。

【特許文献1】特開平3-289140公報

【特許文献2】特開平6-342757公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述した半導体層形成工程、脱水素処理工程、レーザ結晶化工程等を大気に曝すことなく連続で行っても、チャンバ内に不純物が存在するために、半導体層膜中の不純物をそれ程低減させることができない。

【0006】

よって、本発明は、半導体層中の不純物をより低減することを可能とした半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段及び作用・効果】

【0007】

上記目的を達成するため本発明の半導体装置の製造方法は、薄膜の半導体層を形成する第1工程と、上記半導体層内部から水素を除去する脱水素処理を行う第2工程と、脱水素処理によって活性化した上記半導体層の表面に原子(元素)又は分子を結合させて該半導体層表面の結合手を終端させる終端化処理を行う第3工程とを含み、少なくとも上記第2工程と上記第3工程とが、大気から隔離された環境下で連続して行われる。

【0008】

上記プロセスによれば、半導体層表面が不活性化されるので大気中や半導体製造装置の雰囲気中の不純物が半導体層表面に結合することを防ぐことができる。

【0009】

また、本発明の半導体装置の製造方法は、水素を含み得る環境下で半導体層を形成する第1工程と、上記半導体層内部から水素を除去する第2工程と、水素が除去された上記半導体層の表面に原子(元素)又は分子を結合させて該半導体層表面の結合手を終端させる第3工程とを含み、少なくとも上記第2工程と上記第3工程とを大気から隔離された環境下で連続して行い、上記第3工程に続いて、更に上記半導体層に光を照射して結晶化させる第4工程を含む。

【0010】

上記プロセスによれば、大気中や半導体製造装置中の雰囲気中に存在する不純物が、半導体層表面に結合することを防いだ状態で、半導体層の結晶化を行うことができる。

【0011】

また、本発明の半導体装置の製造方法は、上記第3工程に続いて更に上記半導体層に光を照射して結晶化させる第4工程を含み、好ましくは上記第4工程は大気から隔離された環境下で連続的に行う。

【0012】

上記プロセスによれば、大気中や半導体製造装置の雰囲気中に存在する不純物が、半導体層表面に結合することを防いだ状態で、平坦性のよい半導体層の結晶化を行うことができる。

【0013】

また、本発明の半導体装置の製造方法は、上記第3工程(終端化処理)として、該半導体層表面を水素プラズマに曝すことによって、該半導体層表面の結合手を水素で終端させる。

【0014】

上記プロセスによれば、半導体膜表面の不对結合手を水素で終端して不活性化して、大気中に含まれる不純物が半導体膜表面に結合することを防ぐことができる。

【0015】

また、本発明の半導体装置の製造方法は、上記第3工程（終端化処理）として該半導体層の表面を水素を含む雰囲気下で加熱する。

【0016】

上記プロセスによっても、水素が除去された半導体膜表面の不对結合手を水素で終端して不活性化して、大気中に含まれる不純物が半導体膜表面に結合することを防ぐことができる。

【0017】

また、本発明の半導体装置の製造方法は、上記第3工程（終端化処理）として、該半導体層の表面を、水素を含む雰囲気に曝す。

【0018】

上記プロセスによっても、水素が除去された半導体膜表面の不对結合手を水素で終端して不活性化して、大気中に含まれる不純物が半導体膜表面に結合することを防ぐことができる。

【0019】

また、本発明の半導体装置の製造方法は、上記第3工程（終端化処理）として、該半導体層の表面を酸素プラズマに曝す。

【0020】

上記プロセスによれば、水素が除去された半導体膜表面の不对結合手を酸素で終端して不活性化して、大気中に含まれる不純物が半導体膜表面に結合することを防ぐことができる。

【0021】

また、本発明の半導体装置の製造方法は、上記第3工程（終端化処理）として、上記半導体層の表面を窒素プラズマに曝す。

【0022】

上記プロセスによれば、水素が除去された半導体膜表面の不对結合手を窒素で終端して不活性化して、大気中に含まれる不純物が半導体膜表面に結合することを防ぐことができる。

【0023】

また、本発明の半導体装置の製造方法は、上記第3工程（終端化処理）として、上記半導体層表面をアンモニアプラズマに曝す。

【0024】

上記プロセスによれば、水素が除去された半導体膜表面の不对結合手を窒素、水素及び NH_x （ x は1又は2）のうちの少なくともいずれかによって終端して不活性化して、大気中に含まれる不純物が半導体膜表面に結合することを防ぐことができる。

【発明を実施するための最良の形態】

【0025】

まず、本発明の着目点についてシリコン半導体を例にとって説明する。

【0026】

CVD法などによって成膜されたシリコン（半導体）層表面のシリコン原子のダングリングボンド（不对結合手）は図8（a）に示すように水素原子がシリコン原子と結合している。また、シリコン層内部には水素原子を多数含んでいる。このシリコン膜に対してレーザー結晶化を行う場合には、シリコン層内部に含有している水素原子を1at.%程度まで低減させる必要がある（脱水素処理）。しかしながら、この状態で図8（b）に示す脱水素処理を行うと半導体層表面の水素原子が除かれて表面が活性となり、図8（c）に示すように雰囲気中に存在する hidrocarbon や水、リン、ボロンなどの不純物を吸着しやすい状態となる。

【0027】

図9に示すように、プロセスの雰囲気中には hidrocarbon や水、リン、ボロンなどの不純物が微量ながら存在し、高真空中ではこれらの分圧が非常に高くなる。このような状態でレーザー結晶化を行うと、ダングリングボンドに結合した不純物がポリシリコン半導

10

20

30

40

50

体層中に拡散してしまい、薄膜トランジスタの電気特性に悪影響を与えることになる。

【0028】

そこで、本発明においては半導体層を形成する工程からレーザ結晶化を行う工程までのプロセスにおいて、半導体層の脱水素（脱不純物）処理後に活性化した表面の結合手（不対結合手）の終端化処理を行って当該表面を不活性化して、半導体層膜中に不純物が混入することを防止するものである。

【実施例1】

【0029】

本発明の第1の実施例について図1及び図3を参照して説明する。図1は本発明の第1の実施例の薄膜トランジスタの製造プロセスを説明する工程図である。図3はプロセス間の装置移動を説明する説明図である。

10

【0030】

後述するように第1の実施例では、半導体層表面の終端化処理を水素プラズマに曝すことによって行っている。

【0031】

図1(a)に示すように第1工程として、まず、基板100上に絶縁性物質である下地保護膜101を堆積する。基板100には300mm×300mmの正形状汎用無アルカリガラス基板100を用いる。本例では基板温度を430℃として平行平板プラズマCVD法にて、酸化シリコン膜を500nm程度堆積する。次に、後に薄膜トランジスタの能動層となる真性シリコン膜等の半導体膜102を堆積する。本例では下地保護膜101の堆積と連続して平行平板プラズマCVD法にて同一室内で堆積する。下地保護膜101を堆積した後、まず真空引きとAr封入を二回繰り返し、室内をArにて置換し、下地保護膜の形成時に使用したO₂等のガスを室内より排出する。次に原料ガスであるシラン(SiH₄)を100sccm流し、430℃の堆積温度で60秒間の処理を行なうことで非晶質シリコン膜102をおよそ50nm堆積する。

20

【0032】

次に、第2工程（脱水素処理）として、水素を除去するために、図3に示す脱水素処理室300に基板を真空中（減圧環境下）にて搬送し、490℃で10分間基板加熱を行なう。これによって半導体膜中の水素含有量が1atm.%程度となり、レーザ結晶化が可能となる。

30

【0033】

次に、図1(b)に示すように第3工程（終端化処理）として、図3に示す脱水素処理室300から終端化処理室301に基板を真空中（減圧環境下）にて搬送し、非晶質シリコン膜102に対して水素プラズマ処理103を行なう。まず、基板をプラズマ処理室にセットし、この室内に水素ガスを導入する。例えば99.999%水素ガスをマスフローコントローラから導入し、ガス流量は1000sccmとする。処理室内圧力は1torrになるように調整する。室内のガス圧力が安定したらRF放電を開始し、非晶質シリコン膜表面を、水素で終端する。例えば基板温度は350℃とし、投入したRFパワーは0.05W/cm²とする。発生させた活性種により、10秒の処理時間で非晶質シリコン膜表面は十分不活性化する。

40

【0034】

上述した、第2工程による水素の除去と、第3工程の水素による半導体層の終端化処理を、図10を参照して説明する。シランガスを用いたCVD法などの水素を含み得る環境下で形成した半導体層表面には図10(a)に示すように水素原子がシリコン原子のダングリングボンドと結合している。この状態で図10(b)に示す脱水素処理を行うと半導体層表面の水素が除かれた表面が活性となり、真空中の不純物が結合してしまう。従って、図10(c)及び図10(d)に示すように水素元素で終端化する。

【0035】

次に、図1(c)に示すように第4工程として、真空中（減圧環境下）にて図3に示す光照射室302に搬送し、レーザ光104の照射によって結晶化を行なう。本例ではキセ

50

ノン・クロライド (XeCl) のエキシマレーザ (波長: 308 nm) を照射する。レーザパルスの強度半値幅 (時間に対する半値幅) は 25 ns である。レーザ照射面積は長さ 150 mm × 幅 0.4 mm のライン状で、照射面でのエネルギー密度は 420 mJ/cm² とする。このレーザ光を 96.25% ずつ重ねつつ (つまり照射するごとに 15 μm ずつ) 相対的にずらしながら照射を繰り返す。こうして一辺 300 mm の基板全体の非晶質シリコン膜 102 を結晶化シリコン膜 105 とする。

【0036】

以上の処理においては半導体層表面を不活性化することによって、大気中あるいは雰囲気中にある不純物の侵入が防止されている。

【0037】

なお、本実施例では、半導体層堆積室及び脱水素処理室 300 及び終端化処理室 301 及び光照射室 302 はそれぞれ異なる空間を設けたが、これらを同一空間で行なってもよい。

【0038】

次に、図 1 (d) に示すように、結晶化したシリコン半導体層中に多量に導入された捕獲準位を終端するためにプラズマ処理を行なう。本例では、レーザ結晶化後、上記プラズマ処理室と同一の室によって、大気に曝すことなく連続で酸素プラズマ処理を行う。酸素プラズマ処理は、基板をプラズマ処理室にセットし、この室内に酸素ガスを導入する。例えば 99.999% 酸素ガスをマスフローコントローラから導入し、ガス流量は 1000 sccm とする。処理室内圧力は 1 torr になるように調整する。室内のガス圧力が安定したら RF 放電を開始し、酸素プラズマ 106 を発生させてレーザ結晶化 poly-Si 膜中の捕獲準位の終端を行う。基板温度は 350 とし、投入した RF パワーは 0.15 W/cm² とする。発生させた活性種により、600 秒の処理時間で poly-Si 膜の捕獲準位を十分低い密度にまで不活性化する。酸素プラズマ処理は、一旦大気に曝して別の装置で行なっても構わない。この場合には、装置に入れる前に半導体層に形成された自然酸化膜を除去するために希フッ酸等で洗浄することが望ましい。

【0039】

次に、図 1 (e) に示すように poly-Si 膜 105 を素子分離するためにエッチングを行ない、続いてゲート絶縁膜 107 を堆積する。例えば絶縁膜堆積室内にシランガスと酸素ガスを流量比 1:6 で導入し、堆積室内圧力を 2×10^{-3} Torr に調節する。室内のガス圧力が安定したら ECR 放電を開始し、絶縁膜の成膜を開始する。投入したマイクロ波パワーは 1 kW で、マイクロ波は磁力線に平行に導入窓から導入する。導入窓から 14 cm の位置に ECR ポイントがある。成膜は 100 nm/min. の成膜速度で行う。これにより、ゲート絶縁膜 107 を 100 nm 堆積する。

【0040】

次に、図 1 (f) に示すようにゲート電極 108 となる薄膜を PVD 法や CVD 法などで堆積する。通常はゲート電極とゲート配線は同一材料にて同一工程で作られるため、この材質は電気抵抗が低く、350 程度の熱工程に対して安定であることが望まれる。本例では膜厚が 600 nm のタンタル薄膜をスパッタ法により堆積する。タンタル薄膜を堆積する際の基板温度は 180 であり、スパッタガスとして窒素ガスを 6.7% 含むアルゴンガスを用いる。このように堆積したタンタル薄膜は結晶構造が 構造となっており、その比抵抗はおよそ 40 μΩ/cm である。ゲート電極となる薄膜に対し堆積後パターンニングを行い、引き続いて半導体膜に不純物イオン注入を行ってソース・ドレイン領域 109 及びチャンネル領域 105 を形成する。この時ゲート電極がイオン注入のマスクとなっているため、チャンネルはゲート電極下のみ形成される自己整合構造となる。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度 0.1% 程度から 10% 程度のホスフィン (PH₃) やジボラン (B₂H₆) 等の注入不純物の水素化物を用いる。本例では NMOS 形成を目指し、イオン・ドーピング装置を用いて、水素中に希釈された濃度 5% のホスフィン (PH₃) を加速電圧 100 keV で注入する。PH₃⁺ や H₂⁺ イオンを含む全イオン注入量は 1×10^{16} cm⁻² である。

10

20

30

40

50

【0041】

次に、図1(g)に示すように層間絶縁膜110を堆積し、ソース・ドレイン109上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極111と配線をPVD法やスパッタ法などで形成して薄膜トランジスタが完成する。

【0042】

本実施例の効果を図面によって説明する。図12はSIMS(Secondary Ion Mass Spectrometry)分析によるシリコン薄膜トランジスタ中のリン元素の分析結果を示す。図12において、横軸はシリコン薄膜トランジスタの表面からの深さ(Depth)を表し、縦軸はリン元素の濃度(Concentration)を表す。図中の破線Aは、本実施例を適用しなかった場合、即ち、水素による終端化処理(第3工程)を実施しなかった場合のリン元素のプロファイルを示す。実線Bは本実施例によるリン元素のプロファイルを示すが、第3工程を実施しなかった場合に比べて、トランジスタ層の、例えば、20nmの位置において1/5程度に減少しており、明らかに不純物であるリン元素の濃度が低下している。本分析結果より、半導体膜中の不純物を減少させるという本発明の効果が確認された。

10

【0043】

同様に、炭素元素のSIMS分析結果を図13に示す。図13において、破線Cは本実施例を適用しなかった場合、即ち、水素による終端化処理(第3工程)を実施しなかった場合の炭素元素のプロファイルを示す。実線Dは本実施例による炭素元素のプロファイルを示すが、第3工程を実施しなかった場合に比べて、トランジスタ層の、例えば、20nmの位置において5/6程度に減少しており、不純物である炭素元素の濃度が低下している。本分析結果によっても、本実施例の効果が確認された。

20

【実施例2】

【0044】

第2の実施例について図2及び図3を参照して説明する。図2は本発明の第2の実施例を説明する工程図であり、同図において図1と対応する部分は同一符号を付し、かかる部分の説明は省略する。

【0045】

第2の実施例は半導体層表面の終端化処理を水素を含む雰囲気下で加熱することによって行っている。

30

【0046】

すなわち第3工程(終端化処理)として、脱水素処理室300から終端化処理室301に基板を真空中(減圧環境下)にて搬送し、終端化処理室301では図2(b)に示すように水素を含む雰囲気201で加熱を行なう。本例では、この室内に水素と窒素をそれぞれ3%、97%の割合で混合したガスを導入する。水素と混合するガスは窒素以外に、ヘリウム等の希ガスのように半導体層に対して不活性な気体であることが好ましい。また、水素ガスは希釈しなくても良い。加熱温度は、350以上とすると、表面に結合した水素が再び脱離してしまうため、350以下が好ましい。処理時間は、タクトタイムから考えて20分以内であることが好ましい。このような加熱方法によって、非晶質シリコン膜表面は十分不活性化する。脱水素処理室300と終端化処理室301は異なる温度設定であるため、異なる室として設けることがタクトタイムを考慮する上で好ましい。他の工程は第1の実施例(図1)と同様である。

40

【0047】

本実施例によっても、水素が除去された半導体膜表面の不对結合手を水素で終端化し、大気中や半導体製造装置中の雰囲気中に存在する不純物が半導体膜表面に結合することを防ぐことができる。

【実施例3】

【0048】

第3の実施例について図2及び図4を参照して説明する。図4はプロセス間の装置移動を説明する説明図であり、同図において図3と対応する部分は同一符号を付し、かかる部

50

分の説明は省略する。

【0049】

第3の実施例は半導体層表面の終端化処理を水素を含む雰囲気中に曝すことによって行っている。

【0050】

すなわち、第3工程（終端化処理）として脱水素処理室300より取り出し、真空中（減圧環境下）にて図4に示す搬送室401を介して光照射室302に搬送する。この時、搬送室401は水素を含む雰囲気201とする。本例では、この室内に水素と窒素をそれぞれ3%、97%の割合で混合したガスとする。水素と混合するガスは、窒素やヘリウム等の希ガスのように半導体層に対して不活性な気体であることが好ましい。また、水素ガスは希釈しなくても良い。脱水素処理室より取り出した基板は、400程度の高い温度を有しているため、搬送室を通過するだけで、半導体層表面は水素によって不活性化されることになり、終端化処理が行われる。他の工程は第1の実施例（図1）と同様である。

10

【0051】

本実施例によっても、水素が除去された半導体膜表面の不对結合手を水素で終端化し、大気中や半導体製造装置中の雰囲気中に存在する不純物が半導体膜表面に結合することを防ぐことができる。

【実施例4】

【0052】

第4の実施例について図5及び図3を参照して説明する。図5は本発明の第4の実施例を説明する工程図であり、同図において図1と対応する部分は同一符号を付し、かかる部分の説明は省略する。

20

【0053】

第4の実施例は半導体層表面の終端化処理を酸素プラズマに曝すことによって行っている。

【0054】

すなわち、第3工程（終端化処理）として、脱水素処理室300から終端化処理室301に基板を搬送し、非晶質シリコン膜102に対して、図5（b）に示すように酸素プラズマ処理501を行なう。まず基板をプラズマ処理室にセットし、この室内に酸素ガスを導入する。99.999%酸素ガスをマスフローコントローラから導入し、ガス流量は1000sccmとする。処理室内圧力は1torrになるように調整する。室内のガス圧力が安定したらRF放電を開始し、非晶質シリコン膜表面を酸素プラズマ処理501によってクリーニングし、酸化する。本処理により、酸素で終端化する。基板温度は350とし、投入したRFパワーは0.1W/cm²とする。発生させた活性種により、120秒の処理時間で非晶質シリコン膜表面は十分不活性化する。これによって、非晶質シリコン膜表面には、酸化シリコン膜が形成されることになるが、この酸化シリコン膜の膜厚が厚すぎると、次工程のレーザ照射において結晶化を阻害するため、形成する酸化シリコン膜は2nm以下であることが望ましい。

30

【0055】

第2工程（脱水素処理）による水素の除去と、本第3工程（終端化処理）の酸素による半導体層の終端化処理を、図11を参照して説明する。水素を含み得る環境下で形成したシリコンのシリコン原子のダングリングボンドには図11（a）に示すように水素元素がシリコン元素と結合している。この状態で図11（b）に示す脱水素処理を行うと半導体層表面の水素原子が除かれて表面が活性となり、図11（c）及び図11（d）に示すように雰囲気中に存在する酸素元素で終端化する。他の工程は第1の実施例（図1）と同様である。

40

【0056】

本実施例によれば、水素が除去された半導体膜表面の不对結合手を酸素で終端化し、大気中や半導体製造装置中の雰囲気中に存在する不純物が半導体膜表面に結合することを防ぐことができる。

50

【実施例 5】

【0057】

本発明の第5の実施例について図6を参照して説明する。図6は本発明の第5の実施例の薄膜トランジスタの製造プロセスを説明する工程図である。

【0058】

第5の実施例は基板として石英ガラス基板を用いている。また、第5の実施例は水素によって半導体層表面の終端化処理を行っている。

【0059】

基板600には8インチの石英ガラス基板600を用いる。第1工程として、図6(a)に示すように、まず、基板600上に減圧CVD法によって非晶質シリコン膜601をおよそ50nm堆積する。

【0060】

次に、図6(b)に示すように、600以上の加熱によって非晶質シリコン膜601を固層成長によって結晶化602する。なお、この加熱工程は、結晶化シリコン膜602から、水素を除去するための第2工程(脱水素処理)を兼ねている。

【0061】

次に、図6(c)に示すように、大気に曝すことなく第3工程(終端化処理)に基板を搬送し、活性となった結晶化シリコン膜602表面を水素によって終端化603する。この方法としては、たとえば、実施例1で示した水素プラズマ処理、若しくは、実施例2で示した水素を含む雰囲気での加熱、若しくは、実施例3で示した水素を含む雰囲気での搬送によって行なう。

【0062】

次に、大気に曝すことなく基板600を絶縁膜堆積室へ搬送する。室内にシランガスと酸素ガスを流量比1:6で導入し、堆積室圧力を 2×10^{-3} Torrに調節する。室内のガス圧力が安定したらECR放電を開始し、絶縁膜の成膜を開始する。投入したマイクロ波パワーは1kWで、マイクロ波は磁力線に平行に導入窓から導入する。導入窓から14cmの位置にECRポイントがある。成膜は100nm/min.の成膜速度で行う。これにより、図6(d)に示すように、第1ゲート絶縁膜604を30nm堆積する。

【0063】

次に、図6(e)に示すように、poly-Si膜と第1ゲート絶縁膜604を素子分離するためにエッチングを行う。続いて第2ゲート絶縁膜605を本例ではPECVD法で350として80nm堆積する。原料ガスとしてはTEOSとO₂の混合ガスを用いる。

【0064】

次に、図6(f)に示すように、ゲート電極606となる薄膜をPVD法やCVD法などで堆積する。通常はゲート電極とゲート配線は同一材料にて同一工程で作られるため、この材質は電気抵抗が低く、350程度の熱工程に対して安定であることが望まれる。本例では膜厚が600nmのタンタル薄膜をスパッタ法により堆積する。タンタル薄膜を堆積する際の基板温度は180であり、スパッタガスとして窒素ガスを6.7%含むアルゴンガスを用いる。このように堆積したタンタル薄膜は結晶構造が構造となっており、その比抵抗はおよそ40 μ cmである。次にゲート電極となる薄膜に対し堆積後パターンニングを行い、引き続き半導体膜に不純物イオン注入を行ってソース・ドレイン領域607及びチャンネル領域602を形成する。この時ゲート電極がイオン注入のマスクとなっているため、チャンネルはゲート電極下のみに形成される自己整合構造となる。イオン・ドーピング法の原料ガスとしては水素中に希釈された濃度0.1%程度から10%程度のホスフィン(PH₃)やジボラン(B₂H₆)等の注入不純物の水素化物を用いる。本例ではNMO形成を目指し、イオン・ドーピング装置を用いて、水素中に希釈された濃度5%のホスフィン(PH₃)を加速電圧100keVで注入する。PH₃⁺やH₂⁺イオンを含む全イオン注入量は 1×10^{16} cm⁻²である。

【0065】

10

20

30

40

50

次に、図6(g)に示すように層間絶縁膜608を堆積し、ソース・ドレイン上にコンタクトホールを開孔し、ソース・ドレイン取り出し電極609と配線をPVD法やスパッタ法などで形成して薄膜トランジスタが完成する。

【0066】

本実施例によれば、水素が除去された半導体膜表面の不对結合手を水素で終端化し、大気中や半導体製造装置中の雰囲気中に存在する不純物原子や分子が半導体膜表面に結合することを防ぐことができる。

【実施例6】

【0067】

本発明の第6の実施例を図7を参照して説明する。図7は本発明の第6の実施例を説明する工程図であり、同図において図6と対応する部分は同一符号を付し、かかる部分の説明は省略する。

10

【0068】

第6の実施例は基板として石英ガラス基板を用いている。また、第6の実施例は半導体層表面の終端化処理を酸素プラズマに曝すことによって行っている。

【0069】

すなわち、第3工程(終端化処理)として、活性となった多結晶シリコン膜表面に対して酸素プラズマ処理701を行なう。まず基板をプラズマ処理室にセットし、この室内に酸素ガスを導入する。99.999%酸素ガスをマスフローコントローラから導入し、ガス流量は1000sccmとする。処理室内圧力は1torrになるように調整する。室内のガス圧力が安定したらRF放電を開始し、多結晶シリコン膜表面を酸素プラズマ701によってクリーニングし、酸化する。基板温度は350とし、投入するRFパワーは0.1W/cm²とする。発生させた活性種により、120秒の処理時間で非晶質シリコン膜表面は十分不活性化する。

20

【0070】

この酸素プラズマ処理701によって形成された酸化シリコン膜は、第1ゲート絶縁膜604となる。他の工程は第5の実施例(図6)と同様である。

【0071】

本実施例によれば、水素が除去された半導体膜表面の不对結合手を酸素で終端化し、大気中や半導体製造装置中の雰囲気中に存在する不純物原子や分子が半導体膜表面に結合することを防ぐことができる。

30

【実施例7】

【0072】

第7の実施例では、上述した第3工程の半導体層の表面終端化処理として窒素プラズマを使用する。終端化処理の条件としては、例えば、窒素ガスをマスフローコントローラから導入し、ガス流量は1000sccmとする。処理室内圧力は1Torrになるように調整する。室内のガス圧力が安定したらRF放電を開始し、非晶質シリコン膜表面を窒素で終端する。例えば、基板温度は350とし、投入したRFパワーは0.15W/cm²とする。発生させた活性種により、10秒の処理時間で非晶質シリコン膜表面は十分不活性化する。この窒素プラズマ処理によって形成された窒化シリコン膜は、ゲート絶縁膜(ゲート絶縁膜の一部)とすることができる。

40

【0073】

本実施例によれば、脱水素処理によって活性となった非晶質シリコン膜表面を窒素原子によって終端化し、大気中や半導体製造装置中の雰囲気中に存在する不純物原子や分子が半導体膜表面に結合することを防ぐことができる。他の工程は既述実施例と同様である。

【実施例8】

【0074】

第8の実施例では、上述した第3工程の半導体層の表面終端化処理としてアンモニア(NH₃)プラズマを使用する。終端化処理の条件としては、例えば、アンモニアガスをマスフローコントローラから導入し、ガス流量は1000sccmとする。処理室内圧力は

50

1 Torrになるように調整する。室内のガス圧力が安定したらRF放電を開始し、非晶質シリコン膜表面を窒素もしくは水素もしくは NH_x (x は1又は2)によって終端する。例えば、基板温度は350とし、投入したRFパワーは 0.15 W/cm^2 とする。発生させた活性種により、10秒の処理時間で非晶質シリコン膜表面は十分不活性化する。

【0075】

本実施例によれば、脱水素処理によって活性となった非晶質シリコン膜表面を窒素、水素及び NH_x (x は1又は2)のうちの少なくともいずれかによって終端化することにより、水素が除去された半導体膜表面の不对結合手を終端化し、大気中や半導体製造装置中の雰囲気中に存在する不純物原子や分子が半導体膜表面に結合することを防ぐことができる。他の工程は既述実施例と同様である。

10

【0076】

このように、上述した本実施例によれば、成膜した半導体層からの脱水素処理と半導体層表面の終端化処理(不活性化)とを大気から隔離された環境下で連続的に行うので、大気中や半導体製造装置の雰囲気中の不純物が半導体層表面に結合することを防止することができる。また、後段の結晶化工程において表面に付着した不純物が半導体層内部に拡散するという不具合も防止可能となる。

【図面の簡単な説明】

【0077】

【図1】図1は、第1の実施例における薄膜トランジスタの製造工程を説明する工程図である。

20

【図2】図2は、第2及び第3の実施例における薄膜トランジスタの製造工程を説明する工程図である。

【図3】図3は、第1、第3及び第4の実施例におけるプロセス間の装置移動を説明する説明図である。

【図4】図4は、第3の実施例におけるプロセス間の装置移動を説明する説明図である。

【図5】図5は、第4の実施例における薄膜トランジスタの製造工程を説明する工程図である。

【図6】図6は、第5の実施例における薄膜トランジスタの製造工程を説明する工程図である。

30

【図7】図7は、第6の実施例における薄膜トランジスタの製造工程を説明する工程図である。

【図8】図8は、発明の着目点を説明する説明図である。

【図9】図9は、雰囲気中の不純物の存在を説明する説明図である。

【図10】図10は、終端化処理を説明するための説明図である。

【図11】図11は、終端化処理を説明するための説明図である。

【図12】図12は、SIMS元素分析結果を示すグラフである。

【図13】図13は、SIMS元素分析結果を示すグラフである。

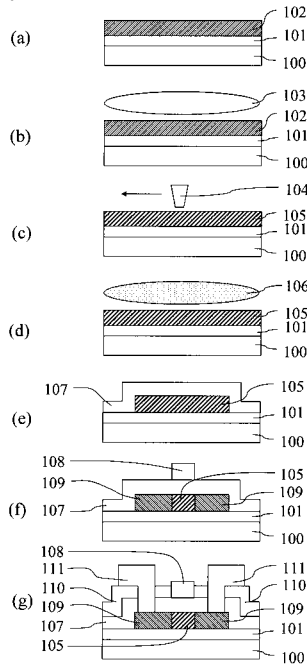
【符号の説明】

【0078】

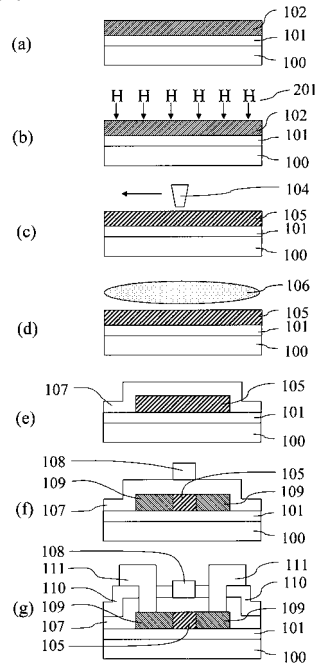
40

100, 600...基板、101...下地保護膜、102, 601...非晶質シリコン膜、103...水素プラズマ処理、104...光照射結晶化処理、105, 602...結晶化シリコン膜、106, 501, 701...酸素プラズマ処理、107...ゲート絶縁膜、108, 606...ゲート電極、109, 607...ソース・ドレイン領域、110, 608...層間絶縁膜、111, 609...ソース・ドレイン取り出し電極、201...水素含有雰囲気、603...水素終端化処理、604...第1ゲート絶縁膜、605...第2ゲート絶縁膜、300...脱水素処理室、301...終端化処理室、302...光照射室、401...搬送室

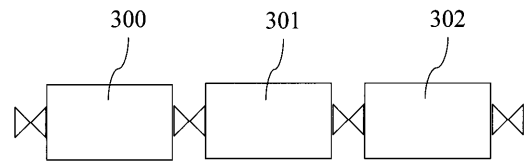
【 図 1 】



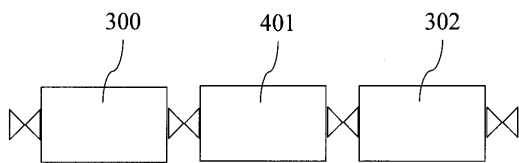
【 図 2 】



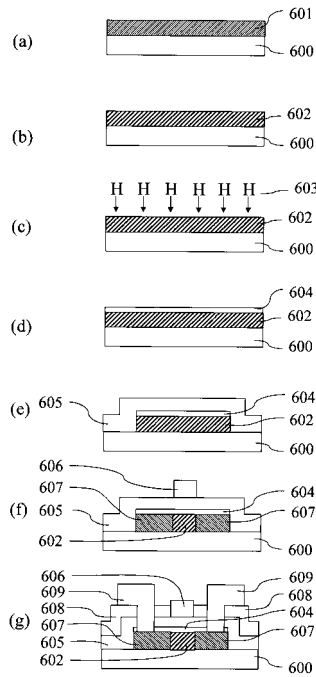
【 図 3 】



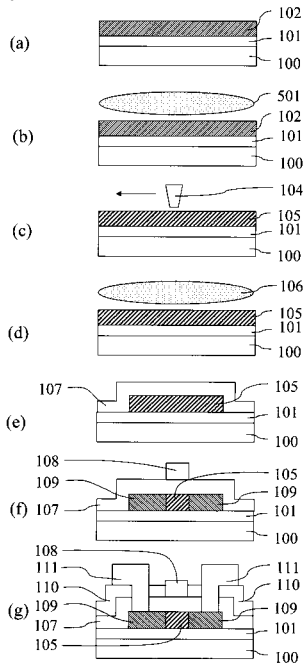
【 図 4 】



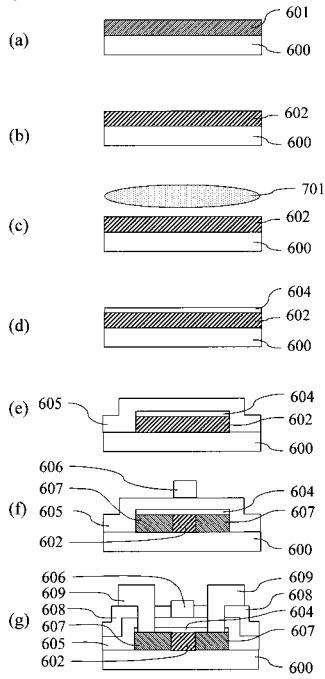
【 図 6 】



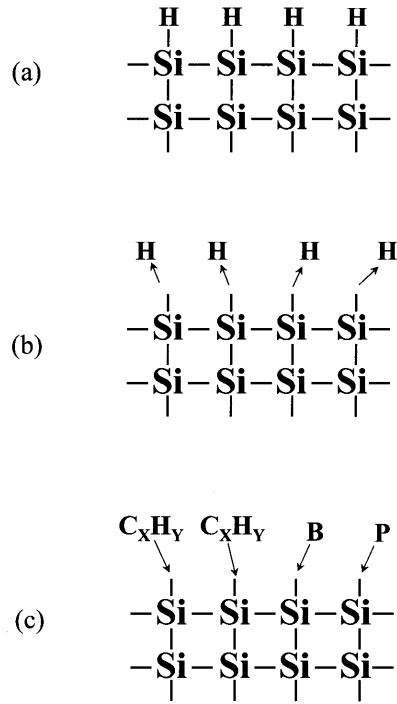
【 図 5 】



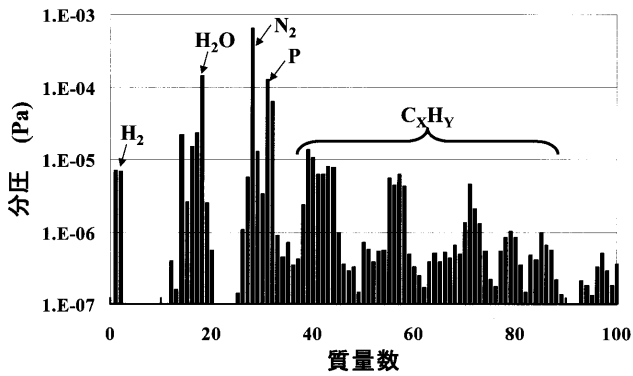
【 図 7 】



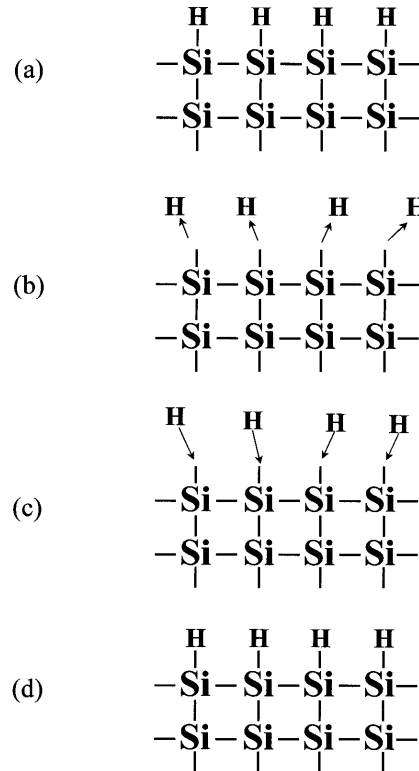
【 図 8 】



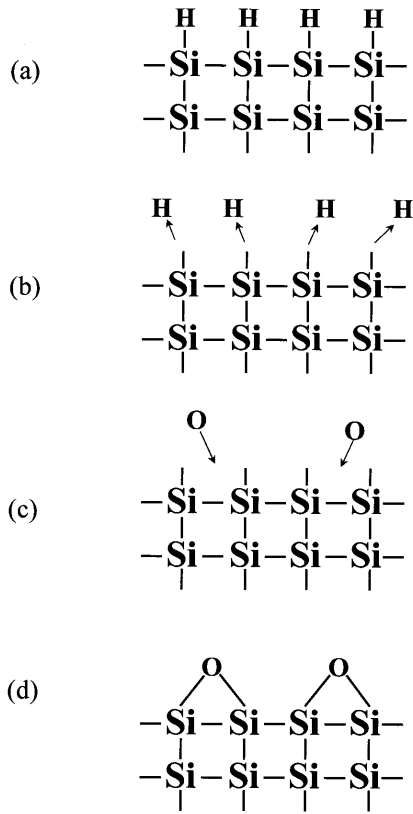
【 図 9 】



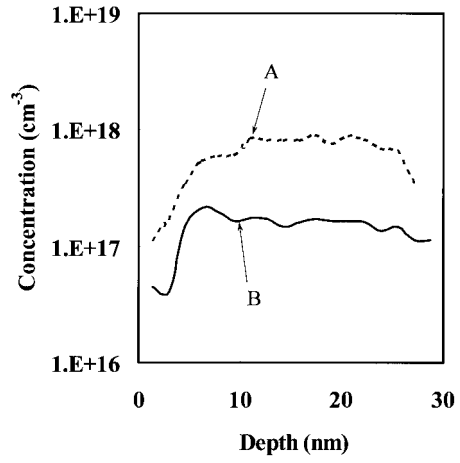
【 図 10 】



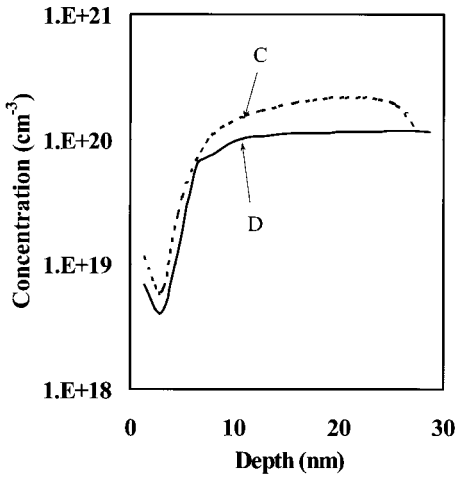
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 2 7 G

Fターム(参考) 5F110 AA30 CC02 DD02 DD03 DD13 EE04 EE44 FF02 FF09 FF30
FF31 FF35 GG02 GG13 GG25 GG45 GG47 HJ01 HJ12 HL22
HL24 PP01 PP03 PP04 PP05 PP06 PP10 PP35 QQ09 QQ25