

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-40134
(P2023-40134A)

(43)公開日 令和5年3月22日(2023.3.22)

(51)国際特許分類

F I

H 0 1 L	29/78	(2006.01)	H 0 1 L	29/78	6 5 2 Q
H 0 1 L	29/12	(2006.01)	H 0 1 L	29/78	6 5 2 T
H 0 1 L	29/739	(2006.01)	H 0 1 L	29/78	6 5 3 A
H 0 1 L	29/861	(2006.01)	H 0 1 L	29/78	6 5 5 G
H 0 1 L	29/06	(2006.01)	H 0 1 L	29/78	6 5 5 F

審査請求 有 請求項の数 15 O L (全24頁) 最終頁に続く

(21)出願番号 特願2022-212052(P2022-212052)
 (22)出願日 令和4年12月28日(2022.12.28)
 (62)分割の表示 特願2021-116241(P2021-116241)
)の分割
 原出願日 平成31年1月25日(2019.1.25)
 (31)優先権主張番号 特願2018-47925(P2018-47925)
 (32)優先日 平成30年3月15日(2018.3.15)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(71)出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74)代理人 110000877
 弁理士法人 R Y U K A 国際特許事務所
 今川 鉄太郎
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

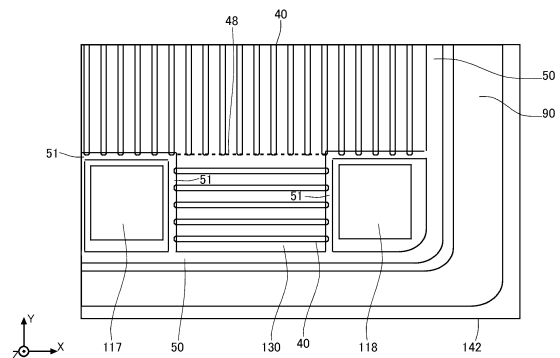
(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)

【課題】半導体装置において、素子領域の面積を増大させる。

【解決手段】半導体装置のトレンチ部は、第1方向に延伸すると共に第2方向に配列される複数のゲートトレンチ部40と、上面視において第2方向に延伸する第1延伸部を有し、第1延伸部が第2端辺と対向する1または複数のゲートトレンチ部の端部と第1接続部を介し接続する第1のゲートランナー50と、上面視において第2方向に延伸する第2延伸部を有し、第2延伸部が第1端辺と対向する1または複数のゲートトレンチ部の端部と第2接続部を介し接続する第2のゲートランナー51と、を備える。上面視において、第1接続部の第1方向の位置と第2接続部の第1方向の位置との間の矩形領域を第1領域とした場合、第1領域よりも第1端辺側の第2領域内に少なくとも1つのトレンチ部が設けられている。

【選択図】図13



【特許請求の範囲】

【請求項 1】

半導体基板の上面側に複数のトレンチ部が設けられ、上面視において、第 1 方向に対向配置された第 1 端辺および第 2 端辺と、前記第 1 方向と垂直な第 2 方向に対向配置された第 3 端辺および第 4 端辺とを含む半導体装置であって、

前記トレンチ部であって、前記第 1 方向に延伸すると共に前記第 2 方向に配列される複数のゲートトレンチ部と、

上面視において前記第 2 方向に延伸する第 1 延伸部を有し、前記第 1 延伸部が前記第 2 端辺と対向する 1 または複数の前記ゲートトレンチ部の端部と第 1 接続部を介し接続する第 1 のゲートランナーと、

上面視において前記第 2 方向に延伸する第 2 延伸部を有し、前記第 2 延伸部が前記第 1 端辺と対向する 1 または複数の前記ゲートトレンチ部の端部と第 2 接続部を介し接続する第 2 のゲートランナーと、

を備え、

上面視において、前記第 1 接続部の前記第 1 方向の位置と前記第 2 接続部の前記第 1 方向の位置との間の矩形領域を第 1 領域とした場合、前記第 1 領域よりも前記第 1 端辺側の第 2 領域内に少なくとも 1 つの前記トレンチ部が設けられている

半導体装置。

【請求項 2】

半導体基板は、シリコン基板、炭化シリコン基板、または窒化物基板である

請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 領域は、主活性部を含み、

前記第 2 領域は、上面視においてパッドに挟まれたパッド間領域を含む

請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 2 領域は、トランジスタ部またはダイオード部として動作する素子領域を含む

請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記第 2 領域内に設けられた前記トレンチ部は、前記第 1 領域から分離している

請求項 1 から 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記第 1 のゲートランナーは、前記第 1 方向に延伸すると共に、前記第 1 延伸部に接続される第 3 延伸部を有し、

前記第 2 のゲートランナーの前記第 2 延伸部は、第 3 延伸部に接続されている

請求項 1 から 5 のいずれか 1 項に記載の半導体装置。

【請求項 7】

前記第 1 のゲートランナーは、前記第 3 延伸部に対向して前記第 1 方向に延伸すると共に、前記第 1 延伸部に接続される第 4 延伸部を有し、

前記第 2 のゲートランナーの前記第 2 延伸部は、第 4 延伸部に接続されている

請求項 6 に記載の半導体装置。

【請求項 8】

前記第 1 のゲートランナーおよび前記第 2 のゲートランナーは、金属配線である

請求項 1 から 7 のいずれか 1 項に記載の半導体装置。

【請求項 9】

上面視において前記第 2 のゲートランナーの前記第 2 延伸部に接続され、前記第 2 方向に延伸する半導体配線である第 3 のゲートランナーを備える

請求項 1 から 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 2 領域内に設けられた前記トレンチ部は、前記第 2 方向に延伸している

10	上面視において前記第 2 方向に延伸する第 1 延伸部を有し、前記第 1 延伸部が前記第 2 端辺と対向する 1 または複数の前記ゲートトレンチ部の端部と第 1 接続部を介し接続する第 1 のゲートランナーと、
20	上面視において前記第 2 方向に延伸する第 2 延伸部を有し、前記第 2 延伸部が前記第 1 端辺と対向する 1 または複数の前記ゲートトレンチ部の端部と第 2 接続部を介し接続する第 2 のゲートランナーと、
30	を備え、
40	上面視において、前記第 1 接続部の前記第 1 方向の位置と前記第 2 接続部の前記第 1 方向の位置との間の矩形領域を第 1 領域とした場合、前記第 1 領域よりも前記第 1 端辺側の第 2 領域内に少なくとも 1 つの前記トレンチ部が設けられている
	半導体装置。
	【請求項 2】
	半導体基板は、シリコン基板、炭化シリコン基板、または窒化物基板である
	請求項 1 に記載の半導体装置。
	【請求項 3】
	前記第 1 領域は、主活性部を含み、
	前記第 2 領域は、上面視においてパッドに挟まれたパッド間領域を含む
	請求項 1 または 2 に記載の半導体装置。
	【請求項 4】
	前記第 2 領域は、トランジスタ部またはダイオード部として動作する素子領域を含む
	請求項 1 から 3 のいずれか 1 項に記載の半導体装置。
	【請求項 5】
	前記第 2 領域内に設けられた前記トレンチ部は、前記第 1 領域から分離している
	請求項 1 から 4 のいずれか 1 項に記載の半導体装置。
	【請求項 6】
	前記第 1 のゲートランナーは、前記第 1 方向に延伸すると共に、前記第 1 延伸部に接続される第 3 延伸部を有し、
	前記第 2 のゲートランナーの前記第 2 延伸部は、第 3 延伸部に接続されている
	請求項 1 から 5 のいずれか 1 項に記載の半導体装置。
	【請求項 7】
	前記第 1 のゲートランナーは、前記第 3 延伸部に対向して前記第 1 方向に延伸すると共に、前記第 1 延伸部に接続される第 4 延伸部を有し、
	前記第 2 のゲートランナーの前記第 2 延伸部は、第 4 延伸部に接続されている
	請求項 6 に記載の半導体装置。
	【請求項 8】
	前記第 1 のゲートランナーおよび前記第 2 のゲートランナーは、金属配線である
	請求項 1 から 7 のいずれか 1 項に記載の半導体装置。
	【請求項 9】
	上面視において前記第 2 のゲートランナーの前記第 2 延伸部に接続され、前記第 2 方向に延伸する半導体配線である第 3 のゲートランナーを備える
	請求項 1 から 8 のいずれか 1 項に記載の半導体装置。
	【請求項 10】
	前記第 2 領域内に設けられた前記トレンチ部は、前記第 2 方向に延伸している

請求項 1 から 9 のいずれか 1 項に記載の半導体装置。

【請求項 1 1】

前記第 2 領域内に設けられた前記トレンチ部は、前記第 1 方向に延伸している

請求項 1 から 9 のいずれか 1 項に記載の半導体装置。

【請求項 1 2】

前記第 2 領域内に設けられた前記トレンチ部は、前記第 1 方向において前記第 1 領域内に設けられた前記トレンチ部と対向配置されている

請求項 1 1 に記載の半導体装置。

【請求項 1 3】

前記第 2 領域内に設けられた前記トレンチ部は、前記第 1 端辺側の端部のみに接続部が設けられている

請求項 1 1 または 1 2 に記載の半導体装置。

【請求項 1 4】

前記半導体基板の上面の露出された部分に接続する上面電極を備え、

前記上面電極は、前記第 1 領域から前記第 2 領域にかけて設けられている

請求項 1 から 1 3 のいずれか 1 項に記載の半導体装置。

【請求項 1 5】

前記トレンチ部であって、前記第 1 領域および前記第 2 領域の少なくとも一方に設けられ前記上面電極と接続されたダミートレンチ部を備える

請求項 1 4 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来、絶縁ゲート型バイポーラトランジスタ（IGBT）等のトランジスタ素子と、還流ダイオード（FWD）等のダイオード素子とが、同一の半導体基板に設けられた半導体装置が知られている（例えば、特許文献 1 参照）。半導体基板には、トランジスタ素子、またはダイオード素子等に接続される複数のパッドが設けられる。

関連する先行技術文献として下記の文献がある。

特許文献 1 特開 2017 - 147435 号公報

特許文献 2 特開 2017 - 69412 号公報

特許文献 3 特開 2007 - 173411 号公報

【発明の概要】

【発明が解決しようとする課題】

【0003】

複数のパッドは、半導体基板のいずれかの辺に沿って配列されている。半導体装置においては、素子領域の面積を増大させることが好ましい。

[一般的開示]

【0004】

上記課題を解決するために、本発明の一つの態様においては、半導体基板の上面側に複数のトレンチ部が設けられ、上面視において、第 1 方向に対向配置された第 1 端辺および第 2 端辺と、第 1 方向と垂直な第 2 方向に対向配置された第 3 端辺および第 4 端辺とを含む半導体装置を提供する。半導体装置は、トレンチ部であって、第 1 方向に延伸すると共に第 2 方向に配列される複数のゲートトレンチ部を備えてよい。上記いずれかの半導体装置は、上面視において第 2 方向に延伸する第 1 延伸部を有し、第 1 延伸部が第 2 端辺と対向する 1 または複数のゲートトレンチ部の端部と第 1 接続部を介し接続する第 1 のゲートランナーを備えてよい。上記いずれかの半導体装置は、上面視において第 2 方向に延伸する第 2 延伸部を有し、第 2 延伸部が第 1 端辺と対向する 1 または複数のゲートトレンチ部

10

20

30

40

50

の端部と第2接続部を介し接続する第2のゲートランナーを備えてよい。上記いずれかの半導体装置の上面視において、第1接続部の第1方向の位置と第2接続部の第1方向の位置との間の矩形領域を第1領域とした場合、第1領域よりも第1端辺側の第2領域内に少なくとも1つのトレンチ部が設けられていてよい。

【0005】

上記いずれかの半導体装置において、半導体基板は、シリコン基板、炭化シリコン基板、または窒化物基板であってよい。

【0006】

上記いずれかの半導体装置において、第1領域は、主活性部を含んでよい。上記いずれかの半導体装置において、第2領域は、上面視においてパッドに挟まれたパッド間領域を含んでよい。

10

【0007】

上記いずれかの半導体装置において、第2領域は、トランジスタ部またはダイオード部として動作する素子領域を含んでよい。

【0008】

上記いずれかの半導体装置において、第2領域内に設けられたトレンチ部は、第1領域から分離していてよい。

【0009】

上記いずれかの半導体装置において、第1のゲートランナーは、第1方向に延伸すると共に、第1延伸部に接続される第3延伸部を有してよい。上記いずれかの半導体装置において、第2のゲートランナーの第2延伸部は、第3延伸部に接続されていてよい。

20

【0010】

上記いずれかの半導体装置において、第1のゲートランナーは、第3延伸部に対向して第1方向に延伸すると共に、第1延伸部に接続される第4延伸部を有してよい。上記いずれかの半導体装置において、第2のゲートランナーの第2延伸部は、第4延伸部に接続されていてよい。

【0011】

上記いずれかの半導体装置において、第1のゲートランナーおよび第2のゲートランナーは、金属配線であってよい。

【0012】

上記いずれかの半導体装置は、上面視において第2のゲートランナーの第2延伸部に接続され、第2方向に延伸する半導体配線である第3のゲートランナーを備えてよい。

30

【0013】

上記いずれかの半導体装置において、第2領域内に設けられたトレンチ部は、第2方向に延伸していてよい。

【0014】

上記いずれかの半導体装置において、第2領域内に設けられたトレンチ部は、第1方向に延伸していてよい。

【0015】

上記いずれかの半導体装置において、第2領域内に設けられたトレンチ部は、第1方向において第1領域内に設けられたトレンチ部と対向配置されていてよい。

40

【0016】

上記いずれかの半導体装置において、第2領域内に設けられたトレンチ部は、第1端辺側の端部のみに接続部が設けられていてよい。

【0017】

上記いずれかの半導体装置は、半導体基板の上面の露出された部分に接続する上面電極を備えてよい。上記いずれかの半導体装置において、上面電極は、第1領域から第2領域にかけて設けられていてよい。

【0018】

上記いずれかの半導体装置は、トレンチ部であって、第1領域および第2領域の少なく

50

とも一方に設けられ上面電極と接続されたダミートレンチ部を備えてよい。

【0019】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0020】

【図1】本発明の一つの実施形態に係る半導体装置100の上面の構造を示す図である。

【図2】図1における領域Aの近傍を拡大した図である。

【図3】図2におけるB-B断面の一例を示す図である。

【図4】図1における領域Bの近傍を拡大した図である。

10

【図5】図1における領域Cの近傍を拡大した図である。

【図6】上面視におけるエミッタ電極52の配置例を示す図である。

【図7】カソード領域82の配置例を示す図である。

【図8】図7における領域Dの近傍を拡大した図である。

【図9】カソード領域82の他の配置例を示す図である。

【図10】図9における領域Eの近傍を拡大した図である。

【図11】図1における領域Bの他の例を示す。

【図12】主活性部120およびパッド間領域130におけるゲートトレンチ部40の配置例を示す図である。

【図13】主活性部120およびパッド間領域130におけるゲートトレンチ部40の他の配置例を示す図である。

20

【図14】主活性部120およびパッド間領域130におけるゲートトレンチ部40の他の配置例を示す図である。

【発明を実施するための形態】

【0021】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0022】

本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は重力方向、または、半導体装置の実装時における基板等への取り付け方向に限定されない。

30

【0023】

本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。本明細書では、半導体基板の上面と平行な面をXY面とし、半導体基板の上面と垂直な深さ方向をZ軸とする。

【0024】

各実施例においては、第1導電型をN型、第2導電型をP型とした例を示しているが、第1導電型をP型、第2導電型をN型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。また、本明細書においてP+型（またはN+型）と記載した場合、P型（またはN型）よりもドーピング濃度が高いことを意味し、P-型（またはN-型）と記載した場合、P型（またはN型）よりもドーピング濃度が低いことを意味する。

40

【0025】

本明細書においてドーピング濃度とは、ドナーまたはアクセプタ化した不純物の濃度を指す。本明細書において、ドナーおよびアクセプタの濃度差をドーピング濃度とする場合がある。また、ドーピング領域におけるドーピング濃度分布のピーク値を、当該ドーピング領域におけるドーピング濃度とする場合がある。

【0026】

50

図 1 は、本発明の一つの実施形態に係る半導体装置 100 の上面の構造を示す図である。半導体装置 100 は、半導体基板 10 を備える。半導体基板 10 は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板 10 はシリコン基板である。

【0027】

本明細書では、上面視における半導体基板 10 の外周の端部を、外周端 140 とする。上面視とは、半導体基板 10 の上面側から Z 軸と平行に見た場合を指す。また、上面視における半導体基板 10 の外周端 140 のうち、いずれかの端辺を第 1 の端辺 142 とする。上面視において第 1 の端辺 142 と平行な方向を X 軸方向とし、第 1 の端辺 142 と垂直な方向を Y 軸方向とする。

10

【0028】

半導体装置 100 は、主活性部 120 およびエッジ終端構造部 90 を備える。主活性部 120 は、半導体基板 10 の上面から下面、または下面から上面に、半導体基板 10 の内部を深さ方向に電流が流れる活性領域のうち、後述するパッド間領域 130 以外の領域である。例えば活性領域は、半導体装置 100 に含まれるトランジスタ素子をオン状態に制御している場合、または、トランジスタ素子をオン状態からオフ状態に遷移させた場合に半導体基板 10 の上面と下面との間で主電流が流れる領域である。主活性部 120 は、後述する第 1 のゲートランナー 50 で囲まれた領域のうち、パッドおよびパッド間領域 130 以外の領域を指してもよい。

【0029】

主活性部 120 には、トランジスタ部 70 およびダイオード部 80 が設けられている。本明細書では、トランジスタ部 70 およびダイオード部 80 をそれぞれ素子部または素子領域と称する場合がある。本例では、トランジスタ部 70 およびダイオード部 80 は、主活性部 120 において X 軸方向に交互に設けられている。

20

【0030】

半導体基板 10 の上面の上方には、複数のパッド（図 1 の例では、センスパッド 114、エミッタパッド 115、ゲートパッド 116、カソードパッド 117 およびアノードパッド 118）が設けられている。センスパッド 114 は、電流センス素子 119 に接続されている。電流センス素子 119 は、トランジスタ部 70 と同一の構造を有しており、且つ、トランジスタ部 70 よりも上面視における面積（チャンネルの面積に対応する）が小さい。電流センス素子 119 に流れている電流を検出することで、半導体装置 100 全体に流れている電流を推定できる。エミッタパッド 115 は、半導体基板 10 の上面の上方に配置されるエミッタ電極と接続されている。ゲートパッド 116 は、トランジスタ部 70 のゲート電極と接続されている。本例のゲートパッド 116 は、後述するゲートランナー部と接続されている。カソードパッド 117 およびアノードパッド 118 は、後述する温度センス部 110 に接続されている。なお、半導体基板 10 に設けられるパッドの個数および種類は、図 1 に示す例に限定されない。

30

【0031】

それぞれのパッドは、アルミニウム等の金属材料で形成されている。複数のパッドは、主活性部 120 と、半導体基板 10 の上面における第 1 の端辺 142 との間において、所定の配列方向に配列されている。本例の複数のパッドは、Y 軸方向において、素子領域と第 1 の端辺 142 とに挟まれて配置されている。

40

【0032】

複数のパッドの配列方向とは、複数のパッドのうち第 1 の端辺 142 と平行な方向における両端に配置された 2 つのパッド（本例ではセンスパッド 114 およびアノードパッド 118）の上面視における中心を結ぶ直線の方角であってよい。配列方向は、第 1 の端辺 142 と平行な方向であってよい。また配列方向は第 1 の端辺 142 に対して、30 度以内の傾きを有していてもよい。当該傾きは、20 度以内であってよく、10 度以内であってもよい。本例の配列方向は、第 1 の端辺 142 と平行である。

【0033】

50

上面視において2つのパッドに挟まれた領域をパッド間領域130とする。本例のパッド間領域130は、2つのパッドの領域をX軸と平行な方向に、互いのパッドに向けて延長した場合に重なる重複領域である。本例では、当該重複領域と、第1の端辺142に沿って設けられた第1のゲートランナー50との間の領域も、パッド間領域130に含める。

【0034】

半導体装置100においては、少なくとも一つのパッド間領域130においても、素子領域が設けられる。本例では、少なくとも一つのパッド間領域130において、トランジスタ部70が設けられている。このような構造により、パッド間領域130を有効に利用して、素子領域の面積を増大させることができる。

10

【0035】

半導体装置100は、トランジスタ部70にゲート電圧を伝達するゲートランナー部を備える。本例の半導体装置100は、ゲートランナー部として、第1のゲートランナー50、第2のゲートランナー51および第3のゲートランナー48を備える。本例では、それぞれのゲートランナーは、半導体基板10の上面の上方に設けられ、半導体基板10の上面とは層間絶縁膜で絶縁されている。

【0036】

第1のゲートランナー50は、上面視において、半導体基板10の第1の端辺142と、少なくとも一つのパッドとの間を通過して設けられている。本例の第1のゲートランナー50は、センスパッド114、エミッタパッド115、ゲートパッド116、カソードパッド117およびアノードパッド118のそれぞれと、第1の端辺142との間を通過して、第1の端辺142と平行に設けられている。第1のゲートランナー50は、ゲートパッド116と接続されている。

20

【0037】

また、第1のゲートランナー50は、半導体基板10の他の端辺と、主活性部120との間において、主活性部120を囲むように設けられている。つまり本例の第1のゲートランナー50は、半導体基板10の各端辺に沿って環状に設けられている。第1のゲートランナー50は、アルミニウム等の金属配線であってよく、不純物がドーブされたポリシリコン等の半導体配線であってもよい。第1のゲートランナー50は、金属配線と半導体配線とが絶縁膜を介して重なって設けられた構造であってもよい。当該絶縁膜には、金属配線と半導体配線とを接続するためのコンタクトホールが設けられている。本例の第1のゲートランナー50は、金属配線である。

30

【0038】

第2のゲートランナー51および第3のゲートランナー48の材料は、第1のゲートランナー50において説明した材料と同様の材料であってよい。本例において第2のゲートランナー51は金属配線であり、第3のゲートランナー48は半導体配線である。

【0039】

第2のゲートランナー51は、上面視において、少なくとも一つのパッドと、トランジスタ部70との間を通過して設けられている。当該少なくとも一つのパッドは、エミッタパッド115以外のパッドである。本例の第2のゲートランナー51は、エミッタパッド115以外の全てのパッドに対して設けられている。第2のゲートランナー51は、Y軸方向において、パッドと、主活性部120（すなわちトランジスタ部70およびダイオード部80）とに挟まれて配置されている。いずれかのパッドにおいては、第2のゲートランナー51は、パッドの2つ以上の辺に沿って配置されてよい。

40

【0040】

例えば、X軸方向において一方の端に配置されているパッド（本例ではアノードパッド118）は、交差する2つの辺に沿って第2のゲートランナー51が配置されており、且つ、他の2つの辺に沿って第1のゲートランナー50が配置されている。

【0041】

また、X軸方向において他方の端に配置されているパッド（本例ではセンスパッド11

50

4)と、エミッタパッド115との間のパッド間領域130には、電流センス素子119が設けられている。電流センス素子119が設けられたパッド間領域130には、トランジスタ部70およびダイオード部80が設けられていなくてよい。一例として、当該パッド間領域130において電流センス素子119が設けられていない領域には、後述するP+型のウェル領域が設けられていてよい。

【0042】

本例の各パッドは、上面視において平行な辺を2組有する。図1の例では、各パッドは、X軸に平行な2辺と、Y軸に平行な2辺とを有する。パッドの各辺のうち、電流センス素子119と対向する辺には、ゲートランナー部が設けられていなくてよい。本例のセンスパッド114には、主活性部120と対向する1つの辺に沿って第2のゲートランナー51が配置されており、電流センス素子119と対向する辺にはゲートランナー部が設けられておらず、且つ、他の2つの辺に沿って第1のゲートランナー50が配置されている。センスパッド114に沿って配置された第2のゲートランナー51は、他のパッドに沿って設けられた第2のゲートランナー51と、第3のゲートランナー48を介して接続されてよい。

10

【0043】

より具体的には、X軸方向においてエミッタパッド115を挟んで配置された2つのパッド(本例ではセンスパッド114およびゲートパッド116)に設けられた2つの第2のゲートランナー51が、第3のゲートランナー48を介して接続されてよい。第3のゲートランナー48は、Y軸方向において、主活性部120と、エミッタパッド115およびパッド間領域130との間に配置されている。

20

【0044】

また、X軸方向において両端以外の位置に設けられたパッド(本例ではゲートパッド116およびカソードパッド117)は、第1の端面142と対向する辺以外の3辺に沿って、第2のゲートランナー51が配置されており、第1の端面142と対向する辺に沿って第1のゲートランナー50が配置されている。各パッドの周囲に設けられたゲートランナー部は互いに接続されて、パッドを環状に囲んでいる。

【0045】

トランジスタ部70は、上面視において配列方向とは異なる延伸方向(本例ではY軸方向)に延伸して設けられたゲートトレンチ部を有する。ゲートトレンチ部の構造については後述する。パッド間領域130に設けられたゲートトレンチ部は、第1の端面142に沿って設けられた第1のゲートランナー50と直接または間接に接続されている。つまり、パッド間領域130に設けられたゲートトレンチ部は、半導体基板10の第1の端面142に沿って配置された第1のゲートランナー50と直接または間接に接続できる位置まで、Y軸方向に延伸して設けられている。

30

【0046】

また、延伸方向(Y軸方向)において第2のゲートランナー51と対向して配置された、主活性部120のゲートトレンチ部は、第2のゲートランナー51と直接または間接に接続されている。つまり、パッドと主活性部120との間においてX軸方向に延伸する第2のゲートランナー51と、Y軸方向において対向して配置されたゲートトレンチ部は、当該第2のゲートランナー51と直接または間接に接続されている。

40

【0047】

このような構成により、主活性部120およびパッド間領域130に設けられたトランジスタ部のゲートトレンチ部を、ゲートランナー部に接続することができる。なお、第1のゲートランナー50および第2のゲートランナー51を金属配線とすることで、それぞれのゲートトレンチ部にゲート電圧を伝達するタイミングのばらつき、および、ゲート電圧の減衰量のばらつきを低減できる。

【0048】

また、主活性部120に設けられたゲートトレンチ部のうち、Y軸方向において第3のゲートランナー48と対向する位置に設けられたゲートトレンチ部は、第3のゲートラン

50

ナー４８と接続されていてよい。また、第１の端辺１４２とは逆側の端辺に沿って配置された第１のゲートランナー５０と対向する位置に設けられたゲートレンチ部は、第１のゲートランナー５０と直接または間接に接続されていてよい。

【００４９】

トランジスタ部７０は、ＩＧＢＴ等のトランジスタを含む。ダイオード部８０は、半導体基板１０の上面において、Ｘ軸方向にトランジスタ部７０と交互に配置されている。それぞれのダイオード部８０には、半導体基板１０の下面に接する領域にＮ＋型のカソード領域が設けられている。図１において実線で示すダイオード部８０は、半導体基板１０の下面にカソード領域が設けられた領域である。本例の半導体装置１００において、半導体基板の下面に接する領域のうちカソード領域以外の領域は、Ｐ＋型のコレクタ領域である。

10

【００５０】

ダイオード部８０は、カソード領域をＺ軸方向に投影した領域である。トランジスタ部７０は、半導体基板１０の下面にコレクタ領域が形成され、且つ、半導体基板１０の上面にＮ＋型のエミッタ領域を含む単位構造が周期的に形成された領域である。活性領域のうち、カソード領域をＺ軸方向に投影した領域をＹ軸方向に伸ばした領域もダイオード部８０としてよい。ダイオード部８０以外の領域をトランジスタ部７０としてもよい。Ｘ軸方向におけるダイオード部８０とトランジスタ部７０との境界は、カソード領域とコレクタ領域との境界である。

【００５１】

主活性部１２０において、Ｙ軸方向における両端には、トランジスタ部７０が設けられてよい。主活性部１２０は、第３のゲートランナー４８によりＹ軸方向に分割されてよい。主活性部１２０のそれぞれの分割領域には、トランジスタ部７０およびダイオード部８０がＸ軸方向に交互に配置されている。図１の例では、Ｘ軸方向に延伸する２つの第３のゲートランナー４８により、主活性部１２０が３つに分割されている。また、金属で形成された第１のゲートランナー５０および第２のゲートランナー５１に沿って、半導体で形成された第３のゲートランナー４８が設けられていてもよい。

20

【００５２】

エッジ終端構造部９０は、半導体基板１０の上面において、第１のゲートランナー５０と半導体基板１０の外周端１４０との間に設けられる。エッジ終端構造部９０は、半導体基板１０の上面において第１のゲートランナー５０を囲むように環状に配置されてよい。本例のエッジ終端構造部９０は、半導体基板１０の外周端１４０に沿って配置されている。エッジ終端構造部９０は、半導体基板１０の上面側の電界集中を緩和する。エッジ終端構造部９０は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

30

【００５３】

本例の半導体装置１００は、温度センス部１１０、温度センス配線１１２－１および１１２－２を備える。温度センス部１１０は、主活性部１２０の上方に設けられる。温度センス部１１０は、半導体基板１０の上面視で、主活性部１２０の中央に設けられてよい。温度センス部１１０は、半導体基板１０の上面視で、トランジスタ部７０の上方に設けられてよい。温度センス部１１０は、主活性部１２０の温度を検知する。温度センス部１１０は、単結晶または多結晶のシリコンで形成されるｐｎ型温度センスダイオードであってよい。

40

【００５４】

温度センス配線１１２は、主活性部１２０の上方に設けられる。温度センス配線１１２は半導体配線であってよい。温度センス配線１１２は、温度センス部１１０と接続される。温度センス配線１１２は、半導体基板１０の上面において主活性部１２０と外周端１４０との間の領域まで延伸し、カソードパッド１１７およびアノードパッド１１８と接続される。なお、半導体装置１００は、温度センス部１１０および温度センス配線１１２を備えなくともよい。また、半導体装置１００は、電流センス素子１１９を備えなくともよい。

50

【 0 0 5 5 】

図 2 は、図 1 における領域 A の近傍を拡大した図である。領域 A は、トランジスタ部 70、ダイオード部 80、第 1 のゲートランナー 50 およびエッジ終端構造部 90 を含む。本例においては、第 1 のゲートランナー 50 に沿って、第 3 のゲートランナー 48 が設けられている。第 3 のゲートランナー 48 は、第 1 のゲートランナー 50 と半導体基板 10 との間に配置されてよい。第 1 のゲートランナー 50、第 3 のゲートランナー 48 および半導体基板 10 のそれぞれの間は、層間絶縁膜で絶縁されている。本例の半導体装置 100 は、半導体基板 10 の内部に設けられ、且つ、半導体基板 10 の上面に露出する、ガードリング 92、ゲートトレンチ部 40、ダミートレンチ部 30、P+型のウェル領域 11、N+型のエミッタ領域 12、P-型のベース領域 14 および P+型のコンタクト領域 15 を備える。本明細書では、ゲートトレンチ部 40 またはダミートレンチ部 30 を単にトレンチ部と称する場合がある。また、本例の半導体装置 100 は、半導体基板 10 の上面の上方に設けられたエミッタ電極 52 および第 1 のゲートランナー 50 を備える。エミッタ電極 52 および第 1 のゲートランナー 50 は互いに分離して設けられる。

10

【 0 0 5 6 】

第 1 のゲートランナー 50 の外側（Y 軸方向正側）には、エッジ終端構造部 90 が配置されている。エッジ終端構造部 90 は、上述したように 1 つ以上のガードリング 92 を有してよい。ガードリング 92 は、半導体基板 10 の内部に形成された、P 型の領域である。ガードリング 92 は、第 1 のゲートランナー 50 の外側において、第 1 のゲートランナー 50 を囲んで環状に設けられる。

20

【 0 0 5 7 】

エミッタ電極 52 および第 1 のゲートランナー 50 と、半導体基板 10 の上面との間には層間絶縁膜が形成されるが、図 2 では省略している。本例の層間絶縁膜には、コンタクトホール 56、コンタクトホール 49 およびコンタクトホール 54 が、当該層間絶縁膜を貫通して形成される。

【 0 0 5 8 】

エミッタ電極 52 は、コンタクトホール 54 を通って、半導体基板 10 の上面におけるエミッタ領域 12、コンタクト領域 15 およびベース領域 14 と接触する。また、エミッタ電極 52 は、コンタクトホール 56 を通って、ダミートレンチ部 30 内のダミー導電部と接続される。エミッタ電極 52 とダミー導電部との間には、不純物がドーブされたポリシリコン等の、導電性を有する材料で形成された接続部 25 が設けられてよい。接続部 25 と半導体基板 10 の上面との間には、酸化膜等の絶縁膜が形成される。

30

【 0 0 5 9 】

第 1 のゲートランナー 50 は、層間絶縁膜に設けられたコンタクトホール 49 を通って、第 3 のゲートランナー 48 と接続される。第 3 のゲートランナー 48 は、ゲートトレンチ部 40 内のゲート導電部と接続される。第 3 のゲートランナー 48 は、ダミートレンチ部 30 内のダミー導電部とは接続されない。本例では、ゲートトレンチ部 40 は第 3 のゲートランナー 48 と重なる位置まで Y 軸方向に延伸しており、ダミートレンチ部 30 は第 3 のゲートランナー 48 と重ならない範囲で Y 軸方向に延伸して配置されている。

40

【 0 0 6 0 】

第 1 のゲートランナー 50 に沿って配置された第 3 のゲートランナー 48 は、第 1 のゲートランナー 50 と重なる位置から、Y 軸方向に延伸して、第 1 のゲートランナー 50 と重ならない位置まで設けられている。第 3 のゲートランナー 48 は、第 1 のゲートランナー 50 と重ならない位置において、ゲートトレンチ部 40 と接続されている。なお、半導体装置 100 は、第 1 のゲートランナー 50 に沿った第 3 のゲートランナー 48 を有さなくともよい。この場合、ゲートトレンチ部 40 は、第 1 のゲートランナー 50 と直接接続されていてよい。

【 0 0 6 1 】

本明細書において、ゲートトレンチ部 40 が第 1 のゲートランナー 50（または第 2 の

50

ゲートランナー 51) と直接に接続されるとは、ゲートトレンチ部 40 が第 1 のゲートランナー 50 (または第 2 のゲートランナー 51) と重なる位置まで配置されており、ゲートトレンチ部 40 と第 1 のゲートランナー 50 (または第 2 のゲートランナー 51) とがコンタクトホールで接続されている状態を指す。ゲートトレンチ部 40 が第 1 のゲートランナー 50 (または第 2 のゲートランナー 51) と間接に接続されているとは、第 1 のゲートランナー 50 (または第 2 のゲートランナー 51) と重なる第 3 のゲートランナー 48 が、第 1 のゲートランナー 50 (または第 2 のゲートランナー 51) と重ならない位置まで Y 軸方向に延伸して設けられており、ゲートトレンチ部 40 が当該第 3 のゲートランナー 48 を介して第 1 のゲートランナー 50 (または第 2 のゲートランナー 51) と接続されている状態を指す。なお、ゲートトレンチ部 40 と第 1 のゲートランナー 50 とが間接に接続されている場合、ゲートトレンチ部 40 と第 3 のゲートランナー 48 は、第 1 のゲートランナー 50 の近傍で接続されている。ゲートトレンチ部 40 と第 3 のゲートランナー 48 の接続点と、第 1 のゲートランナー 50 との Y 軸方向における距離は、第 1 のゲートランナー 50 の Y 軸方向の幅の 10 倍以下であってよく、5 倍以下であってよい。同様に、ゲートトレンチ部 40 と第 2 のゲートランナー 51 とが間接に接続されている場合、ゲートトレンチ部 40 と第 3 のゲートランナー 48 は、第 2 のゲートランナー 51 の近傍で接続されている。ゲートトレンチ部 40 と第 3 のゲートランナー 48 の接続点と、第 2 のゲートランナー 51 との Y 軸方向における距離は、第 2 のゲートランナー 51 の Y 軸方向の幅の 10 倍以下であってよく、5 倍以下であってよい。本明細書では、直接接続と、間接接続とをまとめて、接続と称する場合がある。

10

20

【0062】

本例では、エミッタ電極 52 および第 1 のゲートランナー 50 は、金属を含む材料で形成される。例えば、各電極の少なくとも一部の領域はアルミニウムまたはアルミニウムシリコン合金で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよく、コンタクトホール内においてタンゲステン等で形成されたプラグを有してもよい。

【0063】

1 つ以上のゲートトレンチ部 40 および 1 つ以上のダミートレンチ部 30 は、半導体基板 10 の上面において所定の配列方向 (本例では X 軸方向) に沿って所定の間隔で配列される。本例のトランジスタ部 70 においては、配列方向に沿って 1 つ以上のゲートトレンチ部 40 と、1 つ以上のダミートレンチ部 30 とが交互に形成されている。

30

【0064】

本例のゲートトレンチ部 40 は、配列方向と垂直な延伸方向 (本例では Y 軸方向) に沿って直線状に延伸する 2 つの直線部 39 と、2 つの直線部 39 を接続する先端部 41 とを有してよい。先端部 41 の少なくとも一部は、半導体基板 10 の上面において曲線状に形成されることが好ましい。ゲートトレンチ部 40 の 2 つの直線部 39 において、延伸方向に沿った直線形状の端である端部どうしを先端部 41 が接続することで、直線部 39 の端部における電界集中を緩和できる。

【0065】

少なくとも一つのダミートレンチ部 30 は、ゲートトレンチ部 40 のそれぞれの直線部 39 の間に設けられる。これらのダミートレンチ部 30 は、ゲートトレンチ部 40 と同様に直線部 29 および先端部 31 を有してよい。他の例では、ダミートレンチ部 30 は直線部 29 を有し、先端部 31 を有さなくてもよい。図 3 に示した例では、トランジスタ部 70 において、ゲートトレンチ部 40 の 2 つの直線部 39 の間に、ダミートレンチ部 30 の 2 つの直線部 29 が配置されている。

40

【0066】

ダイオード部 80 においては、複数のダミートレンチ部 30 が、半導体基板 10 の上面において X 軸方向に沿って配置されている。ダイオード部 80 におけるダミートレンチ部 30 の X Y 面における形状は、トランジスタ部 70 に設けられたダミートレンチ部 30 と同様であってよい。

50

【 0 0 6 7 】

ダミートレンチ部 3 0 の先端部 3 1 および直線部 2 9 は、ゲートトレンチ部 4 0 の先端部 4 1 および直線部 3 9 と同様の形状を有する。ダイオード部 8 0 に設けられたダミートレンチ部 3 0 と、トランジスタ部 7 0 に設けられた直線形状のダミートレンチ部 3 0 は、Y 軸方向における長さが同一であってよい。

【 0 0 6 8 】

エミッタ電極 5 2 は、ゲートトレンチ部 4 0、ダミートレンチ部 3 0、ウェル領域 1 1、エミッタ領域 1 2、ベース領域 1 4 およびコンタクト領域 1 5 の上方に形成される。ウェル領域 1 1 と、コンタクトホール 5 4 の延伸方向の端のうち第 1 のゲートランナー 5 0 が設けられる側の端とは、X Y 面内において離れて設けられる。ウェル領域 1 1 の拡散深さは、ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 の深さよりも深くてよい。ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 の、第 1 のゲートランナー 5 0 側の一部の領域はウェル領域 1 1 に形成される。ゲートトレンチ部 4 0 の先端部 4 1 の Z 軸方向における底部、ダミートレンチ部 3 0 の先端部 3 1 の Z 軸方向における底部は、ウェル領域 1 1 に覆われていてよい。

10

【 0 0 6 9 】

トランジスタ部 7 0 およびダイオード部 8 0 のそれぞれには、各トレンチ部に挟まれたメサ部 6 0 が 1 つ以上設けられる。メサ部 6 0 とは、トレンチ部に挟まれた半導体基板 1 0 の領域において、トレンチ部の最も深い底部よりも上面側の領域である。

【 0 0 7 0 】

各トレンチ部に挟まれたメサ部 6 0 には、ベース領域 1 4 が形成される。ベース領域 1 4 は、ウェル領域 1 1 よりもドーピング濃度の低い第 2 導電型 (P - 型) である。

20

【 0 0 7 1 】

メサ部 6 0 のベース領域 1 4 の上面には、ベース領域 1 4 よりもドーピング濃度の高い第 2 導電型のコンタクト領域 1 5 が形成される。本例のコンタクト領域 1 5 は P + 型である。半導体基板 1 0 の上面においてウェル領域 1 1 は、コンタクト領域 1 5 のうち Y 軸方向において最も端に配置されたコンタクト領域 1 5 から、第 1 のゲートランナー 5 0 の方向に離れて形成されてよい。半導体基板 1 0 の上面において、ウェル領域 1 1 とコンタクト領域 1 5 との間には、ベース領域 1 4 が露出している。

【 0 0 7 2 】

トランジスタ部 7 0 においては、半導体基板 1 0 の内部に形成されたドリフト領域よりもドーピング濃度が高い第 1 導電型のエミッタ領域 1 2 が、メサ部 6 0 - 1 の上面に選択的に形成される。本例のエミッタ領域 1 2 は N + 型である。エミッタ領域 1 2 の半導体基板 1 0 の深さ方向 (- Z 軸方向) に隣接するベース領域 1 4 のうち、ゲートトレンチ部 4 0 に接する部分が、チャンネル部として機能する。ゲートトレンチ部 4 0 にオン電圧が印加されると、Z 軸方向においてエミッタ領域 1 2 とドリフト領域との間に設けられたベース領域 1 4 において、ゲートトレンチ部 4 0 に隣接する部分に電子の反転層であるチャンネルが形成される。ベース領域 1 4 にチャンネルが形成されることで、エミッタ領域 1 2 とドリフト領域との間にキャリアが流れる。

30

【 0 0 7 3 】

本例では、各メサ部 6 0 の Y 軸方向における両端部には、ベース領域 1 4 - e が配置されている。本例では、それぞれのメサ部 6 0 の上面において、ベース領域 1 4 - e に対してメサ部 6 0 の中央側で隣接する領域は、コンタクト領域 1 5 である。また、ベース領域 1 4 - e に対して、コンタクト領域 1 5 とは逆側で接する領域はウェル領域 1 1 である。

40

【 0 0 7 4 】

本例のトランジスタ部 7 0 のメサ部 6 0 - 1 において Y 軸方向両端のベース領域 1 4 - e に挟まれる領域には、コンタクト領域 1 5 およびエミッタ領域 1 2 が Y 軸方向に沿って交互に配置されている。コンタクト領域 1 5 およびエミッタ領域 1 2 のそれぞれは、隣接する一方のトレンチ部から、他方のトレンチ部まで形成されている。

【 0 0 7 5 】

50

トランジスタ部 70 のメサ部 60 のうち、ダイオード部 80 との境界に設けられた 1 つ以上のメサ部 60 - 2 には、メサ部 60 - 1 のコンタクト領域 15 よりも面積の大きいコンタクト領域 15 が設けられている。メサ部 60 - 2 にはエミッタ領域 12 が設けられていなくてよい。本例のメサ部 60 - 2 においては、ベース領域 14 - e に挟まれた領域全体に、コンタクト領域 15 が設けられている。

【0076】

本例のトランジスタ部 70 の各メサ部 60 - 1 においてコンタクトホール 54 は、コンタクト領域 15 およびエミッタ領域 12 の各領域の上方に形成される。メサ部 60 - 2 におけるコンタクトホール 54 は、コンタクト領域 15 の上方に形成される。各メサ部 60 においてコンタクトホール 54 は、ベース領域 14 - e およびウェル領域 11 に対応する領域には形成されていない。トランジスタ部 70 の各メサ部 60 におけるコンタクトホール 54 は、Y 軸方向において同一の長さを有してよい。

10

【0077】

ダイオード部 80 において、半導体基板 10 の下面と接する領域には、N + 型のカソード領域 82 が形成される。図 2 においては、カソード領域 82 が形成される領域を破線で示している。半導体基板 10 の下面と接する領域においてカソード領域 82 が形成されていない領域には、P + 型のコレクタ領域が形成されてよい。

【0078】

トランジスタ部 70 は、Z 軸方向においてコレクタ領域と重なる領域のうち、コンタクト領域 15 およびエミッタ領域 12 が形成されたメサ部 60 と、当該メサ部 60 に隣接するトレンチ部とが設けられた領域であってよい。ただし、ダイオード部 80 との境界におけるメサ部 60 - 2 には、エミッタ領域 12 に代えてコンタクト領域 15 が設けられていてよい。

20

【0079】

ダイオード部 80 のメサ部 60 - 3 の上面には、ベース領域 14 が配置されている。ただし、ベース領域 14 - e に隣接する領域には、コンタクト領域 15 が設けられてもよい。コンタクト領域 15 の上方で、コンタクトホール 54 が終端している。

【0080】

図 3 は、図 2 における B - B 断面の一例を示す図である。B - B 断面は、ダイオード部 80 およびトランジスタ部 70 を含み、エミッタ領域 12 を通過する XZ 面である。

30

【0081】

本例の半導体装置 100 は、当該断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。層間絶縁膜 38 は、半導体基板 10 の上面のすくなくとも一部を覆って形成される。層間絶縁膜 38 には、コンタクトホール 54 等の貫通孔が形成されている。コンタクトホール 54 により、半導体基板 10 の上面が露出する。層間絶縁膜 38 は、PSG、BPSG 等のシリケートガラスであってよく、酸化膜または窒化膜等であってよい。

【0082】

エミッタ電極 52 は、トランジスタ部 70 およびダイオード部 80 において、半導体基板 10 および層間絶縁膜 38 の上面に形成される。エミッタ電極 52 は、コンタクトホール 54 の内部にも形成されており、コンタクトホール 54 により露出する半導体基板 10 の上面 21 と接触している。

40

【0083】

コレクタ電極 24 は、半導体基板 10 の下面 23 に形成される。コレクタ電極 24 は、半導体基板 10 の下面 23 全体と接触してよい。エミッタ電極 52 およびコレクタ電極 24 は、金属等の導電材料で形成される。本明細書において、エミッタ電極 52 とコレクタ電極 24 とを結ぶ方向を深さ方向 (Z 軸方向) と称する。コレクタ電極 24 からエミッタ電極 52 に向かう方向を Z 軸方向の正方向とする。

【0084】

ダイオード部 80 およびトランジスタ部 70 における半導体基板 10 の上面側には、P

50

- 型のベース領域 14 が形成される。半導体基板 10 の内部においてベース領域 14 の下方には、N - 型のドリフト領域 18 が配置されている。それぞれのトレンチ部は、半導体基板 10 の上面から、ベース領域 14 を貫通して、ドリフト領域 18 に達して設けられる。

【0085】

当該断面において、トランジスタ部 70 の各メサ部 60 - 1 には、N + 型のエミッタ領域 12、P - 型のベース領域 14 および N + 型の蓄積領域 16 が、半導体基板 10 の上面側から順番に配置されている。蓄積領域 16 は、ドリフト領域 18 よりもドナーが高濃度に蓄積している。蓄積領域 16 の下方にはドリフト領域 18 が設けられる。蓄積領域 16 は、各メサ部 60 におけるベース領域 14 の下面全体を覆うように設けられてよい。つまり、蓄積領域 16 はトレンチ部に X 軸方向で挟まれてよい。ドリフト領域 18 とベース領域 14 との間に、ドリフト領域 18 よりも高濃度の蓄積領域 16 を設けることで、キャリア注入促進効果 (IE 効果、Injection Enhancement effect) を高めて、トランジスタ部 70 におけるオン電圧を低減することができる。

10

【0086】

なお、トランジスタ部 70 のコンタクト領域 15 を通過する XZ 断面においては、トランジスタ部 70 の各メサ部 60 - 1 には、エミッタ領域 12 に代えて、コンタクト領域 15 が設けられている。また、メサ部 60 - 2 には、エミッタ領域 12 に代えて、コンタクト領域 15 が設けられている。コンタクト領域 15 は、ラッチアップを抑制するラッチアップ抑制層として機能してよい。

20

【0087】

当該断面においてダイオード部 80 の各メサ部 60 - 3 には、P - 型のベース領域 14 および N + 型の蓄積領域 16 が、半導体基板 10 の上面側から順番に配置される。蓄積領域 16 の下方にはドリフト領域 18 が設けられる。ダイオード部 80 には、蓄積領域 16 が設けられていなくともよい。

【0088】

トランジスタ部 70 において、半導体基板 10 の下面 23 に隣接する領域には、P + 型のコレクタ領域 22 が設けられている。ダイオード部 80 において半導体基板 10 の下面 23 に隣接する領域には、N + 型のカソード領域 82 が設けられている。

【0089】

本例の半導体基板 10 には、ドリフト領域 18 とコレクタ領域 22 との間、および、ドリフト領域 18 とカソード領域 82 との間に、N + 型のバッファ領域 20 が設けられている。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層が、P + 型のコレクタ領域 22 および N + 型のカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

30

【0090】

半導体基板 10 の上面 21 側には、1 以上のゲートトレンチ部 40、および、1 以上のダミートレンチ部 30 が形成される。各トレンチ部は、半導体基板 10 の上面 21 から、ベース領域 14 を貫通して、ドリフト領域 18 に到達する。エミッタ領域 12、コンタクト領域 15 および蓄積領域 16 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域 18 に到達する。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したのも、トレンチ部がドーピング領域を貫通しているものに含まれる。

40

【0091】

ゲートトレンチ部 40 は、半導体基板 10 の上面側に形成されたゲートトレンチ、ゲート絶縁膜 42 およびゲート導電部 44 を有する。ゲート絶縁膜 42 は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜 42 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 44 は、ゲートトレンチの内部においてゲート

50

絶縁膜 4 2 よりも内側に形成される。つまりゲート絶縁膜 4 2 は、ゲート導電部 4 4 と半導体基板 1 0 とを絶縁する。ゲート導電部 4 4 は、ポリシリコン等の導電材料で形成される。

【 0 0 9 2 】

ゲート導電部 4 4 は、深さ方向において、ゲート絶縁膜 4 2 を挟んで、少なくとも隣接するベース領域 1 4 と対向する、深さ方向に沿った領域を含む。当該断面におけるゲートトレンチ部 4 0 は、半導体基板 1 0 の上面において層間絶縁膜 3 8 により覆われる。ゲート導電部 4 4 に所定の電圧が印加されると、ベース領域 1 4 のうちゲートトレンチに接する界面の表層に電子の反転層によるチャンネルが形成される。

【 0 0 9 3 】

ダミートレンチ部 3 0 は、当該断面において、ゲートトレンチ部 4 0 と同一の構造を有してよい。ダミートレンチ部 3 0 は、半導体基板 1 0 の上面 2 1 側に形成されたダミートレンチ、ダミー絶縁膜 3 2 およびダミー導電部 3 4 を有する。ダミー絶縁膜 3 2 は、ダミートレンチの内壁を覆って形成される。ダミー導電部 3 4 は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜 3 2 よりも内側に形成される。ダミー絶縁膜 3 2 は、ダミー導電部 3 4 と半導体基板 1 0 とを絶縁する。ダミー導電部 3 4 は、ゲート導電部 4 4 と同一の材料で形成されてよい。例えばダミー導電部 3 4 は、ポリシリコン等の導電材料で形成される。ダミー導電部 3 4 は、深さ方向においてゲート導電部 4 4 と同一の長さを有してよい。当該断面におけるダミートレンチ部 3 0 は、半導体基板 1 0 の上面 2 1 において層間絶縁膜 3 8 により覆われる。なお、ダミートレンチ部 3 0 およびゲートトレンチ部 4 0 の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。

【 0 0 9 4 】

図 4 は、図 1 における領域 B の近傍を拡大した図である。領域 B は、パッド（本例ではカソードパッド 1 1 7）、パッドの第 1 の辺 1 3 2 に沿って配置された第 2 のゲートランナー 5 1、第 1 のゲートランナー 5 0 およびパッド間領域 1 3 0 を含む領域である。領域 B は、Y 軸方向において主活性部 1 2 0 におけるトランジスタ部 7 0 と対向しており、ダイオード部 8 0 とは対向していない。また、カソードパッド 1 1 7 の第 1 の辺 1 3 2 は、Y 軸方向に平行な辺である。

【 0 0 9 5 】

第 2 のゲートランナー 5 1 は、カソードパッド 1 1 7 の第 1 の辺 1 3 2 と、パッド間領域 1 3 0 との間に配置されている。第 2 のゲートランナー 5 1 と、カソードパッド 1 1 7 との間における半導体基板 1 0 の上面には、ウェル領域 1 1 が露出してよい。

【 0 0 9 6 】

上述したように、パッド間領域 1 3 0 に設けられたゲートトレンチ部 4 0 は、第 1 のゲートランナー 5 0 と直接または間接に接続される。本例のゲートトレンチ部 4 0 の先端部 4 1 は、第 3 のゲートランナー 4 8 の下方に配置されており、第 3 のゲートランナー 4 8 と接続されている。

【 0 0 9 7 】

パッド間領域 1 3 0 に設けられたゲートトレンチ部 4 0 は、主活性部 1 2 0 に設けられたゲートトレンチ部 4 0 が Y 軸方向に延伸したトレンチ部であってよい。つまり、主活性部 1 2 0 におけるゲートトレンチ部 4 0 と、パッド間領域 1 3 0 におけるゲートトレンチ部 4 0 は連続してよい。

【 0 0 9 8 】

また、パッド間領域 1 3 0 には、ダミートレンチ部 3 0 が設けられていてもよい。ダミートレンチ部 3 0 も、主活性部 1 2 0 に設けられたダミートレンチ部 3 0 が、パッド間領域 1 3 0 まで延伸して設けられてよい。第 1 のゲートランナー 5 0 の下方にはウェル領域 1 1 が設けられており、当該ウェル領域 1 1 は Y 軸方向に延伸して、パッド間領域 1 3 0 の一部にも設けられている。ダミートレンチ部 3 0 の先端部 3 1 は、当該ウェル領域 1 1 と重なる位置に設けられている。エミッタ電極 5 2 も、主活性部 1 2 0 から、当該ウェル領域 1 1 と重なる位置まで設けられている。ダミートレンチ部 3 0 の先端部 3 1 は、

10

20

30

40

50

コンタクトホール 5 6 を介してエミッタ電極 5 2 と接続している。なお、第 2 のゲートランナー 5 1 の下方にもウェル領域 1 1 が設けられており、当該ウェル領域 1 1 は X 軸方向に延伸して、パッド間領域 1 3 0 の一部にも設けられている。

【 0 0 9 9 】

パッド間領域 1 3 0 におけるそれぞれのメサ部 6 0 の構造は、図 2 および図 3 において説明した、主活性部 1 2 0 におけるメサ部 6 0 の構造と同一であってよい。パッド間領域 1 3 0 のメサ部 6 0 - 1 の上面には、コンタクト領域 1 5 およびエミッタ領域 1 2 が Y 軸方向に交互に設けられている。

【 0 1 0 0 】

また、パッド間領域 1 3 0 において、X 軸方向においてカソードパッド 1 1 7 と最も近くに配置されたゲートトレンチ部 4 0 と、カソードパッド 1 1 7 との間には、ダミートレンチ部 3 0 が設けられていてよい。ダミートレンチ部 3 0 には、エミッタ領域 1 2 が設けられていないメサ部 6 0 - 2 が隣接して配置されている。メサ部 6 0 - 2 は、X 軸方向において複数個配置されていてよい。これにより、パッド間領域 1 3 0 において、パッドと、エミッタ領域 1 2 との間隔を大きくすることができる。

10

【 0 1 0 1 】

また、パッド間領域 1 3 0 において、X 軸方向においてカソードパッド 1 1 7 と最も近いゲートトレンチ部 4 0 と、カソードパッド 1 1 7 との間に、コンタクトホール 5 4 が設けられていてよい。また、パッド間領域 1 3 0 において、X 軸方向においてカソードパッド 1 1 7 と最も近いダミートレンチ部 3 0 と、カソードパッド 1 1 7 との間に、コンタクトホール 5 4 が設けられていてもよい。パッド間領域 1 3 0 において、X 軸方向においてカソードパッド 1 1 7 と最も近いトレンチ部と、カソードパッド 1 1 7 との間に、コンタクトホール 5 4 が設けられていてよい。

20

【 0 1 0 2 】

また、主活性部 1 2 0 からパッド間領域 1 3 0 まで Y 軸方向に連続して設けられたメサ部 6 0 は、Y 軸方向における先端部分を除き、主活性部 1 2 0 およびパッド間領域 1 3 0 で同一の構造を有してよい。例えば、メサ部 6 0 - 1 の上面には、主活性部 1 2 0 およびパッド間領域 1 3 0 の両方において、コンタクト領域 1 5 およびエミッタ領域 1 2 が Y 軸方向に交互に設けられていてよい。

【 0 1 0 3 】

また、メサ部 6 0 の構造は、パッド間領域 1 3 0 と主活性部 1 2 0 とで異なっていてもよい。例えば一部のメサ部 6 0 - 2 は、パッド間領域 1 3 0 においてはエミッタ領域 1 2 が設けられておらず、主活性部 1 2 0 においてはコンタクト領域 1 5 およびエミッタ領域 1 2 が交互に配置されていてよい。

30

【 0 1 0 4 】

図 5 は、図 1 における領域 C の近傍を拡大した図である。領域 C は、パッド（本例ではカソードパッド 1 1 7）、パッドの第 2 の辺 1 3 4 に沿って配置された第 2 のゲートランナー 5 1、主活性部 1 2 0 のトランジスタ部 7 0 およびダイオード部 8 0 を含む領域である。また、カソードパッド 1 1 7 の第 2 の辺 1 3 4 は、X 軸方向に平行な辺であり、且つ、主活性部 1 2 0 と対向している辺である。

40

【 0 1 0 5 】

第 2 のゲートランナー 5 1 は、カソードパッド 1 1 7 の第 2 の辺 1 3 4 と、トランジスタ部 7 0 およびダイオード部 8 0 との間に配置されている。第 2 のゲートランナー 5 1 と、カソードパッド 1 1 7 との間における半導体基板 1 0 の上面には、ウェル領域 1 1 が露出していてよい。

【 0 1 0 6 】

上述したように、Y 軸方向において第 2 のゲートランナー 5 1 と対向して配置されたゲートトレンチ部 4 0 は、第 2 のゲートランナー 5 1 と直接または間接に接続されている。本例のゲートトレンチ部 4 0 の先端部 4 1 は、第 3 のゲートランナー 4 8 の下方に配置されており、第 3 のゲートランナー 4 8 と接続されている。

50

【0107】

また、第2のゲートランナー51の下方にはウェル領域11が設けられており、当該ウェル領域11はY軸方向に延伸して、第2のゲートランナー51よりも主活性部120側まで設けられている。ダミートレンチ部30の先端部31は、当該ウェル領域11と重なる位置に設けられている。ダミートレンチ部30の先端部31は、コンタクトホール56を介してエミッタ電極52と接続している。

【0108】

図4および図5に示した構造により、それぞれのゲートトレンチ部40を、金属の第1のゲートランナー50および第2のゲートランナー51に直接にまたは間接に接続しやすくなる。これにより、それぞれのゲートトレンチ部40に印加するゲート電圧の遅延および減衰のばらつきを低減できる。

10

【0109】

また、上面視におけるパッドと第2のゲートランナー51との距離D1は200 μm 以下であってよい。距離D1は、150 μm 以下であってよく、120 μm 以下であってよく、100 μm 以下であってよい。また、距離D1は、半導体基板10のZ軸方向における厚みの1.5倍以下であってよく、1倍以下であってよい。Y軸方向における距離D1が上記の条件を満たしてよく、X軸方向における距離D1が上記の条件を満たしてもよい。パッドと第2のゲートランナー51との距離を小さくすることで、活性領域の面積を大きくできる。

【0110】

図6は、上面視におけるエミッタ電極52の配置例を示す図である。エミッタ電極52は、主活性部120と、少なくとも一部のパッド間領域130の上方に設けられてよい。本例のエミッタ電極52は、電流センス素子119が設けられたパッド間領域130の上方には設けられていない。また、エミッタ電極52は、エミッタパッド115と重なる位置にも設けられていてよい。

20

【0111】

図7は、カソード領域82の配置例を示す図である。本例におけるパッド間領域130には、カソード領域82が設けられていない。つまり、主活性部120に設けられたカソード領域82は、パッド間領域130まで延伸して設けられていない。ただし、カソード領域82以外のダイオード部80の構造は、パッド間領域130に設けられてよい。このような構造により、N+型のカソード領域82と、比較的深く形成されたP+型のウェル領域11との距離を確保でき、パッド間領域130に素子領域を設けたことによる耐圧低下を抑制できる。

30

【0112】

なお、Y軸方向においてパッド間領域130と対向して配置されたカソード領域82-1は、Y軸方向においてパッドまたは第2のゲートランナー51と対向して配置されたカソード領域82-2よりも、Y軸方向に長く設けられていてよい。ただし、カソード領域82-1は、パッド間領域130までは延伸していない。これにより、カソード領域82の面積を増大させつつ、カソード領域82とウェル領域11との距離を確保しやすくなる。

40

【0113】

なお、第1の端辺142に沿って配置された複数のパッドのそれぞれは、少なくとも一部分が、ダイオード部80(カソード領域82)とY軸方向において対向する位置に設けられていてよい。これにより、主活性部120に設けられたトランジスタ部70の構造を、パッド間領域130まで延伸して設けやすくなる。このため、トランジスタ部70の面積を容易に増大させることができる。

【0114】

また、X軸方向において最も端に配置されたパッドと、第1のゲートランナー50とのX軸方向における距離D2は、500 μm 以下であってよい。当該パッドを、第1のゲートランナー50の近くに配置することで、X軸方向においてパッド間領域130を大きく

50

できる。距離 D 2 は 300 μm 以下であってよく、200 μm 以下であってよく、100 μm 以下であってよい。距離 D 2 は、半導体基板 10 の厚みの 1.5 倍以下であってよく、1 倍以下であってよい。

【0115】

図 8 は、図 7 における領域 D の近傍を拡大した図である。領域 D は、パッド間領域 130 において、主活性部 120 のダイオード部 80 およびトランジスタ部 70 と Y 軸方向で対向する領域である。

【0116】

図 7 において説明したように、パッド間領域 130 には、カソード領域 82 が設けられていない。ただし、Y 軸方向においてパッド間領域 130 と対向して配置されたダイオード部 80 のダミートレンチ部 30 は、パッド間領域 130 まで延伸して設けられている。また、当該ダイオード部 80 のメサ部 60 - 3 も、パッド間領域 130 まで延伸して設けられている。

10

【0117】

このような構造により、パッド間領域 130 と、主活性部 120 との間で構造の連続性を維持しつつ、カソード領域 82 とウェル領域 11 との距離を確保できる。構造の連続性を維持することで、電界が局所的に集中することを抑制できる。

【0118】

図 9 は、カソード領域 82 の他の配置例を示す図である。本例におけるパッド間領域 130 には、カソード領域 82 が設けられている。例えば、主活性部 120 に設けられたカソード領域 82 が、パッド間領域 130 まで延伸して設けられている。このような構造により、カソード領域 82 の面積を増大させて、ダイオード部 80 として動作する素子領域を大きくできる。

20

【0119】

なお、カソード領域 82 とウェル領域 11 との X 軸方向における距離が近くなりすぎる場合、主活性部 120 のカソード領域 82 をパッド間領域 130 まで延伸させないことが好ましい。一例として、カソード領域 82 とウェル領域 11 との X 軸方向における距離が 200 μm 以上となることを条件として、カソード領域 82 をパッド間領域 130 まで延伸させてよい。当該距離は、100 μm 以上であってよく、半導体基板 10 の厚み以上であってよい。

30

【0120】

図 10 は、図 9 における領域 E の近傍を拡大した図である。領域 E は、パッド間領域 130 において、主活性部 120 のダイオード部 80 およびトランジスタ部 70 と Y 軸方向で対向する領域である。

【0121】

図 9 において説明したように、パッド間領域 130 には、カソード領域 82 が設けられている。また、ダミートレンチ部 30 およびメサ部 60 - 3 も、パッド間領域 130 まで延伸して設けられている。このような構造により、ダイオード部 80 の面積を大きくできる。

【0122】

図 11 は、図 1 における領域 B の他の例を示す。本例では、パッド間領域 130 に設けられたゲートトレンチ部 40 のうち、X 軸方向においてパッドに最も近いゲートトレンチ部 40 - 1 には、エミッタ領域 12 が接して設けられていない。これにより、パッドと、エミッタ領域 12 との距離をより大きくできる。ゲートトレンチ部 40 - 1 に隣接するメサ部 60 には、エミッタ領域 12 に代えてコンタクト領域 15 が設けられてよい。

40

【0123】

図 12 は、主活性部 120 およびパッド間領域 130 におけるゲートトレンチ部 40 の配置例を示す図である。上述したように、パッド間領域 130 におけるゲートトレンチ部 40 は、主活性部 120 におけるゲートトレンチ部 40 と連続して設けられてよい。同様に、ダミートレンチ部 30 も、パッド間領域 130 および主活性部 120 で連続して設け

50

られてよい。

【 0 1 2 4 】

図 1 3 は、主活性部 1 2 0 およびパッド間領域 1 3 0 におけるゲートトレンチ部 4 0 の他の配置例を示す図である。本例では、パッド間領域 1 3 0 におけるゲートトレンチ部 4 0 は、主活性部 1 2 0 のゲートトレンチ部 4 0 とは分離している。パッド間領域 1 3 0 におけるゲートトレンチ部 4 0 は、X 軸方向に延伸して設けられてよい。パッド間領域 1 3 0 のゲートトレンチ部 4 0 は、Y 軸方向に設けられた第 2 のゲートランナー 5 1 と直接または間接に接続してよい。本例のゲートトレンチ部 4 0 は、X 軸方向におけるパッド間領域 1 3 0 の両端に設けられた第 2 のゲートランナー 5 1 と直接または間接に接続している。パッド間領域 1 3 0 におけるダミートレンチ部 3 0 も、ゲートトレンチ部 4 0 と平行な方向に延伸して設けられてよい。

10

【 0 1 2 5 】

なお、パッド間領域 1 3 0 と Y 軸方向において対向する主活性部 1 2 0 のゲートトレンチ部 4 0 は、パッド間領域 1 3 0 と主活性部 1 2 0 との間に配置された第 3 のゲートランナー 4 8 と接続されてよい。第 3 のゲートランナー 4 8 は、X 軸方向におけるパッド間領域 1 3 0 の両端に設けられた第 2 のゲートランナー 5 1 と接続している。このような構造によっても、それぞれのゲートトレンチ部 4 0 をゲートランナー部に接続できる。

【 0 1 2 6 】

図 1 4 は、主活性部 1 2 0 およびパッド間領域 1 3 0 におけるゲートトレンチ部 4 0 の他の配置例を示す図である。本例では、パッド間領域 1 3 0 におけるゲートトレンチ部 4 0 は、主活性部 1 2 0 のゲートトレンチ部 4 0 とは分離している。本例では、パッド間領域 1 3 0 におけるゲートトレンチ部 4 0 は、Y 軸方向に延伸して設けられている。

20

【 0 1 2 7 】

パッド間領域 1 3 0 のゲートトレンチ部 4 0 は、第 1 のゲートランナー 5 0 と直接または間接に接続してよい。パッド間領域 1 3 0 と Y 軸方向において対向する主活性部 1 2 0 のゲートトレンチ部 4 0 は、パッド間領域 1 3 0 と主活性部 1 2 0 との間に配置された第 3 のゲートランナー 4 8 と接続されてよい。このような構造によっても、それぞれのゲートトレンチ部 4 0 をゲートランナー部に接続できる。

【 0 1 2 8 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

30

【 0 1 2 9 】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

40

【 符号の説明 】

【 0 1 3 0 】

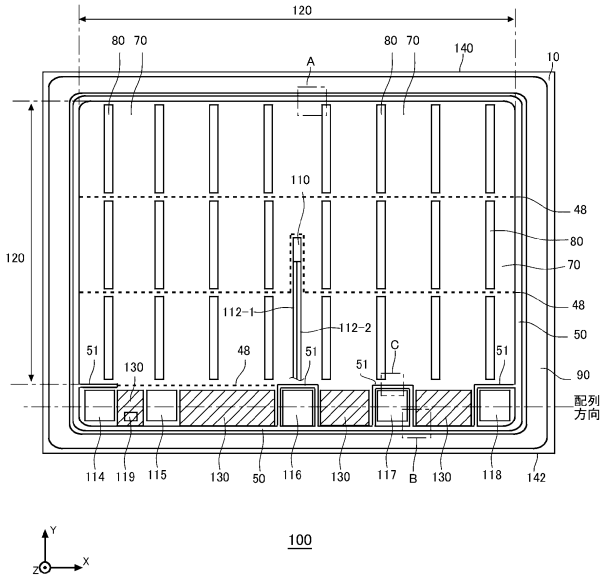
1 0 . . . 半導体基板、 1 1 . . . ウェル領域、 1 2 . . . エミッタ領域、 1 4 . . . ベース領域、 1 5 . . . コンタクト領域、 1 6 . . . 蓄積領域、 1 8 . . . ドリフト領域、 2 0 . . . バッファ領域、 2 1 . . . 上面、 2 2 . . . コレクタ領域、 2 3 . . . 下面、 2 4 . . . コレクタ電極、 2 5 . . . 接続部、 2 9 . . . 直線部、 3 0 . . . ダミートレンチ部、 3 1 . . . 先端部、 3 2 . . . ダミー絶縁膜、 3 4 . . . ダミー導電部、 3 8 . . . 層間絶縁膜、 3 9 . . . 直線部、 4 0 . . . ゲートトレンチ部、 4 1 . . . 先端部、 4 2 . . . ゲート絶縁膜、 4 4 . . . ゲート導電部、 4 8 . . . 第 3 のゲートランナー、 4 9 . . . コンタクトホール、 5 0 . . . 第 1 のゲートランナー、 5 1 . . . 第 2 のゲ

50

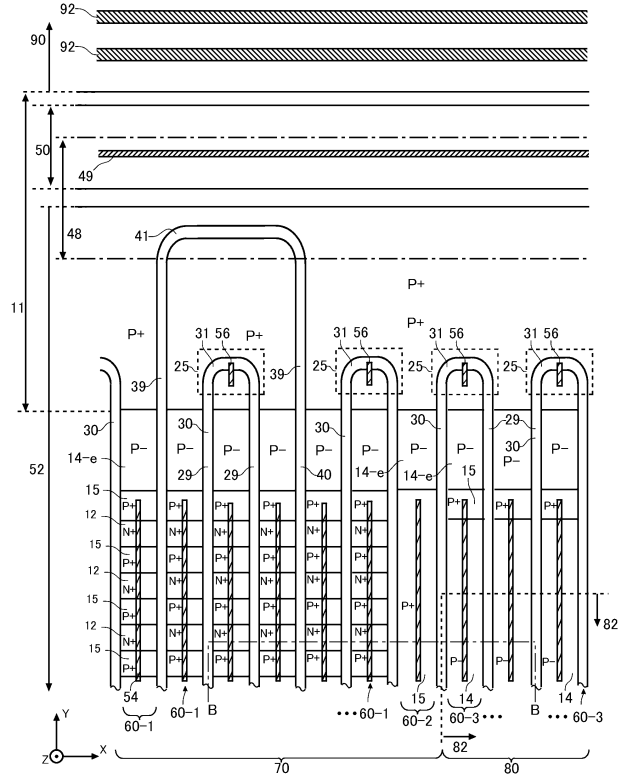
トランナー、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コンタクトホール、60・・・メサ部、70・・・トランジスタ部、80・・・ダイオード部、82・・・カソード領域、90・・・エッジ終端構造部、92・・・ガードリング、100・・・半導体装置、110・・・温度センス部、112・・・温度センス配線、114・・・センスパッド、115・・・エミッタパッド、116・・・ゲートパッド、117・・・カソードパッド、118・・・アノードパッド、119・・・電流センス素子、120・・・主活性部、130・・・パッド間領域、132・・・第1の辺、134・・・第2の辺、140・・・外周端、142・・・第1の端辺

【図面】

【図1】



【図2】



10

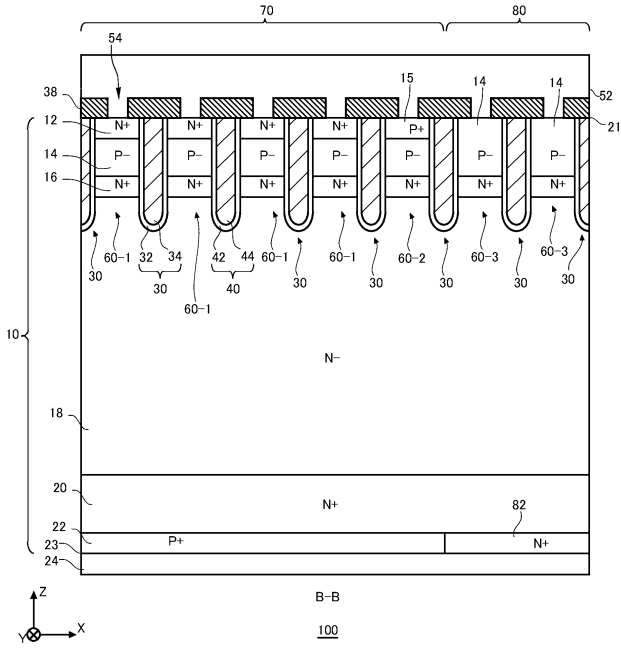
20

30

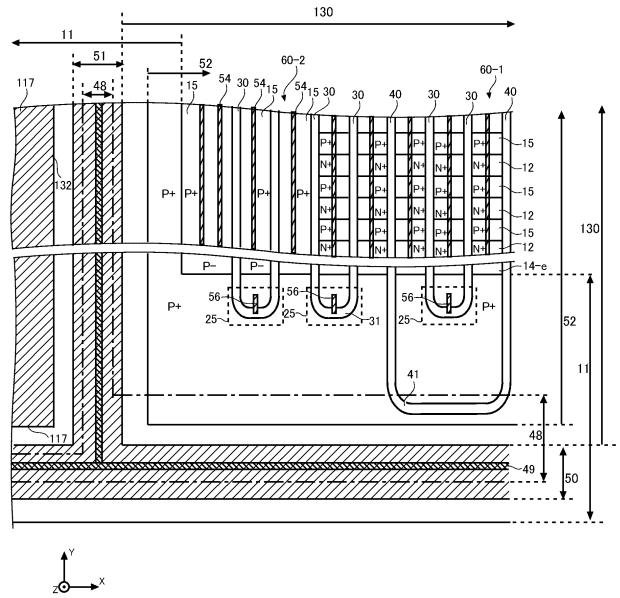
40

50

【 図 3 】



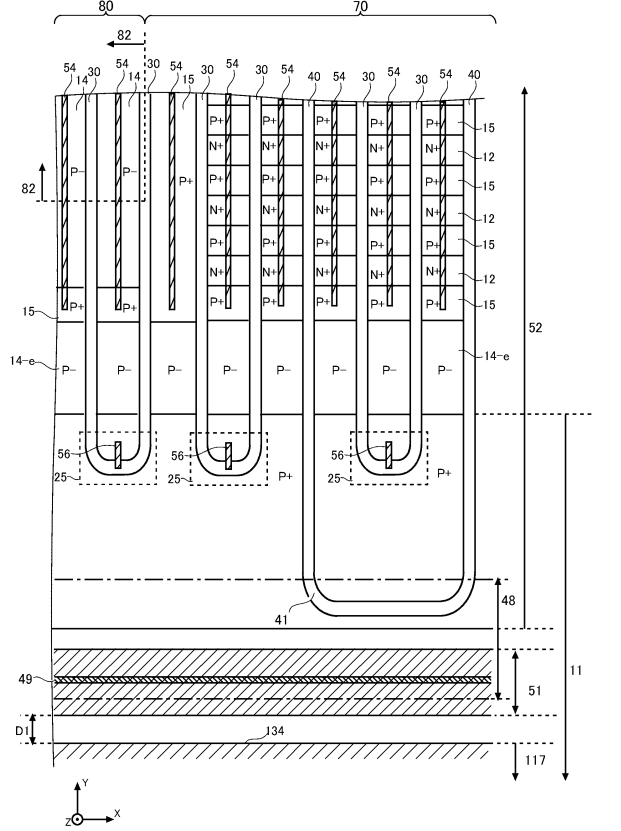
【 図 4 】



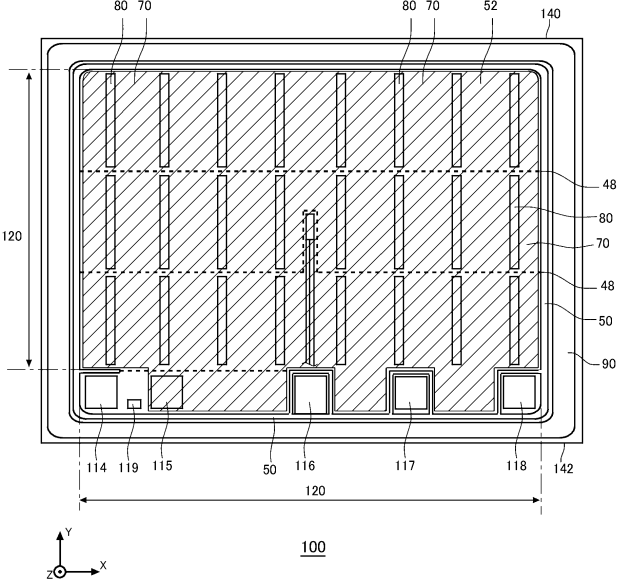
10

20

【 図 5 】



【 図 6 】

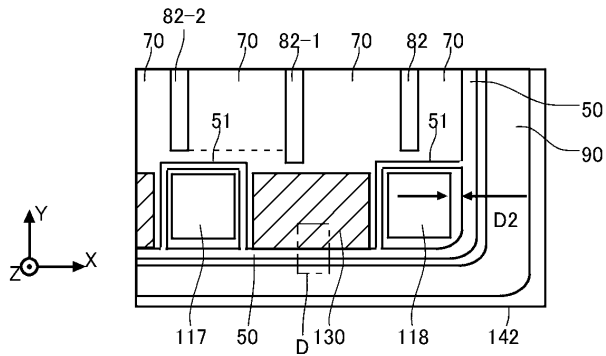


30

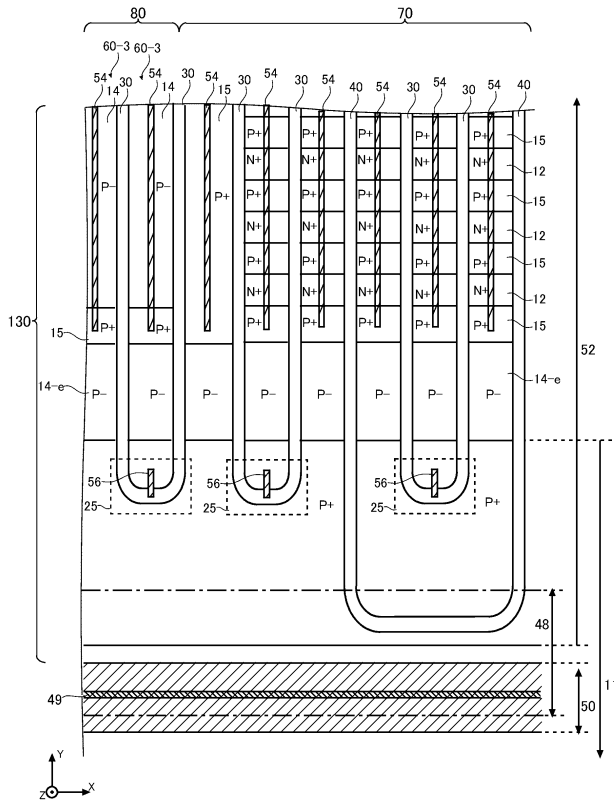
40

50

【 図 7 】



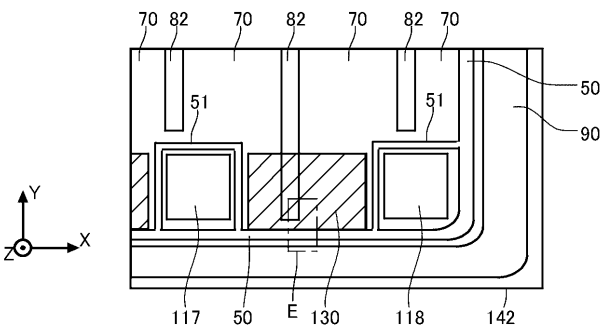
【 図 8 】



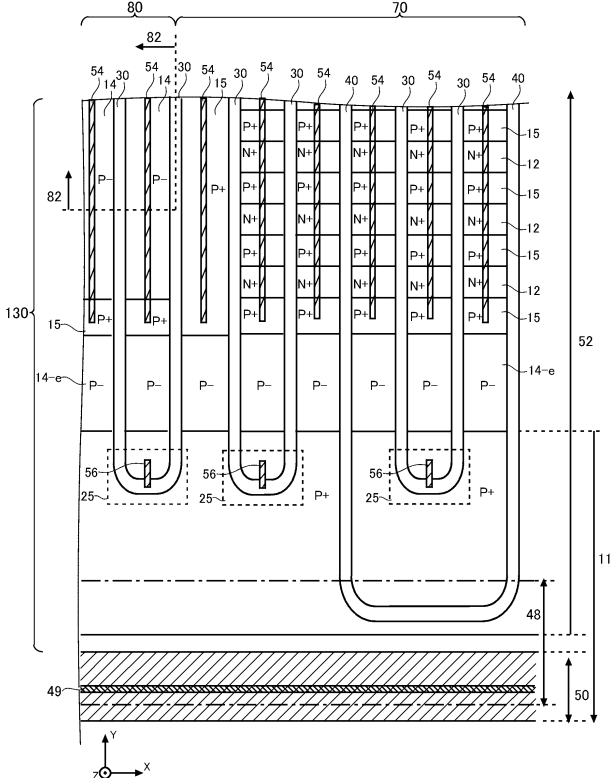
10

20

【 図 9 】



【 図 10 】

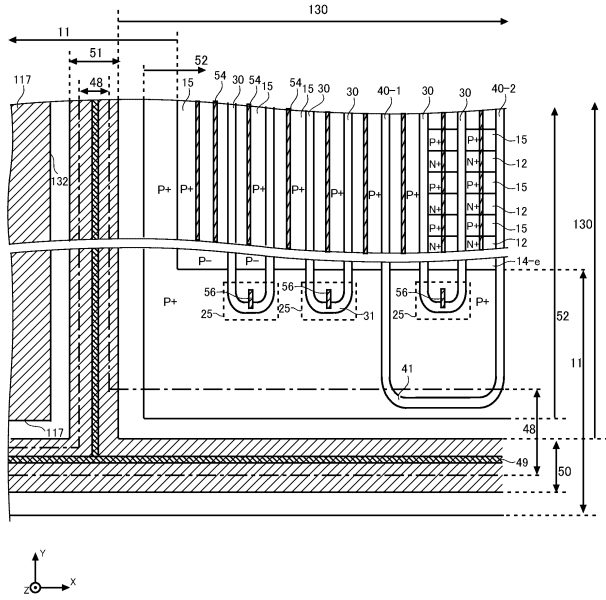


30

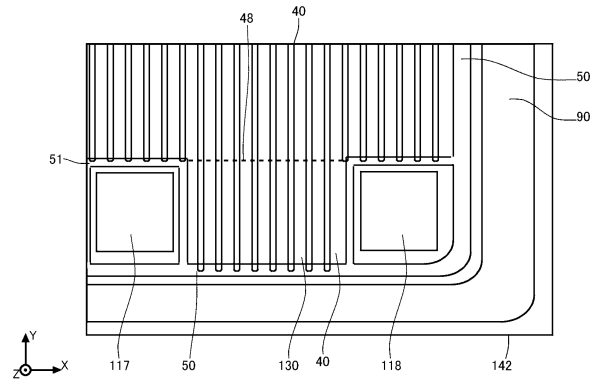
40

50

【 図 1 1 】

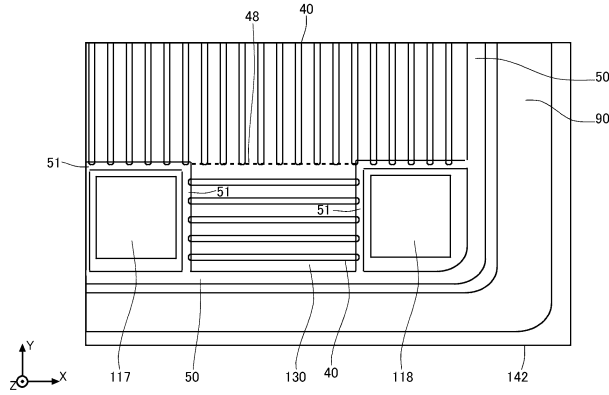


【 図 1 2 】

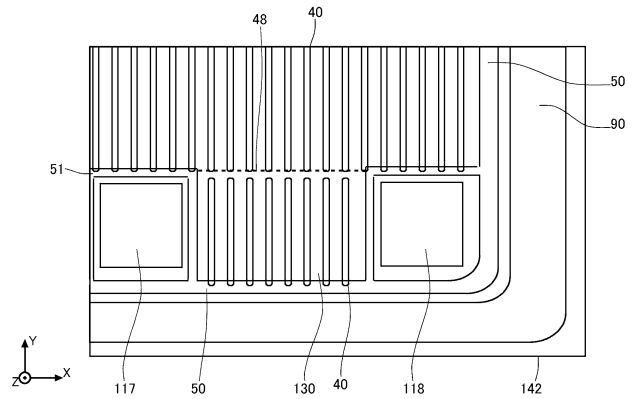


10

【 図 1 3 】



【 図 1 4 】



20

30

40

50

フロントページの続き

(51)国際特許分類

H 0 1 L 21/822(2006.01)
H 0 1 L 21/8234(2006.01)
H 0 1 L 21/336(2006.01)

F I

H 0 1 L 29/78 6 5 7 D
H 0 1 L 29/78 6 5 7 F
H 0 1 L 29/78 6 5 7 A
H 0 1 L 29/78 6 5 2 J
H 0 1 L 29/91 C
H 0 1 L 29/91 F
H 0 1 L 29/78 6 5 2 P
H 0 1 L 29/06 3 0 1 G
H 0 1 L 29/06 3 0 1 V
H 0 1 L 27/04 A
H 0 1 L 27/06 1 0 2 A
H 0 1 L 27/088 E
H 0 1 L 29/78 3 0 1 D
H 0 1 L 29/78 3 0 1 V