

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-523587  
(P2007-523587A)

(43) 公表日 平成19年8月16日(2007.8.16)

(51) Int. Cl. F I テーマコード(参考)  
HO2M 3/155 (2006.01) HO2M 3/155 H 5H730

審査請求 有 予備審査請求 未請求 (全 15 頁)

|               |                              |          |   |
|---------------|------------------------------|----------|---|
| (21) 出願番号     | 特願2006-554227 (P2006-554227) | (71) 出願人 | 504392083<br>インターナショナル レクティファイアー<br>コーポレーション<br>アメリカ合衆国 カリフォルニア州 90<br>245 エル・セグンド カンザス スト<br>リート 233 |
| (86) (22) 出願日 | 平成17年2月18日(2005.2.18)        | (74) 代理人 | 100060759<br>弁理士 竹沢 莊一  |
| (85) 翻訳文提出日   | 平成18年10月17日(2006.10.17)      | (74) 代理人 | 100087893<br>弁理士 中馬 典嗣  |
| (86) 国際出願番号   | PCT/US2005/005186            | (72) 発明者 | マイク ウォルターズ<br>アメリカ合衆国 ノースカロライナ州 2<br>7523 アベックス サンセット メド<br>ウズ ドライヴ 1029                              |
| (87) 国際公開番号   | W02005/079486                |          |   |
| (87) 国際公開日    | 平成17年9月1日(2005.9.1)          |          |   |
| (31) 優先権主張番号  | 60/546, 119                  |          |   |
| (32) 優先日      | 平成16年2月19日(2004.2.19)        |          |   |
| (33) 優先権主張国   | 米国 (US)                      |          |   |

最終頁に続く

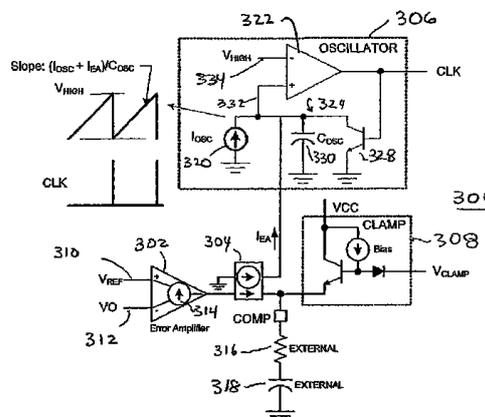
(54) 【発明の名称】 スイッチング周波数が負荷に応答自在な DC-DC 電圧レギュレータ

(57) 【要約】

【課題】 周波数固定ドライブの望ましいノイズ特性、および周波数可変ドライブによって生じる負荷過渡現象に対する高速応答を呈するスイッチング式電源のための制御方式を提供する。

【解決手段】 公称周波数を有する発振器によってスイッチング周波数を制御するスイッチングモードの電源であって、電源出力が公称値を離脱したことを表示する出力信号を発生するためのエラー増幅器を有し、エラー増幅器の出力信号の値に従って、公称周波数よりも高いか、低い周波数への発振器の周波数を調節することにより機能する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

高電圧側および低電圧側半導体スイッチと、  
前記高電圧側および前記低電圧側半導体スイッチをターンオンおよびターンオフするための駆動回路とを備えるスイッチングモードの電源であって、  
前記駆動回路は、前記高電圧側および低電圧側の半導体スイッチに対するスイッチング周波数を決定する信号を発生するための周波数可変発振器と、  
1つの公称周波数を有する発振器と、  
前記電源の出力が公称値から離脱したことを示す出力信号を発生するためのエラー増幅器と、  
前記公称値からの前記電源出力の離脱に従って、前記公称周波数より高いか、または低い周波数に前記発振器の周波数を調節するよう、公称値からの電源出力の離脱に応答自在な調節回路と、  
前記高電圧側半導体スイッチに対する最小のオン時間を定める信号を発生するクランプ回路とを備えるスイッチングモードの電源。

10

## 【請求項 2】

前記発振器は、前記発振器の周波数を決定するよう、タイミングコンデンサからの電流を送るか、または転流する制御自在な電流源を有し、  
前記エラー増幅器の出力は、前記調節回路への入力信号として提供される電流であり、  
前記調節回路は、前記発振器に電流を供給し、前記発振器のコンデンサの充電/放電レートを変更するようになっている、請求項 1 記載のスイッチングモードの電源。

20

## 【請求項 3】

前記エラー増幅器は、トランスコンダクタ増幅器である、請求項 2 記載のスイッチングモードの電源。

## 【請求項 4】

前記調節回路は、電流ミラー回路であり、この電流ミラー回路は、前記エラー増幅器の出力に応答自在であり、前記発振器のコンデンサに増幅器の出力電流のミラー電流を提供し、コンデンサの充電/放電レートを変えるようになっている、請求項 2 記載のスイッチングモードの電源。

## 【請求項 5】

前記エラー増幅器の出力電流が 0 に近いとき、前記発振器は、公称周波数で作動するようになっている、請求項 2 記載のスイッチングモードの電源。

30

## 【請求項 6】

前記エラー増幅器の周波数は、前記クランプ回路への入力として結合されており、かつ前記クランプ回路の出力は、デューティサイクル制御回路への入力として結合されており、前記デューティサイクル制御回路は、前記クランプ回路の出力および前記発振器からの出力信号に応答し、前記発振器の周波数によって定められるインターバルで、前記クランプ回路の出力によって決定される時間の間、前記高電圧側スイッチをターンオンするようになっている、請求項 2 記載のスイッチングモードの電源。

## 【請求項 7】

前記クランプ回路は、所定の小負荷条件に対応する電圧を下回る、前記エラー増幅器の出力に応答し、前記デューティサイクルの制御回路の入力信号として固定された最小の出力信号を発生するようになっている、請求項 6 記載のスイッチングモードの電源。

40

## 【請求項 8】

前記エラー増幅器の出力が所定の小負荷電流を下回ると、前記調節回路により前記発振器のタイミングコンデンサに提供される電流を低減するように、前記クランプ回路は作動し、これにより、発振器の周波数が低下し、高電圧側スイッチに対し、オン時間を一定にした状態で、スイッチング周波数を変えることにより、電源の出力電圧をレギュレートするようになっている、請求項 7 記載のスイッチングモードの電源。

## 【請求項 9】

50

前記調節回路は、前記エラー増幅器の出力電流の増加にตอบสนองし、前記発振器のタイミングコンデンサに提供される電流を増加し、これにより、高電圧側スイッチおよび低電圧側スイッチに対する発振器の周波数、およびスイッチング周波数を高くするようになっている、請求項 2 記載のスイッチングモードの電源。

【請求項 10】

前記エラー増加の出力は、前記クランプ回路への入力として結合されており、かつ前記クランプ回路の出力は、デューティサイクル制御回路への入力として結合されており、前記デューティサイクル制御回路は、クランプ回路の出力および前記発振器からの出力信号にตอบสนองし、前記発振器の周波数によって決定されるインターバルで、前記クランプ回路の出力によって決定される時間の間、前記高電圧側スイッチをターンオンするようになっている、請求項 1 記載のスイッチングモードの電源。

10

【請求項 11】

前記調節回路は、前記エラー増幅器の出力電流の増加にตอบสนองし、前記発振器の周波数を高め、もって、高電圧側スイッチおよび低電圧側スイッチのためのスイッチング周波数、および高電圧側スイッチのためのオン時間を長くするようになっている、請求項 10 記載のスイッチングモードの電源。

【請求項 12】

前記クランプ回路は、所定の小負荷条件に対応する電圧を下回る前記エラー増幅器の出力にตอบสนองし、前記デューティサイクルの制御回路の入力信号として、固定された最低の出力信号を発生するようになっている、請求項 10 記載のスイッチングモードの電源。

20

【請求項 13】

前記調節回路は、前記エラー増幅器の出力電流にตอบสนอง自在であり、前記クランプ回路は、前記エラー増幅器の出力が所定の小負荷電圧を下回ったときに、前記調節回路に提供される電流を低減するようになっている、

前記発振器の周波数を低下し、高電圧側スイッチに対するオン時間を一定にしたまま、スイッチング周波数を変えることにより、電源の出力電圧をレギュレートするようになっている、請求項 12 記載のスイッチングモードの電源。

【請求項 14】

前記調節回路は、電圧制御電流源を有し、この電圧制御電流源は、電源負荷の過渡時の増加にตอบสนองし、第 1 の極性の電流を発生し、前記発振器の周波数を高めるようになっている、請求項 1 記載のスイッチングモードの電源。

30

【請求項 15】

前記クランプ回路は、反対の極性の電流を発生し、前記発振器の周波数を低下させるようになっている前記調節回路の一部を含む、請求項 14 記載のスイッチングモードの電源。

【請求項 16】

前記クランプ回路に含まれる前記調節回路の部分は、前記エラー増幅器の出力にตอบสนองし、前記増幅器の出力電流のミラーを前記発振器に提供する電流ミラー回路を備える、請求項 15 記載のスイッチングモードの電源。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、大きい負荷に対しては駆動周波数を下げ、ステップ状の負荷の増加に対しては駆動周波数を高くするように、スイッチングデバイスの従来のパルス幅変調 (PWM) 制御を変更し、スイッチング周波数を変えるようになっているスイッチングモードの電源に関する。

【背景技術】

【0002】

スイッチング電源は、電子デバイスおよびモータの駆動に関して、多くの用途を有しており、当業者には、いくつかの基本タイプが周知となっている。DC 入力電流を取り込み

50

、入力電圧よりも低いDC出力電圧を発生する従来のDC-DCバック(buck)コンバータを参照して、本発明について説明する。

【0003】

バックコンバータは、一般に、大きい量の負荷電流(例えば30アンペア以上)を必要とする低電圧用途で使用されている。しかし、本発明は、他のタイプのスイッチング電源、例えばブーストコンバータにも適用できるものである。

【0004】

図1は、単相バックコンバータ100を示す。このコンバータ100は、高電圧側スイッチ105と、スイッチノード115において、高電圧側スイッチに接続された低電圧側スイッチ110と、スイッチノード115に接続された出力インダクタ120と、出力インダクタ120に接続された出力コンデンサ125とを備えている。高電圧側スイッチ105および低電圧側スイッチ110は、パワーMOSFETでもよいし、IGBTでもよいし、また、高い導通状態と実質的に非導通状態とにスイッチングできる他のバイポーラトランジスタ、または他の適当なデバイスとしてもよい。

10

【0005】

作動時に、高電圧側スイッチ105および低電圧側スイッチ110に対するゲート駆動信号が、制御回路130によって印加され、負荷135の両端に所望する出力電圧を発生するようになっている。

【0006】

この目的のために、制御回路130は、発振器と、スイッチのオンオフ時間を制御するロジック回路とを備えている。従って、最初、高電圧側スイッチ105がオン状態にスイッチングされていると、低電圧側スイッチ110はオフ状態のままである。これによって、出力インダクタ120の両端にほぼ( $V_{IN} - V_{OUT}$ )の電圧低下が生じ、インダクタ内に電流が増加する。

20

【0007】

次に、高電圧側スイッチ105がターンオフされ、低電圧側スイッチ110がターンオンされる。インダクタの電流は瞬時に変化できないので、インダクタ電流はスイッチ110を通過するように流れ、スイッチは出力コンデンサ125を充電するはずである。これによって出力コンデンサの両端の電圧( $V_{OUT}$ )が上昇する。

30

【0008】

最終的に、適当な時間に、高電圧側スイッチ150と低電圧側スイッチ110がオンオフ状態にスイッチングされ、出力コンデンサ125の両端の電圧( $V_{OUT}$ )は、所望のレベルに達する。この所望のレベルは、バックコンバータの場合、一般に、出力電圧よりも低くなっている。

【0009】

一旦所望の出力電圧に到達すると、高電圧側スイッチ105および低電圧側スイッチ110のオンオフのスイッチングが、デューティサイクルで続く。すなわち、このスイッチの相対的なオン時間およびオフ時間は、出力インダクタ120が出力コンデンサ125の両端に接続された負荷135の電流要求量に等しい量の電流を発生するように制御される。

40

【0010】

この目的のために、適当なフィードバックレギュレーションループが設けられている。制御回路130に含まれる回路は、スイッチ105および110のスイッチング時間を制御するのに使用される信号を、信号パス140を通して受信する。検出デバイス(その信号パス140が図示されている)は、電圧モード制御をするように、コンデンサ125の両端の出力電圧に応答自在であるか、または電流モードの制御をするように、出力インダクタ120を通過する電流に応答自在とすることができる。

【0011】

デューティサイクルを正しく制御することにより、負荷135の電流要求量よりも多くなく、かつこれよりも少なくない電流が生じ、出力コンデンサ125の両端の電圧( $V_{OU}$

50

r) が、所望するレギュレーションの程度で、所望する出力電圧をもって、ほぼ一定値に留まるように、デバイスを作動させることができる。

【0012】

負荷の電流要求量が、図1の回路によって適宜提供される値を超える場合、いくつかのかかる回路を組み合わせ、多相DC-DCバックコンバータを形成できる。図2には、多相バックコンバータのための代表的な回路構造が200で示されている。この回路は、複数のインターリーブ出力位相回路205a、205b、205c、...205nと、多相制御回路210と、当業者であれば理解できるような任意の適当な構造のフィードバック回路(図示せず)とを備えている。

【0013】

各出力位相回路は、図1の単相バックコンバータ100と同じように、高電圧側スイッチと、低電圧側スイッチと、出力インダクタとを含んでいる。

【0014】

コンバータ200の作動は、単相コンバータ100の作動と概ね同一である。従って、制御回路210は、フィードバック信号が決定するデューティサイクルをもって、時間遅延シーケンスで出力位相回路を周期的に作動させ、位相回路間で電流の発生を分担し、MOSFETが受ける熱の発生を分散させる。

【0015】

上記のようなバックコンバータに対して、高電圧側MOSFETおよび低電圧側MOSFETのスイッチング時間は、PWM回路によって制御される。一般に、このPWM回路は、三角波を発生する発振器と、基準電圧とフィードバック信号から誘導される電圧との差を示すエラー信号に従って、三角波を一連のパルスに変換する適当なロジック回路とを備えている。

【0016】

従来やり方に従えば、固定周波数発振器を使用し、エラー信号の値に従って、デューティサイクルが変化する。これとは異なり、デューティサイクルを固定した状態で周波数可変発振器を使用することも公知である。

【0017】

固定スイッチング周波数で作動するパワーコンバータは、所望の電気ノイズ特性を有する。変調信号の振幅は、制御ICの共通モードの全レンジを使用することができ、利用可能な周波数に対する振幅と妥協することはできない。周波数を固定したことによって、コンバータから放出される電気ノイズを抑制するために、簡単なフィルタおよびブランキング技術を使用することが可能となっている。

【0018】

しかし、固定スイッチング周波数を選択することによって、高い負荷効率と過渡時の応答とを妥協させなければならない。スイッチング周波数が低ければ、小負荷時の効率は最良となる。高スイッチング周波数により、過渡時の応答は最良となる。従って、周波数可変動作することには、潜在的な利点がある。

【発明の開示】

【発明が解決しようとする課題】

【0019】

しかし、従来公知の技術は、現在までこの技術を非実用的なものとしていた欠点を有する。従来試みられて来た技術のうち、オン時間を一定にしたコントローラ、およびヒステリシスコントローラを使用する技術がある。ヒステリシスコントローラは、大きな出力電圧リップルに依存しているので、許容できないレベルのノイズを発生する。オン時間が一定のコントローラは、小負荷時に良好に作動するが、上記過渡時に遅延時間が生じるという問題がある。

【0020】

出力電圧が、一旦スレッシュホールドを下回るように低下すると、すべてのパワーチャンネルを、同時にターンオンすることにより、負荷の過渡現象に応答するような多相コンバー

10

20

30

40

50

タのためのデジタル方法も、従来提案されている。この方法は、フル負荷のステップに対して対処できるが、部分負荷ステップでは、この方法はすべてのパワーチャンネルをターンオンし、インダクタ内の全電流を過度に増加させる。そのため、電圧が上昇し、レギュレート値をオーバーシュートすることになる。

**【0021】**

上記のように、スイッチング周波数固定式コンバータは、負荷の過渡現象に対する応答速度が限られている。一例として、電圧モードバックコンバータでは、上部MOSFETのターンオンインターバルは、CLKエッジでスタートし、制御回路は、CLK周波数がスイッチング周波数に等しくなるよう、スイッチング周期毎に、1つのCLKエッジを発生するようになっている。

10

**【0022】**

上部MOSFETは、オン時間インターバルの終了時に、ターンオフ状態となる。

**【0023】**

このときに、出力に急な負荷がかかると仮定する。コンターバは、次のオン時間インターバル前で、次のCLKエッジを待たなければならない。因みに、負荷が出力コンデンサからの電流を吸収する際に、出力電圧は低下する。コンバータがインダクタ電流を新しい負荷電流とするようにランプ制御できるまで、出力電圧は低下し続ける。

**【0024】**

次のCLKエッジでスタートする上部MOSFETの次のターンオンインターバル中に、インダクタ電流は増加する。ターンオンインターバルよりも短いCLK周期と等しいオフ時間インターバルの間、応答が遅延する。従って、スイッチング周波数が高い(かつCLK周期が短い)コンバータは、スイッチング周波数が低いコンバータよりも高速で応答する。

20

**【0025】**

コンバータの効率は、コンバータのパワー散逸量に逆比例する。コンバータのパワー損失量は、導通損失およびスイッチング損失に換算することができる。スイッチング損失は、コンバータのスイッチング周波数に関連するパワー損失となる。出力インダクタのコアの損失、およびMOSFETのスイッチング損失は、スイッチングパワー散逸を示す。これらの損失量は、スイッチング周波数が増加するにつれて、増加する。小負荷時では、出力パワーおよび導通損失が減少するが、スイッチング損失は一定のままである。この結果生じる効率は、小負荷時に低くなる。

30

**【0026】**

スイッチング周波数が固定されている場合、負荷の過渡現象に対して、応答速度が制限されているため、多相コンバータで別の問題が生じる。高電圧側スイッチは、CLK信号を受信するまでターンオンできないので、1つ以上の位相で起こり得る過負荷状態が生じた場合、個々の位相の出力電圧の間で、不整合が生じやすい。

**【0027】**

従って、周波数固定ドライブの望ましいノイズ特性、および周波数可変ドライブによって生じる負荷過渡現象に対する高速応答を呈するスイッチング式電源のための制御方式を提供することが望ましい。

40

**【課題を解決するための手段】****【0028】**

本発明は、適度な負荷に対しては、固定されたクロック周波数で作動する発振器を有し、小負荷に対しては、一時的にクロック周波数を低下させ、大負荷に対しては、一時的にクロック周波数を高めるようになっているスイッチング電源のパワースイッチのためのゲート駆動回路を提供することにより、上記目的を達成するものである。

**【0029】**

好ましい一実施例によれば、発振器は、タイミングコンデンサからの電流を送るか、または転流し、発振器の周波数を決定するための制御可能な電流源を含んでいる。スイッチングレギュレータの出力電圧を、エラー増幅器が検出し、エラー増幅器は、この出力電圧

50

と基準電圧とを比較する。エラー増幅器は、コンバータのレギュレータループを補償するための手段を提供する出力の直列抵抗、およびコンデンサを有するトランスコンダクタンス増幅器である。エラー増幅器の出力電流は、電流ミラーにおいてミラー化され、電流は、クロック発振回路に供給され、発振器のコンデンサの充電/放電レートに影響する。

【0030】

適度な負荷条件の間、エラー増幅器の電流は、ほぼ0であるので、スイッチング周波数は、一定のままである。小負荷条件のために、エラー増幅器の出力電圧が、プリセットされた値を下回り、エラー増幅器の出力電流が、クリチカル電流を下回るインダクタ電流に対応した場合、エラー増幅器の出力端におけるクランプ回路が、エラー増幅器の出力電圧をクランプされた電圧にクランプする。そのため、発振器への電流を低減するクランプからの電流を、エラー増幅器に吸収させ、スイッチング周波数を低下する。次に、オン時間を一定にしたまま、スイッチング周波数を変えることによって、出力電圧はレギュレートされる。すなわち、小負荷作動中のパルス幅は、一定のままであるが、スイッチング周波数は低下する。

10

【0031】

別の表現をすれば、オン時間が一定のまま、オフ時間の周波数が高くなるので、デューティサイクルは減少する。スイッチング周波数が低下するので、このことは、スイッチング周波数の損失を低減し、その結果、小負荷時の効率が高くなる。

【0032】

より大きい負荷時に、増加した負荷ステップに応答し、出力電圧が低下するにつれて、エラー増幅器の出力が増加し、増加した電流は、ミラー化され、発振器へ供給されるので、スイッチング周波数が高まる。従って、負荷ステップ中、オフ時間は短くなり、スイッチング周波数は高くなる。再び、高電圧側スイッチのためのオン時間は、一定のままである。

20

【0033】

好ましい一実施例では、発振器の周波数を調節するのに、エラー増幅器の電流のダイレクトなコピーが使用される。しかし、これとは異なり、所望により、発振器へ供給される実際の電流を、スケールリングすることもできる。

【0034】

更に、スイッチング周波数の特性を最適にするように、発振器に供給される正負の電流を、別々に誘導し、スケールリングすることもできる。

30

【0035】

添付図面を参照し、本発明の次の詳細な説明を読めば、本発明の上記以外の特徴および利点が明らかとなると思う。

【発明を実施するための最良の形態】

【0036】

図3には、全体が符号300で示された、本発明にかかわる周波数可変ゲートドライブ発振器の第1実施例が示されている。この実施例は、標準的な集積回路製造技術、および回路設計を使って実現されるようになっているので、説明を、システムのアーキテクチャおよび機能だけに限定することにする。当業者であれば、適当な回路設計を使って、本発明をどのように実現すべきかについて、容易に理解できると思う。

40

【0037】

周波数コントローラ300は、エラー増幅器302と、電流ミラー回路304と、周波数可変発振器306と、クランプ回路308とを備えている。エラー増幅器304は、入力端310で基準信号 $V_{REF}$ を受信し、第2入力端312でエラー信号 $V_0$ を受信するトランスコンダクタンス増幅器であり、エラー信号 $V_0$ は、電源レギュレーションループ140からのフィードバック信号を示す(図1参照)。抵抗器310とコンデンサ318(いずれもドライバー300を構成する集積回路の外側にある)を含む、エラー増幅器302に対する負荷回路は、レギュレーションループを補償するようにも働く。

【0038】

50

エラー増幅器 302 内の電圧制御式電流源 314 は、従来の差動トランジスタペアを示す。

【0039】

発振器 306 は、電流源 320 と、比較器 322 と、タイミング回路 324 を備え、タイミング回路 324 は、330 で示すタイミングコンデンサ  $C_{OSC}$  と、後述するように、所望する時間にコンデンサ 330 を放電させるトランジスタ 328 とを備えている。比較器 322 に対する第 1 入力信号および第 2 入力信号は、それぞれ、電流源 320 により、332 において、更に周波数基準電圧  $V_{HIGH}$  として、324 に提供される。比較器 322 の出力は、高電圧側パワースイッチ 105 に対するゲート駆動信号 CLK を発生する（図 1 参照）。

10

【0040】

作動時に、電流源 320 は、コンデンサ電圧が、 $V_{HIGH}$  に達するまで、コンデンサ 380 を充電する。 $V_{HIGH}$  に達した時点で、比較器は、CLK パルスを発生し、コンデンサを放電するように、トランジスタ 328 をトリガーする。CLK 周波数は、充電電流、コンデンサの値  $C_{OSC}$  および  $V_{HIGH}$  に応じて決まる。充電電流が大きくなれば、CLK 周波数は高くなる。逆に、充電電流が少なくなれば、CLK 周波数は低下する。

【0041】

ミラー回路 304 において、エラー増幅器 302 からの出力電流を、ミラー動作させ、出力電流  $I_{EA}$  をコンデンサ 330 に提供することにより、コンデンサ 330 のための充電電流を変え、発振器 306 の周波数を変える能力を、本発明において利用できる。

20

【0042】

当業者であれば理解できるように、電圧モードのコンバータは、COMP でのエラー増幅器の出力電圧と、ランプ電圧とを比較することにより、出力電圧をレギュレートする。CLK パルスは、ランプ制御（図示せず）をスタートし、上部 MOSFET のオン時間を開始する。

【0043】

上部 MOSFET は、CLK エッジでターンオンし、ランプ電圧がエラー増幅器の出力電圧と交差したときにターンオフする。エラー増幅器の出力電圧  $V_{COMP}$  は、一定のスイッチング周波数で、コンバータのデューティサイクルに比例する。コンバータが静的な負荷をかけるとき、エラー増幅器の電流  $I_{EA}$  は、ほぼ 0 となる。負荷が適度で静的な状態のときの CLK 周波数は、 $I_{OSC}$ 、 $C_{OSC}$  および  $V_{HIGH}$  によって決定されるように一定である。

30

【0044】

クランプ回路 304 は、エラー増幅器 302 の出力の最低レベルを、 $V_{CLAMP}$  に制限する。これによって、電圧モードのコンバータの最低オン時間  $t_{ON-MIN}$  が設定される。レギュレーションループが、 $t_{ON-MIN}$  よりも短いオン時間を命令しようとする、エラー増幅器の電圧は、 $V_{CLAMP}$  まで低下し、エラー増幅器は、連続的に CLAMP から電流を吸収する。上記のように、 $I_{OSC}$  からエラー増幅器の電流  $I_{EA}$  のコピーが減算され、CLK 周波数を低下する。

【0045】

インダクタ電流を切ることができる、電圧モードのコンバータ内のゲート駆動周波数コントローラ 300 を利用することによって、可変周波数で出力電圧をレギュレートするための手段が提供される。適度な負荷の場合、デューティサイクルおよびエラー増幅器の出力電圧  $V_{CLAMP}$  は、ほぼ一定であり、理想的なデューティサイクルは、次の式  $V_0 / V_{IN}$  によって示される。

40

【0046】

デューティサイクルは、コンバータのパワー損失を補うように理想値よりも若干長い。負荷電流が低下するにつれ、インダクタ電流は不連続状態となり、理想の式は、最早有効ではなくなる。オン時間中に蓄積されたインダクタエネルギーと CLK インターバルの残りの時間の間に放電されるコンデンサエネルギーとのバランスを制御することによって、出力はレギュレートされる。連続インダクタ電流と不連続インダクタ電流との間の負荷電

50

流の境界は、クリチカル電流  $I_{CRIT}$  である。

【0047】

$I_{CRIT}$ を下回る負荷電流に対し、デューティサイクル、およびエラー増幅器は、理想値よりも低下する。エラー増幅器の出力を  $V_{CLAMP}$  にクランプすることによってオン時間  $t_{ON-MIN}$  が一定のコンバータパルスが発生する。エラー増幅器は、スイッチング周波数を低下させるように、 $I_{OSC}$  から減算されたクランプ回路からの電流  $I_{EA}$  を吸収する。出力電圧は、オン時間が一定の場合に、スイッチング周波数を変えることによって、レギュレートされる。これによって、スイッチング周波数の損失がより低く、低負荷時の効率がより高い望ましい結果が得られる。

【0048】

これに対応し、周波数コントローラ300は、スイッチング周波数を高くすることにより、大きくなった負荷ステップに対する遅延時間応答を高めることができる。大きくなった負荷のステップに反応して出力電圧が低下するにつれ、エラー増幅器の出力は増加し、COMPに接続された補償部品に電流を供給する。スイッチング周波数を高めるように、 $I_{OSC}$  にこの電流  $I_{EA}$  のコピーが加えられる。これによって、CLKエッジの間の時間（遅延時間）が短くなり、新しい負荷電流に対してランプ制御することがスタートする。この結果、増加した負荷ステップに起因し、全出力電圧の偏差が小さくなる。

【0049】

このような特徴は、多相コンバータにおいて、有利である。従来の多相コンバータでの負荷のステップ状の増加は、これまで述べたのと同じような遅延時間を生じており、パワーチャンネル内の電流のアンバランスによって、更に複雑となっている。多相コンバータは、一般に（スイッチング周波数に対し）180度で、パワーチャンネルのターンオフをシーケンス制御する。この多相コンバータは、各パワーチャンネルから送られる電流をバランスさせる回路も有している。

【0050】

必要により、電流バランス制御ループは、コンバータの負荷過渡現象応答を阻害しないように低速となっている。例えば多相バックコンバータが、第2パワーチャンネル内の上部MOSFETを（ターンオンインターバルの終了時に）ターンオフしたばかりであり、コンバータは、負荷ステップの増加を受けるものとする。第1パワーチャンネル内のインダクタ電流は、このチャンネルがCLKエッジを受信した後に増加を開始する。

【0051】

エラー増幅器は、出力電圧の低下を停止させようとするために、長いターンオンインターバルを要求する。このパワーチャンネル内のインダクタ電流は、増加し、フル負荷定格を容易に超えることがある。

【0052】

ちなみに、第2パワーチャンネル内のインダクタ電流は、次のCLKエッジでターンオンインターバルがスタートするまで増加できない。遅延時間が過剰になると、過渡現象の後の各パワーチャンネル内の大きなミスマッチが生じるが、これは、電流バランス制御回路が除去しなければならない。本発明によると、ダイナミックな電流のミスマッチは最小となる。

【0053】

代表的な例では、公称負荷スイッチング周波数は、277kHzである。1アンペアの小さい負荷の場合、エラー増幅器の出力は、約0.3Vにクランプされ、発振器の周波数は、エラー増幅器の電流によって、62.3kHzに低下される。出力電圧は、スイッチング周波数を調節することにより、1.2Vにレギュレートされる。

【0054】

大負荷の過渡現象、例えば40アンペアによって、出力電圧は低下し、エラー増幅器の出力端に、シャープなスパイク電圧が発生する。このエラー増幅器の電流に反応して、スイッチング周波数は瞬間的に高くなる。電圧が公称値に戻った後、周波数は、277kHzに戻るよう安定化する。

10

20

30

40

50

## 【0055】

本発明の範囲内で、上記回路の機能を変更することが可能である。例えば周波数コントローラ300(図1)では、発振器206の周波数を調節するのに、エラー増幅器302からの出力電圧の直接コピーを使用する。しかし、発振器306に供給される実際の電流は、所望の特性を得るように、スケールリングすることができる。更にスイッチング周波数特性を最適にするように、発振器306に供給される正負の電流を、別々に誘導することができる。

## 【0056】

図4は、発振器のために正負の周波数交番電流を別々に誘導するのに使用できる回路400の一例を示す。このような誘導は、変形されたエラー増幅器402、変更されたクランプ回路404、およびトランスコンダクタンス増幅器406を使用することによって達成される。増幅器406は、エラー増幅器402の一部として設けられたコンダクタンス機能408と別個のものとなっている。

10

## 【0057】

クランプ回路404は、図3における部品308と類似しているが、出力端412に、クランプ電流のコピーを発生するミラー回路410を含んでいるという点で、異なっている。実際のクランピング回路は、エラー増幅器の電流と無関係に、所望するように更にスケールリングできる。クランプ回路404の出力は、図3に示された発振器306と同一の発振器(図示せず)の入力として、出力端412から得られ、この出力信号は、発振器の周波数を低下させるように、 $I_{OSC}$ から減算される。

20

## 【0058】

図4に示されたエラー増幅器402は、従来のオペアンプの機能を提供するものであり、この場合、電圧制御された電流源408の出力端にある高インピーダンスノード416へ、信号バス414を通してクランプ電流が提供される。ノード416は、単位利得電圧フォロワーの出力ステージ418によってバッファ化されており、コンバータの制御ループは、外部の抵抗器-コンデンサネットワーク420によって補償されている。

## 【0059】

独立したトランスコンダクタンス増幅器406は、 $V_{REF}$ に対する $V_0$ をモニタし、図3に示すように、発振器の周波数を変えるように、422に差電流が提供される。基準電圧を下回るように出力電圧がずれると、発振器の周波数を高める電流 $I_{BOOST}$ が生じる。この $I_{BOOST}$ が正の電流となることを保証するように、ダイオード424が設けられている。

30

## 【0060】

以上、本発明の特定の実施例に関連して本発明を説明したが、当業者には、他の多くの変形例および変更例、ならびにその他の用途が明らかであると思う。したがって、本発明は、本明細書に記載した特定の例によって限定されるものではなく、特許請求の範囲のみによって限定されるものである。

## 【0061】

## 関連出願

本願は「スイッチング周波数が負荷に応答自在となっているDC-DCレギュレータ」を発明の名称とし、2004年2月19日に米国特許庁に出願された米国仮特許出願第60/546,119号の権利を請求するものであり、この米国仮特許出願の全内容を、本願において参考例として援用する。

40

## 【図面の簡単な説明】

## 【0062】

【図1】従来の単相バックコンバータの基本構造および作動を示すブロック図である。

【図2】従来の多相バックコンバータの基本構造および作動を示すブロック図である。

【図3】本発明に係わる周波数可変発振回路の基本機能を示すブロック図である。

【図4】本発明の別の実施例に係わる周波数制御回路の基本機能を示すブロック図である。

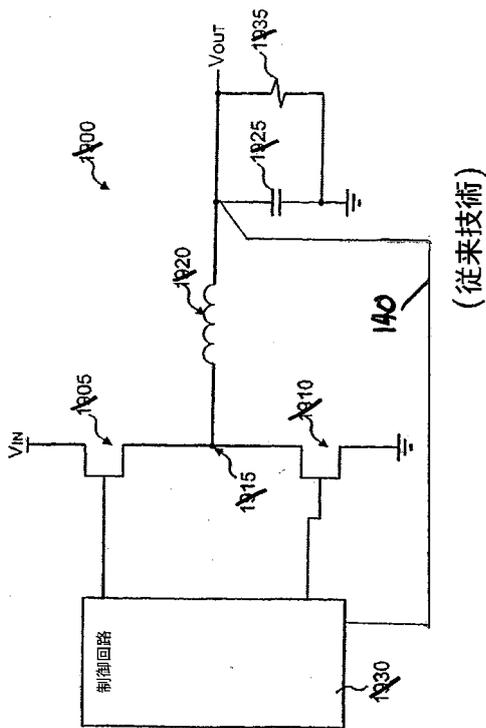
50

【符号の説明】

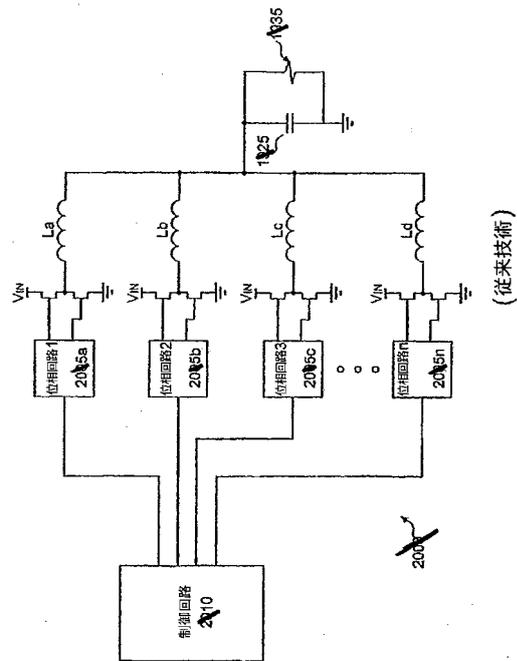
【0063】

- 140 レギュレーションループ
- 300 周波数コントローラ
- 302 エラー増幅器
- 304 電流ミラー回路
- 306 周波数可変発振器
- 308 クランプ回路
- 310 入力端
- 312 第2入力端
- 314 電流源
- 316 抵抗器
- 318 コンデンサ
- 320 電流源
- 322 比較器
- 324 タイミング回路
- 328 トランジスタ
- 330 タイミングコンデンサ
- 380 コンデンサ

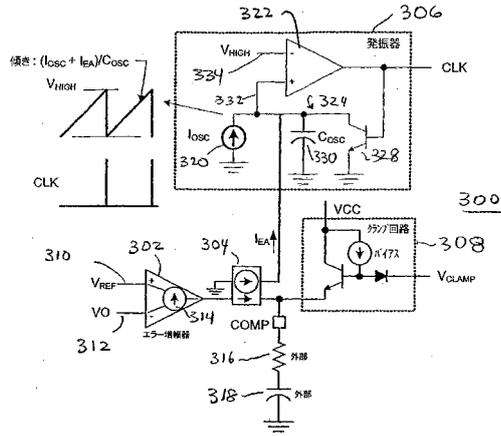
【図1】



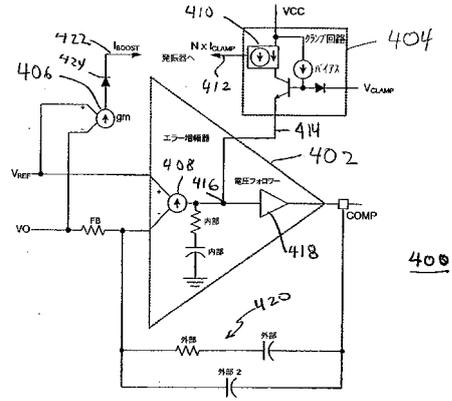
【図2】



【図3】



【図4】



【手続補正書】

【提出日】平成18年10月17日(2006.10.17)

【手続補正1】

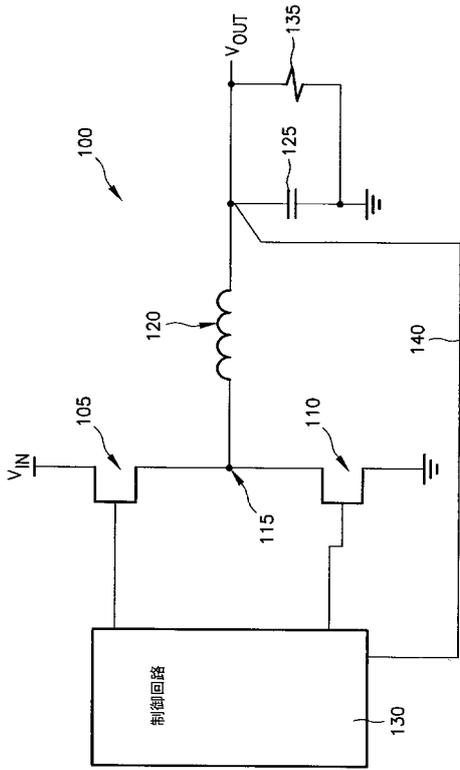
【補正対象書類名】図面

【補正対象項目名】全図

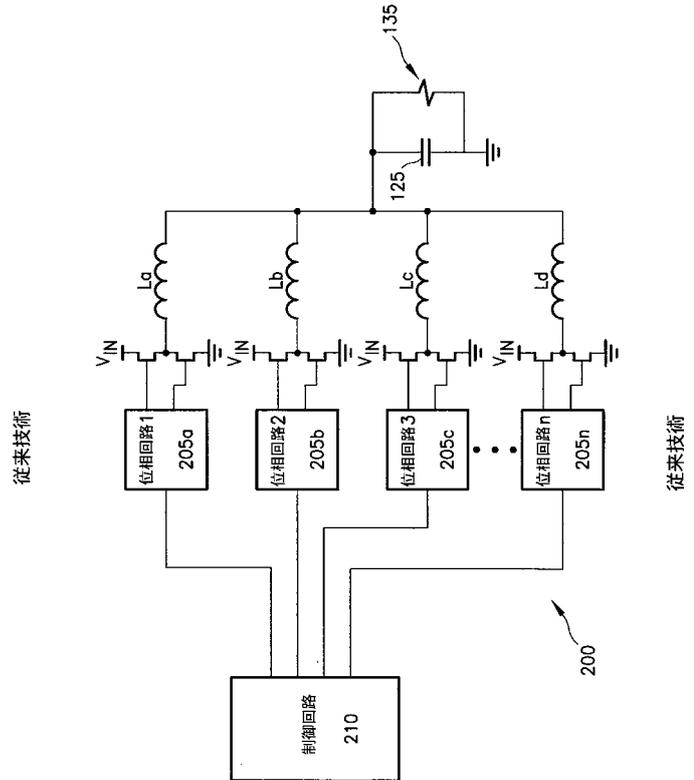
【補正方法】変更

【補正の内容】

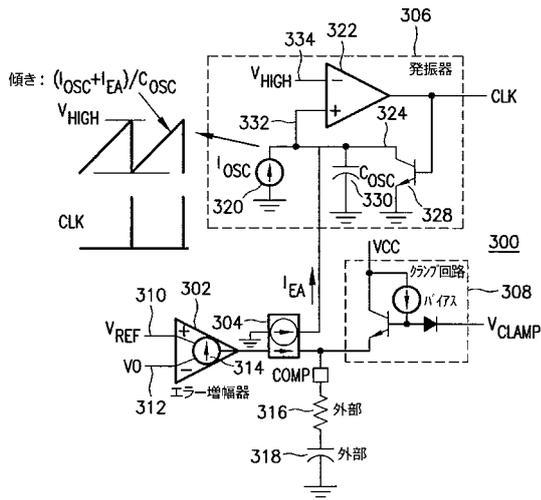
【 図 1 】



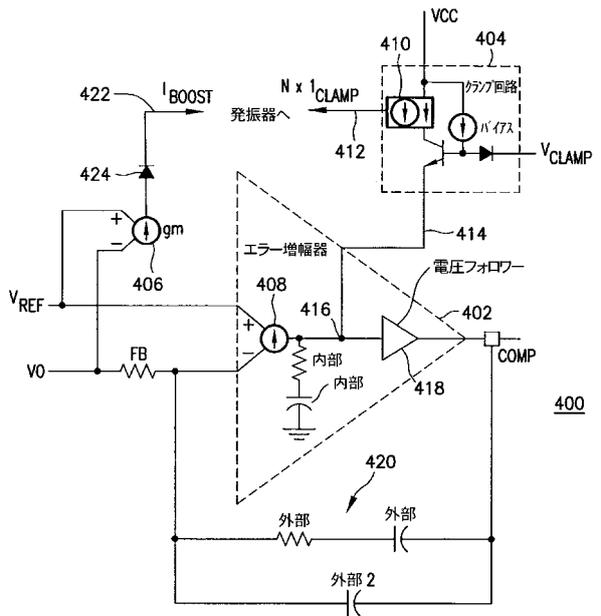
【 図 2 】



【 図 3 】



【 図 4 】



## 【 国際調査報告 】

60700180007



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US05/05186

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>IPC: G05F 1/00(2006.01)<br><br>USPC: 323/280<br>According to International Patent Classification (IPC) or to both national classification and IPC   |  |  |   |   |  |   |  |  |   |  |  |
|---|--|--|---|---|--|---|--|--|---|--|--|
| <b>B. FIELDS SEARCHED</b><br><br>Minimum documentation searched (classification system followed by classification symbols)<br>U.S. : 323/280, 282-290, 235, 237; 363/48, 53, 56, 89, 127, 71, 81, 97<br><br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>NONE<br><br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)<br>NONE   |  |  |   |   |  |   |  |  |   |  |  |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1"> <thead> <tr> <th>Category #</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 4,085,300 A (MACKENZIE et al) 18 April 1978 (18.04.1978) see entire document.</td> <td>1-16</td> </tr> <tr> <td>Y,E</td> <td>US 7,030,596 B1 (SALERNO et al) 18 April 2006 (18.04.2006) see entire document.</td> <td>1-16</td> </tr> </tbody> </table>  |  | Category #   | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.   | Y  | US 4,085,300 A (MACKENZIE et al) 18 April 1978 (18.04.1978) see entire document.  | 1-16   | Y,E  | US 7,030,596 B1 (SALERNO et al) 18 April 2006 (18.04.2006) see entire document. | 1-16   |  |
| Category #  | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No.  |   |   |  |   |  |  |   |  |  |
| Y   | US 4,085,300 A (MACKENZIE et al) 18 April 1978 (18.04.1978) see entire document.   | 1-16   |   |   |  |   |  |  |   |  |  |
| Y,E   | US 7,030,596 B1 (SALERNO et al) 18 April 2006 (18.04.2006) see entire document.  | 1-16   |   |   |  |   |  |  |   |  |  |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.   |  |  |   |   |  |   |  |  |   |  |  |
| * Special categories of cited documents: <table border="0"> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"B" earlier application or patent published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"&amp;" document member of the same patent family</td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table> |  | "A" document defining the general state of the art which is not considered to be of particular relevance | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention | "B" earlier application or patent published on or after the international filing date | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone | "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art | "O" document referring to an oral disclosure, use, exhibition or other means | "&" document member of the same patent family                                   | "P" document published prior to the international filing date but later than the priority date claimed |  |
| "A" document defining the general state of the art which is not considered to be of particular relevance  | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  |  |   |   |  |   |  |  |   |  |  |
| "B" earlier application or patent published on or after the international filing date   | "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone   |  |   |   |  |   |  |  |   |  |  |
| "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)   | "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art |  |   |   |  |   |  |  |   |  |  |
| "O" document referring to an oral disclosure, use, exhibition or other means  | "&" document member of the same patent family  |  |   |   |  |   |  |  |   |  |  |
| "P" document published prior to the international filing date but later than the priority date claimed  |  |  |   |   |  |   |  |  |   |  |  |
| Date of the actual completion of the international search<br>17 October 2006 (17.10.2006)   | Date of mailing of the international search report<br>01 NOV 2006  |  |   |   |  |   |  |  |   |  |  |
| Name and mailing address of the ISA/US<br>Mail Stop PCT, Attn: ISA/US<br>Commissioner for Patents<br>P.O. Box 1450<br>Alexandria, Virginia 22313-1450<br>Facsimile No. (571) 273-3201   | Authorized officer <i>Jose Dees</i><br>Jose Dees<br>Telephone No. 571-272-1569   |  |   |   |  |   |  |  |   |  |  |

Form PCT/ISA/210 (second sheet) (April 2005)

27. 3. 2007

---

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

Fターム(参考) 5H730 AA02 AA10 AS01 BB13 BB57 DD04 EE59 FD01 FF02 FG05  
FG07