

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4517435号
(P4517435)

(45) 発行日 平成22年8月4日(2010.8.4)

(24) 登録日 平成22年5月28日(2010.5.28)

(51) Int. Cl. F 1
HO4N 7/26 (2006.01) HO4N 7/13 Z

請求項の数 6 (全 64 頁)

(21) 出願番号	特願2000-35380 (P2000-35380)	(73) 特許権者	000002185
(22) 出願日	平成12年2月14日 (2000.2.14)		ソニー株式会社
(65) 公開番号	特開2001-224025 (P2001-224025A)		東京都港区港南1丁目7番1号
(43) 公開日	平成13年8月17日 (2001.8.17)	(74) 代理人	100082131
審査請求日	平成19年2月1日 (2007.2.1)		弁理士 稲本 義雄
		(72) 発明者	近藤 哲二郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	中屋 秀雄
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	渡辺 勉
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 情報処理装置および方法

(57) 【特許請求の範囲】

【請求項1】

コンポーネント信号が変換されることにより生成されたYデータ、Uデータ、およびVデータを第1のメモリに記憶させ、その記憶させた前記Yデータ、前記Uデータ、および前記VデータをA D R Cブロックの形式に並び換え、セグメントの範囲で、かつA D R Cブロック単位でシャフルするブロックシャフル手段と、

前記ブロックシャフル手段から供給される前記Yデータ、前記Uデータ、および前記Vデータを、A D R C (Adaptive Dynamic Range Coding) 方式に基づき符号化する符号化手段と、

前記符号化手段から供給されるデータを、第2のメモリに記憶させ、その記憶と読み出しのアドレスを変えることで、シャフルするセグメント間シャフル手段と、

前記セグメント間シャフル手段から供給されるデータを、1パケットに、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックス、およびコードQが含まれるパケットにパケット化するパケット化手段と

を備え、

前記セグメント間シャフル手段は、データ選択手段、入力データカウンタ手段、入出力コントローラ手段、アドレス発生手段、および出力データカウンタ手段を備え、

前記データ選択手段は、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックスで構成される第1のデータの要素毎に、3個ずつパラレルに入力され、その第1のデータと交互するタイミングでコードQを含む第2のデータが入力

10

20

され、それらの入力されたデータをシリアルデータに変換し、前記入出力コントローラ手段に出力し、

前記入出力コントローラ手段は、前記アドレス発生手段が発生したアドレスに基づいて、入力されたデータを前記第2のメモリに記憶させ、

前記入出力コントローラ手段は、前記第2のメモリに記憶されたデータを、前記アドレス発生手段が、前記出力データカウンタ手段から供給されるデータに従って発生したアドレスに基づいて、読み出し、前記パケット化手段に出力する

情報処理装置。

【請求項2】

前記入力データカウンタ手段は、前記データ選択手段に入力されたデータの種類の識別の為の情報、前記第2のメモリに記憶する際のアドレッシングとシャフリングする方向を示すカウンタ群から構成されている

請求項1に記載の情報処理装置。

【請求項3】

前記カウンタ群は、アドレッシング用とシャフリング用とがあり、

前記アドレッシング用の前記第1のデータ用のカウンタは、1バッファ内における前記第1のデータのブロック数をカウントするカウンタ、1セグメント内における前記第1のデータのパケットの数をカウントするカウンタ、および1バンク内における前記第1のデータのトータルのパケット数をカウントするカウンタから構成され、

前記アドレッシング用の前記第2のデータ用のカウンタ群は、1バッファ内における前記第2のデータのパケット数をカウントするカウンタ、1バンク内の前記第2のデータのトータルのパケット数をカウントするカウンタ、1セグメント内の前記第2のデータのバッファ数をカウントするカウンタ、および任意の順番の前記第2のデータをパケット当たりの前記第2のデータのバイト数Nで除算したときの余りをカウントするカウンタから構成され、

前記シャフリング用の前記第1のデータ用のカウンタは、1バンク内における前記第1のデータのセグメント数をカウントするカウンタ、1セグメント内における前記第1のデータのシャフリング方向を決定するカウンタから構成され、

前記シャフリング用の前記第2のデータ用のカウンタは、1バンク内における前記第2のデータのセグメント数をカウントするカウンタ、1セグメント内における前記第2のデータのシャフリング方向を決定するカウンタとから構成されている

請求項2に記載の情報処理装置。

【請求項4】

前記出力データカウンタ手段は、アドレッシング用のカウンタ群から構成され、

前記第1のデータのアドレッシング用のカウンタは、1パケットサイズのデータセルにおける前記量子化テーブルのインデックスをカウントするカウンタ、1パケットサイズのデータセルにおける前記モーションフラグ数をカウントするカウンタ、1パケットサイズのデータセルにおける前記ダイナミックレンジと前記画素値の最小値の数をカウントするカウンタ、ビットサイズの前記量子化テーブルのインデックスと前記モーションフラグをバイトサイズのデータとして扱うために挿入されるブランクの数をカウントするカウンタ、1パケット内におけるパケット内の前記第2のデータの番号を決定するカウンタ、および1バッファ内におけるパケット数をカウントするカウンタから構成されている

請求項1に記載の情報処理装置。

【請求項5】

前記第2のメモリに記憶されたデータは、前記出力データカウンタ手段のカウンタ群に従って、前記アドレス発生手段が発生するアドレスに基づいて読み出され、

その読み出しは、読み出しのためのパルスが所定のタイミングで前記セグメント間シャフル手段に入力されると、前記量子化テーブルのインデックスと前記モーションフラグが、バイト単位に集結する処理が行われ、

その集結処理が終了されると、パケット内のデータの配列に従って、前記第2のメモリ

10

20

30

40

50

から読み出され、パケット化手段に出力される

請求項 1 に記載の情報処理装置。

【請求項 6】

コンポーネント信号が変換されることにより生成された Y データ、U データ、および V データを第 1 のメモリに記憶させ、その記憶させた前記 Y データ、前記 U データ、および前記 V データを A D R C ブロックの形式に並び換え、セグメントの範囲で、かつ A D R C ブロック単位でブロックシャフルし、

前記ブロックシャフルされた前記 Y データ、前記 U データ、および前記 V データを、A D R C (Adaptive Dynamic Range Coding) 方式に基づき符号化し、

前記符号化されたデータを、第 2 のメモリに記憶させ、その記憶と読み出しのアドレスを変えることで、セグメント間シャフルし、

前記セグメント間シャフルされたデータを、1 パケットに、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックス、およびコード Q が含まれるパケットにパケット化する

ステップを含み、

前記セグメント間シャフルは、

ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックスで構成される第 1 のデータの要素毎に、3 個ずつ平行に入力され、その第 1 のデータと交互するタイミングでコード Q を含む第 2 のデータが入力され、それらの入力されたデータがシリアルデータに変換され、アドレス発生手段が発生したアドレスに基づいて、入力されたデータが前記第 2 のメモリに記憶され、前記第 2 のメモリに記憶されたデータが、前記アドレス発生手段が発生したアドレスに基づいて、読み出されることで行われる

情報処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置および方法に関し、特に、入力データの選択、計数、およびメモリアドレッシング先の計数カウンタ値に、アドレスビットの組み合わせが 1 対 1 で対応するメモリマップを用いる情報処理装置および方法に関する。

【0002】

【従来の技術】

データ伝送における圧縮方式の多くには、圧縮比を向上させるため、エントロピー符号化に代表される可変長符号化が用いられている。このエントロピー符号化の特徴は、圧縮の対象となるデータの内容に応じて符号語の長さを変えることで圧縮を実現することである。例えば、発生頻度の高いデータには、短い符号語が割り当てられ、発生頻度の低いデータには長い符号語が割り当てられる。その結果、伝送するデータ全体の情報量が削減される。

【0003】

通信エラーにより受信側で誤ったデータが受信された場合、データの内容に応じて、符号語の長さが常に変化するため、復号の誤りは、伝送されるデータの基準となるポイントまで続くことになり、この現象は、一般に「エラー伝搬」と称される。

【0004】

また、MPEG(Moving Picture Experts Group)に代表される動画像の圧縮方式は、離散コサイン変換により、空間的冗長度を減らすと共に、フレーム間の差分のみを伝送するなどして、時間的冗長度を減らすことにより、データ量を削減する。

【0005】

このような圧縮方式により圧縮された動画像のデータは、受信側で伸張されるが、通信エラーにより伝送した動画像のデータが欠落した場合、そのデータの欠落は、空間的および時間的に伸張され、圧縮比が高いほどその影響が顕著に現れる。

10

20

30

40

50

【0006】

モバイル環境の、通信路の条件は、固定局または有線と比較して劣悪で、「パケットロス」と称されるバースト状のデータの欠落が比較的頻繁に発生する。そこで、このようなモバイル環境での、圧縮を利用する動画像の通信では、データを伝送する前に、連続するデータ間でシャフリングを行い、データを分散させることにより、パケットが欠落した場合においても、受信側においては、欠落したパケットのデータを受信されたパケットのデータにより補間できるようにされている。

【0007】

例えば、ADRC (Adaptive Dynamic Range Coding) 方式で符号化されたデータをシャフリングした後パケット化して伝送する場合、図1に示すようなパケット構成が提案されている。図1は、ADRC方式のデータの2フレーム分をATM (Asynchronous Transfer Mode) 方式のパケットサイズに分割して伝送する際のパケット構成を示している。1パケットは、ダイナミックレンジ (DR)、モーションフラグ (MF)、画素値の最小値 (MIN)、量子化テーブルのインデックス (TI)、およびコードQから構成されている。以下、適宜、DR、MF、MIN、およびTIをFLデータと称し、コードQをVLデータと称する。

10

【0008】

1個のDRのデータはAビットから、MINのデータはBビットから、MFのデータはCビットから、TIのデータはDビットから、それぞれ構成されている。1パケットのデータ領域のサイズは47バイトと設定されており、上述した4つのデータDR、MF、MIN、TIのデータ量を47バイトから除いた残りのビット数が、コードQのデータサイズとなる。

20

【0009】

パケットにはtype 0乃至type 6までの、合計7タイプのパケット構成が存在しており、それぞれ、パケット番号に応じて使い分けられる。パケットは、パケットタイプ毎に、含まれるデータDR、MF、MIN、TIの個数が異なり、それに伴って、コードQのビット数も異なっている。このように、異なるパケットタイプを使い分けることにより、パケットロスが発生した場合でも、その影響を抑えるようにされている。

【0010】

【発明が解決しようとする課題】

上述したように、データにシャフリングを施してから伝送する場合、シャフリングをするために、一旦、RAM (Random Access Memory) などの記憶装置に記憶させておく必要がある。RAMなどは、通常、バイト単位でデータを取り扱う。そこで、上述したように、複数のパケットタイプを用いる場合、パケット内のデータをバイト単位で扱ったとき、各データのビット割り当ては、バイト単位とずれることが多く、また、パケット内の各データの位置は、パケットタイプ毎に異なるため、ビット割り当ての状態を監視し、演算によりシフト量を決定することにより行う、または、パケットタイプ毎のビット割り当ての組み合わせを記述したテーブルを用いて行う必要がある。

30

【0011】

また、シャフリングを行う際のアドレッシング演算には、乗算または乗算の組み合わせを予測した係数テーブルを用いる方式が考えられる。アドレッシングに乗算を用いる場合、演算時間がかかり、ハードウェアの構成規模が大きくなる可能性があった。乗算の組み合わせを予測した係数を用いる場合、上述したような複数の異なるデータを扱う時は、それらの値の組み合わせが膨大となり、その係数を記憶しておくメモリ量が大きくなるといった課題があった。

40

【0012】

本発明はこのような状況に鑑みてなされたものであり、データをバイト単位として扱い、入力データの選択、計数、およびメモリアドレッシング先の計数カウンタ値に、アドレスビットの組み合わせが1対1で対応するメモリマップを用いることにより、乗算のためのハードウェアの規模を小さくし、係数テーブルを記憶するメモリ量を小さくすることを目的とする。

【0013】

50

【課題を解決するための手段】

本発明の一側面の情報処理装置は、コンポーネント信号が変換されることにより生成されたYデータ、Uデータ、およびVデータを第1のメモリに記憶させ、その記憶させた前記Yデータ、前記Uデータ、および前記VデータをA D R Cブロックの形式に並び換え、セグメントの範囲で、かつA D R Cブロック単位でシャフルするブロックシャフル手段と、前記ブロックシャフル手段から供給される前記Yデータ、前記Uデータ、および前記Vデータを、A D R C (Adaptive Dynamic Range Coding)方式に基づき符号化する符号化手段と、前記符号化手段から供給されるデータを、第2のメモリに記憶させ、その記憶と読み出しのアドレスを変えることで、シャフルするセグメント間シャフル手段と、前記セグメント間シャフル手段から供給されるデータを、1パケットに、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックス、およびコードQが含まれるパケットにパケット化するパケット化手段とを備え、前記セグメント間シャフル手段は、データ選択手段、入力データカウンタ手段、入出力コントローラ手段、アドレス発生手段、および出力データカウンタ手段を備え、前記データ選択手段は、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックスで構成される第1のデータの要素毎に、3個ずつ平行に入力され、その第1のデータと交互するタイミングでコードQを含む第2のデータが入力され、それらが入力されたデータをシリアルデータに変換し、前記入出力コントローラ手段に出力し、前記入出力コントローラ手段は、前記アドレス発生手段が発生したアドレスに基づいて、入力されたデータを前記第2のメモリに記憶させ、前記入出力コントローラ手段は、前記第2のメモリに記憶されたデータ

10

20

に従って発生したアドレスに基づいて、読み出し、前記パケット化手段に出力する。
前記入力データカウンタ手段は、前記データ選択手段に入力されたデータの種類の識別の為の情報、前記第2のメモリに記憶する際のアドレッシングとシャフルする方向を示すカウンタ群から構成されているようにすることができる。

前記カウンタ群は、アドレッシング用とシャフル用とがあり、前記アドレッシング用の前記第1のデータ用のカウンタは、1バッファ内における前記第1のデータのブロック数をカウントするカウンタ、1セグメント内における前記第1のデータのパケットの数をカウントするカウンタ、および1バンク内における前記第1のデータのトータルのパケット数をカウントするカウンタから構成され、前記アドレッシング用の前記第2のデータ用のカウンタ群は、1バッファ内における前記第2のデータのパケット数をカウントするカウンタ、1バンク内の前記第2のデータのトータルのパケット数をカウントするカウンタ、1セグメント内の前記第2のデータのバッファ数をカウントするカウンタ、および任意の順番の前記第2のデータをパケット当たりの前記第2のデータのバイト数Nで除算したときの余りをカウントするカウンタから構成され、前記シャフル用の前記第1のデータ用のカウンタは、1バンク内における前記第1のデータのセグメント数をカウントするカウンタ、1セグメント内における前記第1のデータのシャフル方向を決定するカウンタから構成され、前記シャフル用の前記第2のデータ用のカウンタは、1バンク内における前記第2のデータのセグメント数をカウントするカウンタ、1セグメント内における前記第2のデータのシャフル方向を決定するカウンタとから構成されているようにすることができる。

30

40

前記出力データカウンタ手段は、アドレッシング用のカウンタ群から構成され、前記第1のデータのアドレッシング用のカウンタは、1パケットサイズのデータセルにおける前記量子化テーブルのインデックスをカウントするカウンタ、1パケットサイズのデータセルにおける前記モーションフラグ数をカウントするカウンタ、1パケットサイズのデータセルにおける前記ダイナミックレンジと前記画素値の最小値の数をカウントするカウンタ、ビットサイズの前記量子化テーブルのインデックスと前記モーションフラグをバイトサイズのデータとして扱うために挿入されるブランクの数をカウントするカウンタ、1パケット内におけるパケット内の前記第2のデータの番号を決定するカウンタ、および1バッファ内におけるパケット数をカウントするカウンタから構成されているようにすることができる。

50

る。

前記第2のメモリに記憶されたデータは、前記出力データカウンタ手段のカウンタ群に従って、前記アドレス発生手段が発生するアドレスに基づいて読み出され、その読み出しは、読み出しのためのパルスが所定のタイミングで前記セグメント間シャフル手段に入力されると、前記量子化テーブルのインデックスと前記モーションフラグが、バイト単位に集結する処理が行われ、その集結処理が終了されると、パケット内のデータの配列に従って、前記第2のメモリから読み出され、パケット化手段に出力されるようにすることができる。

【0014】

本発明の一側面の情報処理方法は、コンポーネント信号が変換されることにより生成されたYデータ、Uデータ、およびVデータを第1のメモリに記憶させ、その記憶させた前記Yデータ、前記Uデータ、および前記VデータをADRCブロックの形式に並び換え、セグメントの範囲で、かつADRCブロック単位でブロックシャフルし、前記ブロックシャフルされた前記Yデータ、前記Uデータ、および前記Vデータを、ADRC (Adaptive Dynamic Range Coding) 方式に基づき符号化し、前記符号化されたデータを、第2のメモリに記憶させ、その記憶と読み出しのアドレスを変えることで、セグメント間シャフルし、前記セグメント間シャフルされたデータを、1パケットに、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックス、およびコードQが含まれるパケットにパケット化するステップを含み、前記セグメント間シャフルは、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックスで構成される第1のデータの要素毎に、3個ずつ平行に入力され、その第1のデータと交互するタイミングでコードQを含む第2のデータが入力され、それらが入力されたデータがシリアルデータに変換され、アドレス発生手段が発生したアドレスに基づいて、入力されたデータが前記第2のメモリに記憶され、前記第2のメモリに記憶されたデータが、前記アドレス発生手段が発生したアドレスに基づいて、読み出されることで行われる。

【0015】

本発明の一側面の情報処理装置および方法においては、コンポーネント信号が変換されることにより生成されたYデータ、Uデータ、およびVデータが第1のメモリに記憶され、その記憶されたYデータ、Uデータ、およびVデータがADRCブロックの形式に並び換えられ、セグメントの範囲で、かつADRCブロック単位でシャフルされ、シャフルされたYデータ、Uデータ、およびVデータが、ADRC方式に基づき符号化され、符号化されたデータが、第2のメモリに記憶され、その記憶と読み出しのアドレスが変えられることで、セグメント間シャフルがされ、1パケットに、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックス、およびコードQが含まれるパケットにパケット化される。また、セグメント間シャフルは、ダイナミックレンジ、モーションフラグ、画素値の最小値、量子化テーブルのインデックスで構成される第1のデータの要素毎に、3個ずつ平行に入力され、その第1のデータと交互するタイミングでコードQを含む第2のデータが入力され、それらが入力されたデータがシリアルデータに変換され、アドレス発生手段が発生したアドレスに基づいて、入力されたデータが前記第2のメモリに記憶され、前記第2のメモリに記憶されたデータが、前記アドレス発生手段が発生したアドレスに基づいて、読み出されることで行われる。

【0016】

【発明の実施の形態】

図2は、本発明に係る画像を送受信する画像伝送システムを説明する図である。送信装置1は、入力されたビデオ信号を、本発明に係る方式で圧縮し、符号化し、パケットの形式に変換し、伝送路を介して、受信装置2に送信する。受信装置2は、伝送路を介して送信されたパケットを受信し、パケットに含まれるデータを本発明に係る方式で復号して、伸張し、ビデオ信号として出力する。伝送路において、パケットに含まれるデータは、輻輳などにより、欠落することがある。また、伝送路を構成するATM交換機(図示せず)の処理能力を超えたような場合、パケットそのものが、失われることがある。

10

20

30

40

50

【 0 0 1 7 】

図 3 は、本発明に係る送信装置 1 の一実施の形態の構成を示すブロック図である。Y / C 分離クロマデコーダ 1 1 は、アナログコンポジットビデオ信号、または輝度信号 Y とクロマ信号 C のようなアナログコンポーネント信号 (Y / C 信号) のいずれか 1 つの信号が入力されると、その信号を、輝度信号 Y、色信号 U、V のようなコンポーネント信号 (Y / U / V 信号) に変換し、セレクタ 1 2 に供給する。セレクタ 1 2 は、Y / C 分離クロマデコーダ 1 1 から供給された Y / U / V 信号、または初めから Y / U / V 信号のフォーマットで入力された信号の一方を選択し、間引き部 1 3 に供給する。この Y / U / V 信号は、例えば、スタンダードデンシティ (S D)、4 : 2 : 2、フィールド周波数 6 0 H z、およびインターレースフォーマット形式の信号である。

10

【 0 0 1 8 】

間引き部 1 3 は、セレクタ 1 2 から供給された Y 信号、U 信号、および V 信号を、それぞれ後述する方式で間引きして、フォーマット変換回路 1 4 に供給する。間引き部 1 3 は、前置フィルタ 4 1、A / D 変換回路 4 2、間引きフィルタ 4 3、外部メモリ 4 4、UV 垂直 1 / 2 回路 4 5、および外部メモリ 4 6 で構成される。

【 0 0 1 9 】

前置フィルタ 4 1 は、入力された Y 信号、U 信号、および V 信号の、それぞれ所定の周波数帯域のみを出力するローパスフィルタである。前置フィルタ 4 1 の出力は、A / D 変換回路 4 2 に供給される。

【 0 0 2 0 】

A / D 変換回路 4 2 は、入力された Y 信号、U 信号、および V 信号をサンプリングし、それぞれを、例えば、8 ビットのデータとする。A / D 変換回路 4 2 に入力されたアナログ Y 信号は、サンプリングされることにより、水平方向に 5 2 8 画素および垂直方向に 4 8 0 画素を含む Y データとして、間引きフィルタ 4 3 に出力される。

20

【 0 0 2 1 】

A / D 変換回路 4 2 に入力されたアナログ U 信号は、サンプリングされることにより、水平方向に 1 7 6 画素および垂直方向に 4 8 0 画素を含む U データとして間引きフィルタ 4 3 に出力される。A / D 変換回路 4 2 に入力されたアナログ V 信号は、サンプリングされることにより、水平方向に 1 7 6 画素および垂直方向に 4 8 0 画素を含む V データとして間引きフィルタ 4 3 に出力される。

30

【 0 0 2 2 】

従って、A / D 変換回路 4 2 の出力は、3 : 1 : 1 のフォーマットの信号となっている。

【 0 0 2 3 】

間引きフィルタ 4 3 は、入力された Y データ、U データ、および V データを一時的に外部メモリ 4 4 に記憶させ、一時的に記憶させた Y データ、U データ、および V データを、それぞれ水平方向に 1 / 2 および垂直方向に 1 / 2 に間引きし、UV 垂直 1 / 2 回路 4 5 に供給する。

【 0 0 2 4 】

UV 垂直 1 / 2 回路 4 5 は、間引きフィルタ 4 3 から供給された Y データ、U データ、および V データを一時的に外部メモリ 4 6 に記憶させ、一時的に記憶させた U データおよび V データを、それぞれ垂直方向に 1 / 2 に間引きし、Y データ、U データ、および V データをフォーマット変換回路 1 4 に出力する。

40

【 0 0 2 5 】

従って、間引き部 1 3 より出力される信号は、3 : 0 . 5 : 0 . 5 の信号となる。

【 0 0 2 6 】

フォーマット変換回路 1 4 は、間引き部 1 3 から供給された Y データ、U データ、および V データを、後述する方式で並び替えて、ブロック構造として、符号化回路 1 5 に供給する。

【 0 0 2 7 】

符号化回路 1 5 は、フォーマット変換回路 1 4 から供給された Y データ、U データ、およ

50

びVデータを一時的に外部メモリ16に記憶させ、外部メモリ16に記憶されたYデータ、Uデータ、およびVデータを、記憶と読み出しのアドレスを変えることでシャフリングして、ADRC (Adaptive Dynamic Range Coding) 方式で符号化し、シャフリングして、パケット化回路17に出力する。

【0028】

ADRC方式は、入力された画像のデータのダイナミックレンジ(DR)に適應した可変長の符号を出力する可変長符号化方式である。画像のデータは、複数の画素からなるブロック(後述するADRCブロック)に分割され、各ブロックに含まれる画素値の最大値および最小値の差であるダイナミックレンジが検出される。ブロックのダイナミックレンジを基に、各画素値を元の量子化ビット数(例えば、8ビット)よりも少ないビット数で、再量子化する。ダイナミックレンジが小さいほど、少ないビット数で再量子化することができ、量子化ひずみの増大を抑えつつ、画素の画素値の冗長度のみを除去して、更にデータ量を少なくすることが可能である。

10

【0029】

ADRC方式は、ダイナミックレンジの大きさに関連して量子化ビット数を選択するものである。ダイナミックレンジの大小関係を判断するために、動きなどに対応した閾値が使用される。再量子化のためのビット数として、例えば、2ビット、3ビット、または4ビットのいずれか1つを割り当てるとき、動きまたはダイナミックレンジ毎の量子化テーブルに記憶された閾値T1およびT2(但し、 $T1 < T2$)が使用される。受信側でも、同じ量子化テーブルが使用される。

20

【0030】

ダイナミックレンジが($T1 - 1$)以下であるブロックでは、画素値に対するコードに、2ビットが割り当てられる。ダイナミックレンジがT1以上で($T2 - 1$)以下であるブロックでは、画素値に対するコードに、3ビットが割り当てられる。ダイナミックレンジがT2以上であるブロックでは、画素値に対するコードに、4ビットが割り当てられる。画素値に対するコードに割り当てられたビット数をqとする。

【0031】

符号化は、2フレームを30分割して作成される、88個のADRCブロックを単位(この単位をバッファと称する)として実行される。1つのバッファに対して生成されるコードが、ここでは、16,104ビット以下になるように、閾値T1およびT2を記憶した量子化テーブルは、1つのバッファに対して1つ選択される。選択された量子化テーブルは、TIで示されるテーブルインデックスで指定される。1つのバッファに対して生成されるコードが、16,104ビット以下になるようにすることで、符号化された画像のデータの情報を、8Mbpsとすることができる。

30

【0032】

ダイナミックレンジが2のq乗より大きいとき、画素値に対するコードQは、

$$[(L - MIN + 0.5) \times 2^q / DR]$$

で算出される。[]は、小数点以下の切り捨てを表す。Lは、画素値を表し、MINは、ブロック内の画素の画素値の最小値を表す。DRは、ブロックのダイナミックレンジを表す。ダイナミックレンジが2のq乗以下のとき、画素値に対するコードQは、 $L - MIN$ で算出される。

40

【0033】

符号化回路15は、符号化されたデータとして、量子化テーブルを指定するテーブルインデックスTI、ダイナミックレンジDR、ブロック内の画素の画素値の最小値MIN、動きを示す動きフラグMF、および画素値に対応するコードQを出力する。テーブルインデックスTI、ダイナミックレンジDR、ブロック内の画素の画素値の最小値MIN、および動きを示す動きフラグMFの長さ(ビット数)は、8ビットで固定である。一方、画素値に対するコードQの長さは、変化する。

【0034】

パケット化回路17は、符号化回路15から供給された、符号化データを、一時的に外部

50

メモリ 18 に記憶させ、一時的に記憶された符号化データを、1.6 Kビット毎に分割し、ヘッダ等を付加してパケット化し、送信回路 19 に供給する。送信回路 19 は、パケット化回路 17 から供給されたパケットを所定の伝送方式で変調して、伝送路を介して送信する。

【0035】

PLL 回路 20 は、画像に同期した基準信号を生成し、コントロール回路 21 に基準信号を供給する。コントロール回路 21 は、間引き部 13、フォーマット変換回路 14、符号化回路 15、外部メモリ 16、パケット化回路 17、外部メモリ 18、および送信回路 19 に、PLL 回路 20 から供給された基準信号に基づく、コントロール信号を供給し、送信装置 1 全体の動作を制御する。

10

【0036】

図 4 を参照して、送信装置 1 に入力された画像信号が圧縮される過程を説明する。60 Hz のフィールド周波数を有する、インターレース方式の Y 信号は、A/D 変換回路 42 により、1 フィールド当たり水平方向に 528 画素および垂直方向に 480 画素の Y データに変換される。60 Hz のフィールド周波数を有する、インターレース方式の U 信号および V 信号は、水平方向に 176 画素および垂直方向に 480 画素の U データおよび V データにそれぞれ変換される。A/D 変換回路 42 に入力される画像の信号の情報は 166Mbps に相当し、A/D 変換回路 42 から出力される画像のデータの情報は 104Mbps となり、62% の情報量に圧縮される。

【0037】

60 Hz のフィールド周波数を有する、インターレース方式の 1 フレーム当たり水平方向に 528 画素および垂直方向に 480 画素を含む Y データは、間引きフィルタ 43 により、30 Hz のフレーム周波数を有する、プログレッシブ方式の 1 フレーム当たり水平方向に 264 画素および垂直方向に 240 画素を含むデータに圧縮される。60 Hz のフィールド周波数を有する、インターレース方式の 1 フレーム当たり水平方向に 176 画素および垂直方向に 480 画素を含む U データおよび V データは、間引きフィルタ 43 により、30 Hz のフレーム周波数を有する、プログレッシブ方式の 1 フレーム当たり水平方向に 88 画素および垂直方向に 240 画素を含むデータにそれぞれ圧縮される。

20

【0038】

1 フレーム当たり水平方向に 88 画素および垂直方向に 240 画素を含む U データおよび V データは、UV 垂直 1/2 回路 45 により、水平方向に 88 画素および垂直方向に 120 画素を含むデータにそれぞれ圧縮される。UV 垂直 1/2 回路 45 から出力される画像のデータの情報は、21Mbps となり、送信装置 1 に入力される信号の情報と比較し、13% の情報量に圧縮される。

30

【0039】

このように、間引き部 13 で間引き処理を行うことで、後段の各回路の構成を簡略化し、伝送路におけるビットレートを、実用的な充分小さい値に設定することができる。

【0040】

30 Hz のフレーム周波数を有する、プログレッシブ方式の 1 フレーム当たりそれぞれ水平方向に 88 画素および垂直方向に 120 画素を含む U データおよび V データは、フォーマット変換回路 14 により、88 画素 × 120 画素のデータを 2 つ合わせたデータに変換される。

40

【0041】

1 フレーム当たり水平方向に 264 画素および垂直方向に 240 画素を有する Y データ並びに 88 画素 × 120 画素 × 2 の U データおよび V データが符号化回路 15 により符号化される。符号化された画像のデータの情報は、8Mbps となり、送信装置 1 に入力されるアナログ信号の情報と比較し、5% の情報量に圧縮される。

【0042】

以上のように、送信装置 1 は、画像信号を圧縮して符号化する。

【0043】

50

図5は、間引きフィルタ43の構成を示すブロック図である。インターレース方式のYデータは、水平方向のラインに沿って、水平1/2回路61に供給される。水平1/2回路61は、遅延回路(レジスタ)71-1乃至71-N、乗算回路72-1乃至72-N、および加算回路73で構成されている。

【0044】

ハーフバンドフィルタである水平1/2回路61に順次入力されたYデータは、遅延回路71-1乃至71-Nにより、それぞれ水平方向の1画素分だけ遅延され、順次後段に出力される。乗算回路72-1乃至72-Nは、入力されたYデータ(画素)に1/Nを乗じて、加算回路73に出力する。加算回路73は、乗算回路72-1乃至72-Nから供給されたデータを加算し、垂直1/2回路62に出力する。

10

【0045】

ハーフバンドフィルタである垂直1/2回路62は、ラッチ回路81、フィールドFIFO(Fast In Fast Out)82、加算回路83、およびラッチ回路84から構成されている。水平1/2回路61から出力されたデータは、ラッチ回路81に供給される。ラッチ回路81は、クロック信号が入力されたとき、入力されたデータをラッチし、ラッチしたデータを出力する。

【0046】

水平1/2回路61の動作を図6を参照して説明する。フレームの水平方向に順次入力された、Yデータ(図6に白い丸印で示す画素)は、遅延回路71-1乃至71-Nにより保持され、乗算回路72-1乃至72-Nによりそれぞれ係数が乗算される。乗算回路72-1乃至72-Nの出力は、加算回路73で加算された後、ラッチ回路81に出力される。ラッチ回路81には、図6の黒い4角形に対応するタイミングで、ラッチを指示するクロック信号が入力される。図6の例では、水平方向に、2画素のデータが転送される度に1つのクロックがラッチ回路81に入力されるので、例えば、N=2で、各係数の値が1/2の場合、隣接する2個の画素の平均値が、図6の黒い4角形で示すタイミングでラッチ回路81にラッチされる。このように、ラッチ回路81がラッチする画素の数は、間引きフィルタ43に入力されたデータの画素の数の1/2となる。

20

【0047】

ラッチ回路81によりラッチされた値は、フィールドFIFO82および加算回路83に供給される。フィールドFIFO82は、ラッチ回路81から供給された水平方向に1/2に間引かれた第1フィールドの画素のデータを記憶して、1フィールド分遅延させ、加算回路83に出力する。加算回路83は、ラッチ回路81およびフィールドFIFO82から供給されたデータを加算して、ラッチ回路84に供給する。ラッチ回路84は、イネーブル信号が入力されたとき、入力されたデータをラッチする。

30

【0048】

垂直1/2回路62の動作を図7を参照して説明する。第1フィールドの任意の画素(図7に示す第1フィールド上の黒い4角形の画素)のYデータ、および第1フィールドの画素と画面の水平方向に同一の位置で、1つ下のラインの第2フィールドの画素(図7に示す、第1フィールド上の黒い4角形の画素の右下に位置する第2フィールド上の黒い4角形の画素)のデータが、加算回路83により加算された後、ラッチ回路84に出力される。従って、ラッチ回路84には、第1フィールドと第2フィールドの画素の平均値(図7に白い4角形で示す画素に相当する)がラッチされる。

40

【0049】

このように、ラッチ回路84の出力は、ラッチ回路81から出力された画素のデータに対して、第1フィールドおよび第2フィールドの間で、1/2に間引きされ、次に、第3フィールドおよび第4フィールドの間で、1/2に間引きされ、30Hzのフレーム周波数を有する、プログレッシブ方式のYデータとなる。

【0050】

UデータおよびVデータも、同様に水平方向と垂直方向に1/2に間引きされ、30Hzのフレーム周波数を有する、プログレッシブ方式のフォーマットのデータとなる。

50

【 0 0 5 1 】

以上のように、間引きフィルタ 4 3 から出力される画像の Y データ、U データ、および V データは、それぞれ間引きされた 3 0 H z のフレーム周波数を有する、プログレッシブ方式のフォーマットのデータとなる。

【 0 0 5 2 】

次に、U V 垂直 1 / 2 回路 4 5 について説明する。図 8 は、U V 垂直 1 / 2 回路 4 5 の構成を示すブロック図である。U V 垂直 1 / 2 回路 4 5 には、間引きフィルタ 4 3 より、間引きされた 3 0 H z のフレーム周波数を有する、プログレッシブ方式の U データおよび V データが入力される。入力されたデータは、ライン F I F O 9 1 - 1 乃至 9 1 - 6 により、1 ライン分ずつ、順次遅延され、後段に供給される。乗算回路 9 2 - 1 は、入力されたデータに係数を乗じて、加算回路 9 3 に出力する。乗算回路 9 2 - 2 乃至 9 2 - 7 は、それぞれライン F I F O 9 1 - 2 乃至 9 1 - 6 より入力されたデータに、係数を乗算して加算回路 9 3 に出力する。

10

【 0 0 5 3 】

加算回路 9 3 は、乗算回路 9 2 - 1 乃至 9 2 - 7 から供給されたデータを加算して、ラッチ回路 9 4 に供給する。ラッチ回路 9 4 は、クロック信号が入力されたとき、入力されたデータをラッチする。

【 0 0 5 4 】

U V 垂直 1 / 2 回路 4 5 の動作を図 9 を参照して説明する。連続する 7 本のライン上の、画面の水平方向に同一の位置の画素（図 9 に白い 4 角形で示す画素）のデータが乗算回路 9 2 - 1 乃至 9 2 - 7 に入力される。乗算回路 9 2 - 1 乃至 9 2 - 7 は、入力されたデータに、それぞれ係数を乗算する。加算回路 9 3 は乗算回路 9 2 - 1 乃至 9 2 - 7 の出力を加算して、出力する。ラッチ回路 9 4 には、2 ラインに 1 回のタイミング（図 9 に黒い丸印で示すタイミング）で、ラッチ信号が入力される。このように、U V 垂直 1 / 2 回路 4 5 は、入力された U データおよび V データのラインの本数を 1 / 2 に間引いて、出力する。

20

【 0 0 5 5 】

なお、U V 垂直 1 / 2 回路 4 5 は、Y データを通過させる。

【 0 0 5 6 】

次に、符号化回路 1 5 について説明する。図 1 0 は、符号化回路 1 5 の構成を示すブロック図である。コントロール回路 2 1 から供給されるコントロール信号は、タイミング信号生成回路 1 0 1 に入力される。タイミング信号生成回路 1 0 1 は、入力されたコントロール信号を基に、タイミング信号を生成し、ブロックシャフル回路 1 0 2、A D R C 符号化回路 1 0 3、およびセグメント間シャフル回路 1 0 4 に供給する。

30

【 0 0 5 7 】

フォーマット変換回路 1 4 により、変換された Y データ、U データ、および V データは、ブロックシャフル回路 1 0 2 に入力される。ブロックシャフル回路 1 0 2 は、供給された Y データ、U データ、および V データを外部メモリ 1 6 の所定の位置に一時的に記憶させる。ブロックシャフル回路 1 0 2 は、外部メモリ 1 6 に記憶させた Y データ、U データ、および V データを、後述する A D R C ブロックの形式に並び換え、後述するセグメントの範囲で、かつ A D R C ブロック単位でシャフルし、A D R C 符号化回路 1 0 3 に供給する。

40

【 0 0 5 8 】

A D R C 符号化回路 1 0 3 は、ブロックシャフル回路 1 0 2 から供給された Y データ、U データ、および V データを、A D R C 方式に基づき符号化し、セグメント間シャフル回路 1 0 4 に供給する。セグメント間シャフル回路 1 0 4 は、供給された A D R C で符号化されたデータを外部メモリ 2 2 の所定の位置に、一時的に記憶させる。

【 0 0 5 9 】

セグメント間シャフル回路 1 0 4 は、外部メモリ 2 2 に記憶させた A D R C データを、記憶と読み出しのアドレスを変えることで、シャフルする。セグメント間シャフル回路 1 0

50

4におけるシャフルは、伝送路におけるデータの欠落が発生しても、受信装置2が、ダイナミックレンジDR、最小値MIN、および動きフラグMFいずれかを受信できる可能性を高め、また、伝送路におけるデータの欠落が発生しても、受信装置2が、各コードQを分けて抽出しやすくすることを目的とする。

【0060】

図11を参照して、符号化回路15およびパケット化回路17の処理の単位を説明する。あるフレーム0と次のフレーム1から、後述する方式により、それぞれ画素を選択して、1320個の偶数セグメントのADRCブロック(4×16画素から成る)と1320個の奇数セグメントのADRCブロック(4×16画素から成る)が生成される。生成されたADRCブロックから、ブロックシャフル回路102により、88個ずつのADRCブロックが選択される。ADRCブロックは、選択された88個を単位として、ADRC符号化回路103により、ADRCで、固定長のデータ(FL)である、ダイナミックレンジDR、最小値MIN、動きフラグMF、およびテーブルインデックスTI並びに可変長のデータ(VL)であるコードQに符号化される。

10

【0061】

ADRC符号化回路103から出力された88個のADRCブロックに対応する符号化されたデータ(以下、バッファと称する)は、セグメント間シャフル回路104により、5個ずつにまとめられる(以下、セグメントと称する)。偶数セグメントに対応する3個のセグメント(図中、セグメント0、セグメント2、およびセグメント4と示す)は、セグメント間シャフル回路104により、セグメント間でシャフルされる。奇数セグメントに対応する3個のセグメント(図中、セグメント1、セグメント3、およびセグメント5と示す)は、セグメント間シャフル回路104により、セグメント間でシャフルされる。

20

【0062】

セグメント間でシャフルされたセグメントは、セグメント0、セグメント1、セグメント2、セグメント3、セグメント4、およびセグメント5の順に並べられる。

【0063】

パケット化回路17は、セグメント0、セグメント1、セグメント2、セグメント3、セグメント4、およびセグメント5の順に並べられたセグメントに格納されている符号化されたデータを、8個のADRCブロックに対応するデータ(ダイナミックレンジDR、最小値MIN、動きフラグMF、テーブルインデックスTI、およびコードQ)毎にパケットに格納する。

30

【0064】

図12乃至図19を参照して、ブロックシャフル回路102の動作を説明する。図12は、ADRCブロックを説明する図である。各フレームから水平8画素×垂直8画素の隣り合う64画素のブロックを選び出し、ブロックの中で最も左で且つ最も上に位置する画素(図中に0-1または1-1と示された画素)、およびこれを基準とし、その画素から水平に2画素だけ移動した位置にある画素(図中に0-3または1-3と示された画素)、その画素から垂直に2画素だけ移動した位置にある画素(図中に0-17または1-17と示された画素)、またはその画素から水平に1画素かつ垂直に1画素だけ移動した位置にある画素(図中に0-10または1-10と示された画素)を偶数画素と称する。さらに、これらの画素を基準として、同様の選択を繰り返し、選択された画素を、偶数画素とする。

40

【0065】

また、各フレームの残りの画素は、奇数画素とする。

【0066】

図12に示すように、偶数フレーム(フレーム0)の8×8画素のブロックi2に含まれる偶数画素(4×8画素)と、奇数フレーム(フレーム1)の8×8画素のブロックに含まれる偶数画素(4×8画素)を集めたものが、偶数セグメントのADRCブロックとされる。同時に、偶数フレーム(フレーム0)の8×8画素のブロックに含まれる奇数画素(4×8画素)と、奇数フレーム(フレーム1)の8×8画素のブロックに含まれる奇数画

50

素（4×8画素）を集めたものが、奇数セグメントのADRCブロックとされる。ADRCブロックは、2つのフレームの、もとのフレーム上で1つおきの画素から構成される。偶数セグメントのADRCブロックの画素の、もとのフレーム上で隣に位置する画素は、対応する奇数セグメントのADRCブロックを構成する。

【0067】

図13乃至図15は、フレーム内の画素とADRCブロックとの関係を示す図である。図13に示すように、フレーム0の画素は、水平8画素×垂直8画素の64画素のブロック毎に分割される。同様に、図14に示すように、フレーム1（フレーム0の次のフレーム）の画素は、水平8画素×垂直8画素の64画素のブロック毎に分割される。フレーム0のブロックの中で最も左で且つ最も上に位置する64画素のブロック（図13においてA1と表示された64画素のブロック）および、フレーム1のブロックの中で最も左で且つ最も上に位置する64画素のブロック（図14においてA1と表示された64画素のブロック）の偶数画素により、構成された偶数セグメントのADRCブロックは、図15に示すように、セグメント0として、最も左、且つ最も上に配置される。

10

【0068】

図13のA1と表示された64画素のブロック、および図14のA1と表示された64画素のブロックの奇数画素により構成された奇数セグメントのADRCブロックは、図15に示すように、セグメント3として、セグメント0の偶数セグメントのADRCブロックの図中右隣に配置される。

【0069】

図13のA2と表示された64画素のブロック、および図14のA2と表示された64画素のブロックの偶数画素より構成された偶数セグメントのADRCブロックは、図15に示すようにセグメント0として、図13のA1と表示された64画素のブロックおよび図14のA1と表示された64画素のブロックの奇数画素により構成された、セグメント3のADRCブロックの図中右隣に配置される。図13のA2と表示された64画素のブロックおよび図14のA2と表示された64画素のブロックの奇数画素により構成された奇数セグメントのADRCブロックは、図15に示すように、セグメント3として、図13のA2と表示された64画素のブロックおよび図14のA2と表示された64画素のブロックの偶数画素により構成された、セグメント0のADRCブロックの図中右隣に配置される。

20

30

【0070】

図13のB1と表示された64画素のブロックおよび図14のB1と表示された64画素のブロックの偶数画素により構成された偶数セグメントのADRCブロックは、図15に示すように、セグメント4として、図13のA1と表示された64画素のブロックおよび図14のA1と表示された64画素のブロックの偶数画素により構成された、セグメント0のADRCブロックの図中下側に配置される。図13のB1と表示された64画素のブロックおよび図14のB1と表示された64画素のブロックの奇数画素により構成された奇数セグメントのADRCブロックは、図15に示すように、セグメント1として、図13のA1と表示された64画素のブロックおよび図14のA1と表示された64画素のブロックの奇数画素により構成された、セグメント3のADRCブロックの図中下側（セグメント4のADRCブロックの右隣）に配置される。

40

【0071】

図13のB2と表示された64画素のブロックおよび図14のB2と表示された64画素のブロックの偶数画素により構成された偶数セグメントのADRCブロックは、図14に示すようにセグメント4として、図13のB1と表示された64画素のブロックおよび図14のB1と表示された64画素のブロックの奇数画素により構成された、セグメント1のADRCブロックの図中右隣に配置される。図13のB2と表示された64画素のブロックおよび図14のB2と表示された64画素のブロックの奇数画素により構成された奇数セグメントのADRCブロックは、図14に示すようにセグメント1として、図13のB2と表示された64画素のブロックおよび図14のB2と表示された64画素のブロッ

50

クの偶数画素により構成された偶数セグメントのA D R Cブロックの図中右隣に配置される。

【 0 0 7 2 】

図 1 3 の C 1 と表示された 6 4 画素のブロックおよび図 1 4 の C 1 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントのA D R Cブロックは、図 1 5 に示すようにセグメント 2 として、図 1 3 の B 1 と表示された 6 4 画素のブロックおよび図 1 4 の B 1 と表示された 6 4 画素のブロックの偶数画素により構成された、セグメント 4 のA D R Cブロックの図中下側に配置される。図 1 3 の C 1 と表示された 6 4 画素のブロックおよび図 1 4 の C 1 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントのA D R Cブロックは、図 1 5 に示すようにセグメント 5 として、図 1 3 の B 1 と表示された 6 4 画素のブロックおよび図 1 4 の B 1 と表示された 6 4 画素のブロックの奇数画素により構成された、セグメント 1 のA D R Cブロックの図中下側（セグメント 2 のA D R Cブロックの右隣）に配置される。

10

【 0 0 7 3 】

図 1 3 の C 2 と表示された 6 4 画素のブロックおよび図 1 4 の C 2 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントのA D R Cブロックは、図 1 5 に示すようにセグメント 2 として、図 1 3 の C 1 と表示された 6 4 画素のブロックおよび図 1 4 の C 1 と表示された 6 4 画素のブロックの奇数画素により構成された、セグメント 5 のA D R Cブロックの図中右隣に配置される。図 1 3 の C 2 と表示された 6 4 画素のブロックおよび図 1 4 の C 2 と表示された 6 4 画素のブロックの奇数画素により構成された奇数セグメントのA D R Cブロックは、図 1 5 に示すようにセグメント 5 として、図 1 3 の C 2 と表示された 6 4 画素のブロックおよび図 1 4 の C 2 と表示された 6 4 画素のブロックの偶数画素により構成された偶数セグメントのA D R Cブロックの図中の右隣に配置される。

20

【 0 0 7 4 】

以上の手続きを、各フレームを構成する 33×10 個の各ブロック（ 264×240 画素）について繰り返すことにより、2つのフレームのYデータから、図 1 6（A）に示すように、水平方向に66個、垂直方向に30個並べられたA D R Cブロックの集合が生成される。図 1 6（B）に示すように、Yデータから生成されたA D R Cブロックは、シャフルされて、セグメントを構成する。

30

【 0 0 7 5 】

88×120 画素のUデータおよびVデータについても同様の処理を行うことにより、図 1 7（A）に示すように、水平方向に22個、垂直方向に15個並べられたA D R Cブロックの集合が生成される。Yデータの場合と同様に、図 1 7（B）に示すように、UデータおよびVデータから生成されたA D R Cブロックは、ブロックシャフルされて、セグメントを構成する。

【 0 0 7 6 】

各A D R Cブロック内で、偶数フレームと奇数フレームの画面上で同一位置にある画素同士（例えば、図 1 2 中の 0 - 1 と示された画素と 1 - 1 と示された画素等）で画素値の差分の絶対値をとり、その差分の絶対値のうち最大値が閾値Th1に満たない場合は、そのA D R Cブロックは静止画とみなされる。

40

【 0 0 7 7 】

差分の絶対値のうち、最大の値が閾値Th2（ $Th1 < Th2$ ）を越えた場合には、そのA D R Cブロックは動画とみなされる。

【 0 0 7 8 】

静止画のA D R Cブロックでは、偶数フレームと奇数フレームの画面上で同一位置にある画素同士の画素値の平均をとり、その32個の平均値を新たにA D R Cブロックとして置き換え、そのA D R Cブロックに付される動きフラグMFを0とする。

【 0 0 7 9 】

動画のA D R Cブロックでは、偶数フレームと奇数フレームから集めた64画素をそのま

50

ま A D R C ブロックとして、その A D R C ブロックに付される動きフラグ M F を 1 とする。

【 0 0 8 0 】

次に、セグメント毎に、A D R C ブロック単位で行われるシャフルについて説明する。0 の番号が付された Y データの A D R C ブロックから構成されるセグメントにおいて、その A D R C ブロックに通し番号を付すると、図 1 8 (A) に示すように、y 0 乃至 y 3 2 9 の番号が、A D R C ブロックに付される。A D R C ブロックをシャフルすると、Y データの A D R C ブロックが、図 1 8 (B) に示されるように配置される。

【 0 0 8 1 】

同様に、0 の番号が付された U データの A D R C ブロックから構成されるセグメントにおいて、その A D R C ブロックに通し番号を付すると、図 1 8 (C) に示すように、u 0 乃至 u 5 4 の番号が、A D R C ブロックに付される。U データの A D R C ブロックは、図 1 8 (D) に示されるように、通し番号の逆の順に並び替えられる。

【 0 0 8 2 】

0 の番号が付された V データの A D R C ブロックから構成されるセグメントにおいて、その A D R C ブロックに通し番号を付すると、図 1 8 (E) に示すように、v 0 乃至 v 5 4 の番号が、A D R C ブロックに付される。V データの A D R C ブロックは、図 1 8 (F) に示されるように、通し番号の逆の順に並び替えられる。

【 0 0 8 3 】

次に、図 1 9 に示されるように、Y データの A D R C ブロック、U データの A D R C ブロック、および V データの A D R C ブロックが、シャフルされる。3 つの Y データの A D R C ブロックの後ろに、1 つの U データの A D R C ブロックが配置され、その後ろに、また、3 つの Y データの A D R C ブロックが配置され、その後ろに、1 つの V データの A D R C ブロックが配置される。この配置が繰り返される。例えば、セグメント 0 には、y 0 の通し番号が付された A D R C ブロック、y 2 2 1 の通し番号が付された A D R C ブロック、y 1 1 2 の通し番号が付された A D R C ブロック、u 5 4 の通し番号が付された A D R C ブロック、y 3 の通し番号が付された A D R C ブロック、y 2 2 4 の通し番号が付された A D R C ブロック、y 1 1 5 の通し番号が付された A D R C ブロック、v 5 4 の通し番号が付された A D R C ブロック、および y 6 の通し番号が付された A D R C ブロックなどの順に A D R C ブロックが配置される。

【 0 0 8 4 】

セグメント 1 乃至セグメント 5 においても、同様に、A D R C ブロックがシャフルされる。

【 0 0 8 5 】

以上のように、画素のデータは、ブロックシャフル回路 1 0 2 により、A D R C ブロック毎にシャフルされ、シャフルされた A D R C ブロックを基に、A D R C 符号化回路 1 0 3 で符号化される。A D R C ブロックが適切にシャフルされることにより、通信エラーにより欠落した画素が分散され、再生される画像において欠落した画素を認識しにくくすることができる。

【 0 0 8 6 】

次に、図 2 0 を参照して、A D R C 符号化回路 1 0 3 の構成を説明する。ブロックシャフル回路 1 0 2 によりシャフルされた画像は、A D R C ブロックとして、遅延回路 1 6 1、動き特徴量算出回路 1 6 2、D R 算出回路 1 6 3、および遅延回路 1 6 6 に供給される。

【 0 0 8 7 】

遅延回路 1 6 1 は、2 フレームブロック (4 × 1 6 画素から成る A D R C ブロック) を動き特徴量算出回路 1 6 2 の処理時間に対応する時間だけ遅延させて、情報量制御回路 1 6 4 に出力する。動き特徴量算出回路 1 6 2 は、A D R C ブロック毎に、フレーム間差分の絶対値の最大値である動き特徴量を算出して、情報量制御回路 1 6 4 に供給する。D R 算出回路 1 6 3 は、A D R C ブロック毎に、静止画とみなされた場合のダイナミックレンジ D R および動画とみなされた場合のダイナミックレンジ D R を算出して、情報量制御回路

10

20

30

40

50

164に供給する。

【0088】

情報量制御回路164は、遅延回路161から供給された2フレームブロック、動き特徴量算出回路162から供給された動き特徴量、DR算出回路163から供給された静止画とみなされた場合のダイナミックレンジDRおよび動画とみなされた場合のダイナミックレンジDR、並びに閾値テーブル165から供給された閾値Th1およびTh2並びに閾値T1およびT2のセットを基に、閾値Th1およびTh2から成るMF選択閾値を選択して、静動判定回路169に出力する。

【0089】

情報量制御回路164は、2フレームブロック、動き特徴量、静止画とみなされた場合のダイナミックレンジDRおよび動画とみなされた場合のダイナミックレンジDR、並びに閾値テーブル165から供給された閾値Th1およびTh2並びに閾値T1およびT2のセットを基に、Qビット選択閾値を選択して、ADRCエンコーダ171に出力する。

【0090】

例えば、動き特徴量が4で、静止画とみなされた場合のダイナミックレンジDRが14で、動画とみなされた場合のダイナミックレンジDRが15である場合、テーブルインデックスが0の閾値T1が6で、閾値T2が12で、閾値Th1が3で、閾値Th2が3で、テーブルインデックスが1の閾値T1が13で、閾値T2が40で、閾値Th1が5で、閾値Th2が5であるときについて説明する。

【0091】

情報量制御回路164は、テーブルインデックスが0の閾値のセットに対して、動き特徴量が閾値Th2より大きいので、動画と判定する。動画とみなされた場合のダイナミックレンジDRが閾値T2より大きいので、このADRCブロックのqは4となり、情報量制御回路164は、コードQが $(16 * 4) * 4$ より256ビットであることを求める。

【0092】

同様に、情報量制御回路164は、テーブルインデックスが1の閾値のセットに対して、動き特徴量が閾値Th1より小さいので、静止画と判定する。静止画とみなされた場合のダイナミックレンジDRが閾値T1より大きく、閾値T2より小さいので、このADRCブロックのqは3となり、情報量制御回路164は、コードQが $(8 * 4) * 3$ より96ビットであることを求める。

【0093】

このように、閾値のセットには、テーブルインデックスが大きくなると、情報量が減少するようにそれぞれの閾値が設定されている。情報量制御回路164は、1つのバッファに対して生成されるコードQが、16,104ビット以下で、最も大きい情報量のテーブルインデックスをテーブルインデックスTIとして選択して、遅延回路173に出力する。

【0094】

情報量制御回路164は、テーブルインデックスに対応するコードQのビット数を並列演算しても、テーブルインデックスの大きい(または小さい)側から逐次演算するようにしてもよい。

【0095】

図21および図22を参照して、情報量制御回路164の構成の例を説明する。図21は、情報量制御回路164の前段部の構成を示す図であり、図22は、情報量制御回路164の後段部の構成を示す図である。

【0096】

図21に示すように、情報量制御回路164の前段部には、ダイナミックレンジDRの閾値の数に対応した数分の比較回路181-1および181-2と、加算器182-1および182-2と、レジスタ183-1および183-2とが設けられている。比較回路181-1および181-2のそれぞれの一方の入力端子に(0乃至255)までの数値を取りうるダイナミックレンジDRが供給される。

【0097】

10

20

30

40

50

また、図 21 において、閾値テーブル 165 から、例えば、閾値 T1 および閾値 T2 が読み出され、比較回路 181 - 1 および 181 - 2 の他方の入力端子のそれぞれに供給される。具体的には、比較回路 181 - 1 の他方の入力端子に閾値 T1 が供給され、比較回路 181 - 2 の他方の入力端子には閾値 T2 が供給される。

【0098】

比較回路 181 - 1 および 181 - 2 のそれぞれには、入力端子 5 からのダイナミックレンジ DR が各閾値以上の場合に、「1」の出力を発生する。比較回路 181 - 1 および 181 - 2 の比較出力がそれぞれに接続された加算器 182 - 1 または 182 - 2 のいずれかの一方の入力端子に供給される。加算器 182 - 1 または 182 - 2 の他方の入力端子には、レジスタ 183 - 1 および 183 - 2 を介して自らの加算出力が供給されるように構成されている。

10

【0099】

従って、加算器 182 - 1 によって (T1 DR 255) の度数の積算値が算出され、得られたデータがレジスタ 183 - 1 に保持される。また、加算器 182 - 2 によって (T2 DR 255) の度数の積算値が算出され、得られたデータがレジスタ 183 - 2 に保持される。

【0100】

レジスタ 183 - 1 および 183 - 2 のそれぞれに保持されている発生度数データのそれぞれが取り出され、図 22 に示すように、加算器 191 に供給される。更に、加算器 191 には、予め情報量制御回路 164 に記憶されている度数データが供給される。加算器 191 において、(T1 DR 255) の発生度数データと、(T2 DR 255) の発生度数データと、予め記憶されている度数データが加算され、総量が算出される。

20

【0101】

(T1 DR T2 - 1) の発生度数値を (S3) とし、(T2 DR 255) の発生度数値を (S4) とする。(T2 DR 255) の発生度数値は、(S4 + S3 + S2) (q が 4 ビットであるコード Q に対応する) となり、(T1 DR 255) の発生度数値は、(S3 + S2) (q が 3 ビットであるコード Q に対応する) となる。(S2) (q が 2 ビットであるコード Q に対応する) は、全ての ADC ブロックに対応して発生するので、予め、情報量制御回路 164 に記憶しておくことができる。これらを加算器 191 によって加算すると、(S3 + 2 * S3 + 3 * S2) の出力が得られる。この出力は、割り当てビットを乗算して全加算した場合と等しい総量である。

30

【0102】

加算器 191 において算出された総量がレジスタ 192 を介して比較回路 193 の一方の入力端子に供給される。比較回路 193 の他方の入力端子 12 には、バッファ最大値が供給されており、総量がバッファ最大値と比較される。比較回路 193 の比較出力を基に、総量がバッファ最大値以下となるような閾値が決定される。つまり、閾値テーブル 165 には、予め発生データの総量が単純増加もしくは単純減少するように複数組の閾値が格納されており、総量が目標以内に収まるように閾値が選定される。

【0103】

情報量制御回路 164 は、比較回路 193 の比較出力を基に、MF 選択閾値、Q ビット選択閾値、およびテーブルインデックス TI を選択して、出力する。

40

【0104】

図 20 に戻り、遅延回路 166 は、2 フレームブロック (4 × 16 画素から成る ADC ブロック) を遅延回路 161 および情報量制御回路 164 の処理時間に対応する時間だけ遅延させて、静止ブロック生成回路 167、遅延回路 168 および静動判定回路 169 に出力する。静止ブロック生成回路 167 は、2 フレームブロック (4 × 16 画素から成る ADC ブロック) から、偶数フレームと奇数フレームの画面上で同一位置にある画素同士の画素値の平均をとり、その 32 個の平均値を新たに ADC ブロックとして置き換え、1 フレームブロック (4 × 8 画素から成る ADC ブロック) として選択回路 170 に供給する。

50

【 0 1 0 5 】

遅延回路 1 6 8 は、2 フレームブロック (4 × 1 6 画素から成る A D R C ブロック) を静止ブロック生成回路 1 6 7 の処理時間に対応する時間だけ遅延させて、選択回路 1 7 0 に供給する。

【 0 1 0 6 】

静動判定回路 1 6 9 は、2 フレームブロック (4 × 1 6 画素から成る A D R C ブロック) 並びに閾値 Th1 および Th2 から成る M F 選択閾値を基に、その A D R C ブロックに付される動きフラグ M F を生成して、選択回路 1 7 0 および遅延回路 1 7 2 に供給する。

【 0 1 0 7 】

選択回路 1 7 0 は、動きフラグ M F が 1 のとき、すなわち、A D R C ブロックが動画に対応するとき、遅延回路 1 6 8 から供給された 2 フレームブロックを A D R C エンコーダ 1 7 1 に供給し、動きフラグ M F が 0 のとき、すなわち、A D R C ブロックが静止画に対応するとき、静止ブロック生成回路 1 6 7 から供給された 1 フレームブロックを A D R C エンコーダ 1 7 1 に供給する。

10

【 0 1 0 8 】

A D R C エンコーダ 1 7 1 は、情報量制御回路 1 6 4 から供給された Q ビット選択閾値を基に、選択回路 1 7 0 から供給された 2 フレームブロックまたは 1 フレームブロックを符号化して、ダイナミックレンジ D R、最小値 M I N、q、およびコード Q を出力する。

【 0 1 0 9 】

遅延回路 1 7 2 は、選択回路 1 7 0 の処理時間および A D R C エンコーダ 1 7 1 の処理時間に対応させて、静動判定回路 1 6 9 から供給された動きフラグ M F を遅延して、出力する。

20

【 0 1 1 0 】

遅延回路 1 7 3 は、遅延回路 1 6 8 の遅延時間、選択回路 1 7 0 の処理時間、および A D R C エンコーダ 1 7 1 の処理時間に対応させて、情報量制御回路 1 6 4 から供給されたテーブルインデックス T I を遅延して、出力する。

【 0 1 1 1 】

このように、A D R C 符号化回路 1 0 3 は、A D R C ブロック毎に、ダイナミックレンジ D R、画素値の最小値 M I N、動きフラグ M F、およびコード Q を生成し、量子化テーブルのインデックス T I と共に、セグメント間シャフル回路 1 0 4 に供給する。

30

【 0 1 1 2 】

図 2 3 は、セグメント間シャフル回路 1 0 4 のシャフルの仕方を説明する図である。図 2 3 に示すように、シャフルの仕方にはシャフル 0 乃至 2 の 3 通り存在し、シャフル 0 は、シャフルを行わないシャフルである。シャフル 1 は、セグメント 0 (セグメント 1) のデータをセグメント 4 (セグメント 5) に、セグメント 2 (セグメント 3) のデータをセグメント 0 (セグメント 1) に、セグメント 4 (セグメント 5) のデータをセグメント 2 (セグメント 3) に、それぞれシャフル (入れ替え) する。

【 0 1 1 3 】

同様に、シャフル 2 は、セグメント 0 (セグメント 1) のデータをセグメント 2 (セグメント 3) に、セグメント 2 (セグメント 3) のデータをセグメント 4 (セグメント 5) に、セグメント 4 (セグメント 5) のデータをセグメント 0 (セグメント 1) に、それぞれシャフルする。

40

【 0 1 1 4 】

図 2 4 は、セグメント 0、セグメント 3、およびセグメント 5 において行われるダイナミックレンジ D R のシャフルについて説明する図である。1 セグメントは、5 バッファから構成され、1 バッファは 8 8 個の A D R C ブロックを含むため、1 セグメントには、4 4 0 個の D R が含まれる。各セグメント内に存在する D R に番号 1 乃至 4 4 0 を順次付し、図 2 4 では、例えば、セグメント 1 の番号 1 の D R は、D R 1 - 1 というように記述してある。

【 0 1 1 5 】

50

各セグメントの番号1のDRに対しては、シャフル0が用いられ(すなわち、入れ替えはされない)、番号2のDRに対しては、シャフル1が用いられ、番号3のDRに対しては、シャフル2が用いられ、番号4のDRに対しては、シャフル0が用いられるというように、シャフル0、シャフル1、シャフル2の順でシャフルが行われる。

【0116】

同様に、コードQに対してもシャフルが行われる。また、画素値の最小値であるMINに対しては、図25に示したように、シャフル1、シャフル2、シャフル0の順で行われシャフルが行われる。さらに、動きフラグであるMFに対しては、図26に示すように、シャフル2、シャフル0、シャフル1の順で行われる。

【0117】

次に、量子化テーブルのインデックスTIのシャフルについて説明する。セグメント0に格納されているTIは、セグメント3にも格納され、セグメント3に格納されているTIは、セグメント0にも格納される。すなわち、セグメント0とセグメント3は、自己のTIと対となっている相手のTIとの両方を格納する。同様に、セグメント1とセグメント4、セグメント3とセグメント5は、それぞれ自己のTIと対となっている相手のTIとの両方を格納する。

【0118】

このように、ダイナミックレンジDR、画素値の最小値MIN、および動きフラグMFがシャフルされることにより、通信エラーが発生して、いずれかのデータを含んだパッケージが欠落しても、受信装置2は、所定のADRCブロックを復号するとき、受信することができた他のデータを基に、欠落したデータをリカバリすることができる。また、コードQがシャフルされることにより、通信エラーが発生して、コードQを含んだパッケージが欠落しても、欠落したコードQに対応する画素が分散され、受信装置2は、コードQの切り出しがしやすくなり、また、所定のADRCブロックを復号するとき、復号できた画素値を基に、欠落した画素値の創造が容易になる。

【0119】

このように、セグメントの間でデータをシャフルすることにより、通信装置2は、データのリカバリ、および欠落画素の創造が容易になり、伝送路においてパッケージが欠落しても、再生する画像の質を維持することができる。

【0120】

符号化回路15のセグメント間シャフル回路104から出力されたデータは、パッケージ化回路17に入力され、パッケージにされる。図27に、パッケージの構成を示す。図27に示したパッケージ構成は、201バイトで構成され、その内、DRが $A \times 8$ Mビット、MINが $B \times 8$ Mビット、MFが $C \times 8$ Mビット、TIが $D \times (8M/D)$ ビット、およびコードQ(VL-Data)が $8 \times N$ ビットで構成されている。このサイズの単位のパッケージを複数用いてデータを格納する。

【0121】

このように、ダイナミックレンジDR、画素値の最小値MIN、動きフラグMF、テーブルインデックスTI、およびコードQが8の倍数となるように構成することにより、上述したシャフリングを行うときに、各々のデータのビット数サイズによらず、統一のアーキテクチャで、かつ、バイト単位で扱うのに適する。

上述した説明、および後述する説明においては、図27に示したパッケージ構成を用いた場合である。

【0122】

上述したようなシャフリングを行うセグメント間シャフル回路104の構成を図28に示す。ADRC符号化回路103から出力されたデータは、セグメント間シャフル回路104のデータ選択部211に入力される。データ選択部211は、FLデータの各要素毎に、3個(ブロック)ずつパラレルに入力され、FLデータと交互するタイミングでVLデータが入力される。データ選択部211は、入力されたデータをシリアルデータに変換し、所定のデータを入出力コントローラ213に出力する。入出力コントローラ213は、アドレス発

10

20

30

40

50

生部 2 1 4 が発生したアドレスに基づいて、入力されたデータを記憶部 2 1 5 に記憶させる。記憶部 2 1 5 に記憶されたデータは、出力データカウンタ部 2 1 6 から供給されるデータに従って、アドレス発生部 2 1 4 が発生したアドレスに基づいて、読み出され、パケット化回路 1 7 (図 3) に出力される。

【 0 1 2 3 】

入力データカウンタ部 2 1 2 は、データ選択部 2 1 1 に入力されたデータの種類の識別の為の情報、記憶部 2 1 5 に記憶する際のアドレッシングやシャフリングする方向などを示すカウンタ群から構成されている。そのカウンタ群の一例を図 2 9 に示す。カウンタ群にはアドレッシング用とシャフリング用とがある。アドレッシング用の FL データ用のカウンタとしては、1 バッファ内における FL データのブロック数をカウントする (パケット内の FL データのアドレスを決定する) カウンタ (flblk)、1 セグメント内における fl データのパケットの数をカウントする (セグメント内のパケット番号を決定する) カウンタ (flpkt)、および 1 バンク内における fl データのトータルのパケット数をカウントする (バンク内のパケットのアドレスを決定する) カウンタ (flttlpkt) から構成されている。

10

【 0 1 2 4 】

アドレッシング用の VL データ用のカウンタ群としては、1 バッファ内における VL データのパケット数をカウントする (バッファ内のパケット番号を決定する) カウンタ (vlpkt)、1 バンク内の VL データのトータルのパケット数をカウントする (バンク内のパケットのアドレスを決定する) カウンタ (vlttlpkt)、1 セグメント内の VL データのバッファ数をカウントする (セグメント内のバッファ番号を決定する) カウンタ (vlbuf)、および任意の順番の VL データをパケット当たりの VL データのバイト数 N で除算したときの余りをカウントする (パケット内の VL データの記憶部 2 1 5 (図 2 8) の記憶位置を決定する) カウンタ (vlmmodN) から構成されている。

20

【 0 1 2 5 】

シャフリング用のカウンタは、FL データ用として、1 バンク内における FL データのセグメント数をカウントする (FL データのセグメント番号を決定する) カウンタ (flseg)、1 セグメント内における FL データのシャフリング方向を決定するカウンタ (flshf)、VL データ用として、1 バンク内における VL データのセグメント数をカウントする (バンク内のセグメント番号を決定する) カウンタ (vlseg)、1 セグメント内における VL データのシャフリング方向を決定するカウンタ (vlshf) とから構成されている。

30

【 0 1 2 6 】

同様に、出力データカウンタ部 2 1 6 は、図 3 0 に示すような、アドレッシング用のカウンタ群から構成されている。FL データのアドレッシング用のカウンタとして、1 パケットサイズのデータセルにおける TI データをカウントする (TI データをバイト単位にデータに集成するための) カウンタ (ticnt)、1 パケットサイズのデータセルにおける MF データ数をカウントする (MF データをバイト単位のデータに集成するための) カウンタ (mfcnt)、1 パケットサイズのデータセルにおける DR データと MIN データの数をカウントする (パケット内の DR データと MIN データの番号を決定する) カウンタ (dmcnt)、ビットサイズの TI データや MF データをバイトサイズのデータとして扱うために挿入されるブランクの数をカウントするカウンタ (tmcnt)、1 パケット内におけるパケット内の VL データの番号を決定するカウンタ (vlcntN)、および 1 バッファ内におけるパケット数をカウントする (バッファ内のパケット番号を決定する) カウンタ (pktcnt) から構成されている。

40

【 0 1 2 7 】

セグメント間シャフリング回路 1 0 4 に入力されたデータは、上述した入力データカウンタ部 2 1 2 のカウンタ群に従って、アドレス発生部 2 1 4 が発生したアドレスに基づいて、記憶部 2 1 5 に記憶される。例えば、2 フレーム単位の画像データのうちの最初の DR データが入力された場合、その DR データのアドレス用のカウンタ番号として、flblk によりブロック番号が 0、flttlpkt と flpkt によりパケット番号が 0 と、それぞれ決定され、アドレス発生部 2 1 4 に出力される。

また、シャフル用のカウンタ番号として、flseg によりセグメント番号が 0、flmod により

50

0と、それぞれ決定され、アドレス発生部214に出力される。

【0128】

アドレス発生部214は、入力されたカウンタ番号のうち、flshfのカウンタ番号によりシャフル0(図23)と決定し、セグメント番号(flsegのカウンタ番号)を0と決定することにより、入力されたDRデータのシャフリング先(いまの場合、シャフル0なので、シャフルされず、シャフリング先としてはセグメント0)を決定する。

【0129】

次に、2フレーム単位の画像データのうち、I番目のVLデータが入力された場合、そのVLデータのアドレス用のカウンタ番号として、vlmodNによりパケット内のVLデータの番号がI/Nの剰余-1(番号は0から付されるため)、vlttlpktによりトータルのパケット数を表す値がI/Nの商-1、vlpktによりパケット番号が(I/N)/(バッファ内のパケット数)-1、およびvlbufによりバッファ番号が、それぞれ決定され、アドレス発生部214に出力される。また、シャフル用のカウンタ番号として、vlsegによりセグメント番号と、vlshfよりシャフリング方向が、それぞれ決定され、アドレス発生部214に出力される。

【0130】

アドレス発生部214は、入力されたカウンタ番号のうち、vlshfのカウンタ番号よりシャフル方向とセグメント番号を決定することにより、シャフリング先のセグメント番号を決定する。このようにして決定されたシャフリング先のデータとアドレス用のカウンタ値に基づいて、アドレスが決定される。

【0131】

上述したように、アドレス発生部214が発生するアドレスに従って、記憶部215に記憶されたデータは、出力データカウンタ部216のカウンタ群に従って、アドレス発生部214が発生するアドレスに基づいて読み出される。その読み出しについて説明する。読み出しのためのパルスが所定のタイミングでセグメント間シャフル回路104に入力されると、TIデータとMFデータをバイト単位に集結する処理が行われる。その集結処理が終了されると、パケット内のデータ出力順に従って、いまの場合、図27に示したパケット内のデータの配列に従って、記憶部215から読み出され、パケット化回路17に出力される。

【0132】

パケット出力毎の処理が1バッファ分(11パケット分)繰り返し行われ、順次、パケット化回路17に出力される。パケット化回路17は、必要に応じ、符号化回路15から入力されたデータを外部メモリ18に一時的に記憶させ、必要に応じ読み出すことにより、パケットを構成する。

【0133】

次に、送信装置1の画像の送信の処理を図31のフローチャートを参照して説明する。ステップS11において、間引き部13のA/D変換回路42は、入力された60Hzのフィールド周波数を有するインターレース方式の画像信号を、所定のサンプリングレートでサンプリングして、所定のデータレートのYデータ、Uデータ、およびVデータとして出力する。ステップS12において、間引きフィルタ43は、Yデータ、Uデータ、およびVデータをそれぞれ、水平方向と垂直方向に1/2に間引き、30Hzのフレーム周波数を有するプログレッシブ方式のデータに変換する。

【0134】

ステップS13において、UV垂直1/2回路45は、Uデータ、およびVデータを、垂直方向に1/2に間引く。ステップS14において、フォーマット変換回路14は、Yデータ、Uデータ、およびVデータを符号化回路15に供給できる形式に変換する。

【0135】

ステップS15において、符号化回路15は、フォーマット変換回路14から供給されたYデータ、Uデータ、およびVデータをシャフルして、符号化し、更にシャフルして、パケット化回路17に出力する。ステップS16において、パケット化回路17は、符号化

10

20

30

40

50

回路 15 から供給されたデータを、パケット化し、送信回路 19 に出力する。ステップ S19 において、送信回路 19 は、パケット化回路 17 から供給されたパケットを所定的方式で送信し、処理は終了する。

【0136】

以上のように、送信装置 1 は、入力された画像の信号を圧縮して、パケットとして出力する。

【0137】

次に、受信装置 2 について説明する。図 32 は、受信装置 2 の構成を示すブロック図である。受信回路 301 が受信したパケットは、パケット解体回路 302 に供給される。受信回路 301 は、受信したパケットに欠落が生じたとき、欠落パケットのデータの各ビット単位で、欠落フラグをセットする。パケット解体回路 302 は、供給されたパケットを一時的に外部メモリ 303 に記憶させ、外部メモリ 303 に一時的に記憶されたパケットを解体して、パケットに含まれるデータを取り出し、欠落フラグと共に復号回路 304 に供給する。コード Q に、8 ビット単位で欠落フラグを付け、ダイナミックレンジ DR、画素値の最小値 MIN、および動きフラグ MF 毎に欠落フラグを付けるようにしても良い。

10

【0138】

復号回路 304 は、パケット解体回路 302 から供給されたデータを一時的に外部メモリ 305 に記憶させ、外部メモリ 305 に一時的に記憶された ADC 方式で符号化されているデータを復号し、フォーマット変換回路 306 に供給する。復号回路 304 は、復号に必要なダイナミックレンジ DR または最小値 MIN などのデータが欠落している場合、欠落しているデータをリカバリして、復号し、復号に成功したとき、対応する欠落フラグをリセットする。

20

【0139】

フォーマット変換回路 306 は、復号回路 304 から供給されたデータを一時的に外部メモリ 307 に記憶させ、外部メモリ 307 に一時的に記憶されたデータに対し、フォーマット変換回路 14 の処理とは逆の処理を実行して、欠落画素創造回路 308 に供給する。

【0140】

欠落画素創造回路 308 は、フォーマット変換回路 306 から供給されたデータを基に、クラス分類適応処理により、伝送中に欠落した画素のデータを、欠落した画素の周辺の画素の画素値から作り出し、そのデータをフォーマット変換回路 310 に供給する。イニシャライズ回路 309 は、受信装置 2 の起動時などにおいて、欠落画素創造回路 308 に、係数セットなどを供給する。

30

【0141】

フォーマット変換回路 310 は、欠落画素創造回路 308 から供給されたデータを一時的に外部メモリ 311 に記憶させ、外部メモリ 311 に一時的に記憶されたデータを 4 倍密解像度創造回路 312 が処理できる、30 Hz のフレーム周波数を有する、プログレッシブ方式の 3 : 0.5 : 0.5 の画像データに変換し、変換したデータを 4 倍密解像度創造回路 312 に供給する。

【0142】

4 倍密解像度創造回路 312 は、フォーマット変換回路 310 から供給された画像データを基に、供給された画像の 4 倍の密度の画像データを創造し、補間部 314 に供給する。イニシャライズ回路 313 は、4 倍密解像度創造回路 312 に、係数セットなどを供給する。

40

【0143】

補間部 314 は、フォーマット変換回路 331、外部メモリ 332、UV 垂直 2 倍回路 333、外部メモリ 334、D/A 変換回路 335、および後置フィルタ 336 で構成されている。

【0144】

フォーマット変換回路 331 は、4 倍密解像度創造回路 312 から供給されたデータを入力し、一時的に外部メモリ 332 に記憶させ、外部メモリ 332 に一時的に記憶されたデ

50

ータをUV垂直2倍回路333が処理できる、30Hzのフレーム周波数を有する、プログレッシブ方式の3:0.5:0.5の画像データに変換し、変換されたデータをUV垂直2倍回路333に出力する。

【0145】

UV垂直2倍回路333は、フォーマット変換回路331から供給されたデータを一時的に外部メモリ334に記憶させ、外部メモリ334に一時的に記憶されたデータのUデータおよびVデータを、それぞれ垂直方向に2倍に補間し、Yデータ、Uデータ、およびVデータをD/A変換回路335に供給する。

【0146】

D/A変換回路335は、UV垂直2倍回路333から供給されたYデータ、Uデータ、およびVデータを、アナログのY信号、U信号、およびV信号に変換し、後置フィルタ336に出力する。後置フィルタ336は、D/A変換回路335から出力されたアナログのY信号、U信号、およびV信号のうち、有効な成分のみを通過させるフィルタ(いわゆる、 $\sin X/X$ フィルタ)である。後置フィルタ336を通過したY信号、U信号、およびV信号は、NTSCエンコーダ315に供給され、あるいは、そのまま受信装置2の出力として出力される。

10

【0147】

NTSCエンコーダ315は、入力されたY信号、U信号、およびV信号を基に、コンポーネント信号(Y/C信号)およびコンポジットビデオ信号を生成し、出力する。

【0148】

PLL回路316は、各回路の処理の基準となる基準信号を生成し、コントロール回路317に供給する。コントロール回路317は、パケット解体回路302、復号回路304、フォーマット変換回路306、欠落画素創造回路308、フォーマット変換回路310、4倍密解像度創造回路312、補間部314、およびNTSCエンコーダ315に、生成したコントロール信号を供給し、受信装置2全体の動作を制御する。

20

【0149】

図33を参照して、インターレース方式で信号が出力される場合の受信装置2で受信された画像のデータが伸張される過程を説明する。復号回路304で復号された画像のデータは、フォーマット変換回路306で、30Hzのフレーム周波数を有する、プログレッシブ方式の1フレーム当たり水平方向に264画素および垂直方向に240画素を有するYデータ、並びに88画素×120画素×2のUデータおよびVデータに変換される。

30

【0150】

フォーマット変換回路306から出力された1フレームを構成するYデータ、Uデータ、およびVデータは、欠落画素創造回路308で欠落画素が創造された後、4倍密解像度創造回路312により、60Hzのフィールド周波数を有する、インターレース方式の第1フィールドおよび第2フィールドに変換される。このとき、Yデータは、1つのフィールド当たり、水平方向に528画素および垂直方向に240画素を含むデータとなる。UデータおよびVデータは、それぞれ1つのフィールド当たり、水平方向に176画素および垂直方向に120画素を含むデータとなる。

【0151】

4倍密解像度創造回路312から出力されたYデータ、Uデータ、およびVデータは、フォーマット変換回路331により、Yデータが、1つのフレーム当たり、水平方向に528画素および垂直方向に480画素を含むデータに変換され、UデータおよびVデータは、それぞれ1つのフレーム当たり、水平方向に176画素および垂直方向に240画素を含むデータに変換される。

40

【0152】

更に、UデータおよびVデータは、UV垂直2倍回路333により、1つのフレーム当たり、水平方向に176画素および垂直方向に480画素を含むデータに変換される。D/A変換回路335は、デジタルアナログ変換を行い、YデータをアナログY信号に変換し、UデータおよびVデータをアナログU信号およびアナログV信号にそれぞれ変換する。

50

【 0 1 5 3 】

このように、補間部 3 1 4 で、間引き部 1 3 に対応する処理を行うことで、実用的な値にまで低減されたビットレートで伝送されてきたデータから、十分な画質を有する元の画像を再現することができる。

【 0 1 5 4 】

以上のように、受信装置 2 は、受信した画像のデータを伸張して、インターレース方式の Y 信号、U 信号、および V 信号として出力する。受信装置 2 が出力する画像の信号の情報は、163Mbps に相当し、送信装置 1 に入力された画像の信号の情報と比較すると、98% の情報量に相当する。

【 0 1 5 5 】

次に、復号回路 3 0 4 について説明する。図 3 4 は、復号回路 3 0 4 の構成を示すブロック図である。コントロール回路 3 1 7 から供給されたコントロール信号は、タイミング信号生成回路 3 5 1 に入力される。タイミング信号生成回路 3 5 1 は、コントロール信号を基に、タイミング信号を生成し、セグメント間デシャフル回路 3 5 2、q ビット M F リカバリ回路 3 5 3、DRMIN リカバリ回路 3 5 4、ADRC 復号回路 3 5 5、ブロックデシャフル回路 3 5 6、およびリカバリエラー判定回路 3 5 7 に供給する。

【 0 1 5 6 】

パケット解体回路 3 0 2 から供給されたデータは、セグメント間デシャフル回路 3 5 2 に入力される。セグメント間デシャフル回路 3 5 2 は、図 1 0 に示す送信装置 1 のセグメント間シャフル回路 1 0 4 と逆の動作を行い、シャフルされたデータを元の並びに戻す。デシャフルされたデータに欠落がないとき、セグメント間デシャフル回路 3 5 2 は、デシャフルされたデータを ADRC 復号回路 3 5 5 に供給する。デシャフルされたデータに欠落があるとき、セグメント間デシャフル回路 3 5 2 は、デシャフルされたデータを q ビット M F リカバリ回路 3 5 3、および DRMIN リカバリ回路 3 5 4 に供給する。また、セグメント間に跨る複数のブロックのデータにエラーがあるとき、セグメント間デシャフル回路 3 5 2 は、連続エラー信号をブロックデシャフル回路 3 5 6 に出力する。

【 0 1 5 7 】

q ビット M F リカバリ回路 3 5 3 は、隣接する画素の相関が圧縮されたコード Q に残っていることを利用し、連続する 3 つの ADRC ブロックの画素の画素値の相関を基に、その相関が最大となる、q および動きフラグ M F の値の組み合わせを求め、q および動きフラグ M F の正しい値として、DRMIN リカバリ回路 3 5 4 に出力する。q ビット M F リカバリ回路 3 5 3 は、動きフラグ M F が正しいか否かを判定するための e_{min1} および e_{min2} (隣接画素差分の最小値と 2 番目に小さい値) をリカバリエラー判定回路 3 5 7 に送信する。

【 0 1 5 8 】

図 3 5 は、q ビット M F リカバリ回路 3 5 3 の構成を示すブロック図である。セグメントデシャフル回路 3 5 2 から供給されたデシャフルされたデータは、q ビット M F 取り出し回路 3 7 1 に供給される。

【 0 1 5 9 】

q ビット M F 取り出し回路 3 7 1 は、供給されたデータから、q および動きフラグ M F を取り出し、3 ブロック評価値算出回路 3 7 2 - 1 乃至 3 7 2 - 6 のそれぞれに供給する。エラーで q および動きフラグ M F が失われた場合、q ビット M F 取り出し回路 3 7 1 は、q および動きフラグ M F として可能性のある組み合わせを、3 ブロック評価値算出回路 3 7 2 - 1 乃至 3 7 2 - 6 のそれぞれに供給する。

【 0 1 6 0 】

例えば、" 2 " が設定された q および " 0 " が設定された動きフラグ M F は、3 ブロック評価値算出回路 3 7 2 - 1 に供給され、" 3 " が設定された q および " 0 " が設定された動きフラグ M F は、3 ブロック評価値算出回路 3 7 2 - 2 に供給され、" 4 " が設定された q および " 0 " が設定された動きフラグ M F は、3 ブロック評価値算出回路 3 7 2 - 3 に供給される。また、例えば、" 2 " が設定された q および " 1 " が設定された動きフラ

10

20

30

40

50

グMFは、3ブロック評価値算出回路372-4に供給され、“3”が設定されたqおよび“1”が設定された動きフラグMFは、3ブロック評価値算出回路372-5に供給され、“4”が設定されたqおよび“1”が設定された動きフラグMFは、3ブロック評価値算出回路372-6に供給される。

【0161】

3ブロック評価値算出回路372-1乃至372-6は、qおよび動きフラグMFを基に、切り出されたコードQより復号される画素値から、互いに隣接する画素の画素値の差を基にした評価値(LE:Linear Error)を算出し、qおよび動きフラグMFと共に評価値をセレクタ373に供給する。以下、3ブロック評価値算出回路372-1乃至372-6を、個々に区別する必要がないときは、単に3ブロック評価値算出回路372と称する。

10

【0162】

評価値は、式(1)で算出される。評価値は、小さいほど画素の相関が高い。

【数1】

$$LE = \sum_{j=0}^2 \sum_{i=1}^{N_j} \left| \text{オフセット}_j + Q'_{i,j} \times 2^{4-q'_{i,j}} - Q_{i,j} \times 2^{4-q_{i,j}} \right| \quad (1)$$

$Q_{i,j}$ は、リカバリの対象となるADRCブロックに含まれる欠落していないコードQを示す。 $Q'_{i,j}$ は、 $Q_{i,j}$ が含まれるADRCブロックを構成する画素を含む図13および図14に示す64画素のブロックの画素で構成される他のADRCブロックに含まれるコードQを示す。例えば、 $Q_{i,j}$ が図16の番号“0”の偶数セグメントのADRCブロックに含まれるとき、 $Q'_{i,j}$ は、番号“3”の奇数セグメントのADRCブロックに含まれる。 $Q_{i,j}$ が図16の番号“4”の偶数セグメントのADRCブロックに含まれるとき、 $Q'_{i,j}$ は、番号“1”の奇数セグメントのADRCブロックに含まれる。 $q_{i,j}$ は、 $Q_{i,j}$ を切り出すqを示す。 $q'_{i,j}$ は、 $Q'_{i,j}$ を切り出すqを示す。 N_j は、ADRCブロック内欠落していないコードQの数を示す。 j は、評価値が算出される3つのADRCブロックを識別する番号である。

20

【0163】

オフセットjは、3つのADRCブロックの間のダイナミックレンジ、qの違いを吸収し、より正確な評価値を算出するために用いられ、式(2)、式(3)、および式(4)で算出される。

30

$$\text{オフセット}_j = (X_j \times 2^{4-q_j} - Y_j \times 2^{4-q'_j}) / 128 \quad (2)$$

【数2】

$$X_j = \sum_{i=1}^{N_j} Q_{i,j} \quad (3)$$

【数3】

$$Y_j = \sum_{i=1}^{N_j} Q'_{i,j} \quad (4)$$

40

【0164】

セレクタ373は、3ブロック評価値算出回路372-1乃至372-6のそれぞれから供給された評価値から、最小値を有する評価値、および最小値の次に大きい値を有する評価値を選択し、それぞれemin1およびemin2として、リカバリエラー判定回路357に供給する。

【0165】

セレクタ373は、3ブロック評価値算出回路372-1乃至372-6のうち、最小値を有する評価値を出力したものが出力するqおよび動きフラグMFを選択して、qビットMFリカバリ回路353の出力として、DRMINリカバリ回路354に供給する。

【0166】

50

DRMINリカバリ回路354は、qビットMFリカバリ回路353から供給されたqの正しい値および動きフラグMFの正しい値とセグメント間デシャフル回路352からの図12で示した対応するADRCブロックとを基に、ADRCブロック毎のダイナミックレンジDRの正しい値およびADRCブロック毎の画素値の最小値MINを求め、ADRC復号回路355に出力する。

【0167】

図36乃至図38を参照して、DRMINリカバリ回路354のダイナミックレンジDRまたは画素値の最小値MINのリカバリの処理を説明する。画素値Lは、ADRCの方式により、コードQから式(5)の処理により復号される。

$$L=DR/(2^Q)*q+MIN \quad (5)$$

10

【0168】

図36に示すように、qと画素値Lとの関係は、傾きを $DR/(2^Q)$ とし、接片を画素値の最小値MINとする直線で表される。

【0169】

ADRCブロック内の(q, L)の組より、式(5)の $DR/(2^Q)$ および画素値の最小値MINを統計的に求める。図37に示す、(q, L)の回帰直線を、式(5)の直線に等しいとする。

【0170】

このとき、bが既知であるならば、aは、式(6)で算出される。

$$a=(B-nb)/A \quad (6)$$

20

【0171】

また、aが既知であるならば、bは、式(7)で算出される。

$$b=(B-Aa)/n \quad (7)$$

【0172】

ここで、nは、(q, L)の点の個数であり、Aは、xであり、Bは、yである。

【0173】

ダイナミックレンジDRは、式(8)で算出される。

$$\begin{aligned} DR &= (L' - N * MIN) / (q) * 2^Q \\ &= ((DR' / 2^{Q'}) * Y) + N * MIN' - N * MIN / X * 2^Q \\ &= (N * (MIN' - MIN) * 2^{2Q'} + DR' * Y) * 2^Q / (X * 2^{2Q'}) \end{aligned} \quad (8)$$

30

図38(A)に示すように、ダイナミックレンジDRまたは画素値の最小値MINをリカバリしようとするブロックが隣接する欠落のないブロックの数を、 n_i としたとき、Nは、 n_i である。図38において、斜線が示された四角は、ダイナミックレンジDRまたは画素値の最小値MINをリカバリしようとするブロックを示す。図38において、斜線のない四角は、欠落のないブロックを示す。ダイナミックレンジDRまたは画素値の最小値MINをリカバリしようとするブロックのqが欠落している時、図38(B)に示す様に、 n_i は0である。

【0174】

DR'は、リカバリしようとするブロックが隣接する、欠落のないブロックのダイナミックレンジを示す。MIN'は、リカバリしようとするブロックが隣接する、欠落のないブロックの画素値の最小値を示す。Q'は、リカバリしようとするブロックが隣接する、欠落のないブロックのコードQを示す。

40

【0175】

Xは、式(9)で表される。

【数4】

$$X = \sum_{i=1}^N q_i \quad (9)$$

【0176】

Yは、式(10)で示される。

50

【数5】

$$Y = \sum_{i=1}^N q'_i \quad (10)$$

【0177】

画素値の最小値MINは、式(11)で算出される。

$$\begin{aligned} \text{MIN} &= (L' - q \cdot (\text{DR}/2^Q)) \\ &= ((\text{DR}'/2^{Q'}) \cdot Y + N \cdot \text{MIN}' - (\text{DR}/2^Q) \cdot X) / N \\ &= (N \cdot \text{MIN}' \cdot 2^{Q'+Q} + \text{DR}' \cdot Y \cdot 2^Q - \text{DR} \cdot X \cdot 2^{Q'}) / (N \cdot 2^{Q'+Q}) \quad (11) \end{aligned}$$

【0178】

ADRC復号回路355は、デシャフルされたデータに欠落がないとき、セグメント間デシャフル回路352から供給されたデータを基に、コードQを復号し、復号の結果得られたYデータ、Uデータ、およびVデータをブロックデシャフル回路356に供給する。

【0179】

ADRC復号回路355は、qまたは動きフラグMFに欠落があり、かつqビットMFリカバリ回路353がqの正しい値および動きフラグMFの正しい値を求めることができたとき、DRMINリカバリ回路354を介して供給されたqの正しい値、動きフラグMFの正しい値、ダイナミックレンジDR、およびブロック毎の画素値の最小値MINを基に、DRMINリカバリ回路354から供給されたコードQを復号し、復号の結果得られたYデータ、Uデータ、およびVデータを、Yデータ、Uデータ、およびVデータに対応する、"0"を設定したエラーフラグと共に、ブロックデシャフル回路356に供給する。

【0180】

ADRC復号回路355は、qまたは動きフラグMFに欠落があり、かつqビットMFリカバリ回路353がqの正しい値および動きフラグMFの正しい値を求めることができないとき、コードQに対応するYデータ、Uデータ、およびVデータのエラーフラグに"1"を設定して、ブロックデシャフル回路356に供給する。

【0181】

ADRC復号回路355は、ダイナミックレンジDR、または画素値の最小値MINに欠落があり、かつDRMINリカバリ回路354がダイナミックレンジDRの正しい値および画素値の最小値MINの正しい値を求めることができたとき、DRMINリカバリ回路354を介して供給されたq、動きフラグMF、ダイナミックレンジDRの正しい値、および画素値の最小値MINの正しい値を基に、DRMINリカバリ回路354から供給されたコードQを復号し、復号の結果得られたYデータ、Uデータ、およびVデータを、Yデータ、Uデータ、およびVデータに対応する、"0"を設定したエラーフラグと共に、ブロックデシャフル回路356に供給する。

【0182】

ADRC復号回路355は、ダイナミックレンジDR、または画素値の最小値MINに欠落があり、かつかつDRMINリカバリ回路354がダイナミックレンジDRの正しい値および画素値の最小値MINの正しい値を求めることができないとき、コードQに対応するYデータ、Uデータ、およびVデータのエラーフラグに"1"を設定して、ブロックデシャフル回路356に供給する。

【0183】

リカバリエラー判定回路357は、qビットMFリカバリ回路353から供給されたemin1およびemin2を基に、リカバリエラー判定フラグFdをブロックデシャフル回路356に出力し、外部メモリ305が記憶している前のフレームの対応する画素のYデータ、Uデータ、およびVデータの更新を停止させる。

【0184】

ブロックデシャフル回路356は、ADRC復号回路355から"0"を設定したエラーフラグと共に、Yデータ、Uデータ、およびVデータが供給されたとき、エラーフラグ、並びにYデータ、Uデータ、およびVデータを記憶する。ブロックデシャフル回路356

10

20

30

40

50

は、A D R C 復号回路 3 5 5 から " 1 " を設定したエラーフラグと共に、Y データ、U データ、および V データが供給されたとき、エラーフラグを記憶し、Y データ、U データ、および V データを記憶しない。また、ブロックデシャフル回路 3 5 6 は、リカバリエラー判定回路 3 5 7 またはセグメント間デシャフル回路 3 5 2 から連続エラー信号が供給された場合も、外部メモリ 3 0 5 が記憶している前のフレームの対応する画素の Y データ、U データ、および V データの更新を停止させる。

【 0 1 8 5 】

ブロックデシャフル回路 3 5 6 は、Y データ、U データ、および V データを、図 1 0 に示す送信装置 1 のブロックシャフル回路 1 0 2 と逆の動作で、元の並びに戻し、元の並びに変換された Y データ、U データ、および V データを出力する。

10

【 0 1 8 6 】

以上のように、復号回路 3 0 4 は、復号に必要なデータである q、動きフラグ M F、ダイナミックレンジ D R、または画素値の最小値 M I N が失われても、q ビット M F リカバリ回路 3 5 3 および D R M I N リカバリ回路 3 5 4 が失われたデータをリカバリするので、復号を実行することができる。

【 0 1 8 7 】

リカバリエラーがあるときは、外部メモリ 3 0 5 に記憶されている画素値を上書きしないで、4 フレーム前の画素値を出力するので、動きが無いとき、違和感のない画素値を出力できる。

【 0 1 8 8 】

次に、復号回路 3 0 4 の処理のタイミングを図 3 9 および図 4 0 のタイミングチャートを参照して説明する。図 3 9 は、セグメント間デシャフル回路 3 5 2 から出力されるデータに欠落がない場合の、復号回路 3 0 4 の処理のタイミングの例を示す。セグメント間デシャフル回路 3 5 2 は、デシャフルの処理を行い、所定の時間経過後（図 3 9 の例では、入力開始から 3 6 2 クロック後）、A D R C 復号回路 3 5 5 にデシャフルされたデータを出力する。A D R C 復号回路 3 5 5 は、セグメント間デシャフル回路 3 5 2 から供給されたデータを復号して出力する。

20

【 0 1 8 9 】

図 4 0 は、セグメント間デシャフル回路 3 5 2 から出力されるデータに欠落がある場合の、復号回路 3 0 4 の処理のタイミングの例を示す。セグメント間デシャフル回路 3 5 2 は、デシャフルの処理を行い、データに欠落がない場合に、A D R C 復号回路 3 5 5 にデータを供給するタイミングより早く（図 4 0 の例では、入力開始から 1 2 3 クロック後）、q ビット M F リカバリ回路 3 5 3 にデシャフルされたデータを出力する。q ビット M F リカバリ回路 3 5 3 は、所定のタイミングで、q および動きフラグ M F を、D R M I N リカバリ回路 3 5 4 に供給する。

30

【 0 1 9 0 】

D R M I N リカバリ回路 3 5 4 は、データに欠落がない場合にセグメント間デシャフル回路 3 5 2 が A D R C 復号回路 3 5 5 にデータを供給するタイミングと同じタイミングで、ダイナミックレンジおよび画素の最小値を、A D R C 復号回路 3 5 5 に供給する。

【 0 1 9 1 】

従って、復号回路 3 0 4 は、q、動きフラグ M F、ダイナミックレンジ D R、および画素の最小値 M I N をリカバリしても、セグメント間デシャフル回路 3 5 2 から出力されるデータに欠落がない場合と同じタイミングで、データを復号し、出力することができる。

40

【 0 1 9 2 】

以上のように、復号回路 3 0 4 は、復号に必要な所定のデータが失われても、q ビット M F リカバリ回路 3 5 3 および D R M I N リカバリ回路 3 5 4 が失われたデータをリカバリするので、復号を実行することができる。なお、復号回路 3 0 4 にエラー処理を行わないモード（ユーザセレクト可能なモード）を選択する信号が入力されているとき、q ビット M F リカバリ回路 3 5 3 および D R M I N リカバリ回路 3 5 4 は、リカバリを実行しない。

50

【 0 1 9 3 】

図 4 1 および図 4 2 を参照して、ブロックデシャフル回路 3 5 6 のデータの出力のタイミングについて説明する。

【 0 1 9 4 】

従来は、2 フレームの画像を記憶するメモリを 2 個設けて、図 4 1 (A) に示すように、一方のメモリにデータを書き込んでいるとき、他のメモリからデータを読み出して出力し、2 フレームの画像について処理が終了したとき、図 4 1 (B) に示すように、他方のメモリにデータを書き込んで、一方のメモリからデータを読み出して、出力していた。

【 0 1 9 5 】

これに対して、外部メモリ 3 0 5 に、それぞれ 2 フレームの画像を記憶するバンクを 2 つ設けて (図中のバンク 1 およびバンク 2)、ブロックデシャフル回路 3 5 6 は、図 4 2 (A) に示すように、3 個の A D R C に対応する画像データが A D R C 復号回路 3 5 5 から供給されたとき、バンク 1 に書き込み、図 4 2 (B) に示すように、A D R C 復号回路 3 5 5 から画像データが供給されていないとき (例えば、図 4 0 に示す、入力開始から 3 6 4 クロックまでの間)、アドレスを指定することにより、バンク 2 からブロックデシャフルされたデータを読み出す。次の 2 フレームにおいては、ブロックデシャフル回路 3 5 6 は、3 個の A D R C に対応する画像データが A D R C 復号回路 3 5 5 から供給されたとき、バンク 2 に書き込み、A D R C 復号回路 3 5 5 から画像データが供給されていないとき、バンク 1 からブロックデシャフルされたデータを読み出す。

【 0 1 9 6 】

このようにすることで、ブロックデシャフル回路 3 5 6 に対し、1 個の外部メモリ 3 0 5 で、画像データをブロックデシャフルして、出力することができる。

【 0 1 9 7 】

図 4 3 は、リカバリエラー判定回路 3 5 7 の構成を示すブロック図である。q ビット M F リカバリ回路 3 5 3 から供給される最小値を有する評価値 e_{min1} 、および 2 番目に小さい値を有する評価値 e_{min2} は、差分算出回路 4 3 1 に供給される。差分算出回路 4 3 1 は、入力された e_{min1} と e_{min2} との差を算出し、遅延回路 4 3 2 に出力する。遅延回路 4 3 2 は、差分算出回路 4 3 1 から供給されたデータを所定の時間遅延し、加算器 4 3 5 および遅延回路 4 3 3 に出力する。

【 0 1 9 8 】

遅延回路 4 3 3 は、遅延回路 4 3 2 から供給されたデータを所定の時間遅延し、加算器 4 3 5 および遅延回路 4 3 4 に出力する。

【 0 1 9 9 】

遅延回路 4 3 4 は、遅延回路 4 3 3 から供給されたデータを所定の時間遅延し、加算器 4 3 5 および判定回路 4 3 7 に出力する。

【 0 2 0 0 】

加算器 4 3 5 は、遅延回路 4 3 2 から供給されたデータ、遅延回路 4 3 3 から供給されたデータ、および遅延回路 4 3 4 から供給されたデータを加算して、判定回路 4 3 6 に供給する。

【 0 2 0 1 】

判定回路 4 3 6 は、加算器 4 3 5 から供給されたデータが予め定めた閾値 T_{e1} 以下であるか否かを判定し、加算器 4 3 5 から供給されたデータが閾値 T_{e1} 以下であると判定された場合、" 1 " を A N D 回路 4 3 8 に出力し、加算器 4 3 5 から供給されたデータが閾値 T_{e1} を越えると判定された場合、" 0 " を A N D 回路 4 3 8 に出力する。

【 0 2 0 2 】

判定回路 4 3 7 は、遅延回路 4 3 4 から供給されたデータが予め定めた閾値 T_{e2} 以下であるか否かを判定し、遅延回路 4 3 4 から供給されたデータが閾値 T_{e2} 以下であると判定された場合、" 1 " を A N D 回路 4 3 8 に出力し、遅延回路 4 3 4 から供給されたデータが閾値 T_{e2} を越えると判定された場合、" 0 " を A N D 回路 4 3 8 に出力する。

【 0 2 0 3 】

10

20

30

40

50

AND回路438は、判定回路436から供給されたデータが"1"、かつ、判定回路437から供給されたデータが"1"のとき、"1"をホールド回路439に出力する。AND回路438は、判定回路436から供給されたデータが"0"、または、判定回路437から供給されたデータが"0"のとき、"0"をホールド回路439に出力する。

【0204】

ホールド回路439は、入力されたデータをリセット信号が入力されるまで保持し、遅延回路440に出力する。遅延回路440は、ホールド回路439から出力されたデータを所定の時間遅延し、ホールド回路439に供給するとともに、リカバリ判定フラグFdとしてブロックデシャフル回路356に出力する。

【0205】

このように、リカバリエラー判定回路357は、3個のADRCブロックに対する、評価値emin1と評価値emin2の差の積算値が閾値Te1以下であり、かつ、そのADRCブロックに対する評価値emin1と評価値emin2の差が閾値Te2以下であるとき、すなわち、評価値emin1と評価値emin2の差が少なく、リカバリされたqまたは動きフラグMFが正しくない可能性が高いとき、リカバリ判定フラグFdに1をセットする。

【0206】

次に、ADRC復号回路355で復号されたデータが一時的にブロックデシャフル回路356に記憶され、読み出される処理を説明する。セグメント間デシャフル回路352は、パケット解体回路302から供給されたデータに欠落があるとき、欠落するデータに対応するエラーフラグに"1"を設定し、データに欠落がないとき、データに対応するエラーフラグに"0"を設定し、ADRCブロック単位のコードQおよびエラーフラグをADRC復号回路355に出力する。ADRC復号回路355は、コードQを復号し、Yデータ、Uデータ、およびVデータ、並びにエラーフラグをブロックデシャフル回路356に出力する。

【0207】

ブロックデシャフル回路356は、対応するエラーフラグが"0"の場合、Yデータ、Uデータ、およびVデータ、並びにエラーフラグを外部メモリ305に記憶し、対応するエラーフラグが"1"である場合、エラーフラグを外部メモリ305に記憶し、Yデータ、Uデータ、およびVデータを外部メモリ305に記憶しない。

【0208】

外部メモリ305は、2つのバンクを有し、1つのバンクに2つのフレームのYデータ、Uデータ、およびVデータ、並びにエラーフラグを記憶する。外部メモリ305のバンクは、2つのフレーム毎に切り替えられる。従って、対応するエラーフラグが"1"である場合、外部メモリ305は、4フレーム前のYデータ、Uデータ、およびVデータを記憶している。

【0209】

図44は、リカバリエラー判定回路357が、"1"が設定されたりカバリ判定フラグFdを出力した場合の、ブロックデシャフル回路356の処理を説明する図である。qビットMFリカバリ回路353から供給される最小値を有する評価値emin1、および2番目に小さい値を有する評価値emin2の差が所定の値以下であり、かつ、そのADRCブロックを含めた連続する3つのADRCブロックのemin1、およびemin2の差の和が所定の値以下であるとき、qビットMFリカバリ回路353は、qのリカバリに失敗したと判定し、このため、データの切り出しも失敗したと判定する。このとき、リカバリエラー判定回路357は、"1"が設定されたりカバリ判定フラグFdを出力する。

【0210】

リカバリエラー判定回路357が、"1"が設定されたりカバリ判定フラグFdを出力したとき、ブロックデシャフル回路356は、それ以降のバッファ(88個のADRCブロック)からのデータの切り出しに失敗したとみなし、それ以降に供給されるエラーフラグに"1"を設定し、そのエラーフラグを外部メモリ305に記憶する。ユーザセレクト

10

20

30

40

50

ルなエスケープモードの場合には、データは外部メモリ305に記憶される。

【0211】

図45は、セグメント間デシャフル回路353が、連続エラー信号を出力した場合の、ブロックデシャフル回路356の処理を説明する図である。セグメント間デシャフル回路353は、対応する偶数ADRCブロックおよび奇数ADRCブロックの両方の欠落を検出したとき、連続エラー信号を出力する。qビットMFリカバリ回路353のqおよび動きフラグMFのリカバリの処理は、隣接する画素の画素値の相関を利用しているため、対応する偶数ADRCブロックおよび奇数ADRCブロックの両方が欠落しているとき、qビットMFリカバリ回路353は、リカバリの処理を実行することができない。連続エラー信号が供給されたとき、ブロックデシャフル回路356は、それ以降のバッファ(88個のADRCブロック)からのデータの切り出しに失敗したとみなし、それ以降に供給されるエラーフラグに"1"を設定し、そのエラーフラグを外部メモリ305に記憶し、それ以降に供給される復号されたデータを外部メモリ305に記憶しない。

10

【0212】

図46は、ユーザセレクト可能なグレイモードの場合のブロックデシャフル回路356の処理を説明する図である。グレイモードの場合、ブロックデシャフル回路356は、対応するエラーフラグが"1"であるデータに、グレイ(Y,U,V全てを128にするのではなく、対応するデータのみ128にする)を設定して出力する。

【0213】

図47および図48は、ブロックデシャフル回路356のユーザセレクト可能なリカバリオフ入力(ユーザが図示せぬ所定のスイッチを操作したときに入力される信号)に対応した処理を説明する図である。"1"が設定されたリカバリオフ入力(リカバリオフ)が供給された場合、ブロックデシャフル回路356は、外部メモリ305に、図47に示すように、qビットMFリカバリ回路353を経由しないで、ADRC復号回路355でYデータ、Uデータ、およびVデータが復号されたとき、復号されたYデータ、Uデータ、およびVデータを記憶させる。図48に示すように、qビットMFリカバリ回路353でqおよび動きフラグがリカバリされたとき、ブロックデシャフル回路356は、外部メモリ305に、復号されたYデータ、Uデータ、およびVデータをメモリに記憶させず、対応するすべてのエラーフラグを"1"に設定する。リカバリオフ入力を変化させることで、qビットMFリカバリ回路353等のリカバリの効果が簡単に確認できる。

20

30

【0214】

図49は、ブロックデシャフル回路356のエスケープ信号(ユーザが図示せぬ所定のスイッチを操作したときに入力される信号)に対応した処理を説明する図である。所定のエスケープ信号が供給された場合、ブロックデシャフル回路356は、図49に示すように、リカバリ判定フラグFdが"1"に設定されても、それ以降に供給されるエラーフラグに強制的に"1"を設定しないでエラーフラグをメモリに記憶し、それ以降に供給される復号されたYデータ、Uデータ、およびVデータをメモリに記憶する。エスケープ信号を変化させることで、ブロックデシャフル回路356のコンシールの処理の効果が簡単に確認できる。

【0215】

図50および図51は、ブロックデシャフル回路356の復号したデータを出力する処理を説明するフローチャートである。ステップS31において、セグメント間デシャフル回路352は、受信回路301が生成したエラーフラグを受信し、ADRC復号回路355に供給する。ADRC復号回路355は、セグメント間デシャフル回路352から供給されたエラーフラグをブロックデシャフル回路356に出力し、ブロックデシャフル回路356は、そのエラーフラグを受信する。

40

【0216】

ステップS32において、ブロックデシャフル回路356は、ADRC復号回路355から供給された、バッファ(所定の88個のADRCブロック)に対応する、最初のエラーフラグを選択する。ステップS33において、ブロックデシャフル回路356は、セグメ

50

ント間デシャフル回路 3 5 2 から供給されている連続エラー信号が " 0 " であるか否かを判定し、連続エラー信号が " 0 " であると判定された場合、ステップ S 3 4 に進み、リカバリエラー判定回路 3 5 7 から供給されているリカバリ判定フラグ F d が " 0 " であるか否かを判定する。ステップ S 3 4 において、リカバリ判定フラグ F d が " 0 " であると判定された場合、ステップ S 3 5 に進み、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 にエラーフラグを記憶させる。

【 0 2 1 7 】

ステップ S 3 3 において、連続エラー信号が " 1 " であると判定された場合、およびステップ S 3 4 において、リカバリ判定フラグ F d が " 1 " であると判定された場合、データの切り出しに失敗したので、ステップ S 4 7 に進み、ブロックデシャフル回路 3 5 6 は、エスケープ信号がオフであるか否かを判定し、エスケープ信号がオフであると判定された場合、ステップ S 4 8 に進み、ステップ S 3 2 で選択されたエラーフラグに " 1 " を設定し、ステップ S 3 5 に進み、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 にエラーフラグを記憶させる。

10

【 0 2 1 8 】

ステップ S 4 7 において、エスケープ信号がオンであると判定された場合、エラーフラグの設定を行わないので、手続きは、ステップ S 4 8 をスキップし、ステップ S 3 5 に進み、ブロックデシャフル回路 3 5 6 は、外部メモリ 3 0 5 にエラーフラグを記憶させる。

【 0 2 1 9 】

ステップ S 3 6 において、ブロックデシャフル回路 3 5 6 は、バッファに対応する、すべてのエラーフラグを処理したか否かを判定し、すべてのエラーフラグを処理したと判定された場合、ステップ S 3 7 に進み、ブロックデシャフル回路 3 5 6 は、A D R C 復号回路 3 5 5 から復号された Y データ、U データ、および V データを受信する。

20

【 0 2 2 0 】

ステップ S 3 6 において、バッファのすべてのエラーフラグをまだ処理していないと判定された場合、ステップ S 4 9 に進み、ブロックデシャフル回路 3 5 6 は、次のエラーフラグを選択し、ステップ S 3 3 に戻り、エラーフラグの設定の処理を繰り返す。

【 0 2 2 1 】

ステップ S 3 8 において、ブロックデシャフル回路 3 5 6 は、A D R C 復号回路 3 5 5 から供給された、バッファの最初の復号されたデータを選択する。

30

【 0 2 2 2 】

ステップ S 3 9 において、ブロックデシャフル回路 3 5 6 は、セグメント間デシャフル回路 3 5 2 から供給されている連続エラー信号が " 0 " であるか否かを判定し、連続エラー信号が " 0 " であると判定された場合、ステップ S 4 0 に進み、選択されている復号されたデータに対応するエラーフラグが " 0 " であるか否かを判定する。選択されている復号されたデータに対応するエラーフラグが " 0 " であると判定された場合、ステップ S 4 1 に進み、ブロックデシャフル回路 3 5 6 は、選択されている復号された Y データ、U データ、および V データを外部メモリ 3 0 5 に記憶させる。手続きは、ステップ S 4 2 に進む。

【 0 2 2 3 】

ステップ S 3 9 において、連続エラー信号が " 1 " であると判定された場合、および、ステップ S 4 0 において、選択されている復号されたデータに対応するエラーフラグが " 1 " であると判定された場合、データは欠落しているので、ステップ S 4 1 をスキップして、ステップ S 4 2 に進む。

40

【 0 2 2 4 】

ステップ S 4 2 において、ブロックデシャフル回路 3 5 6 は、バッファのすべての復号されたデータを処理したか否かを判定し、バッファのすべての復号されたデータを処理したと判定された場合、ステップ S 4 3 に進む。

【 0 2 2 5 】

ステップ S 4 2 において、バッファ (8 8 個の A D R C ブロック) のすべての復号されたデ

50

ータをまだ処理していないと判定された場合、ステップS 5 0に進み、ブロックデシャフル回路3 5 6は、次のデータを選択し、ステップS 3 9に戻り、復号したデータを記憶する処理を繰り返す。

【0 2 2 6】

ステップS 4 3において、ブロックデシャフル回路3 5 6は、外部メモリ3 0 5に記憶されている最初のデータを選択する。ステップS 4 4において、ブロックデシャフル回路3 5 6は、エラーフラグが" 1 "で、かつ、グレイモードであるか否かを判定し、エラーフラグが" 0 "、または、グレイモードでないと判定された場合、ステップS 4 5に進み、選択されているデータをフォーマット変換回路3 0 6に出力する。

【0 2 2 7】

ステップS 4 4において、エラーフラグが" 1 "で、かつ、グレイモードであると判定された場合、ステップS 5 1に進み、ブロックデシャフル回路3 5 6は、グレイデータをフォーマット変換回路3 0 6に出力し、ステップS 4 6に進む。

【0 2 2 8】

ステップS 4 6において、ブロックデシャフル回路3 5 6は、外部メモリ3 0 5のバンクに記憶されている全てのデータを処理したか否かを判定し、外部メモリ3 0 5に記憶されている全てのデータを処理したと判定された場合、処理は終了する。

【0 2 2 9】

ステップS 4 6において、外部メモリ3 0 5に記憶されている全てのデータを処理していないと判定された場合、ステップS 5 2に進み、ブロックデシャフル回路3 5 6は、外部メモリ3 0 5のバンクに記憶されている次のデータを選択し、ステップS 4 4に戻り、データを出力する処理を繰り返す。

【0 2 3 0】

このように、ブロックデシャフル回路3 5 6は、コードQが欠落していても、もっとも違和感の少ないデータを出力することができる。

【0 2 3 1】

次に、図示せぬユーザセレクトナブルなりカバリオフスイッチが" 0 "である場合のブロックデシャフル回路3 5 6のデータを出力する処理を図5 2のフローチャートを参照して説明する。ステップS 7 1において、セグメント間デシャフル回路3 5 2は、受信回路3 0 1が生成したエラーフラグを受信し、A D R C復号回路3 5 5に供給する。A D R C復号回路3 5 5は、セグメント間デシャフル回路3 5 2から供給されたエラーフラグをブロックデシャフル回路3 5 6に出力し、ブロックデシャフル回路3 5 6は、そのエラーフラグを受信する。

【0 2 3 2】

ステップS 7 2において、ブロックデシャフル回路3 5 6は、qおよび動きフラグ等がqビットM Fリカバリ回路3 5 3等において、リカバリされたか否かを判定し、qおよび動きフラグM F等がリカバリされていないと判定された場合、ステップS 7 3に進み、外部メモリ3 0 5にエラーフラグを記憶させる。

【0 2 3 3】

ステップS 7 2において、qおよび動きフラグ等がリカバリされていると判定された場合、ステップS 7 8に進み、ブロックデシャフル回路3 5 6は、受信したエラーフラグを全て" 1 "に設定し、ステップS 7 3に進む。

【0 2 3 4】

ステップS 7 4において、ブロックデシャフル回路3 5 6は、A D R C復号回路3 5 5から復号されたYデータ、Uデータ、およびVデータを受信する。

【0 2 3 5】

ステップS 7 5において、ブロックデシャフル回路3 5 6は、qおよび動きフラグ等がqビットM Fリカバリ回路3 5 3等において、リカバリされたか否かを判定し、qおよび動きフラグM F等がリカバリされていないと判定された場合、ステップS 7 6に進み、ステップS 7 4で受信したYデータ、Uデータ、およびVデータを記憶する。

10

20

30

40

50

【0236】

ステップS75において、q、動きフラグMF等がリカバリされていると判定された場合、ステップS76をスキップし、Yデータ、Uデータ、およびVデータを記憶させないで、ステップS77に進む。

【0237】

ステップS77において、ブロックデシャフル回路356は、外部メモリ305に記憶させたYデータ、Uデータ、およびVデータおよびエラーフラグをフォーマット変換回路306に出力し、処理を終了する。

【0238】

このように、リカバリオフ入力が"1"である場合、ブロックデシャフル回路356は、リカバリされたデータを出力しない。

10

【0239】

以上のように、復号回路304は、復号に必要な所定のデータが失われても、qビットMFRリカバリ回路353およびDRMINリカバリ回路354が失われたデータをリカバリするので、復号を実行することができる。また、復号回路304は、復号ができなくても、もっとも違和感の少ないデータを出力することができる。また、リカバリオフ入力を"1"にすることで、リカバリの効果を簡単に確認することができる。

【0240】

次に、欠落画素創造回路308について説明する。欠落画素創造回路308は、プログレッシブ方式の画像を再生するとき、クラス分類適応処理により、図53(A)に示すように、創造の対象となる画素の同一のフレーム(フレームt)にある周辺の画素の画素値、並びにこれらの画素と水平方向および垂直方向に同一の位置の1つ前のフレーム(フレームt-1)にある画素の画素値を基に、欠落した画素の画素値などを創造する。また、欠落画素創造回路308は、クラス分類適応処理により、図53(B)に示すように、創造の対象となる画素の同一のフィールド(フィールドt)にある周辺の画素の画素値、これらの画素と水平方向および垂直方向に同一の位置の1つ前のフィールド(フィールドt-1)、並びに創造の対象となる画素の周辺の画素と水平方向および垂直方向に同一の位置の2つ前のフィールド(フィールドt-2)にある画素の画素値を基に、欠落した画素の画素値などを創造する。

20

【0241】

図54は、欠落画素創造回路308の構成を示すブロック図である。欠落画素創造回路308に入力されたデータである画素値および画素の欠落を示すエラーフラグは、前処理回路501およびタップ構築回路502-1に供給される。

30

【0242】

前処理回路501は、入力された画素値および画素の欠落を示すエラーフラグを基に、欠落している画素の値を線形補間フィルタで生成し、欠落している画素にその値を設定し、タップ構築回路502-2乃至502-5に供給する。なお、画素値は、タップデータとも称する。

【0243】

前処理回路501の処理を図55のフローチャートを参照して説明する。ステップS131において、前処理回路501は、エラーフラグを基に、対象となる画素が欠落しているか否かを判定し、対象となる画素が欠落していないと判定された場合、ステップS132に進み、対象となる画素の画素値を、対象となる画素に設定し、処理は終了する。

40

【0244】

ステップS131において、対象となる画素が欠落していると判定された場合、ステップS133に進み、前処理回路501は、エラーフラグを基に、対象となる画素の水平に隣接している画素のいずれかが欠落しているか否かを判定する。ステップS133において、対象となる画素の水平に隣接している画素のいずれも欠落していないと判定された場合、ステップS134に進み、前処理回路501は、対象となる画素の水平に隣接している2つの画素の画素値の平均値を対象となる画素の画素値に設定し、処理は終了する。

50

【 0 2 4 5 】

ステップ S 1 3 3 において、対象となる画素の水平に隣接している画素のいずれかが欠落していると判定された場合、ステップ S 1 3 5 に進み、前処理回路 5 0 1 は、対象となる画素の水平に隣接している画素のいずれも欠落しているか否かを判定する。ステップ S 1 3 5 において、対象となる画素の水平に隣接している画素のいずれかが欠落していないと判定された場合、ステップ S 1 3 6 に進み、前処理回路 5 0 1 は、対象となる画素の水平に隣接している、欠落していない画素の画素値を対象となる画素の画素値に設定し、処理は終了する。

【 0 2 4 6 】

ステップ S 1 3 5 において、対象となる画素の水平に隣接している画素のいずれも欠落していると判定された場合、ステップ S 1 3 7 に進み、前処理回路 5 0 1 は、エラーフラグを基に、対象となる画素の垂直に隣接している画素のいずれかが欠落しているか否かを判定する。ステップ S 1 3 7 において、対象となる画素の垂直に隣接している画素のいずれも欠落していないと判定された場合、ステップ S 1 3 8 に進み、前処理回路 5 0 1 は、対象となる画素の垂直に隣接している 2 つの画素の画素値の平均値を対象となる画素の画素値に設定し、処理は終了する。

10

【 0 2 4 7 】

ステップ S 1 3 7 において、対象となる画素の垂直に隣接している画素のいずれかが欠落していると判定された場合、ステップ S 1 3 9 に進み、前処理回路 5 0 1 は、エラーフラグを基に、対象となる画素に隣接している全ての画素が欠落しているか否かを判定する。ステップ S 1 3 9 において、対象となる画素に隣接しているいずれかの画素が欠落していないと判定された場合、ステップ S 1 4 0 に進み、前処理回路 5 0 1 は、対象となる画素に隣接している、欠落していない画素の画素値を対象となる画素の画素値に設定し、処理は終了する。

20

【 0 2 4 8 】

ステップ S 1 3 9 において、対象となる画素に隣接している全ての画素が欠落していると判定された場合、ステップ S 1 4 1 に進み、前処理回路 5 0 1 は、対象となる画素と同じ位置の過去のフレームの画素の画素値を、対象となる画素の画素値に設定し、処理は終了する。

【 0 2 4 9 】

以上のように、前処理回路 5 0 1 は、対象となる画素の画素値を周辺の画素の画素値から線形に補間する。前処理回路 5 0 1 による補間処理により、これに続く処理で使用できるタップの範囲を広げることができる。

30

【 0 2 5 0 】

タップ構築回路 5 0 2 - 1 乃至 5 0 2 - 5 は、それぞれ、タップデータ等を、所定のタイミングで、動きクラス生成回路 5 0 3、DRクラス生成回路 5 0 4、空間クラス生成回路 5 0 5、および欠落クラス生成回路 5 0 6 に供給する。

【 0 2 5 1 】

動きクラス生成回路 5 0 3 は、イニシャライズ回路 3 0 9 から供給されたパラメータ、並びにタップ構築回路 5 0 2 - 1 から供給されたエラーフラグおよび選択されたタップを基に、動きクラスコードおよび静動フラグを生成し、タップ構築回路 5 0 2 - 2 乃至 2 0 5 - 5 およびクラス合成回路 5 0 7 に出力する。動きクラスコードは、動きの量を示す 2 ビットの情報を有し、静動フラグは、動きの有り無しを 1 ビットで示す。

40

【 0 2 5 2 】

図 5 6 (A) は、動きクラス生成回路 5 0 3 による時間アクティビティの算出に使用される、創造の対象となる画素を中心とした 3 × 3 の画素の例を示す図である。図 5 6 (A) において、“エラー”は、欠落した画素を示す。図 5 6 (B) は、図 5 6 (A) に示された画素に対応する、1 つ前のフレームの 3 × 3 の画素の例を示す図である。図 5 6 (A) および図 5 6 (B) に示される L 1 乃至 L 3 は、それぞれラインを示し、ラインの同一の番号は、垂直方向に同一の位置であることを示す。図 5 6 (A) および図 5 6 (B) に示

50

される H 1 乃至 H 3 は、それぞれ画素の水平方向の位置を示し、その同一の番号は、水平方向に同一の位置であることを示す。

【 0 2 5 3 】

図 5 6 (A) および図 5 6 (B) に示される場合において、時間アクティビティは、式 (1 2) で算出される。

$$\begin{aligned} \text{時間アクティビティ} = & | (q 2) - (p 2) | + | (q 3) - (p 3) | + \\ & | (q 4) - (p 4) | + | (q 6) - (p 6) | + \\ & | (q 7) - (p 7) | + | (q 9) - (p 9) | \end{aligned} \quad (12)$$

10

式 (1 2) において、 () は、画素の画素値を表し、 | | は、絶対値を求める関数を表す。

【 0 2 5 4 】

動きクラス生成回路 5 0 3 は、創造の対象となる画素を中心とした 3 × 3 の画素の最大値と最小値との差に 1 を加算した空間アクティビティを算出する。

【 0 2 5 5 】

図 5 7 は、動きクラス生成回路 5 0 3 による空間アクティビティの算出に使用される、創造の対象となる欠落した画素を中心とした 3 × 3 の画素の例を示す図である。このとき、空間アクティビティは、式 (1 3) で算出される。

20

$$\text{空間アクティビティ} = \text{Max} (q i) - \text{Min} (q i) + 1 \quad (13)$$

式 (1 3) において、Max (q i) は、q 1 乃至 q 9 の画素値の最大値を示す。Min (q i) は、q 1 乃至 q 9 の画素値の最小値を示す。

【 0 2 5 6 】

動きクラス生成回路 5 0 3 は、空間アクティビティを基に、それぞれ異なる値を有する閾値を選択する。動きクラス生成回路 5 0 3 は、動き判定の閾値、および時間アクティビティを基に、動きクラスコードを設定する。

【 0 2 5 7 】

図 5 8 は、動き判定の閾値を説明する図である。動き判定の閾値は、空間アクティビティの値によって、異なる値が使用される。空間アクティビティが大きくなれば、大きな値の閾値が使用される。これは、空間アクティビティが大きい場合、動きが少なくとも、時間アクティビティが、大きな値となることを考慮したものである。

30

【 0 2 5 8 】

なお、スタンダードデンシティのデータに対する処理においては、空間アクティビティとは無関係に固定された閾値を使用して動きクラスコードが設定される。

【 0 2 5 9 】

次に、動きクラス生成回路 5 0 3 の動きクラスコードを設定する処理を、図 5 9 のフローチャートを参照して説明する。ステップ S 1 5 1 において、動きクラス生成回路 5 0 3 は、時間アクティビティが、閾値 1 以下であるか否かを判定し、時間アクティビティが閾値 1 以下であると判定された場合、ステップ S 1 5 2 に進み、動きクラスコードを 0 に設定し、処理は終了する。

40

【 0 2 6 0 】

ステップ S 1 5 1 において、時間アクティビティが閾値 1 を越えると判定された場合、ステップ S 1 5 3 に進み、動きクラス生成回路 5 0 3 は、時間アクティビティが、閾値 2 以下であるか否かを判定し、時間アクティビティが閾値 2 以下であると判定された場合、ステップ S 1 5 4 に進み、動きクラスコードを 1 に設定し、処理は終了する。

【 0 2 6 1 】

ステップ S 1 5 3 において、時間アクティビティが閾値 2 を越えると判定された場合、ステップ S 1 5 5 に進み、動きクラス生成回路 5 0 3 は、時間アクティビティが閾値 3 以下であるか否かを判定し、時間アクティビティが閾値 3 以下であると判定された場合、ステ

50

ステップ S 1 5 6 に進み、動きクラスコードを 2 に設定し、処理は終了する。

【 0 2 6 2 】

ステップ S 1 5 5 において、時間アクティビティが閾値 3 を越えると判定された場合、ステップ S 1 5 7 に進み、動きクラス生成回路 5 0 3 は、動きクラスコードを 3 に設定し、処理は終了する。

【 0 2 6 3 】

以上のように、動きクラス生成回路 5 0 3 は、閾値および時間アクティビティを基に、動きクラスコードを設定する。

【 0 2 6 4 】

動きクラス生成回路 5 0 3 は、複数の画素の動きクラスコードを基に、再度、動きフラグを設定する。例えば、図 6 0 に示すように、創造の対象となる画素の周辺の画素の動きクラスコードを基に、動きクラス生成回路 5 0 3 は、対象となる画素の動きクラスコードを設定する。

10

【 0 2 6 5 】

動きクラス生成回路 5 0 3 の動きクラスコードを設定する処理を図 6 1 のフローチャートを参照して説明する。ステップ S 1 7 1 において、動きクラス生成回路 5 0 3 は、7 つの画素の動きクラスコードのうち、3 の値が設定されている動きクラスコードの数が、閾値 3 より大きいかが判定し、3 の値が設定されている動きクラスコードの数が、閾値 3 より大きいと判定された場合、ステップ S 1 7 2 に進み、動きクラスコードに 3 を設定し、処理は終了する。

20

【 0 2 6 6 】

ステップ S 1 7 1 において、3 の値が設定されている動きクラスコードの数が、閾値 3 以下であると判定された場合、ステップ S 1 7 3 に進み、動きクラス生成回路 5 0 3 は、3 の値が設定されている動きクラスコードの数と 2 の値が設定されている動きクラスコードの数を加えた値が、閾値 2 より大きいかが判定し、3 の値が設定されている動きクラスコードの数と 2 の値が設定されている動きクラスコードの数を加えた値が、閾値 2 より大きいと判定された場合、ステップ S 1 7 4 に進み、動きクラスコードに 2 を設定し、処理は終了する。

【 0 2 6 7 】

ステップ S 1 7 3 において、3 の値が設定されている動きクラスコードの数と 2 の値が設定されている動きクラスコードの数を加えた値が、閾値 2 以下であると判定された場合、ステップ S 1 7 5 に進み、動きクラス生成回路 5 0 3 は、3 の値が設定されている動きクラスコードの数、2 の値が設定されている動きクラスコードの数、および 1 の値が設定されている動きクラスコードの数を加えた値が、閾値 1 より大きいかが判定し、3 の値が設定されている動きクラスコードの数、2 の値が設定されている動きクラスコードの数、および 1 の値が設定されている動きクラスコードの数を加えた値が、閾値 1 より大きいと判定された場合、ステップ S 1 7 6 に進み、動きクラスコードに 1 を設定し、処理は終了する。

30

【 0 2 6 8 】

ステップ S 1 7 5 において、3 の値が設定されている動きクラスコードの数、2 の値が設定されている動きクラスコードの数、および 1 の値が設定されている動きクラスコードの数を加えた値が、閾値 1 以下であると判定された場合、ステップ S 1 7 7 に進み、動きクラス生成回路 5 0 3 は、動きクラスコードに 0 を設定し、処理は終了する。

40

【 0 2 6 9 】

このように、動きクラス生成回路 5 0 3 は、複数の画素の動きクラスコード、並びに予め記憶している閾値を基に、最終的な、動きクラスコードを設定する。

【 0 2 7 0 】

以上のように、動きクラス生成回路 5 0 3 は、複数の画素の画素値から動きクラスコードを設定し、出力する。動きクラス生成回路 5 0 3 は、動きクラスコードを基に、静動フラグを設定し、出力する。例えば、動きクラスコードが 0 または 1 のとき、静動フラグは、

50

0に設定され、動きクラスコードが2または3のとき、静動フラグは、1に設定される。

【0271】

タップ構築回路502-2は、動きクラス生成回路503から供給された動きクラスコードおよび静動フラグ、並びに欠落画素の位置を基に、全てのクラス構造を網羅した予測タップを選択して、可変タップ選択回路508に供給する。

【0272】

タップ構築回路502-3は、動きクラス生成回路503から供給された動きクラスコードおよび静動フラグを基に、タップおよびクラスタップを選択して、エラーフラグとともに、DRクラス生成回路504に供給する。DRクラス生成回路504は、タップ構築回路502-3から供給されたタップ、クラスタップ、エラーフラグを基に、DRクラスコードを生成して、クラス合成回路507に出力する。

10

【0273】

タップ構築回路502-4は、動きクラス生成回路503から供給された動きクラスコードおよび静動フラグを基に、タップおよびクラスタップを選択して、エラーフラグとともに、空間クラス生成回路505に供給する。空間クラス生成回路505は、タップ構築回路502-4から供給されたタップ、クラスタップ、エラーフラグを基に、空間クラスコードを生成して、クラス合成回路507に出力する。

【0274】

タップ構築回路502-5は、動きクラス生成回路503から供給された動きクラスコードおよび静動フラグを基に、タップを選択して、エラーフラグとともに、欠落クラス生成回路506に供給する。欠落クラス生成回路506は、タップ構築回路502-5から供給されたタップ、エラーフラグを基に、欠落クラスコードを生成して、クラス合成回路507に出力する。

20

【0275】

クラス合成回路507は、動きクラスコード、静動フラグ、DRクラスコード、空間クラスコード、および欠落クラスコードを基に、クラスコードを統合し、最終的なクラスコードを形成して、係数保持クラスコード選択回路509に出力する。

【0276】

係数保持クラスコード選択回路509は、イニシャライズ回路309から供給された係数セット、および予測構造、並びにクラス合成回路507から供給されたクラスコードを基に、可変タップ選択回路508に、可変タップを選択させるとともに、予測係数列を推定予測演算回路510に出力する。

30

【0277】

図62乃至図65を基に、可変タップ選択回路508が選択する予測タップデータ列を説明する。

【0278】

図62は、動きクラスコードが0のとき、タップ構築回路502-2が可変タップ選択回路508に出力する予測タップ可変選択範囲と、可変タップ選択回路508が選択する予測タップデータ列の例を示す図である。図62において、実線で囲んだタップは、タップ構築回路502-2が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路508が選択する予測タップデータ列を示す。可変タップ選択回路508が選択する予測タップデータ列は、タップ構築回路502-2が出力する予測タップ可変選択範囲に含まれるタップから構成される。

40

【0279】

例えば、動きクラスコードが0のとき、タップ構築回路502-2は、隣接するタップを選択する。例えば、動きクラスコードが0のとき、可変タップ選択回路508は、隣接するタップを選択する。

【0280】

図63は、動きクラスコードが1のとき、タップ構築回路502-2が出力する予測タップ可変選択範囲と、可変タップ選択回路508が選択する予測タップデータ列を示す図で

50

ある。図 6 3 において、実線で囲んだタップは、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す。可変タップ選択回路 5 0 8 が選択する予測タップデータ列は、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【 0 2 8 1 】

例えば、動きクラスコードが 1 のとき、タップ構築回路 5 0 2 - 2 は、隣接するタップと、その隣接するタップとは隣接しないタップを選択する。例えば、動きクラスコードが 0 のとき、可変タップ選択回路 5 0 8 は、隣接する 5 個のタップと、その隣接する 5 個のタップとは離れた隣接する 5 個のタップを選択する。

10

【 0 2 8 2 】

図 6 4 は、欠落タップが存在して、動きクラスコードが 0 のとき、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲と、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す図である。図中の黒丸は、欠落タップを示す。図 6 4 において、実線で囲んだタップは、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す。可変タップ選択回路 5 0 8 が選択する予測タップデータ列は、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲に含まれるタップから構成される。

【 0 2 8 3 】

例えば、欠落タップが存在して、動きクラスコードが 0 のとき、タップ構築回路 5 0 2 - 2 は、隣接するタップを選択する。例えば、欠落タップが存在して、動きクラスコードが 0 のとき、可変タップ選択回路 5 0 8 は、欠落タップが存在しないときと同じ数の、隣接するタップ（例えば、欠落タップの隣のタップまたは欠落タップと同じ並びのタップ）を選択する。

20

【 0 2 8 4 】

図 6 5 は、欠落タップが存在して、動きクラスコードが 1 のとき、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲と、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す図である。図中の黒丸は、欠落タップを示す。図 6 4 において、実線で囲んだタップは、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲を示し、点線で囲んだタップは、可変タップ選択回路 5 0 8 が選択する予測タップデータ列を示す。可変タップ選択回路 5 0 8 が選択する予測タップデータ列は、タップ構築回路 5 0 2 - 2 が出力する予測タップ可変選択範囲に含まれるタップから構成される。

30

【 0 2 8 5 】

例えば、欠落タップが存在して、動きクラスコードが 1 のとき、タップ構築回路 5 0 2 - 2 は、隣接するタップと、その隣接するタップとは隣接しないタップを選択する。例えば、欠落タップが存在して、動きクラスコードが 0 のとき、可変タップ選択回路 5 0 8 は、欠落タップが存在しないときと同じ数の、隣接するタップ（例えば、欠落タップの隣のタップまたは欠落タップと同じ並びのタップ）と、その隣接するタップとは離れた、欠落タップが存在しないときと同じ数の、隣接するタップを選択する。

40

【 0 2 8 6 】

推定予測演算回路 5 1 0 は、イニシャライズ回路 3 0 9 から設定された出力モードを基に、可変タップ選択回路 5 0 8 から供給された予測タップデータ列、および係数保持クラスコード選択回路 5 0 9 から供給された予測係数列を基に、線形推定式を用いて、欠落した画素の画素値を算出する。

【 0 2 8 7 】

このように、欠落画素創造回路 3 0 8 は、ダイナミックレンジ、動き、欠落、および画素値の変化などによるクラス分類により、欠落した画素の周辺の画素値を基に、欠落した画素値を算出する。

【 0 2 8 8 】

また、推定予測演算回路 5 1 0 は、入力された画像の画質をアップさせる（階調の増加（

50

Yデータ、Uデータ、およびVデータのビット数の増加)、ノイズの除去、量子化歪みの除去(時間方向の歪みの除去を含む)、4倍密度の解像度の創造など)ことができる。

【0289】

次に、4倍密解像度創造回路312について説明する。4倍密解像度創造回路312は、インターレース方式の画像を出力するとき、図66(A)および図66(B)に示すように、クラス分類適応処理を利用し、2つのフィールドの所定の数の画素の画素値を基に、入力された2つのフィールドの間に2つの画素を創造する。

【0290】

4倍密解像度創造回路312は、プログレッシブ方式の画像を出力するとき、図66(C)および図66(D)に示すように、クラス分類適応処理を利用し、図66に示すように、2つのフレームの所定の数の画素の画素値を基に、入力された2つのフレームの間に2つの画素を創造する。

10

【0291】

図67は、4倍密解像度創造回路312の構成を示すブロック図である。フォーマット変換回路310から供給されるYデータ、Uデータ、およびVデータは、タップ選択回路601、タップ選択回路602、およびタップ選択回路603に供給される。タップ選択回路601は、レジスタ609に格納されているタップの位置情報に従って、密度を4倍にするために創造する画素の画素値を算出するのに使用する画素を選択する。タップ選択回路601により選択された画素は、推定予測演算回路607に供給される。

【0292】

20

タップ選択回路602は、レジスタ610に格納されているタップの位置情報に従って、創造する画素の近傍の画素の画素値のうち、空間クラス分類に使用する画素を選択する。タップ選択回路602により選択された画素は、空間クラス検出回路604に供給される。空間クラス検出回路604は、空間クラスを検出する。検出された空間クラスは、クラス合成回路606に供給される。

【0293】

タップ選択回路603は、レジスタ611に格納されているタップの位置情報に従って、創造する画素の近傍の画素に基づいて動きに対応するクラス分類に使用する画素を選択するものである。タップ選択回路603により選択された画素は、動きクラス検出回路605に供給される。動きクラス検出回路605は、動きクラスを検出する。検出された動きクラスは、クラス合成回路606およびレジスタ610に供給される。レジスタ610のタップの位置情報は、動きクラス検出回路605から供給された動きクラスによって切り換えられる。

30

【0294】

クラス合成回路606は、空間クラスおよび動きクラスを統合し、最終的なクラスコードを形成する。

【0295】

このクラスコードが係数メモリ612に対して、アドレスとして供給され、係数メモリ612からクラスコードに対応する係数セットが読み出される。係数セットは、推定予測演算回路607に供給される。推定予測演算回路607は、タップ選択回路601から供給された画素の画素値、および係数メモリ612から供給された係数セットを基に、線形推定式を用いて、創造する画素の画素値を算出する。推定予測演算回路607からの出力は、ラインデータL1およびラインデータL2として、線順次変換回路613に供給される。

40

【0296】

係数セットは、教師信号としての、1つのフィールド当たり、水平方向に528画素および垂直方向に240画素を含むYデータ、それぞれ1つのフィールド当たり、水平方向に176画素および垂直方向に120画素を含むUデータおよびVデータを用いて、クラス毎の係数セットが予め生成されて、イニシャライズ回路313に記憶されている。

【0297】

50

線順次変換回路613は、ラインメモリを有し、推定予測演算回路607から出力されるラインデータL1およびラインデータL2をレジスタ608に格納されている出力タイミングのデータに基づき、線順次で出力する。線順次変換回路613から、供給された画像の4倍の密度の画像のデータが出力される。

【0298】

レジスタ608、レジスタ609、レジスタ610、レジスタ611、および係数メモリ612は、イニシャライズ回路313に初期化信号が供給されたとき、イニシャライズ回路313から供給された係数セット等を格納する。

【0299】

図68は、4倍密解像度創造回路312がインターレース方式で4倍密解像度の画素を生成、出力する場合における、4倍密解像度創造回路312に入力される画素（図中、大きい円で示す）の位置、および4倍密解像度創造回路312が出力する画素（図中、小さい円で示す）の位置を示す図である。4倍密解像度創造回路312に入力されるフレームは、30Hzの周波数を有し、4倍密解像度創造回路312が出力するフィールドは、60Hzの周波数を有する。出力される第1のフィールドの画素は、入力された画素から、垂直方向に出力される画面のラインの1ライン分だけ上にずれて出力され、1ライン当たりの画素の数は、2倍になっている。出力される第2のフィールドの画素は、入力された画素から、垂直方向に出力される画面のラインの1ライン分だけ下にずれて出力され、1ライン当たりの画素の数は、2倍になっている。

10

【0300】

図69は、4倍密解像度創造回路312がプログレッシブ方式で4倍密解像度の画素を生成して、出力するときの、4倍密解像度創造回路312に入力される画素（図中、大きい円で示す）の位置、および4倍密解像度創造回路312が出力する画素（図中、小さい円で示す）の位置を示す図である。4倍密解像度創造回路312に入力されるフレームは、30Hzの周波数を有し、4倍密解像度創造回路312が出力するフレームは、60Hzの周波数を有する。出力されるフレームの画素は、入力された画素と同じライン上に出力され、1ライン当たりの画素の数は、2倍になっている。

20

【0301】

以上のように、4倍密解像度創造回路312は、入力された画像を基に、2倍のフレーム周波数また2倍のフィールド周波数で、1ライン当たり2倍の画素の数を有する画像を創造して出力する。

30

【0302】

次に、UV垂直2倍回路333について説明する。図70は、UV垂直2倍回路333の構成を示すブロック図である。UV垂直2倍回路333には、4倍密解像度創造回路312により、画素の数が増やされたUデータおよびVデータが入力される。入力されたデータは、ラインFIFO701-1乃至701-6により、1ライン分ずつ遅延され、順次後段に出力される。

【0303】

乗算回路702-1は、入力されたデータに係数を乗じて、加算回路703に出力する。

【0304】

乗算回路702-2乃至702-7は、それぞれラインFIFO701-1乃至701-6より、入力されたデータに係数を乗じて、加算回路703に出力する。

40

【0305】

加算回路703は、乗算回路702-1乃至702-7から供給されたデータを加算し、ラッチ回路704に供給する。ラッチ回路704は、クロック信号が入力されたとき、入力されたデータをラッチする。

【0306】

UV垂直2倍回路333の動作を図71を参照して説明する。ラインFIFO701-1乃至701-6は、入力されたラインに連続する6本のライン上の、画面の水平方向に同一の位置の画素（図71に丸印で示す画素）のデータを出力する。乗算回路702-1乃至

50

至702-7は、入力されたデータに、それぞれ係数を乗じて、加算回路703に出力する。加算回路703は、出力されたデータを加算し、ラッチ回路704に出力する。ラッチ回路704には、ラインの本数が2倍となるタイミング(図71に黒い3角形で示すタイミング)で、クロック信号が入力される。従って、UV垂直2倍回路333は、入力されたUデータおよびVデータのラインの本数を2倍に補間して、出力する。

【0307】

次に、受信装置2の受信の処理を図72のフローチャートを参照して説明する。ステップS201において、パケット解体回路302は、受信回路301が受信したパケットを解体し、復号回路304に供給する。ステップS202において、復号回路304は、パケット解体回路302から入力されたデータを、ADRC方式で復号する。伝送中にデータが欠落したとき、復号回路304の復号において、q、動きフラグMF、ダイナミックレンジDR、または画素値の最小値MINがリカバリされ、Yデータ、Uデータ、およびVデータが復号される。

10

【0308】

ステップS203において、フォーマット変換回路306は、復号回路304から供給されたYデータ、Uデータ、およびVデータを、欠落画素創造回路308が処理できる所定のフォーマットに変換する。ステップS204において、欠落画素創造回路308は、欠落した画素のうち、復号回路304で復号できなかった画素を、クラス適応処理により、創造する。

【0309】

ステップS205において、フォーマット変換回路310は、欠落画素創造回路308から供給されたYデータ、Uデータ、およびVデータを、4倍密解像度創造回路312が処理できる所定のフォーマットに変換する。ステップS206において、4倍密解像度創造回路312は、入力されたYデータ、Uデータ、およびVデータを基に、クラス適応処理により画素を創造し、画素の密度を4倍にして、補間部314に出力する。

20

【0310】

ステップS207において、フォーマット変換回路331は、4倍密解像度創造回路312から供給されたYデータ、Uデータ、およびVデータを、所定の補間の処理ができるように、データ形式を変更する。ステップS208において、UV垂直2倍回路333は、UデータおよびVデータを垂直方向に画素を補間して、ライン数が2倍になるようにする。ステップS209において、D/A変換回路335は、所定のクロックレートでデジタルアナログ変換し、アナログY信号、アナログU信号、およびアナログV信号を出力し、処理は終了する。

30

【0311】

以上のように、受信装置2は、伝送路でデータが欠落しても、復号することができ、また、欠落した画素を創造して、欠落した画素の影響をほとんど受けずに伸張し、画像の信号を出力することができる。

【0312】

なお、画像伝送システムは、画像を送受信するとして説明したが、画像に限らず、音声などのデータを伝送するようにしてもよい。

40

【0313】

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【0314】

図73は、記録媒体およびコンピュータの例を説明する図である。CPU(Central Processing Unit)811は、各種アプリケーションプログラムや、OS(Operating System)を実

50

際実行する。ROM (Read-only Memory) 8 1 2 は、一般的には、CPU 8 1 1 が使用するプログラムや演算用のパラメータのうちの基本的に固定のデータを格納する。RAM (Random-Access Memory) 8 1 3 は、CPU 8 1 1 の実行において使用するプログラムや、その実行において適宜変化するパラメータを格納する。これらはCPUバスなどから構成されるホストバス 8 1 4 により相互に接続されている。

【0315】

ホストバス 8 1 4 は、ブリッジ 8 1 5 を介して、PCI (Peripheral Component Interconnect/Interface) バスなどの外部バス 8 1 6 に接続されている。

【0316】

キーボード 8 1 8 は、CPU 8 1 1 に各種の指令を入力するとき、使用者により操作される。マウス 8 1 9 は、ディスプレイ 8 2 0 の画面上のポイントの指示や選択を行うとき、使用者により操作される。ディスプレイ 8 2 0 は、液晶表示装置またはCRT (Cathode Ray Tube) などから成り、各種情報をテキストやイメージで表示する。HDD (Hard Disk Drive) 8 2 1 は、ハードディスクを駆動し、それらにCPU 8 1 1 によって実行するプログラムや情報を記録または再生させる。

【0317】

ドライブ 8 2 2 は、装着されている磁気ディスク 8 4 1、光ディスク 8 4 2、光磁気ディスク 8 4 3、または半導体メモリ 8 4 4 に記録されているデータまたはプログラムを読み出して、そのデータまたはプログラムを、インターフェース 8 1 7、外部バス 8 1 6、ブリッジ 8 1 5、およびホストバス 8 1 4 を介して接続されているRAM 8 1 3 に供給する。

【0318】

これらのキーボード 8 1 8 乃至ドライブ 8 2 2 は、インターフェース 8 1 7 に接続されており、インターフェース 8 1 7 は、外部バス 8 1 6、ブリッジ 8 1 5、およびホストバス 8 1 4 を介してCPU 8 1 1 に接続されている。

【0319】

記録媒体は、図 7 3 に示すように、コンピュータとは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク 8 4 1 (フロッピディスクを含む)、光ディスク 8 4 2 (CD-ROM (Compact Disc-Read Only Memory)、DVD (Digital Versatile Disc) を含む)、光磁気ディスク 8 4 3 (MD (Mini-Disc) を含む)、若しくは半導体メモリ 8 4 4 などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記録されているROM 8 1 2 や、HDD 8 2 1 などで構成される。

【0320】

なお、本明細書において、記録媒体に格納されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0321】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0322】

【発明の効果】

以上の如く本発明によれば、乗算のためのハードウェアの規模を小さくし、係数テーブルを記憶するメモリ量を小さくすることができる。

【図面の簡単な説明】

【図 1】従来のパケットの構造を説明する図である。

【図 2】画像を送信する画像伝送システムを説明する図である。

【図 3】本発明に係る送信装置 1 の一実施の形態の構成を示すブロック図である。

【図 4】送信装置 1 に入力された画像信号が圧縮される過程を説明する図である。

【図 5】間引きフィルタ 4 3 の構成を示すブロック図である。

【図 6】ラッチ回路 8 1 の出力を説明する図である。

10

20

30

40

50

- 【図7】ラッチ回路84の出力を説明する図である。
- 【図8】UV垂直1/2回路45の構成を示すブロック図である。
- 【図9】ラッチ回路94の出力を説明する図である。
- 【図10】符号化回路15の構成を示すブロック図である。
- 【図11】処理の単位を説明する図である。
- 【図12】ADRCブロックを説明する図である。
- 【図13】フレーム内の画素とADRCブロックの関係を示す図である。
- 【図14】フレーム内の画素とADRCブロックの関係を示す図である。
- 【図15】フレーム内の画素とADRCブロックの関係を示す図である。
- 【図16】YデータのADRCブロックおよびセグメントを説明する図である。 10
- 【図17】UデータまたはVデータのADRCブロックおよびセグメントを説明する図である。
- 【図18】ADRCブロック単位で行われるシャフルを説明する図である。
- 【図19】セグメントを説明する図である。
- 【図20】ADRC符号化回路103の構成を説明する図である。
- 【図21】情報量制御回路164の構成を説明する図である。
- 【図22】情報量制御回路164の構成を説明する図である。
- 【図23】セグメント間シャフル回路104のシャフルの仕方を説明する図である。
- 【図24】セグメント間シャフル回路104のシャフルの仕方を説明する図である。
- 【図25】セグメント間シャフル回路104のシャフルの仕方を説明する図である。 20
- 【図26】セグメント間シャフル回路104のシャフルの仕方を説明する図である。
- 【図27】パケットの構成を示す図である。
- 【図28】セグメント間シャフル回路104の構成を示すブロック図である。
- 【図29】入力データカウンタ部212のカウンタ群について説明する図である。
- 【図30】出力データカウンタ部216のカウンタ群について説明する図である。
- 【図31】送信装置1の画像の送信の処理を説明する図である。
- 【図32】受信装置2の構成を示すブロック図である。
- 【図33】画像が伸張される過程を説明する図である。
- 【図34】復号回路304のブロック図である。
- 【図35】qビットMFリカバリ回路353の構成を示すブロック図である。 30
- 【図36】ダイナミックレンジDRまたは画素値の最小値MINのリカバリの処理を説明する図である。
- 【図37】ダイナミックレンジDRまたは画素値の最小値MINのリカバリの処理を説明する図である。
- 【図38】ダイナミックレンジDRまたは画素値の最小値MINのリカバリの処理を説明する図である。
- 【図39】セグメント間デシャフル回路352から出力されるデータに欠落がない場合の、復号回路304の処理のタイミングの例を示す図である。
- 【図40】セグメント間デシャフル回路352から出力されるデータに欠落がある場合の、復号回路304の処理のタイミングの例を示す図である。 40
- 【図41】従来のデータの記憶の方法を示す図である。
- 【図42】ブロックデシャフル回路356のデータの出力のタイミングを説明する図である。
- 【図43】リカバリエラー判定回路357の構成を示すブロック図である。
- 【図44】リカバリエラー判定回路357が、“1”が設定されたりカバリ判定フラグFdを出力するときの、ブロックデシャフル回路356の処理を説明する図である。
- 【図45】セグメント間デシャフル回路353が、連続エラー信号を出力するときの、ブロックデシャフル回路356の処理を説明する図である。
- 【図46】グレイモードにおけるブロックデシャフル回路356の処理を説明する図である。 50

【図47】ブロックデシャフル回路356のリカバリオフ入力に対応した処理を説明する図である

【図48】ブロックデシャフル回路356のリカバリオフ入力に対応した処理を説明する図である

【図49】ブロックデシャフル回路356のエスケープ信号に対応した処理を説明する図である。

【図50】ブロックデシャフル回路356の復号したデータを出力する処理を説明するフローチャートである。

【図51】ブロックデシャフル回路356の復号したデータを出力する処理を説明するフローチャートである。

【図52】リカバリオフ入力が"1"であるときのブロックデシャフル回路356のデータを出力する処理を説明するフローチャートである。

【図53】欠落画素創造回路308の処理に使用される画素を説明する図である。

【図54】欠落画素創造回路308の構成を示すブロック図である。

【図55】前処理回路501の処理を説明するフローチャートである。

【図56】時間アクティビティの算出に使用される画素の例を示す図である。

【図57】空間アクティビティの算出に使用される画素の例を示す図である。

【図58】動き判定の閾値を説明する図である。

【図59】静動判定回路521の動きクラスコードを設定する処理を説明するフローチャートである。

【図60】動きクラスコードの多数決判定に使用される画素の例を示す図である。

【図61】動きクラス生成回路503の動きクラスコードを設定する処理を説明するフローチャートである。

【図62】可変タップ選択回路508が選択する予測タップデータ列を説明する図である。

【図63】可変タップ選択回路508が選択する予測タップデータ列を説明する図である。

【図64】可変タップ選択回路508が選択する予測タップデータ列を説明する図である。

【図65】可変タップ選択回路508が選択する予測タップデータ列を説明する図である。

【図66】4倍密解像度創造回路312の処理に使用される画素の位置を説明する図である。

【図67】4倍密解像度創造回路312の構成を示すブロック図である。

【図68】4倍密解像度創造回路312がインターレース方式で出力する場合の4倍密解像度創造回路312に入力される画素の位置および4倍密解像度創造回路312が出力する画素の位置を示す図である。

【図69】4倍密解像度創造回路312がプログレッシブ方式で出力する場合の4倍密解像度創造回路312に入力される画素の位置および4倍密解像度創造回路312が出力する画素の位置を示す図である。

【図70】UV垂直2倍回路333の構成を示すブロック図である。

【図71】ラッチ回路704の出力を説明する図である。

【図72】受信装置2の受信の処理を説明するフローチャートである。

【図73】記録媒体およびコンピュータの例を説明する図である。

【符号の説明】

1 送信装置, 2 受信装置, 13 間引き部, 15 符号化回路, 17 パケット化回路, 42 A/D変換回路, 43 間引きフィルタ, 45 UV垂直1/2回路, 102 ブロックシャフル回路, 103 ADR C符号化回路, 104 セグメント間シャフル回路, 164 情報量制御回路, 171 ADR Cエンコーダ, 104 セグメント間シャフル回路, 111 データ選択部, 212 入力データ

10

20

30

40

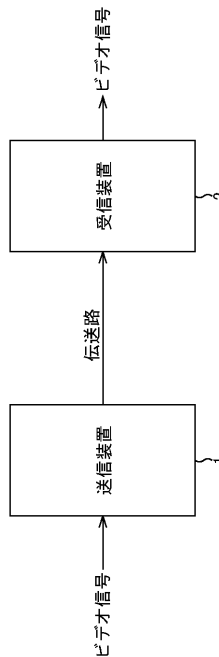
50

カウンタ部、 213 入出力コントローラ、 214 アドレス発生部、 215 記憶部、 216 出力データカウンタ部、 302 パケット解体回路、 304 復号回路、 305 外部メモリ、 308 欠落画素創造回路、 312 4倍密解像度創造回路、 333 UV垂直2倍回路、 335 D/A変換回路、 352 セグメント間デシャフル回路、 353 qビットMFLリカバリ回路、 354 DRMINリカバリ回路、 355 ADCRC復号回路、 356 ブロックデシャフル回路、 357 リカバリエラー判定回路、 501 前処理回路、 502-1乃至502-5 タップ構築回路、 503 動きクラス生成回路、 504 DRクラス生成回路、 505 空間クラス生成回路、 506 欠落クラス生成回路、 507 クラス合成回路、 508 可変タップ選択回路、 509 係数保持クラスコード選択回路、 510 推定予測演算回路

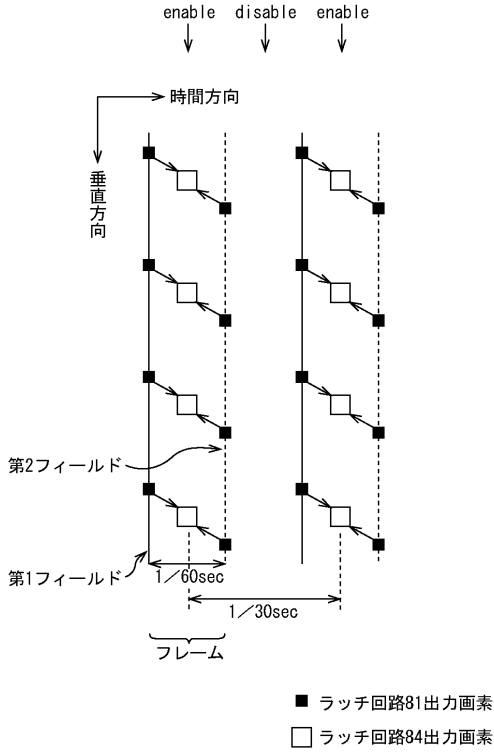
【図1】

パケット番号	パケットタイプ	DR個数	MF個数	MIN個数	T1個数	Qコードビット数
0	type 0	2	2	1	1	N ₀
1~5	type 1	2	2	1	0	N ₁
6~7	type 2	2	2	2	0	N ₂
8	type 3	2	2	2	1	N ₃
9~15	type 2	2	2	2	0	N ₂
16	type 3	2	2	2	1	N ₃
17~20	type 2	2	2	2	0	N ₂
21~23	type 4	2	1	2	0	N ₄
24	type 5	2	1	2	1	N ₅
25~26	type 4	2	1	2	0	N ₄
27~31	type 2	2	2	2	0	N ₂
32	type 3	2	2	2	1	N ₃
33~39	type 2	2	2	2	0	N ₂
40	type 3	2	2	2	1	N ₃
41~46	type 6	1	2	2	0	N ₆

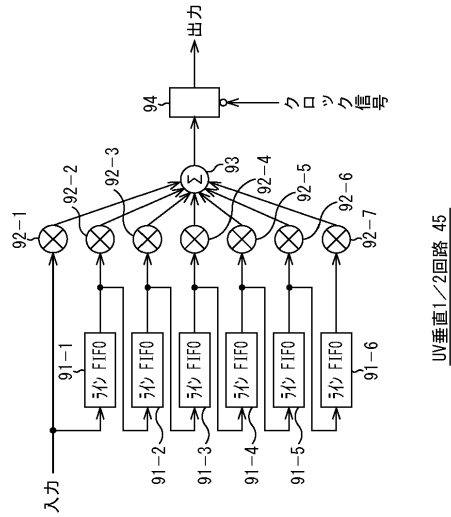
【図2】



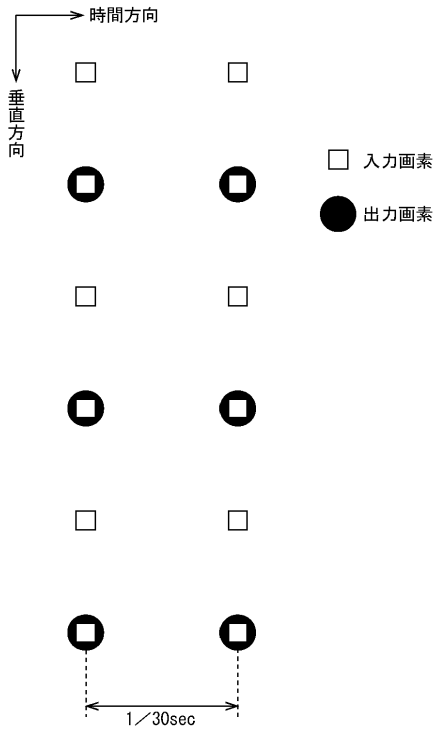
【図7】



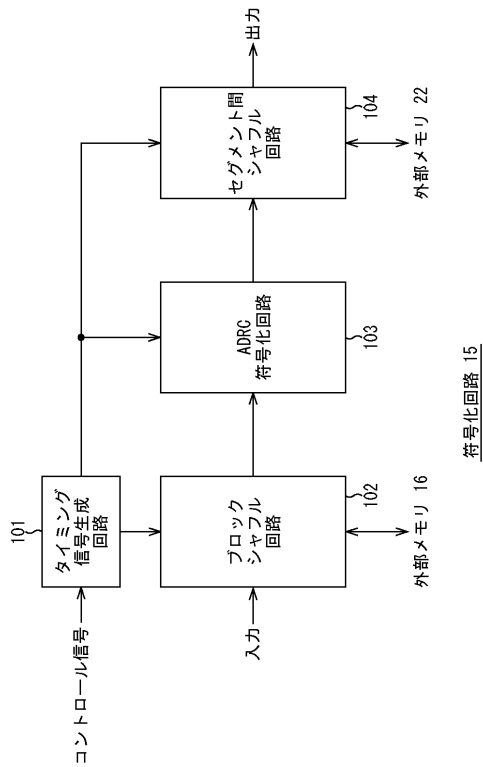
【図8】



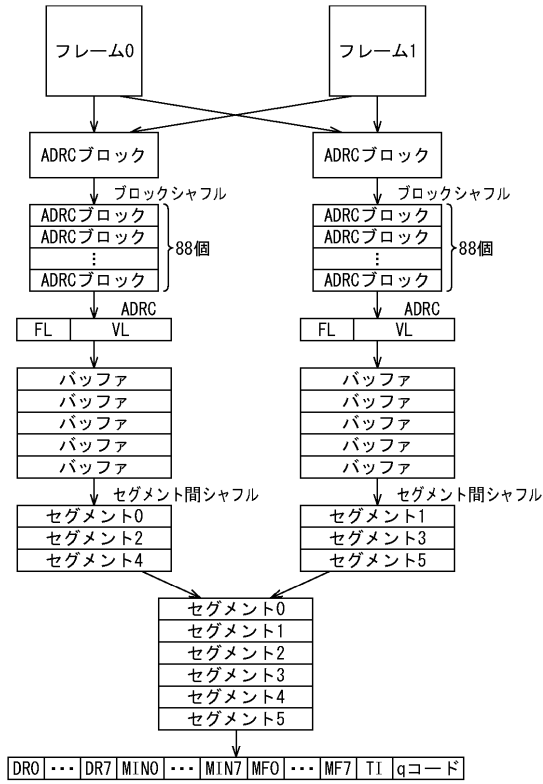
【図9】



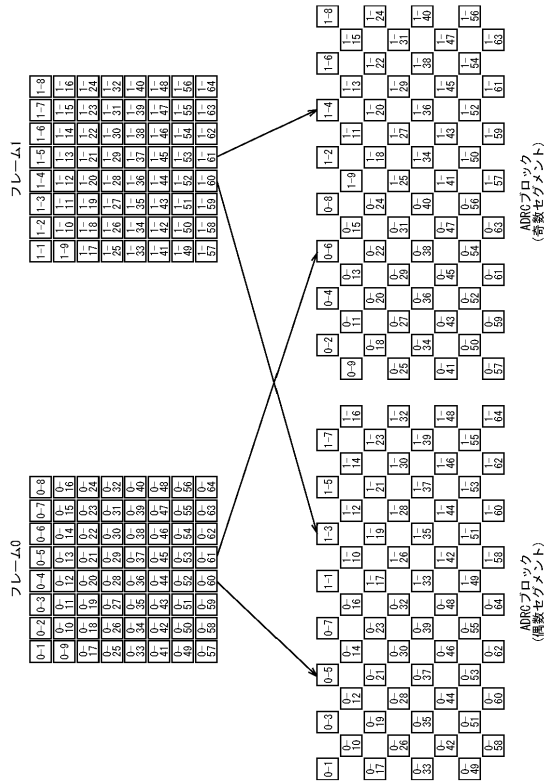
【図10】



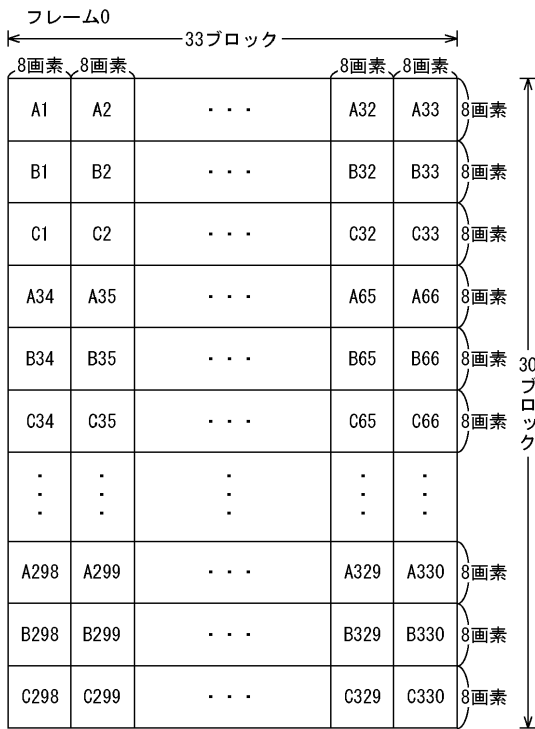
【図11】



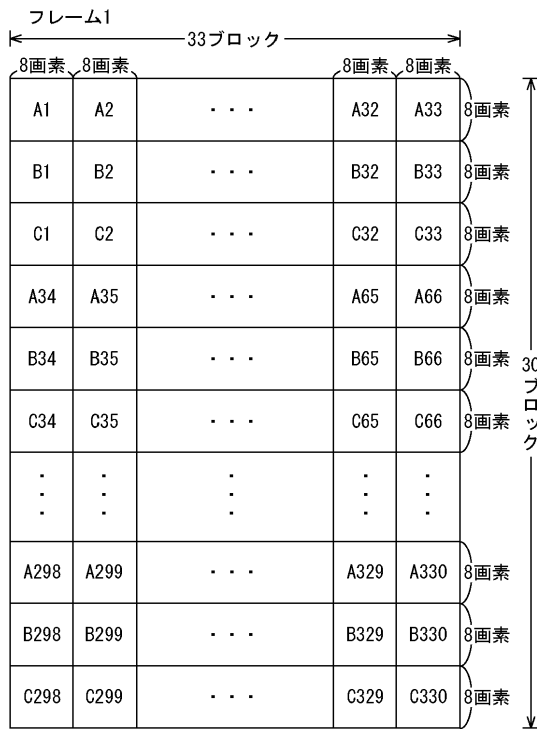
【図12】



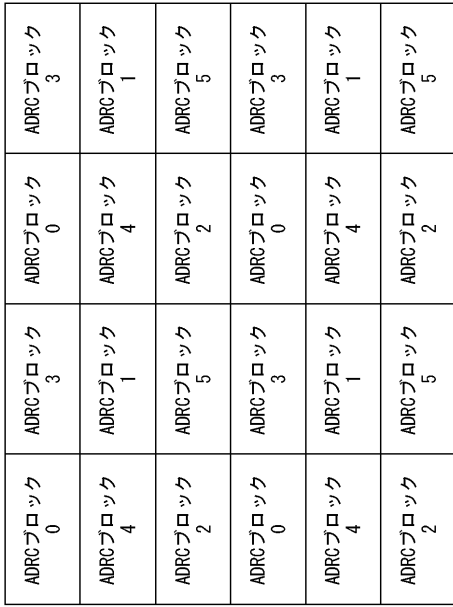
【図13】



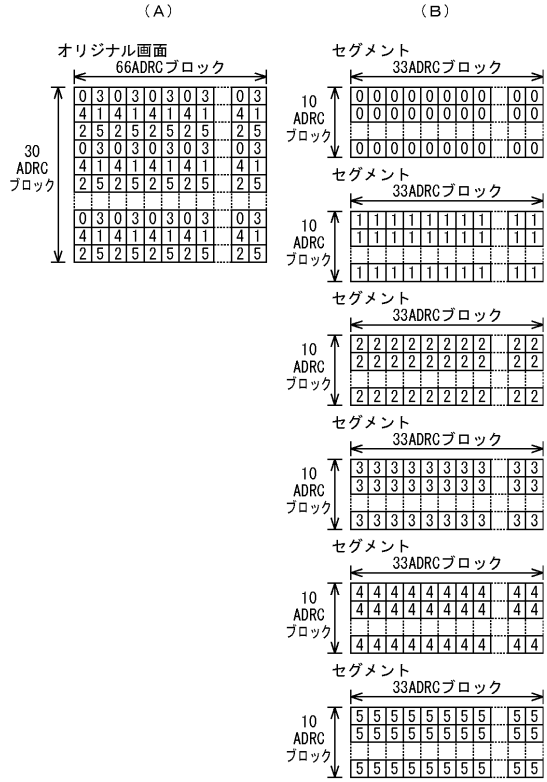
【図14】



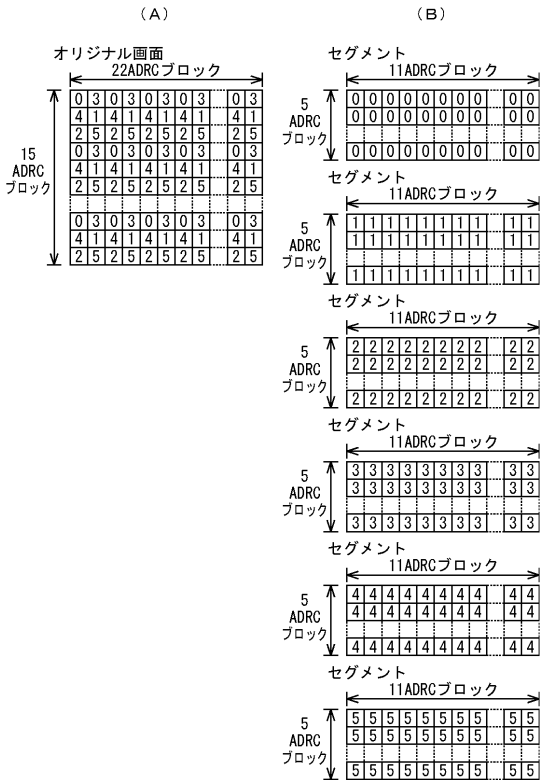
【図15】



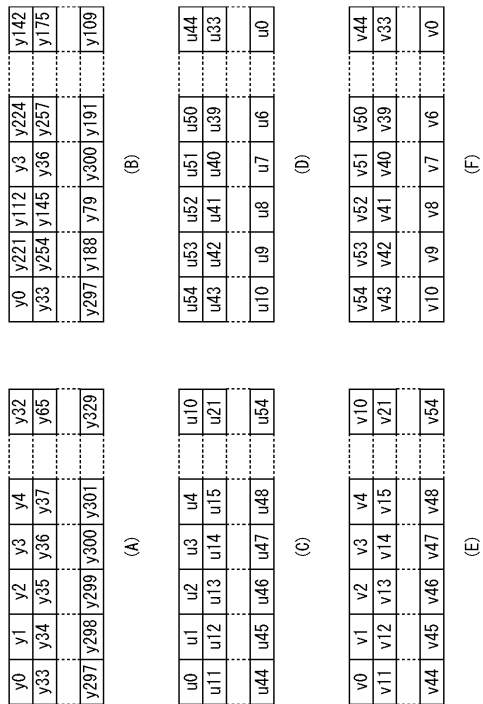
【図16】



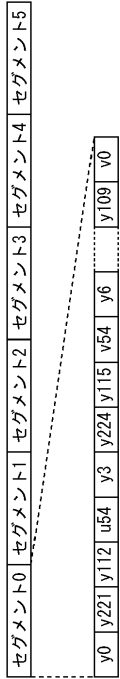
【図17】



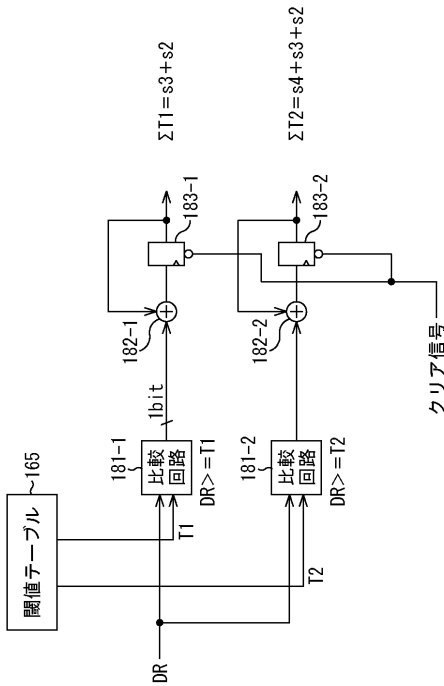
【図18】



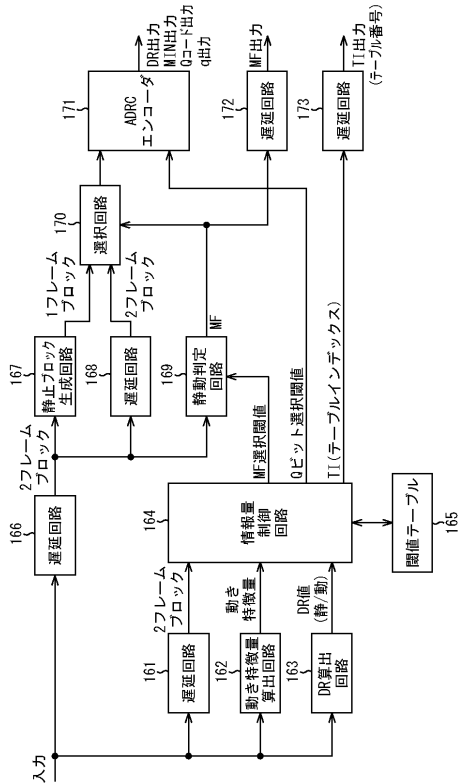
【図 19】



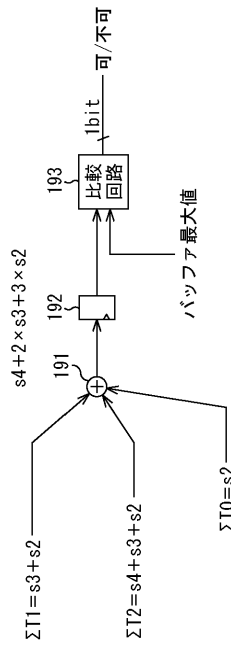
【図 21】

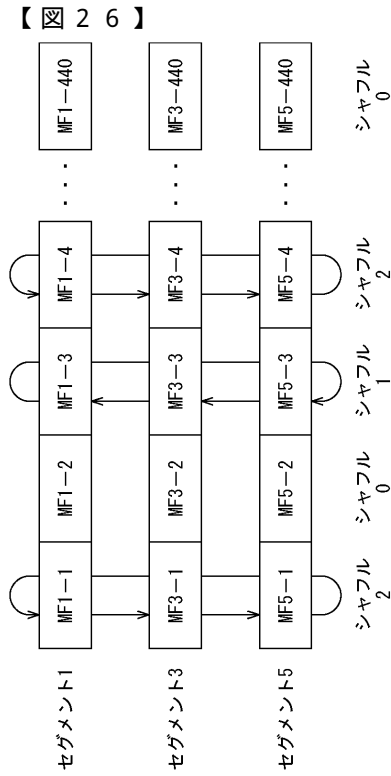
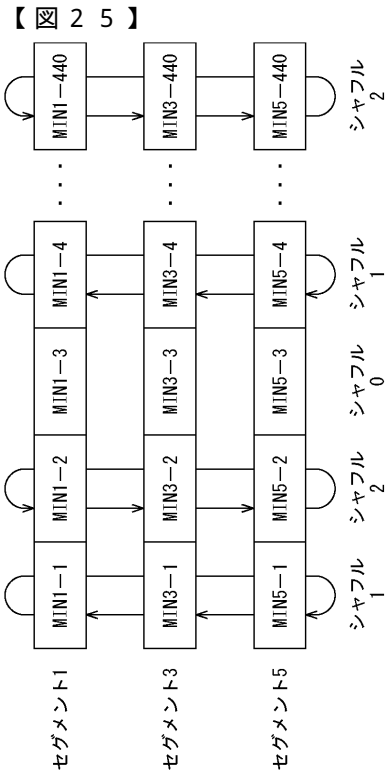
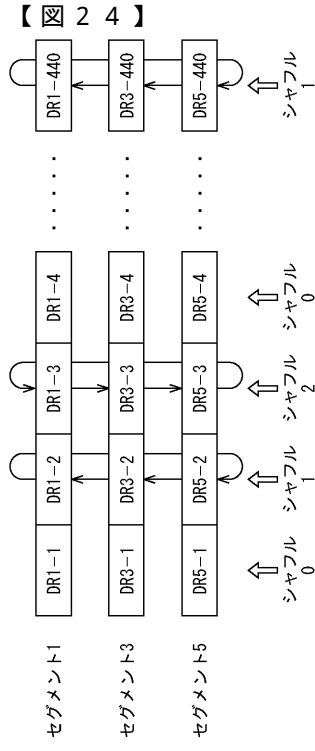
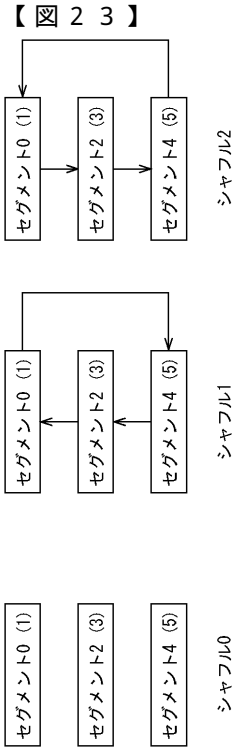


【図 20】

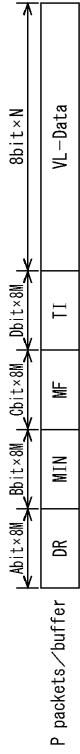


【図 22】





【図 27】

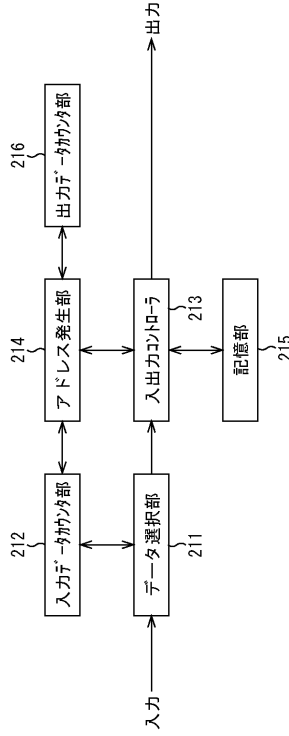


【図 29】

7ビット用	fblk	counter of block number of fl in a buffer
	flpkt	counter of packet number of fl in a segment
	flttlpkt	counter of total packet number of fl in a bank
	vpkt	counter of packet number of vl in a buffer
	vttlpkt	counter of total packet number of vl in a bank of frame
	vbuf	counter of buffer number of vl in a segment
シャッフル用	vmod N	counter of moduro N of vl in a packet
	flseg	counter of segment number of fl in a bank of frame
	flshf	counter of shuffling patterns of fl in a segment
	v1seg	counter of segment number of vl in a bank of frame
	v1shf	counter of shuffling patterns of vl in a segment

入力データカウンタ部 212

【図 28】



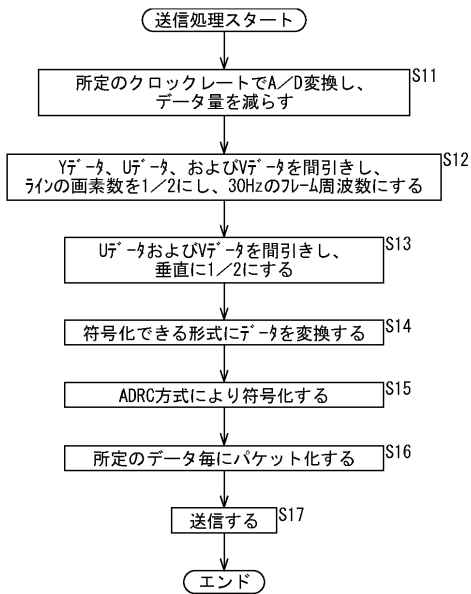
セグメント間シャッフル回路 104

【図 30】

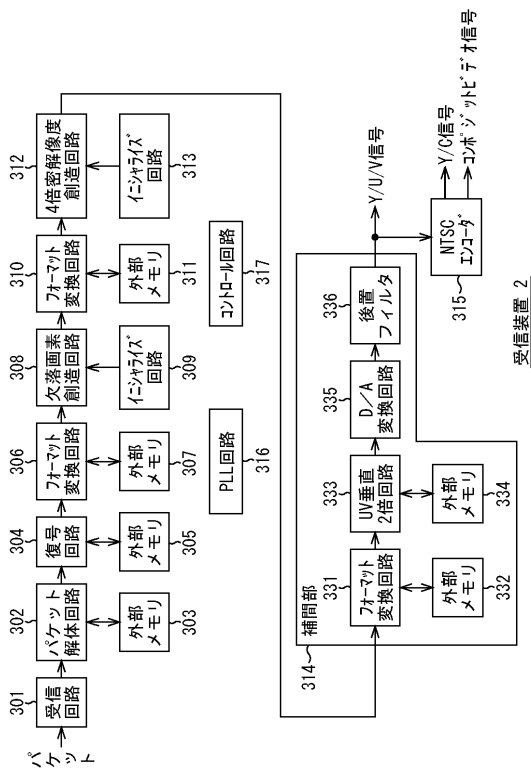
7ビット用	tiCnt	counter of number of ti in a packet-sized data cell
	mfCnt	counter of number of mf in a packet-sized data cell
	drCnt	counter of dr, min in a packet-sized data cell
	tiCnt	counter of blanking time for the collection of ti, mf
	vlCnt N	counter of moduro N of vl in a packet
	pkCnt	counter of packet number in a buffer

出力データカウンタ部 216

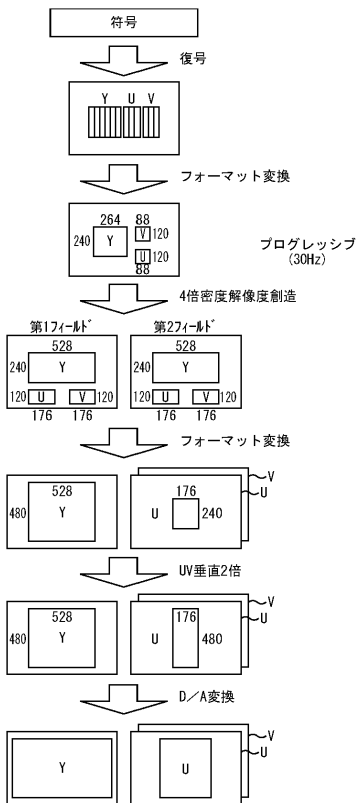
【図31】



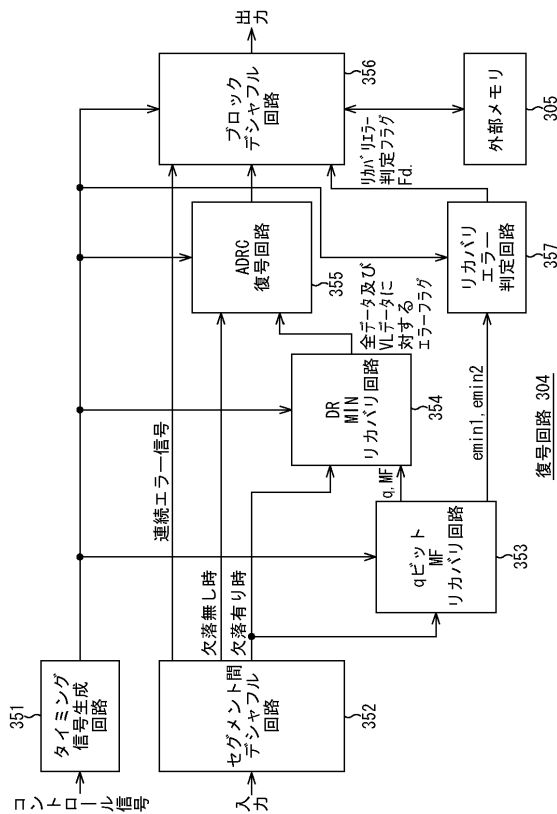
【図32】



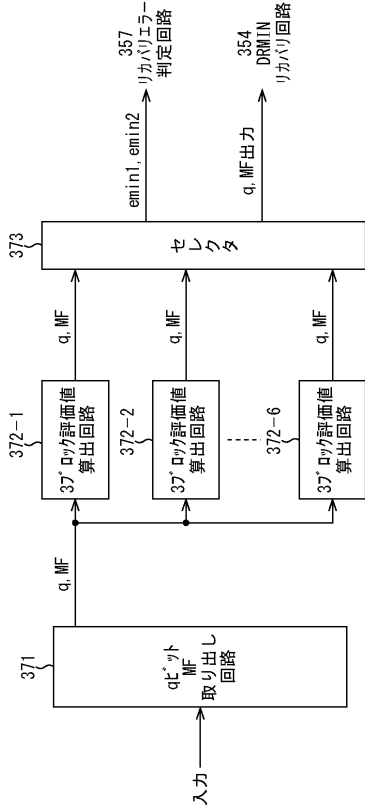
【図33】



【図34】

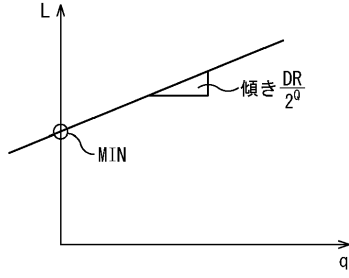


【図 35】

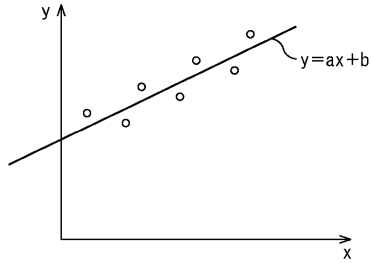


qビットMFリカバリ回路 353

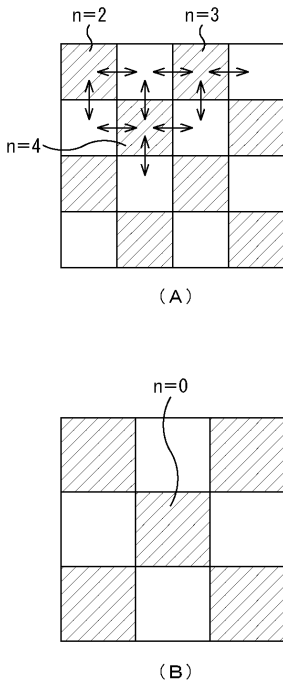
【図 36】



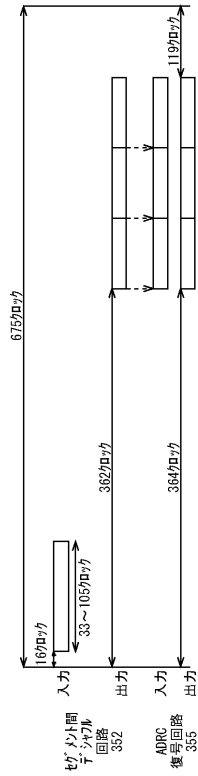
【図 37】



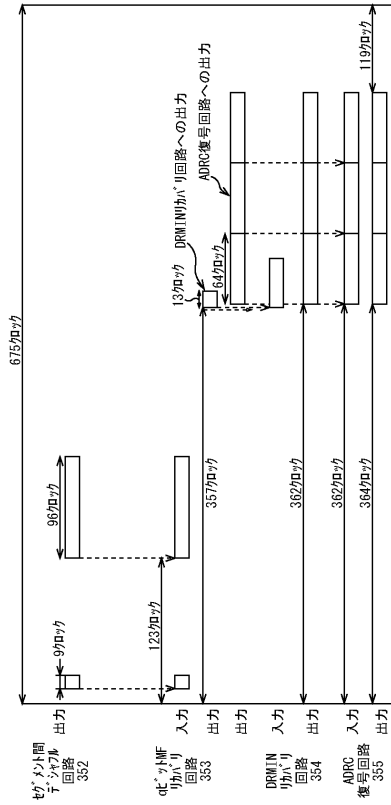
【図 38】



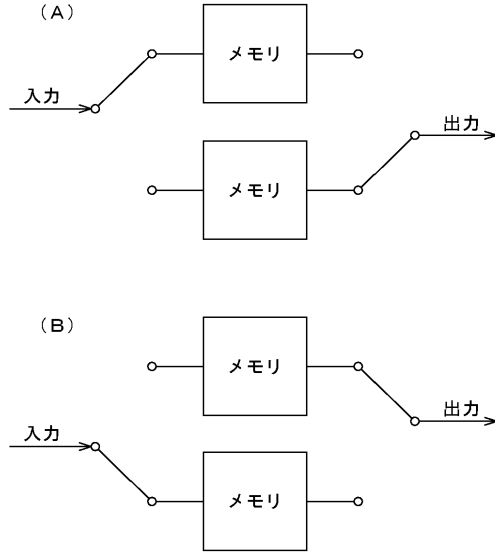
【図 39】



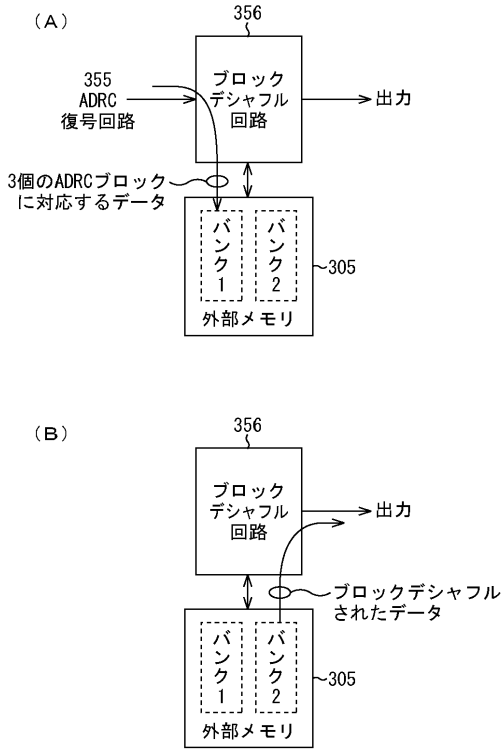
【図40】



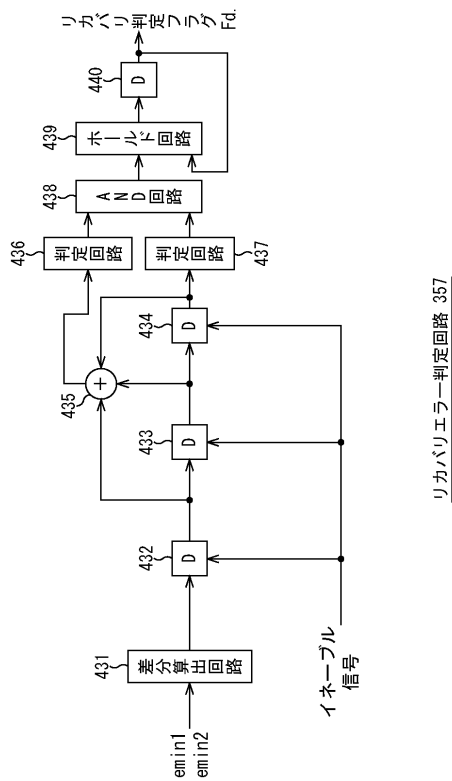
【図41】



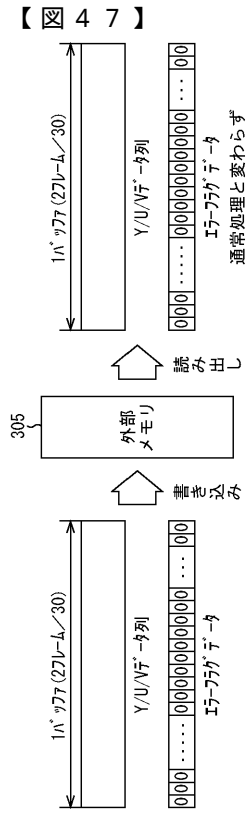
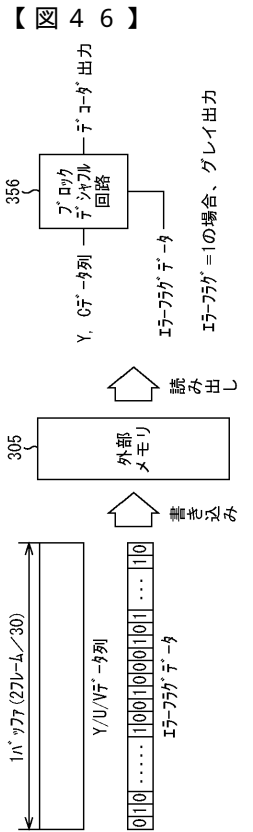
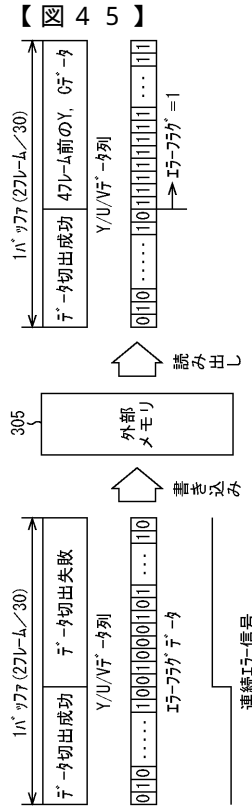
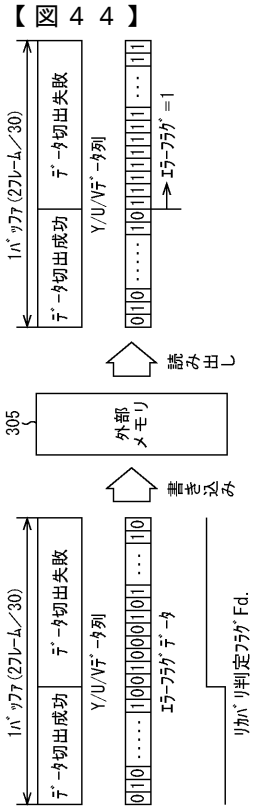
【図42】



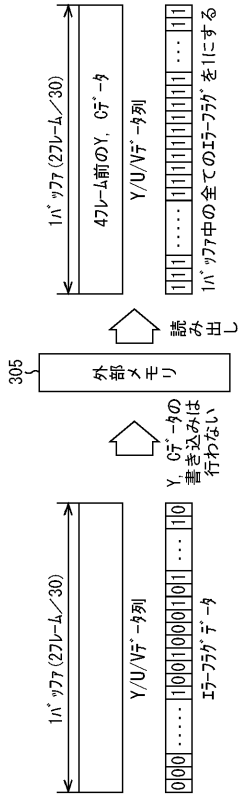
【図43】



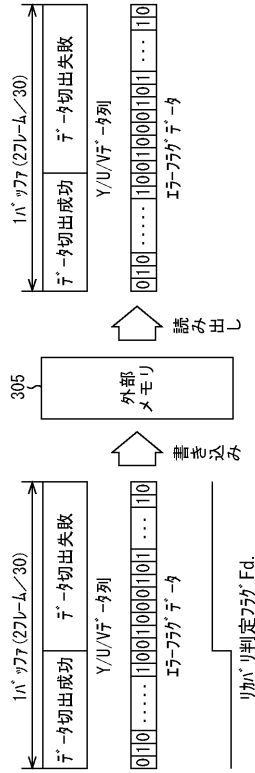
リカバリエラー判定回路 357



【図 48】

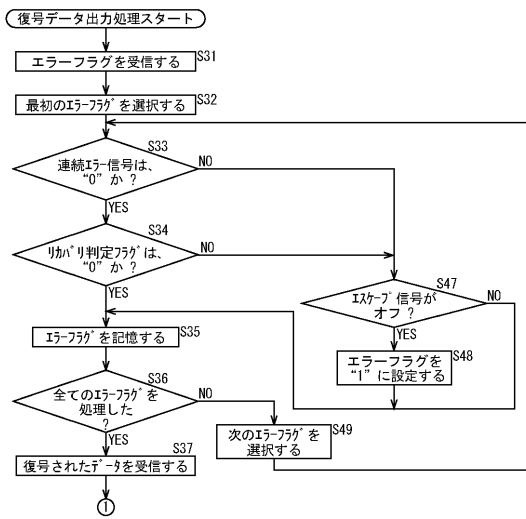


【図 49】



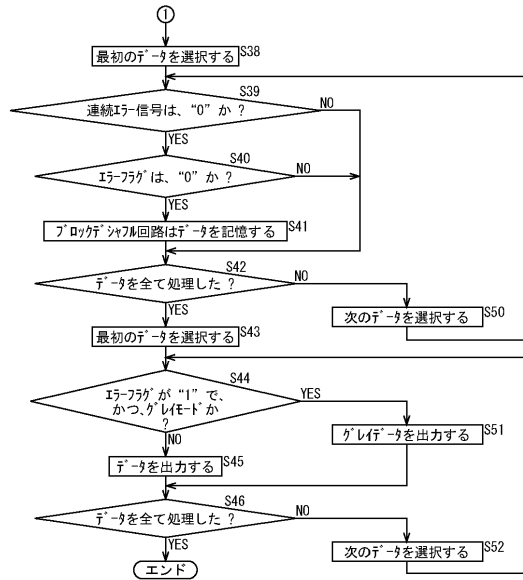
【図 50】

(50-1)

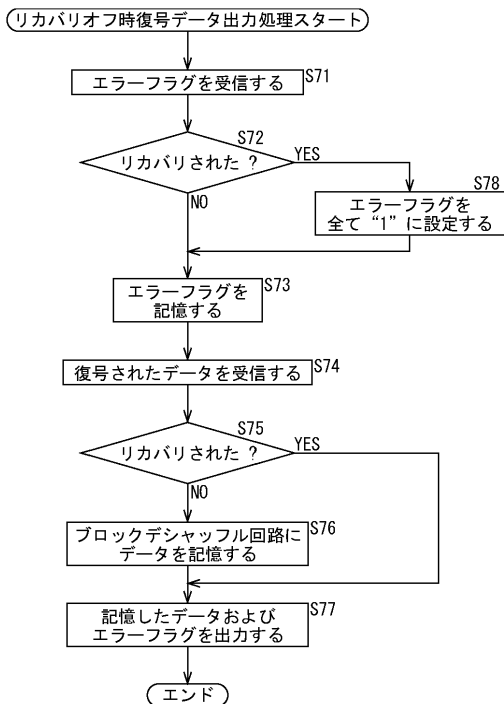


【図 51】

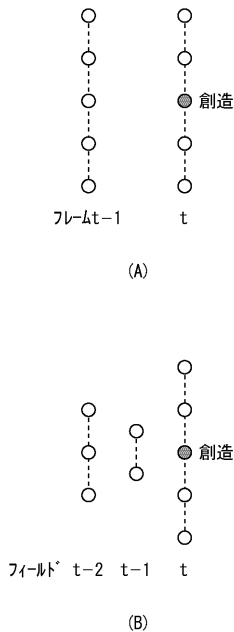
(50-2)



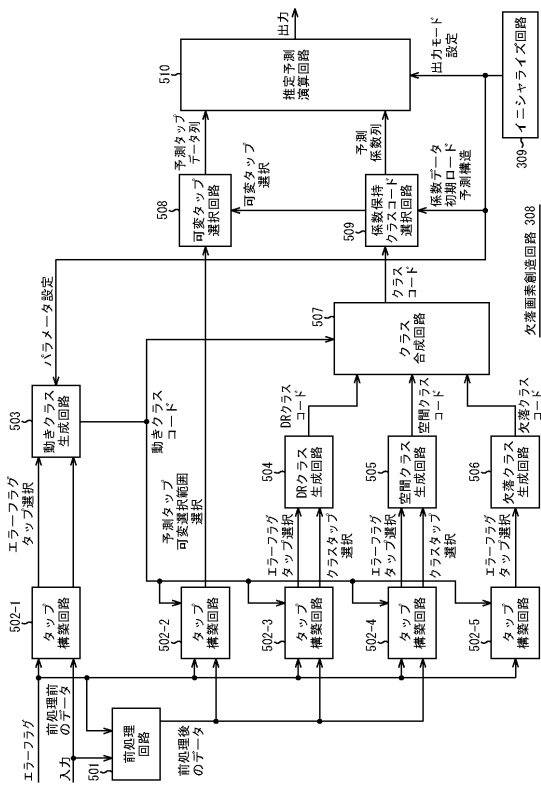
【図52】



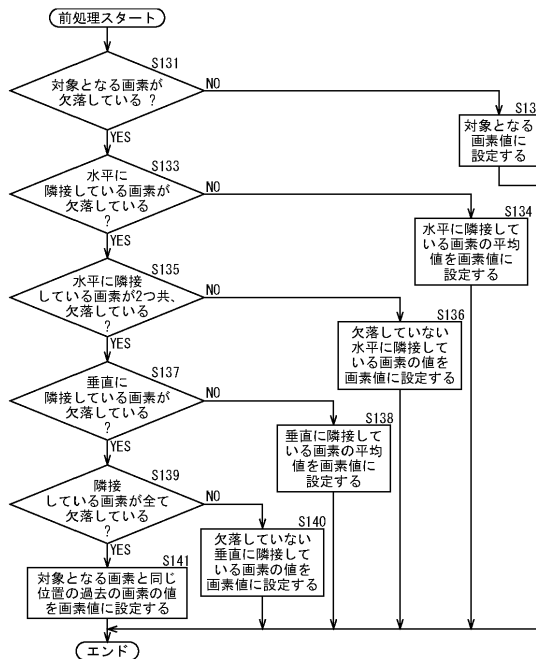
【図53】



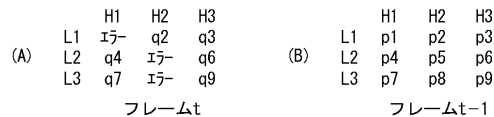
【図54】



【図55】



【図56】

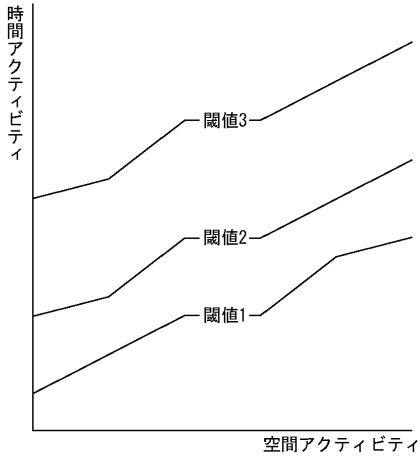


【図57】

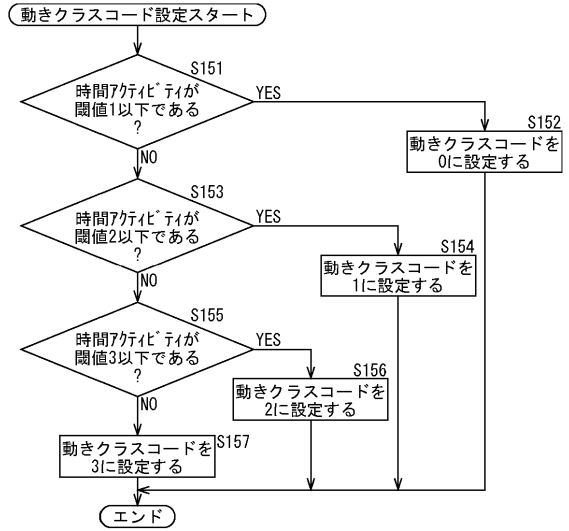
q1	q2	q3
q4	I \bar{r}	q6
q7	q8	q9

フレームt

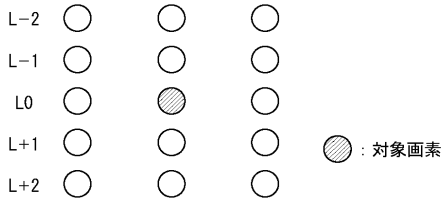
【図58】



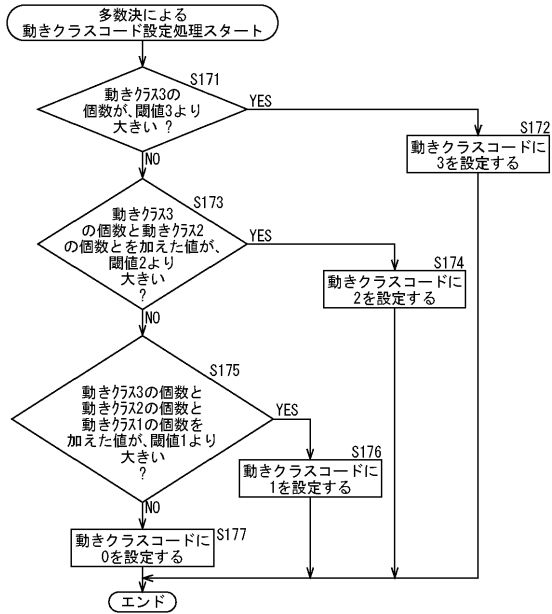
【図59】



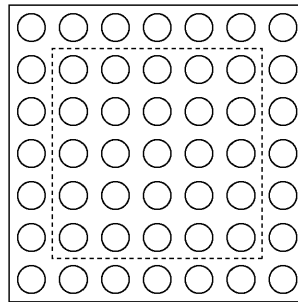
【図60】



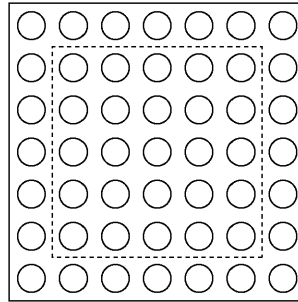
【図61】



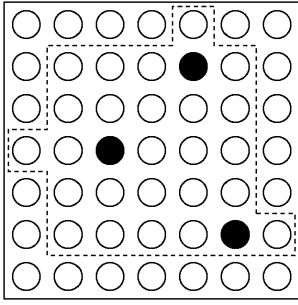
【図62】



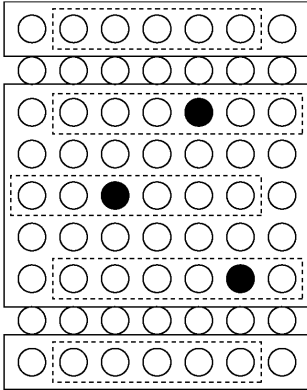
【図63】



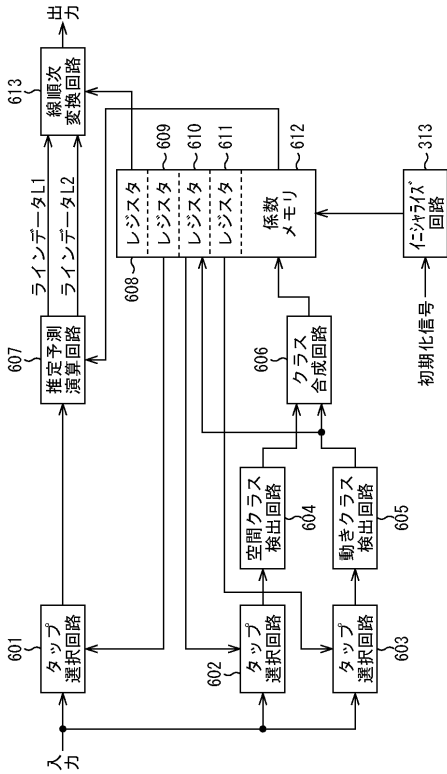
【図 64】



【図 65】

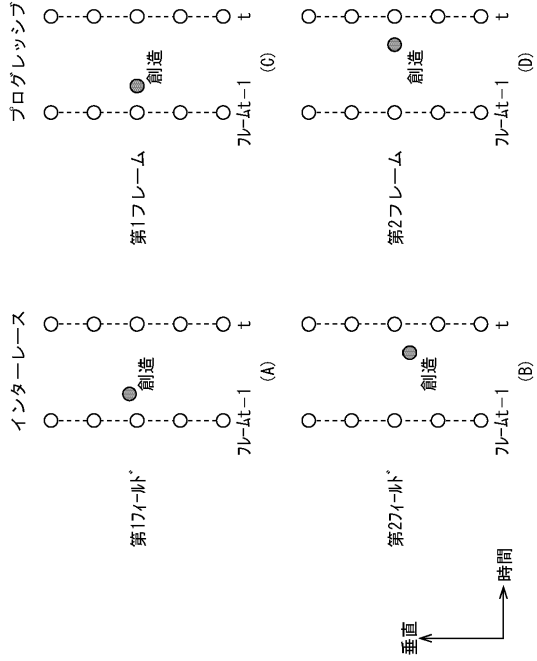


【図 67】

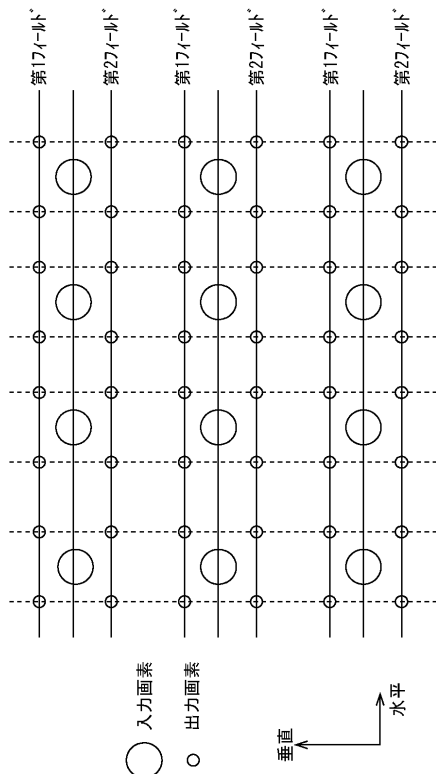


4倍密解像度創造回路 312

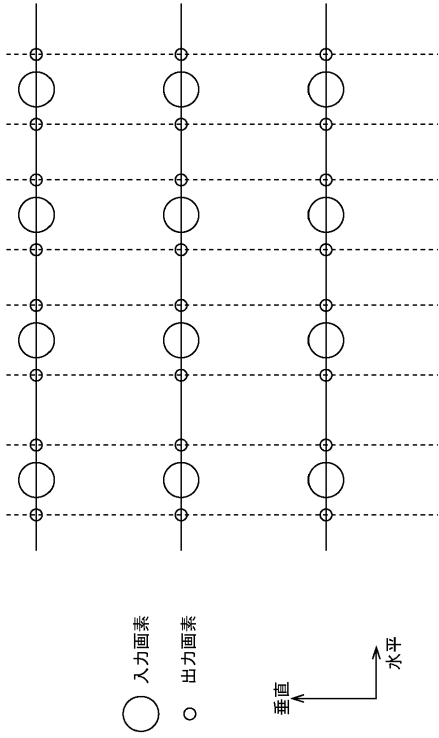
【図 66】



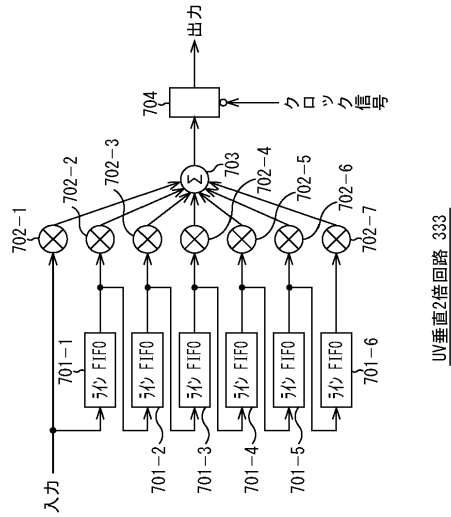
【図 68】



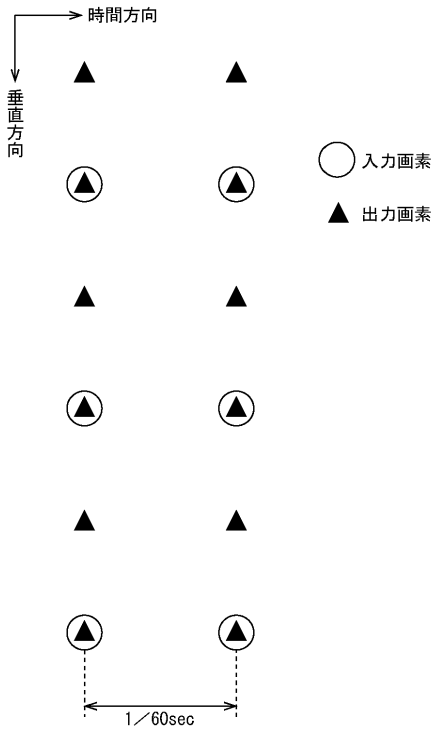
【図 69】



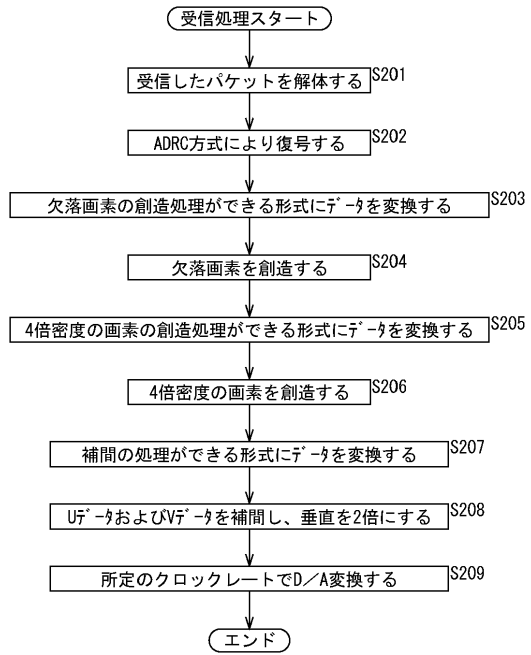
【図 70】



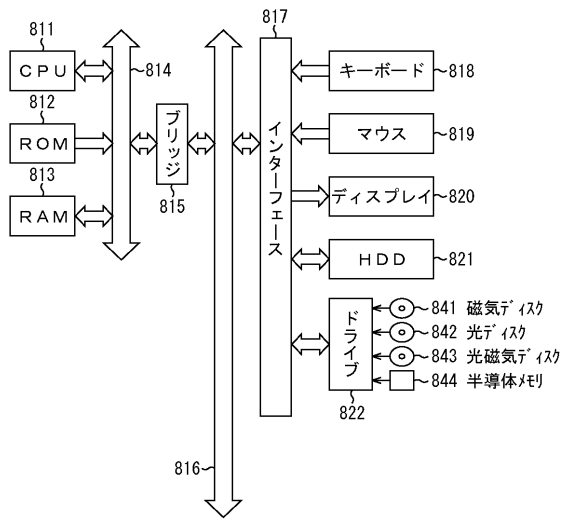
【図 71】



【図 72】



【図73】



フロントページの続き

- (72)発明者 和田 成司
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 大塚 秀樹
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 高橋 康昭
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 永野 隆浩
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 太田 浩二
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 横田 有光

- (56)参考文献 国際公開第99/021285(WO, A1)
特開平01-114277(JP, A)
特開平06-095960(JP, A)
特開平08-098137(JP, A)
特開平06-189283(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04N7/24-7/68